

Design Guide: TIDA-050088

适用于 Versal™ AI Edge 的抗辐射电源参考设计



说明

这是一款面向 AMD Versal™ AI Edge XQRVE2302 的抗辐射电源架构参考设计。Versal Edge 是一款适用于太空应用的自适应片上系统 (SoC)，能够以小巧外形实现高性能。要在太空环境中充分发挥该设计的性能，稳健的电力输送至关重要。该电源设计采用多个器件为各电源轨供电，并配备序列发生器以实现电源轨的有序启动与监控。

资源

TIDA-050088	设计文件夹
TPS7H5006-SEP 、 TPS7H6025-SEP	产品文件夹
TPS7H1111-SEP 、 TPS7H4010-SEP	产品文件夹
TPS73801-SEP 、 TPS7H3302-SEP	产品文件夹
TPS7H3014-SP 、 TPS7H2221-SEP	产品文件夹
SN54SC6T14-SEP	产品文件夹

特性

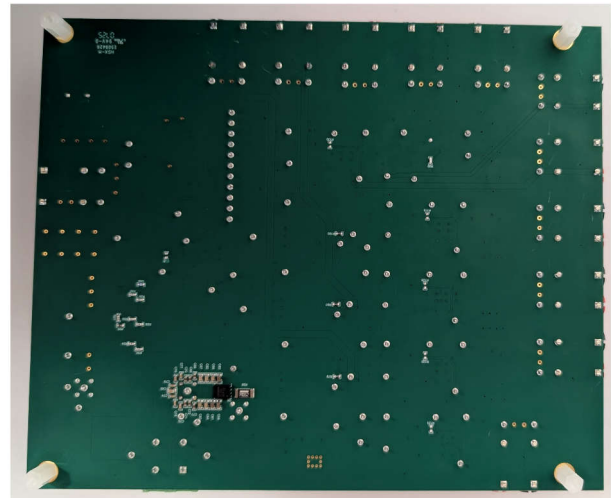
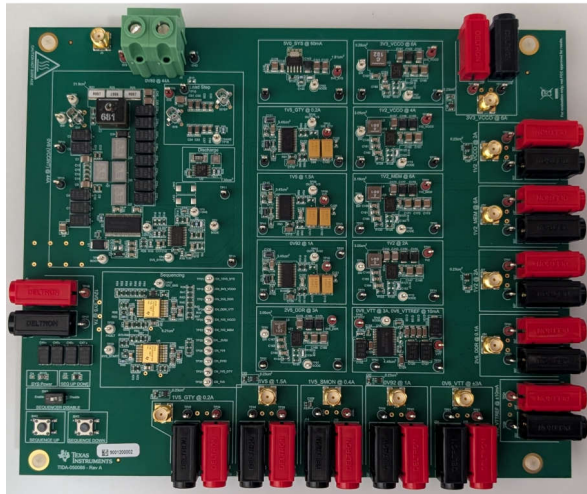
- TI 的抗辐射电源架构
- 专为向 AMD Versal AI Edge XQRVE2302 供电而设计
- 电源时序控制和放电电路用于所有电源轨的上电和下电时序控制
- 内核电源轨在 44A 时能够提供 0.8V 电压
- 适用于所有辅助电源轨以及 DDR 存储器终端的稳压器

应用

- [卫星电力系统 \(EPS\)](#)
- [通信有效载荷](#)



请咨询我司 TI E2E™ 支持专家



1 系统说明

AMD Versal™ AI Edge XQRVE2302 的抗辐射电源架构描述。Versal Edge 是一款适用于太空应用的自适应 SoC，能够以小巧外形实现高性能。要在太空环境中充分发挥该设计的性能，稳健的电力输送至关重要。该电源设计采用多个器件为各电源轨供电，并配备序列发生器以实现电源轨的有序启动与监控。

1.1 主要系统规格

表 1-1 中列出的系统中的电源轨均由称为 12V0_SYS 电源轨的 12V 输入供电。

表 1-1. Versal™ Edge 和 DDR4 规范

电源轨序列	电源轨名称 ⁽¹⁾	Versal Edge 引脚, DDR 供电	电源轨电流	直流精度	交流精度	综合精度 ⁽²⁾	负载阶跃	器件
0 ⁽³⁾	5V0_SYS	-	-	-	-	-	-	TPS73801-SEP
1	3V3_VCCO	HDIO (302 组) PSIO (50x 组)	4A	±1%	-5%, +3%	-6%, +4%	10A/ μs 时为 4A	TPS7H4010-SEP
	2V5_DDR_VPP	DDR_VPP	0.1A	-5%, +10%	-	不适用	-	TPS7H4010-SEP
	1V2_MEM	DDR_VDDQ	3A	±5%	-	不适用	-	TPS7H4010-SEP
	1V2_VCCO	XPIO (7xx 组)	2A	±1%	±5%	±6%	10A/ μs 时为 2A	TPS7H4010-SEP
	VTT (0V6)	DDR4_VTT	±3A	±5%	-	不适用	-	TPS7H3302-SEP
	VTTREF (0V6)	DDR4_VTTREF	±10mA	±1% 至 VTTSENS	±1%	不适用	-	
2	0V80	VCCINT VCC_IO VCC_SOC VCC_RAM VCC_PMC VCC_PSLP	44A	±1%	±17mV	±3.125%	200A/ μs 时为 11A	TPS7H5006-SEP TPS7H6025-SEP 5xEPC7019G
3	1V5	VCCAUX_SMON VCCAUX_PMC	1.5A	±1%	±2%	±3%	10A/ μs 时为 900mA	TPS7H1111-SEP
4	0V92	VGTYP_AVCC	1A	±2%	±10mV	±3.09%	10A/ μs 时为 195mA	TPS7H1111-SEP
5	1V5_GTY	VGTY_AVCCAUX	0.1A	±2%	±10mV	±2.67%		TPS7H1111-SEP
6	1V2	VGTY_AVTT VGTY_AVTTTRCAL	1.3A	±2%	±10mV	±2.83%	10A/ μs 时为 330mA	TPS7H4010-SEP

- (1) 这是 FPGA 或 DDR 的最大预期电流。请参阅 表 2-1 中的电源树，了解设计电流，该电流可大于此电源轨电流，以便为其他负载留出裕量并供电。由于电源轨要求可能因应用而异，因此请参阅 AMD 电源设计管理器 (PDM) 和 DDR 规范以获取更多信息。
- (2) 这是针对 Versal Edge 电源轨的交流和直流精度组合。
- (3) 这不是时序控制的一部分，一旦施加 12V0_SYS，电源轨就会立即升压。

2 系统概述

2.1 方框图

12V0_SYS

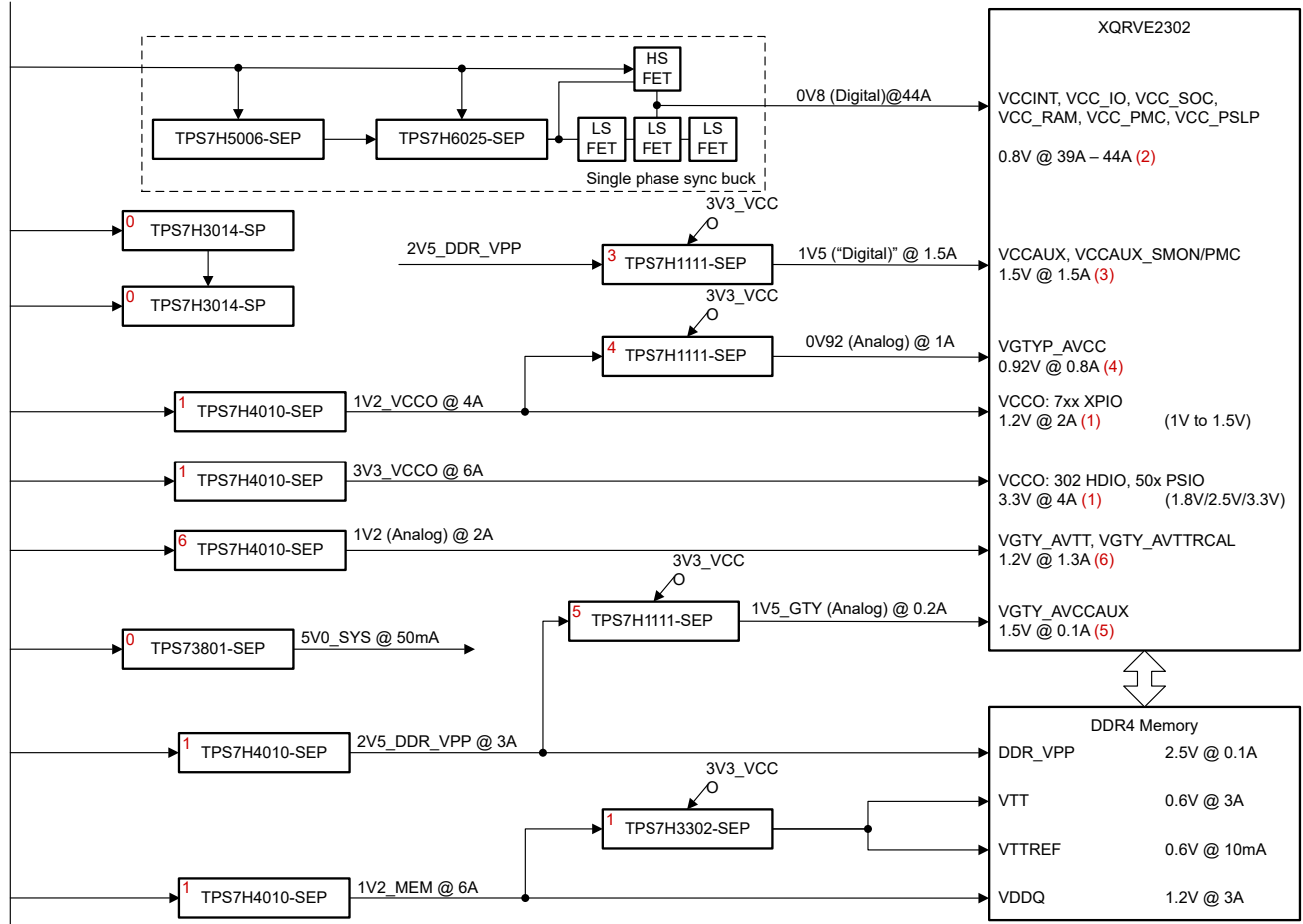


图 2-1. TIDA-050088 方框图

2.2 设计注意事项

使用表 1-1 中所述的时序控制和负载，将按照表 2-1 中所述创建电源树。

表 2-1. 电源树规格

电源轨序列	电源轨名称	器件	总电源轨设计电流 ⁽¹⁾	负载	预期最大负载电流
0 ⁽²⁾	5V0_SYS	TPS73801-SEP	50mA	序列发生器上拉	10mA
				TPS7H2221 输入	0.2mA
				SN54SC6T14-SEP 输入	15mA
1	3V3_VCCO	TPS7H4010-SEP	6A	Versal HDIO 和 PSIO	4A
				TPS7H1111-SEP 偏置电源轨	81mA
				TPS7H3302-SEP VDD	30mA
	2V5_DDR_VPP	TPS7H4010-SEP	3A	DDR_VPP	0.1A
				1V5 的 TPS7H1111-SEP 输入	1.5A
				1V5_GTY 的 TPS7H1111-SEP 输入	0.2A
	1V2_MEM	TPS7H4010-SEP	6A	DDR_VDDQ	3A
				TPS7H3302-SEP VLDOIN	3A
	1V2_VCCO	TPS7H4010-SEP	4A	Versal XPIO	2A
				0V92 的 TPS7H1111-SEP 输入	1A
	VTT (0V6)	TPS7H3302-SEP	±3A	DDR4_VTT	±3A
	VTTREF (0V6)		±10mA	DDR4_VTTREF	±10mA
2	0V80	TPS7H5006-SEP TPS7H6025-SEP 5xEPC7019G	44A	Versal VCCINT 和相关电源轨	44A
3	1V5	TPS7H1111-SEP	1.5A	Versal VCCAUX_SMON 和 VCCAUX_PMC	1.5A
4	0V92	TPS7H1111-SEP	1A	Versal VGTY_AVCC	0.8A
5	1V5_GTY	TPS7H1111-SEP	0.2A	Versal VGTY_AVCCAUX	0.1A
6	1V2	TPS7H4010-SEP	2A	Versal VGTY_AVTT 和 VGTY_AVTTTRCAL	1.3A

(1) 这是最大设计电流，由于增加设计裕度，该电流可能大于预期的负载电流。

(2) 这不是时序控制的一部分，一旦施加 12V0_SYS，电源轨就会立即升压。

此设计使用额定电离辐射总剂量 (TID) 至少为 20krad (Si) 的抗辐射器件，单粒子效应 (SEE) 至少为 43MeV-cm²/mg。这些额定值为许多近地轨道 (LEO) 卫星电源系统提供了理想选择。为了满足更高的辐射需求，许多 TI 器件都采用耐辐射等效产品。

2.3 重点产品

以下各节介绍了用于此电源设计的器件的主要特性。

2.3.1 TPS7H5006-SEP

TPS7H5006-SEP 是一款抗辐射 PWM 控制器，是 TPS7H500x-SP 和 TPS7H500x-SEP 高速控制器系列的一部分。这些控制器提供的许多功能有助于设计面向太空应用的直流/直流转换器拓扑。控制器具有精密的内部基准 ($0.613\text{V} \pm 0.7\%$, -1%)，可配置开关频率高达 2MHz。每个器件都提供可编程斜坡补偿和软启动功能。

TPS7H500x-SP 系列可通过 SYNC 引脚使用外部时钟来驱动，也可使用内部振荡器以用户编程的频率来驱动。此控制器系列为用户提供了各种选项，用于选择开关输出、同步整流功能、死区时间（固定或可配置）、前沿消隐时间（固定或可配置）和占空比限制。

在此设计中，TPS7H5006-SEP 用作高电流 VCCINT 轨的降压控制器。耐辐射 TPS7H500x-SP 还采用 QMLV 陶瓷封装和 QMLP 塑料封装。

2.3.2 TPS7H6025-SEP

TPS7H6025-SEP 是一款抗辐射的 GaN FET 栅极驱动器，专为高频、高效率和高电流应用而设计。TPS7H6025-SEP 是 TPS7H60x5 系列栅极驱动器的一部分，其中包括 TPS7H6005（200V 额定值）、TPS7H6015（60V 额定值）和 TPS7H6025（22V 额定值）。这些驱动器具有可调节死区时间功能、30ns 低传播延迟，以及 5.5ns 的高侧和低侧匹配。这些器件还包括内部高侧和低侧 LDO，无论电源电压如何，都能提供驱动电压为 5V。TPS7H60x5 驱动器都具有分离栅极输出，可独立灵活地调节输出的导通和关断强度。

TPS7H60x5 驱动器具有两种控制输入模式：独立输入模式 (IIM) 和 PWM 模式。在 IIM 中，每个输出都由专用输入来控制。在 PWM 模式下，两个补偿输出信号由单个输入产生，用户可以调节每个边沿的死区时间。这些驱动器还可用于半桥和双低侧转换器应用。

此设计中使用 TPS7H6025-SEP 来驱动 GaN FET，该 FET 是用于高电流 VCCINT 轨的降压稳压器的一部分。耐辐射 TPS7H60x5-SP 还采用 QMLP 塑料封装。此外，耐辐射 TPS7H60x3-SP 采用 QMLV 陶瓷封装。

2.3.3 TPS7H1111-SEP

TPS7H1111 是一款抗辐射、超低噪声、高 PSRR、低压降线性稳压器 (LDO)，专为射频 (RF) 器件供电而优化。该器件能够在 0.85V 至 7V 输入范围内提供高达 1.5A 的电流，并由 2.2V 至 14V 的辅助电源供电。

该器件具有高性能，可抑制电源产生的相位噪声和时钟抖动，因此成为高性能 ADC、DAC、VCO、PLL、串行器/解串器和卫星中的其他射频元件供电的理想电源选择。对于需要低电压运行的数字负载（如 FPGA 和 DSP），超高的精度和出色的瞬态性能可提供优化的系统性能。

只要其中一个 Versal 电源轨需要 LDO，本设计就会使用抗辐射 TPS7H1111-SEP。耐辐射 TPS7H1111-SP 也可采用 QMLV 陶瓷封装和 QMLP 塑料封装。

2.3.4 TPS7H4010-SEP

TPS7H4010-SEP 是一款抗辐射同步降压转换器，可在 3.5V 至 32V 的电压范围内输出高达 6A 的负载电流。TPS7H4010-SEP 能够以非常小的尺寸提供出色的效率和输出精度。采用了峰值电流模式控制。

可调开关频率、与外部时钟同步、FPWM 选项、电源正常状态标志、精密使能、可调节软启动以及跟踪等其他特性可为各种应用提供灵活且简单易用的设计。轻负载时的自动频率折返和可选的外部偏置电源可提高整个负载范围内的效率。该器件需要超少的外部元件，引脚排列设计可简化 PCB 布局，提供出色的 EMI 和热性能。保护特性包括热关断、输入欠压锁定、逐周期电流限制和断续短路保护。

2.3.5 TPS73801-SEP

TPS73801-SEP 是一款针对快速瞬态响应进行了优化的抗辐射低压降 (LDO) 线性稳压器。该器件可提高 1A 的输出电流 (压降为 300mV)。工作静态电流为 1mA，在关断时下降至小于 1 μ A。

TPS73801-SEP 稳压器可提供 1.21V 可调基准电压和 1.21V 至 20V 的输出电压范围。内部保护电路包括电流限制、热限制和反向电流保护。

本设计使用 TPS73801-SEP 来创建小电流，辅助 5V 电源轨，用于各种辅助控制任务。

2.3.6 TPS7H3302-SEP

TPS7H3302 是一款具有内置 VTTREF 缓冲器的耐辐射双倍数据速率 (DDR) 3A 终端稳压器。该稳压器专门设计用于为单板计算机、固态记录器和有效载荷处理等航天级 DDR 端接应用提供紧凑型低噪声设计。

TPS7H3302 支持使用 DDR、DDR2、DDR3、DDR3L 和 DDR4 的 DDR VTT 端接应用。凭借快速瞬态响应，TPS7H3302 VTT 稳压器可在读取和写入状态下提供稳定的电源。TPS7H3302 还包含一个用于跟踪 VTT 的内置 VTTREF 电源，以进一步减小设计尺寸。为了实现简单的电源时序，TPS7H3302 中集成了使能输入和电源正常输出 (PGOOD)。

此设计使用抗辐射 TPS7H3302-SEP 为 DDR4 存储器供电。耐辐射 TPS7H3302-SP 也采用 QMLP 塑料封装，TPS7H3301-SP 采用 QMLV 塑料封装。

2.3.7 TPS7H3014-SEP

TPS7H3014 是一款集成式 3V 至 14V、四通道耐辐射电源序列发生器。通过在菊花链配置中连接多个器件可扩展通道数。该器件可为具有高电平有效 (开启) 输入的集成电路提供定序开启和关闭控制信号。此外，还提供了 SEQ_DONE 和 PWRGD 标志，用于监控电源树的序列和电源状态。

精确的 599mV $\pm$ 1% 阈值电压和 24 μ A $\pm$ 3% 磁滞电流提供可编程上升和下降监控电压。上升和下降延迟时间可使用单个电阻进行全局编程。此外，提供的至稳压时间计时器可跟踪 SENSEx 上的上升电压。除了这些特性外，该器件还包含一个故障检测引脚，用于监控内部产生的故障并为电源时序航天应用提供更高的系统级可靠性。

本设计采用耐辐射的 TPS7H3014-SP 对电源轨进行时序控制。还可以提供采用塑料封装的耐辐射 TPS7H3014-SEP (该器件未在 TI 初始设计中采用，因设计初期该器件供货不足)。

2.3.8 TPS7H2221-SEP

TPS7H2221-SEP 器件是一款压摆率可控的小型单通道负载开关。此器件包含一个可在 1.6V 至 5.5V 输入电压范围内运行的 N 沟道 MOSFET，并且支持 1.25A 的最大持续电流。

开关导通状态由可与低压控制信号直接连接的数字输入控制。首次加电时，此器件使用智能下拉电阻来保持 ON 引脚不悬空，直到系统时序控制完成。按计划将该引脚驱动为高电平 ($V_{ON} > V_{IH}$) 之后，便会断开智能下拉电阻，以防止不必要的功率损耗。TPS7H2221-SEP 负载开关还具有针对器件输出短路事件的自我保护功能。

本设计使用 TPS7H2221-SEP 作为各种电压轨的输出放电。为了满足 Versal FPGA 的下电时序规格，需要这种主动放电。

2.3.9 SN54SC6T14-SEP

SN54SC6T14-SEP 是一款抗辐射六路施密特触发器逆变器。此器件包含六个独立的输入，输出电压以电源电压为基准。该器件支持 1.2V、1.8V、2.5V、3.3V 和 5V CMOS 电平。

该输入经设计，具有较低阈值电路，支持较低电压 CMOS 输入的升压转换。此外，5V 容限输入引脚可实现降压转换。

逆变器与 TPS7H3014-SP 序列发生器结合使用来驱动 GaN FET，在关断期间对 0V8 (VCCINT) 电源轨进行放电。

3 系统设计原理

3.1 0V8 分立式降压稳压器 (VCCINT)

0V8 电源轨主要用于为 VCCCINT 供电，有时也称为内核电源轨电压。该高电流轨使用由 TPS7H5006-SEP PWM 控制器、TPS7H6025-SEP GaN 半桥驱动器和 EPC Space EPC7019GC GaN FET 组成的分立式降压转换器。

之所以选择这些 GaN FET，是因为其导通电阻低且可用作耐辐射器件。为了支持 12V 至 0.8V 转换比的低占空比，使用了三个低侧 FET 和一个高侧 FET。这种不对称的 FET 选择有助于优化导通电阻和开关损耗。FET 由 TPS7H6025-SEP 栅极驱动器驱动。对于低侧 FET，确定 $0\ \Omega$ LOH 和 LOL 栅极电阻器可提供最快的导通和关断时间。对于高侧 FET，选择 $0\ \Omega$ HOL 栅极电阻器以实现最快的关断时间；但是，确定需要一个 $3.3\ \Omega$ 的 HOH 栅极电阻器来防止过高的导通速度，因为这可能耦合到低侧栅极。

降压转换器使用 DCR 电流检测在峰值电流模式控制下运行。为了提供足够的电流信号，增加了与电感器串联的额外电阻。此外，添加了比传统要求更多的斜率补偿，以进一步降低噪声并防止过多的开关节点抖动。

降压稳压器以 270kHz 的频率开关，这是在足够快的开关速度（以产生足够高的交叉频率）和合理小尺寸的电感器（以避免开关速度过快）之间进行折衷的结果，这可能会导致最短导通时间问题和效率降低。输出电容器网络的大小主要根据 Versal FPGA 的负载阶跃要求来确定。

使用连接到反馈引脚的电阻分压器来配置输出电压。选择 $10.05\text{k}\Omega$ 的 R_{FB_TOP} （ $10\text{k}\Omega$ 与 $50\ \Omega$ 串联）和 $33\text{k}\Omega$ 的 R_{FB_BOT} ，从而产生 0.7997V 的标称输出电压。利用数据表参考电压参数最小值 0.607V、最大值 0.617V 以及 0.1% 电阻器容差（使用平方和获得 $\pm 0.14\%$ 的误差贡献），可以使用 [方程式 1](#) 和 [方程式 2](#) 近似计算总体直流精度。计算得出的精度为 -1.16% 和 $+0.75\%$ 。

$$Error_{(positive)} = \frac{V_{FB(max)} \times \frac{R_{FB_TOP} + R_{FB_BOT}}{R_{FB_BOT}} - V_{OUT(ideal)}}{V_{OUT(ideal)}} + R_{(error)} \quad (1)$$

$$Error_{(negative)} = \frac{V_{FB(min)} \times \frac{R_{FB_TOP} + R_{FB_BOT}}{R_{FB_BOT}} - V_{OUT(ideal)}}{V_{OUT(ideal)}} - R_{(error)} \quad (2)$$

[表 3-2](#) 对这些计算进行了汇总。

GaN FET 和电源环路的布局对于优化性能至关重要。高侧 FET 位于三个低侧 FET 上方的中心位置，以实现平衡的返回路径。输入电容器放置在高侧 FET 附近，并在第二层平面上提供接地回路。这样可以最大限度地减小返回环路电感，并在 FET 导通期间实现互感抵消。

表 3-1. 0V8 电源轨设计值

参数	描述或典型值
V_{IN}	12V
V_{OUT}	0.8V
$I_{OUT(max)}$	44A
f_{SW} ，开关频率	270kHz
直流精度	-1.16%，+0.75%
输出纹波	3.8mVpp
L_{SW} ，输出电感器	680nH XAL1010-681MEB
C_{OUT} ，输出电容	8 个 1.5mF (T520X) + 2 个 22 μ F 陶瓷电容器 + 2 个 1 μ F 陶瓷电容器
C_{IN} ，输入电容	5 个 150 μ F (T521D) + 3 个 10 μ F 陶瓷电容器 + 8 个 100nF 陶瓷电容器
t_{SS} ，软启动时间	12.7ms

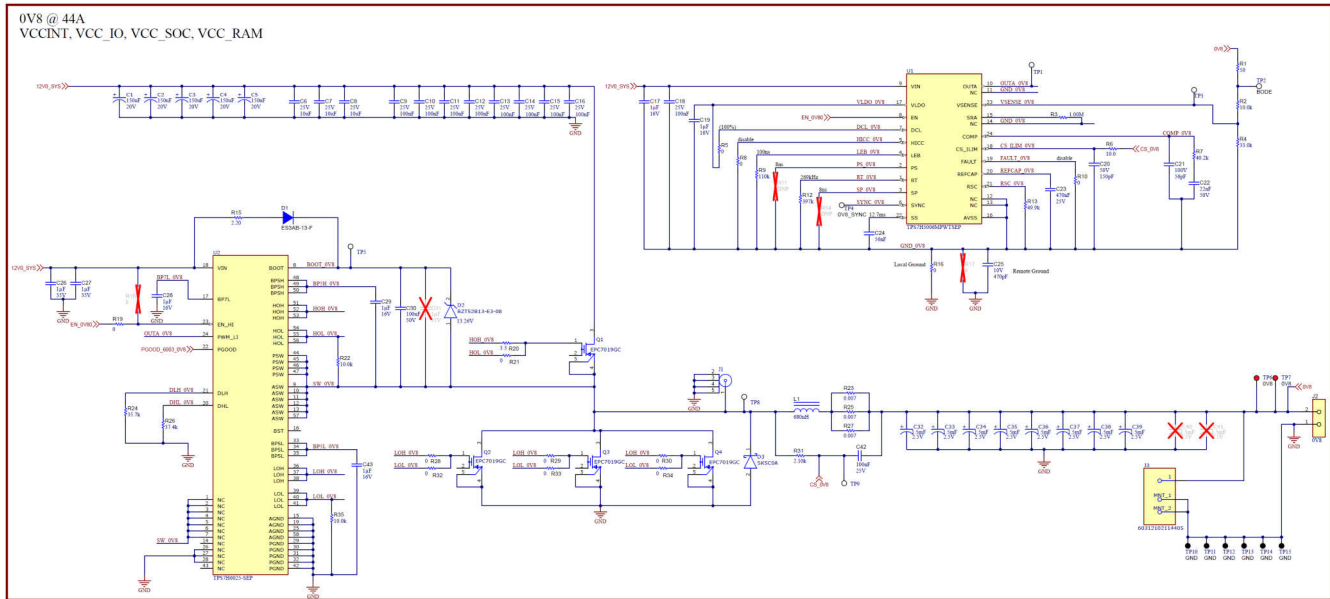


图 3-1. 0V8 (VCCINT) 原理图

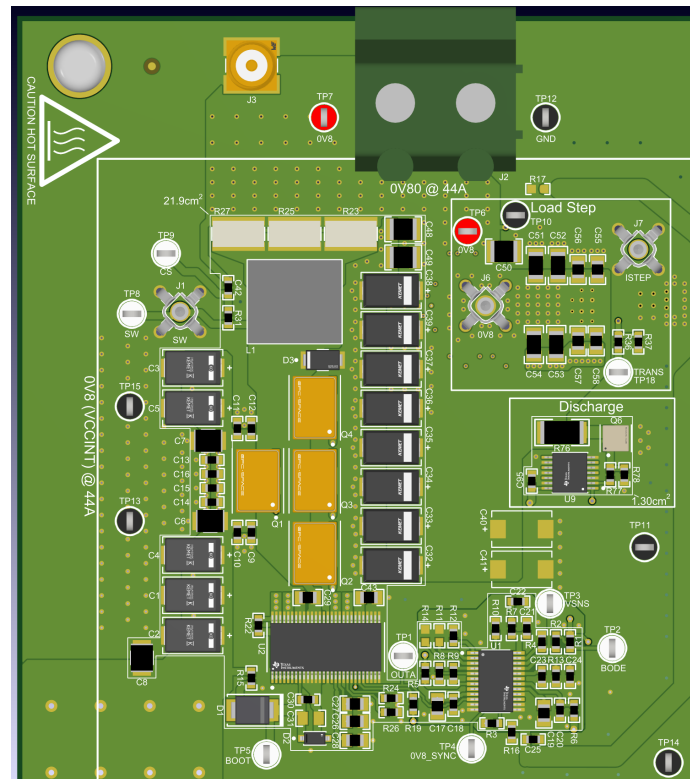


图 3-2. 0V8 (VCCINT) 布局 - 顶层

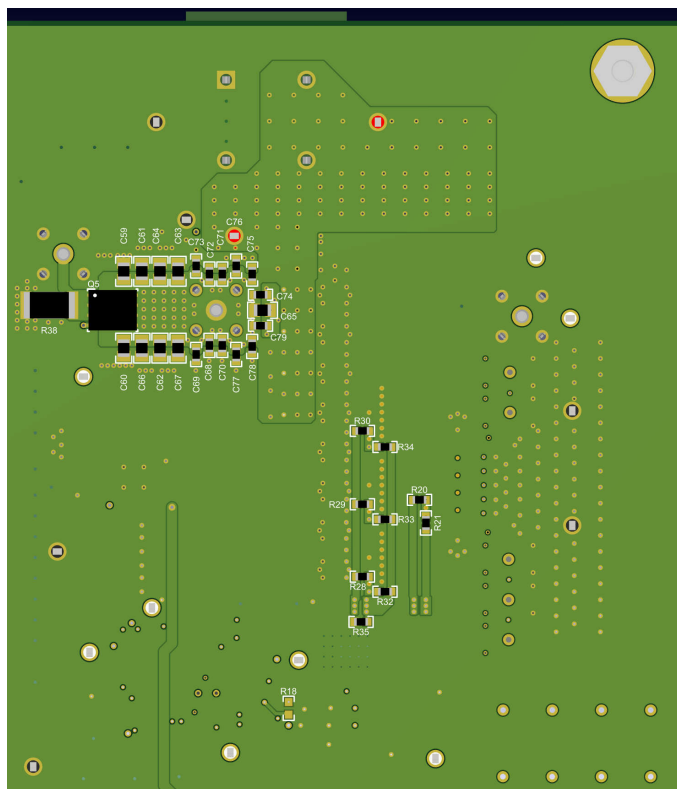


图 3-3. 0V8 (VCCINT) 布局 - 底层

3.1.1 VCCINT 负载阶跃

设计中添加了一个负载阶跃电路，以便能够复制 Versal FPGA 中的快速负载阶跃。该电路由一个可由函数发生器和负载电阻器驱动的 TI MOSFET 组成。MOSFET 电阻和负载电阻器的大小可支持 11A 负载阶跃。通过调整函数发生器施加的电压电平和压摆率，可以对该负载阶跃和产生的压摆率进行微调。

除了负载阶跃电路之外，还添加了去耦电容器。需要这个额外的电容才能在较高频率下尽可能减小阻抗。在最终系统设计中，将这些电容器放置在 FPGA 附近。可能需要对特定的 FPGA 电路板布局进行额外的优化。

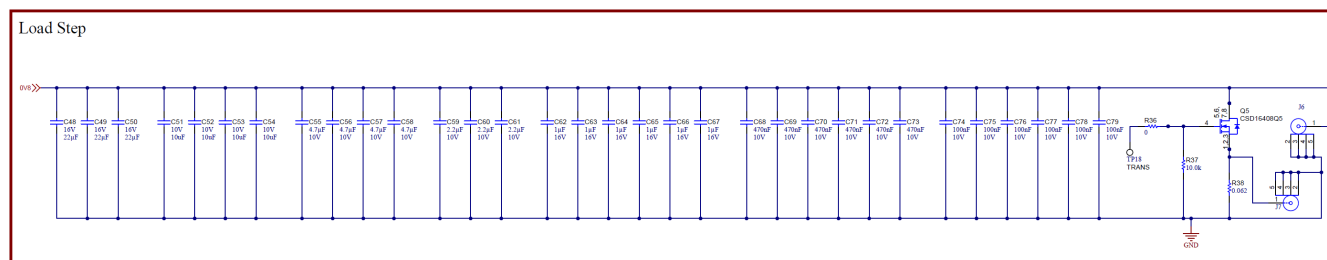


图 3-4. 负载阶跃和去耦电容器原理图

3.2 降压稳压器 (集成)

3.2.1 1V2

选择 TPS7H4010-SEP 同步降压转换器，以直接从 12V 电源轨生成所需的 1.2V 电压。虽然 TPS7H4010-SEP 能够提供 6A 电流，但 Versal Edge VGTY_AVTT 和 VGTY_AVTTRCAL 电源轨估计只需要 1.3A 电流。因此，降压转换器的大小设定为 2A，以便提供合理的裕度。

选择 1MHz 的开关频率和 0.8 μ H XAL5030-801ME_ 电感器，以实现设计尺寸和效率的合理平衡。此外，请参阅 [TPS7H4010-SEP 采用增强型航天塑料的耐辐射 3.5V 至 32V、6A 同步降压转换器](#) 数据表中的 [典型元件选择表](#)，以确保这些值接近建议选择。这通过如 [节 4.3.2](#) 中所示的负载阶跃和波特图测量得到确认。将 50 Ω 电阻器与顶部反馈电阻器串联放置，并提供前馈电容器选项，以便更轻松地测量和优化控制环路。

接下来，确定输出电压纹波。首先，电感器纹波的计算方法如 [方程式 3](#) 所示。计算得出电感纹波电流为 1.35A。

$$I_{L(ripple)} = \frac{V_{IN} - V_{OUT}}{L} \times \frac{V_{OUT}}{V_{IN} \times f_{SW}} \quad (3)$$

其中

- V_{IN} 是输入电压，12V
- V_{OUT} 是配置的输出电压，1.2V
- L 是所选的电感器，0.8 μ H
- f_{SW} 是所选的工作频率，1MHz

接下来，选择两个 100 μ F 电解电容器和两个 22 μ F 陶瓷电容器。使用 Kemet™ 的 K-SIM 工具，确定这些并联电容器在 1Mhz 时的输出阻抗约为 2.5m Ω 。将阻抗与电感器纹波电流相乘得出近似的输出纹波为 ± 3.4 mV。

最后，使用连接到反馈引脚的电阻分压器来配置输出电压。选择 50.55k Ω 的 R_{FB_TOP} (50.5k Ω 与 50 Ω 串联) 和 261k Ω 的 R_{FB_BOT} ，从而产生 1.201V 的标称输出电压。使用数据表反馈电压参数最小值 0.987V、最大值 1.017V 以及 0.1% 电阻器容差 (使用平方和获得 $\pm 0.14\%$ 的误差贡献)，可以使用 [方程式 5](#) 和 [方程式 4](#) 近似计算总体直流精度。计算得出的精度为 -1.96% 和 +1.30%。

$$Error_{(positive)} = \frac{V_{FB(max)} \times \frac{R_{FB_TOP} + R_{FB_BOT}}{R_{FB_BOT}} - V_{OUT(ideal)}}{V_{OUT(ideal)}} + R_{(error)} \quad (4)$$

$$Error_{(negative)} = \frac{V_{FB(min)} \times \frac{R_{FB_TOP} + R_{FB_BOT}}{R_{FB_BOT}} - V_{OUT(ideal)}}{V_{OUT(ideal)}} - R_{(error)} \quad (5)$$

关于精度的另一个注意事项是是否启用了自动模式。自动模式能够在轻负载条件下实现更高的效率，但代价是负载调整性能较差。查看 [TPS7H4010-SEP](#) 数据表中的 TPS7H4010-SEP [负载和线路调整图](#)，并查看 5V 应用的轻负载时大约增加 0.08V，自动模式近似会增加 +1.6% 的额外误差。因此，如果启用了自动模式，则精度为 -1.96% 和 +2.90%。这对于该电源轨来说误差太大，因此会禁用自动模式。

[表 3-2](#) 对这些计算进行了汇总。

表 3-2. 1V2 电源轨设计值

参数	描述或典型值
V_{IN}	12V
V_{OUT}	1.2V
$I_{OUT(max)}$	2A
f_{SW} , 开关频率	1MHz
直流精度	-1.96%, +1.30%
输出纹波	3.4mVpp
L_{SW} , 输出电感器	0.8 μ H, XAL5030-801ME_
C_{OUT} , 输出电容	2x100 μ F T520B, 2x22 μ F 陶瓷电容器

表 3-2. 1V2 电源轨设计值 (续)

参数	描述或典型值
C _{IN} , 输入电容	3x10μF 陶瓷电容器 + 1x470nF 陶瓷电容器
t _{SS} , 软启动时间	6.3ms (SS 悬空)
偏置连接	连接到外部 3V3_VCCO
模式	强制 PWM (自动禁用)

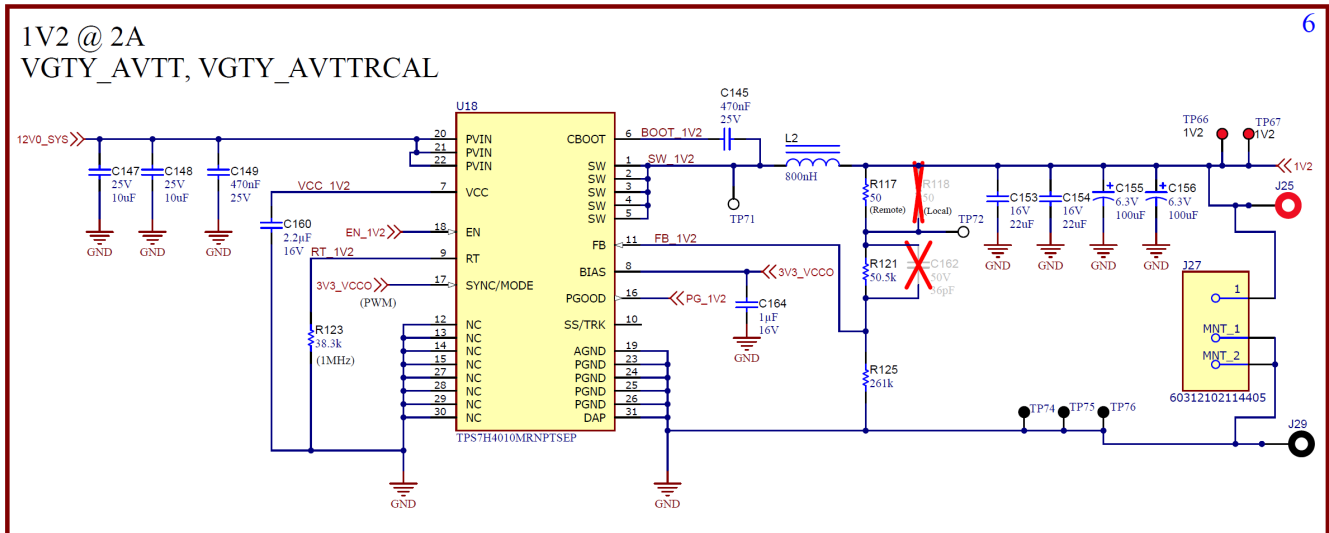


图 3-5. 1V2 原理图

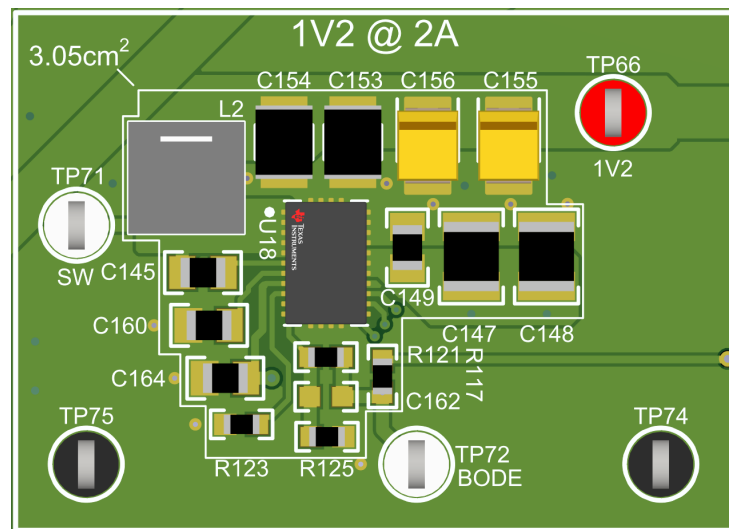


图 3-6. 1V2 布局

3.2.2 1V2_VCCO

选择 TPS7H4010-SEP 同步降压转换器，以直接从 12V 电源轨生成所需的 1.2V 电压。虽然 TPS7H4010-SEP 能够提供 6A 电流，但 Versal Edge XPIO (7xx 组) 电源轨只需要 2A 电流。此外，1V2_VCCO 输出为 0V92 电源轨的 TPS7H1111-SEP 的输入馈电，该电源轨最多还需要 1A。因此，设计决策是将该设计的电流大小调整为 4A，以提供合理的裕度。

选择 1MHz 的开关频率和 0.8 μH XAL5030-801ME_电感器，以实现设计尺寸和效率的合理平衡。此外，还查看 [TPS7H4010-SEP](#) 数据表中的 [典型元件选择表](#)，以确保这些值接近建议选择。这通过如 [节 4.3.2](#) 中所示的负载阶

跃和波特图测量得到确认。将 50 Ω 电阻器与顶部反馈电阻器串联放置，并提供前馈电容器选项，以便更轻松地测量和优化控制环路。

确定下一个输出电压纹波。首先，电感器纹波的计算方法如 [方程式 6](#) 所示。计算出电感器纹波电流为 1.35A。

$$I_{L(ripple)} = \frac{V_{IN} - V_{OUT}}{L} \times \frac{V_{OUT}}{V_{IN} \times f_{SW}} \quad (6)$$

其中

- V_{IN} 是输入电压，12V
- V_{OUT} 是配置的输出电压，1.2V
- L 是所选的电感器，0.8μH
- f_{SW} 是所选的工作频率，1MHz

接下来，选择两个 100μF 电解电容器和一个 22μF 陶瓷电容器。使用 Kemet 的 K-SIM 工具，确定这些并联电容器在 1MHz 时的输出阻抗约为 4.2mΩ。将阻抗与电感器纹波电流相乘得出近似的输出纹波为 ±5.7mV。

最后，使用连接到反馈引脚的电阻分压器来配置输出电压。选择 50.55kΩ 的 R_{FB_TOP} (50.5kΩ 与 50Ω 串联) 和 261kΩ 的 R_{FB_BOT} ，从而产生 1.201V 的标称输出电压。使用数据表反馈电压参数最小值 0.987V、最大值 1.017V 以及 0.1% 电阻器容差 (使用平方和获得 ±0.14% 的误差贡献)，可以使用 [方程式 8](#) 和 [方程式 7](#) 近似计算总体直流精度。计算得出的精度为 -1.96% 和 +1.30%。

$$Error_{(positive)} = \frac{V_{FB(max)} \times \frac{R_{FB_TOP} + R_{FB_BOT}}{R_{FB_BOT}} - V_{OUT(ideal)}}{V_{OUT(ideal)}} + R_{(error)} \quad (7)$$

$$Error_{(negative)} = \frac{V_{FB(min)} \times \frac{R_{FB_TOP} + R_{FB_BOT}}{R_{FB_BOT}} - V_{OUT(ideal)}}{V_{OUT(ideal)}} - R_{(error)} \quad (8)$$

关于精度的另一个注意事项是是否启用了自动模式。自动模式能够在轻负载条件下实现更高的效率，但代价是负载调整性能较差。查看 [TPS7H4010-SEP](#) 数据表中的 [TPS7H4010-SEP 负载和线路调整图](#)，并查看 5V 应用的轻负载时大约增加 0.08V，自动模式近似会增加 +1.6% 的额外误差。因此，如果启用了自动模式，则精度为 -1.96% 和 +2.90%。此误差对于该电源轨是可以接受的，因此启用了自动模式。

请注意，输出连接器显示的电流为 2A。这是因为当所有电源轨满载时，会为 Versal Edge 1V2_VCCO 电源轨输出 2A，而为其他内部电源轨提供 2A。电路板连接器本身的尺寸可支持 4A。

表 3-3 对这些计算进行了汇总。

表 3-3. 1V2_VCCO 电源轨设计值

参数	描述或典型值
V _{IN}	12V
V _{OUT}	1.2V
I _{OUT(max)}	4A
f _{SW} , 开关频率	1MHz
直流精度	-1.96%, +2.90%
输出纹波	5.7mVpp
L _{SW} , 输出电感器	0.8μH, XAL5030-801ME_
C _{OUT} , 输出电容	2x100μF T520B, 1x22μF 陶瓷电容器
C _{IN} , 输入电容	3x10μF 陶瓷电容器 + 1x470nF 陶瓷电容器
t _{SS} , 软启动时间	6.3ms (SS 悬空)
偏置连接	连接到外部 3V3_VCCO
模式	自动启用

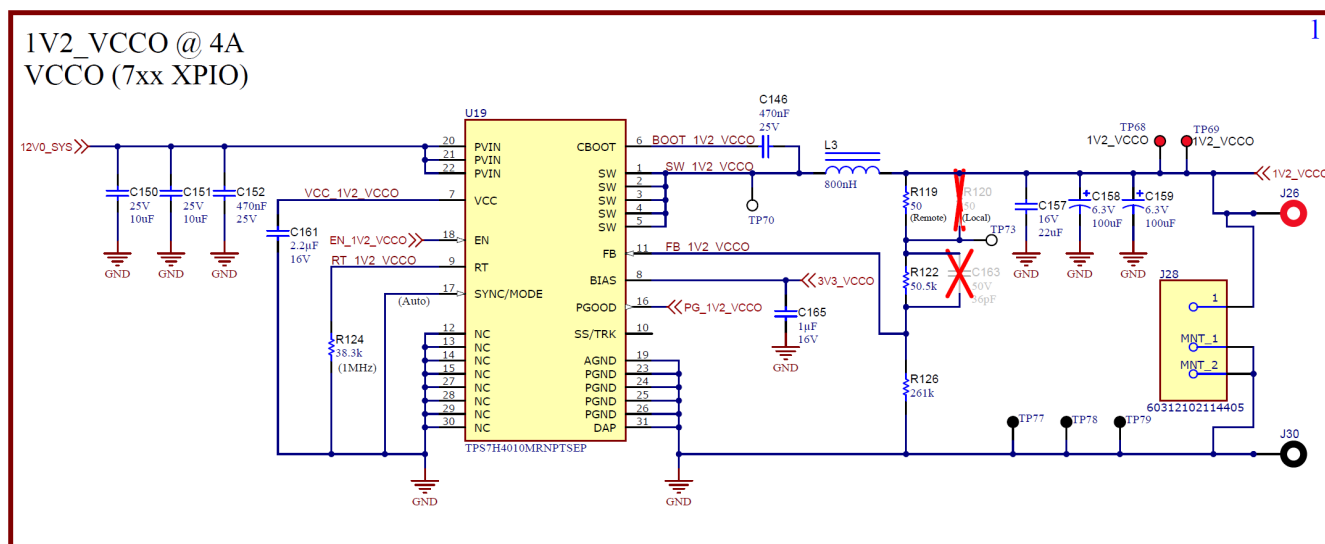


图 3-7. 1V2 VCCO 原理图

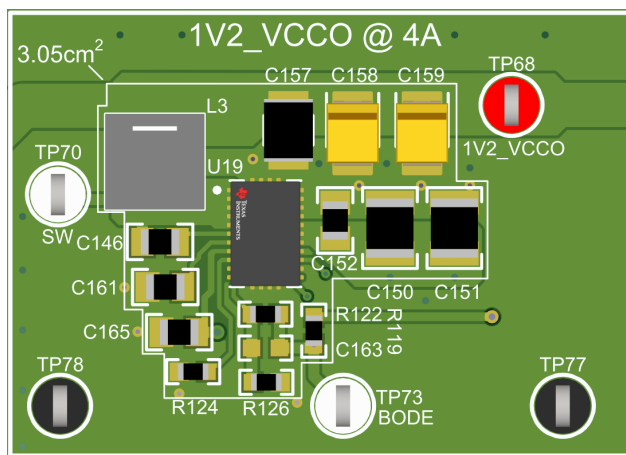


图 3-8. 1V2 VCCO 布局

3.2.3 1V2_MEM

选择 TPS7H4010-SEP 同步降压转换器，以直接从 12V 电源轨生成所需的 1.2V 电压。TI 估计，DDR4 的 DDR_VDDQ 轨需要高达 3A 的电流，下游 TPS7H3302-SEP 的 VLDOIN 需要高达 3A 的电流；因此，使用 TPS7H4010-SEP 的完整 6A 电流。

选择 1MHz 的开关频率和 0.8 μ H XAL5030-801ME_ 电感器，以实现设计尺寸和效率的合理平衡。此外，还查看 [TPS7H4010-SEP](#) 数据表中的 [典型元件选择表](#)，以确保这些值接近建议选择。这通过如 [节 4.3.2](#) 中所示的负载阶跃和波特图测量得到确认。将 50 Ω 电阻器与顶部反馈电阻器串联放置，并提供前馈电容器选项，以便更轻松地测量和优化控制环路。

接下来，确定输出电压纹波。首先，电感器纹波的计算方法如 [方程式 9](#) 所示。计算出电感器纹波电流为 1.35A。

$$I_{L(ripple)} = \frac{V_{IN} - V_{OUT}}{L} \times \frac{V_{OUT}}{V_{IN} \times f_{SW}} \quad (9)$$

其中

- V_{IN} 是输入电压，12V
- V_{OUT} 是配置的输出电压，1.2V
- L 是所选的电感器，0.8 μ H
- f_{SW} 是所选的工作频率，1MHz

接下来，选择两个 100 μ F 电解电容器和一个 22 μ F 陶瓷电容器。使用 Kemet 的 K-SIM 工具，确定这些并联电容器在 1MHz 时的输出阻抗约为 4.2m Ω 。将阻抗与电感器纹波电流相乘得出近似的输出纹波为 ± 5.7 mV。

最后，使用连接到反馈引脚的电阻分压器来配置输出电压。选择 50.55k Ω 的 R_{FB_TOP} (50.5k Ω 与 50 Ω 串联) 和 261k Ω 的 R_{FB_BOT} ，从而产生 1.201V 的标称输出电压。使用数据表反馈电压参数最小值 0.987V、最大值 1.017V 以及 0.1% 电阻器容差 (使用平方和获得 $\pm 0.14\%$ 的误差贡献)，可以使用 [方程式 11](#) 和 [方程式 10](#) 近似计算总体直流精度。计算得出的精度为 - 1.96% 和 +1.30%。

$$Error_{(positive)} = \frac{V_{FB(max)} \times \frac{R_{FB_TOP} + R_{FB_BOT}}{R_{FB_BOT}} - V_{OUT(ideal)}}{V_{OUT(ideal)}} + R_{(error)} \quad (10)$$

$$Error_{(negative)} = \frac{V_{FB(min)} \times \frac{R_{FB_TOP} + R_{FB_BOT}}{R_{FB_BOT}} - V_{OUT(ideal)}}{V_{OUT(ideal)}} - R_{(error)} \quad (11)$$

关于精度的另一个注意事项是是否启用了自动模式。自动模式能够在轻负载条件下实现更高的效率，但代价是负载调整性能较差。查看 [TPS7H4010-SEP](#) 数据表中的 [TPS7H4010-SEP 负载和线路调整图像](#)，并查看 5V 应用的轻负载时大约增加 0.08V，自动模式近似会增加 +1.6% 的额外误差。因此，如果启用了自动模式，则精度为 - 1.96% 和 +2.90%。此误差对于该电源轨是可以接受的，因此启用了自动模式。

[表 3-4](#) 对这些计算进行了汇总。

表 3-4. 1V2 电源轨设计值

参数	描述或典型值
V_{IN}	12V
V_{OUT}	1.2V
$I_{OUT(max)}$	6A
f_{SW} ，开关频率	1MHz
直流精度	-1.96%，+2.90%
输出纹波	5.7mVpp
L_{SW} ，输出电感器	0.8 μ H，XAL5030-801ME_
C_{OUT} ，输出电容	2x100 μ F T520B，1x22 μ F 陶瓷电容器

表 3-4. 1V2 电源轨设计值 (续)

参数	描述或典型值
C _{IN} , 输入电容	3x10 μ F 陶瓷电容器 + 1x470nF 陶瓷电容器
t _{SS} , 软启动时间	6.3ms (SS 悬空)
偏置连接	连接到外部 3V3_VCCO
模式	自动启用

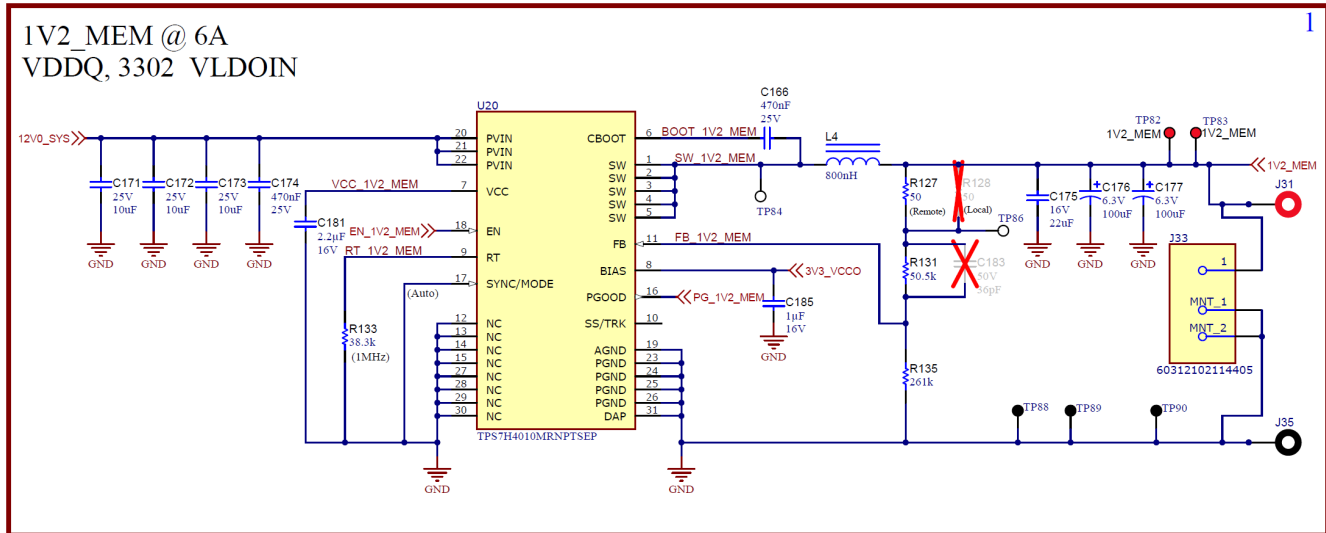


图 3-9. 1V2_MEM 原理图

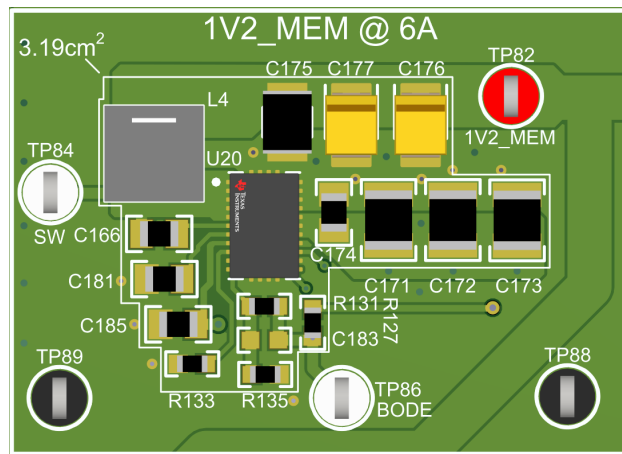


图 3-10. 1V2_MEM 布局

3.2.4 2V5_DDR_VPP

选择 TPS7H4010-SEP 同步降压转换器，以直接从 12V 电源轨生成所需的 2.5V 电压。DDR4 的 DDR_VPP 电源轨估计需要高达 0.1A，1V5_GTY 电源轨的 TPS7H1111-SEP 输入估计需要高达 0.2A 的电流，而 1V5 电源轨的 TPS7H1111-SEP 输入估计需要高达 1.5A 的电流。因此，设计决策是针对 3A 来提供合理的裕度。

选择 1MHz 的开关频率和 1.2 μ H XAL5030-122ME 电感器，以实现设计尺寸和效率的合理平衡。此外，还查看 [TPS7H4010-SEP](#) 数据表中的典型元件选择表，以确保这些值接近建议选择。这通过如 [节 4.3.2](#) 中所示的负载阶跃和波特图测量得到确认。将 50 Ω 电阻器与顶部反馈电阻器串联放置，并提供前馈电容器选项，以便更轻松地测量和优化控制环路。

接下来，确定输出电压纹波。首先，电感器纹波的计算方法如 [方程式 12](#) 所示。计算出电感器纹波电流为 1.65A。

$$I_{L(ripple)} = \frac{V_{IN} - V_{OUT}}{L} \times \frac{V_{OUT}}{V_{IN} \times f_{SW}} \quad (12)$$

其中

- V_{IN} 是输入电压，12V
- V_{OUT} 是配置的输出电压，2.5V
- L 是所选的电感器，1.2μH
- f_{SW} 是所选的工作频率，1MHz

接下来，选择两个 100μF 电解电容器和一个 22μF 陶瓷电容器。使用 Kemet 的 K-SIM 工具，确定这些并联电容器在 1MHz 时的输出阻抗约为 4.2mΩ。将阻抗与电感器纹波电流相乘得出近似的输出纹波为 ±6.9mV。

最后，使用连接到反馈引脚的电阻分压器来配置输出电压。选择 50.55kΩ 的 R_{FB_TOP} (50.5kΩ 与 50Ω 串联) 和 34kΩ 的 R_{FB_BOT} ，从而产生 2.502V 的标称输出电压。使用数据表反馈电压参数最小值 0.987V、最大值 1.017V 以及 0.1% 电阻器容差 (使用平方和获得 ±0.14% 的误差贡献)，可以使用 [方程式 14](#) 和 [方程式 13](#) 近似计算总体直流精度。计算得出的精度为 -1.96% 和 +1.30%。

$$Error_{(positive)} = \frac{V_{FB(max)} \times \frac{R_{FB_TOP} + R_{FB_BOT}}{R_{FB_BOT}} - V_{OUT(ideal)}}{V_{OUT(ideal)}} + R_{(error)} \quad (13)$$

$$Error_{(negative)} = \frac{V_{FB(min)} \times \frac{R_{FB_TOP} + R_{FB_BOT}}{R_{FB_BOT}} - V_{OUT(ideal)}}{V_{OUT(ideal)}} - R_{(error)} \quad (14)$$

关于精度的另一个注意事项是是否启用了自动模式。自动模式能够在轻负载条件下实现更高的效率，但代价是负载调整性能较差。查看 [TPS7H4010-SEP](#) 数据表中的 [TPS7H4010-SEP 负载和线路调整](#) 图像，并查看 5V 应用的轻负载时大约增加 0.08V，自动模式近似会增加 +1.6% 的额外误差。因此，如果启用了自动模式，则精度为 -1.96% 和 +2.90%。此误差对于该电源轨是可以接受的，因此启用了自动模式。

请注意，输出连接器显示的电流为 0.1A。这是因为当所有电源轨满载时，为 DDR_VPP 电源轨输出 0.1A，而为其他内部电源轨提供 2.9A。电路板连接器本身的尺寸可支持 3A。

[表 3-5](#) 对这些计算进行了汇总。

表 3-5. 2V5_DDR_VPP 电源轨设计值

参数	描述或典型值
V_{IN}	12V
V_{OUT}	2.5V
$I_{OUT(max)}$	3A
f_{SW} ，开关频率	1MHz
直流精度	-1.96%，+2.90%
输出纹波	6.9mVpp
L_{SW} ，输出电感器	1.2μH，XAL5030-122ME_
C_{OUT} ，输出电容	2x100μF T520B，1x22μF 陶瓷电容器
C_{IN} ，输入电容	3x10μF 陶瓷电容器 + 1x470nF 陶瓷电容器
t_{SS} ，软启动时间	6.3ms (SS 悬空)
偏置连接	连接到外部 3V3_VCCO
模式	自动启用

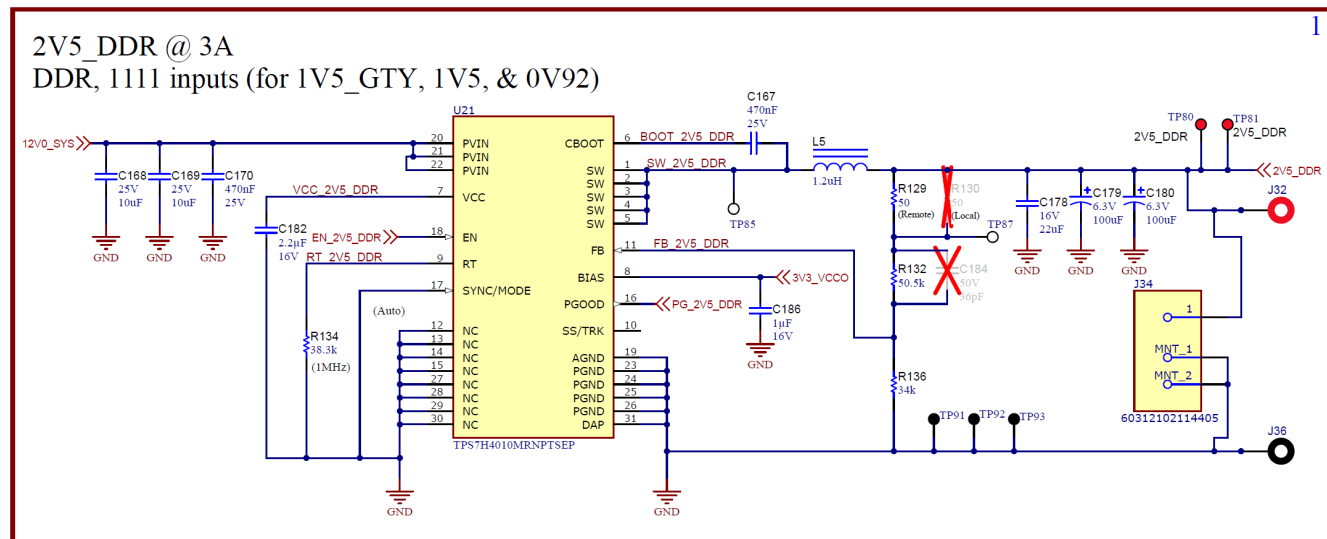


图 3-11. 2V5_DDR_VPP 原理图

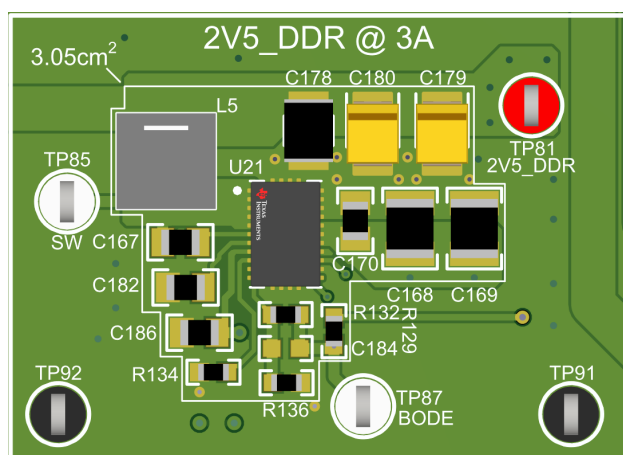


图 3-12. 2V5_DDR_VPP 布局

3.2.5 3V3_VCCO

选择 TPS7H4010-SEP 同步降压转换器，以直接从 12V 电源轨生成所需的 3.3V 电压。Versal Edge VCCO_HDIO (302 组) 电源轨估计需要 2A、VCCO_500、VCCO_501 和 VCCO_503 (PSIO 组) 和 VCCO_502 (PSIO 组) 估计需要 2A、TPS7H3302-SEP VDD 输入估计需要 30mA，TPS7H1111-SEP 偏置电源轨估计需要 81mA。因此，TPS7H4010-SEP 的大小适合 6A，以提供合理的裕度。

选择 1MHz 的开关频率和 1.8 μ H XAL6030-182ME 电感器以实现设计尺寸和效率的合理平衡。此外，还查看 [TPS7H4010-SEP](#) 数据表中的典型元件选择表，以确保这些值接近建议选择。这通过如 [节 4.3.2](#) 中所示的负载阶跃和波特图测量得到确认。将 50 Ω 电阻器与顶部反馈电阻器串联放置，并提供前馈电容器选项，以便更轻松地测量和优化控制环路。

接下来，确定输出电压纹波。首先，电感器纹波的计算方法如 [方程式 15](#) 所示。计算出电感器纹波电流为 1.33A。

$$I_{L(ripple)} = \frac{V_{IN} - V_{OUT}}{L} \times \frac{V_{OUT}}{V_{IN} \times f_{SW}} \quad (15)$$

其中

- V_{IN} 是输入电压，12V
- V_{OUT} 是配置的输出电压，3.3V
- L 是所选的电感器，1.8 μ H

- f_{SW} 是所选的工作频率，1MHz

接下来，选择一个 100 μ F 电解电容器和两个 22 μ F 陶瓷电容器。使用 Kemet 的 K-SIM 工具，确定这些并联电容器在 1Mhz 时的输出阻抗约为 12.2m Ω 。将阻抗与电感器纹波电流相乘得出近似的输出纹波为 ± 16.2 mV。

最后，使用连接到反馈引脚的电阻分压器来配置输出电压。选择 50.55k Ω 的 R_{FB_TOP} (50.5k Ω 与 50 Ω 串联) 和 22.1k Ω 的 R_{FB_BOT} ，从而产生 3.307V 的标称输出电压。使用数据表反馈电压参数最小值 0.987V、最大值 1.017V 以及 0.1% 电阻器容差 (使用平方和获得 $\pm 0.14\%$ 的误差贡献)，可以使用 [方程式 17](#) 和 [方程式 16](#) 近似计算总体直流精度。计算得出的精度为 - 1.82% 和 +1.45%。

$$Error_{(positive)} = \frac{V_{FB(max)} \times \frac{R_{FB_TOP} + R_{FB_BOT}}{R_{FB_BOT}} - V_{OUT(ideal)}}{V_{OUT(ideal)}} + R_{(error)} \quad (16)$$

$$Error_{(negative)} = \frac{V_{FB(min)} \times \frac{R_{FB_TOP} + R_{FB_BOT}}{R_{FB_BOT}} - V_{OUT(ideal)}}{V_{OUT(ideal)}} - R_{(error)} \quad (17)$$

关于精度的另一个注意事项是是否启用了自动模式。自动模式能够在轻负载条件下实现更高的效率，但代价是负载调整性能较差。查看 [TPS7H4010-SEP](#) 数据表中的 TPS7H4010-SEP 负载和线路调整图像，并查看 5V 应用的轻负载时大约增加 0.08V，自动模式近似会增加 +1.6% 的额外误差。因此，如果启用了自动模式，则精度为 - 1.82% 和 +3.05%。此误差对于该电源轨是可以接受的，因此启用了自动模式。

[表 3-6](#) 对这些计算进行了汇总。

表 3-6. 3V3_VCCO 电源轨设计值

参数	描述或典型值
V_{IN}	12V
V_{OUT}	3.3V
$I_{OUT(max)}$	6A
f_{SW} ，开关频率	1MHz
直流精度	-1.82%，+3.05%
输出纹波	16.2mVpp
L_{SW} ，输出电感器	1.8 μ H XAL6030-182ME_
C_{OUT} ，输出电容	1x100 μ F T520B，2x22 μ F 陶瓷电容器
C_{IN} ，输入电容	2x10 μ F 陶瓷电容器 + 1x470nF 陶瓷电容器
t_{SS} ，软启动时间	6.3ms (SS 悬空)
偏置连接	连接到输出 3V3_VCCO
模式	自动启用

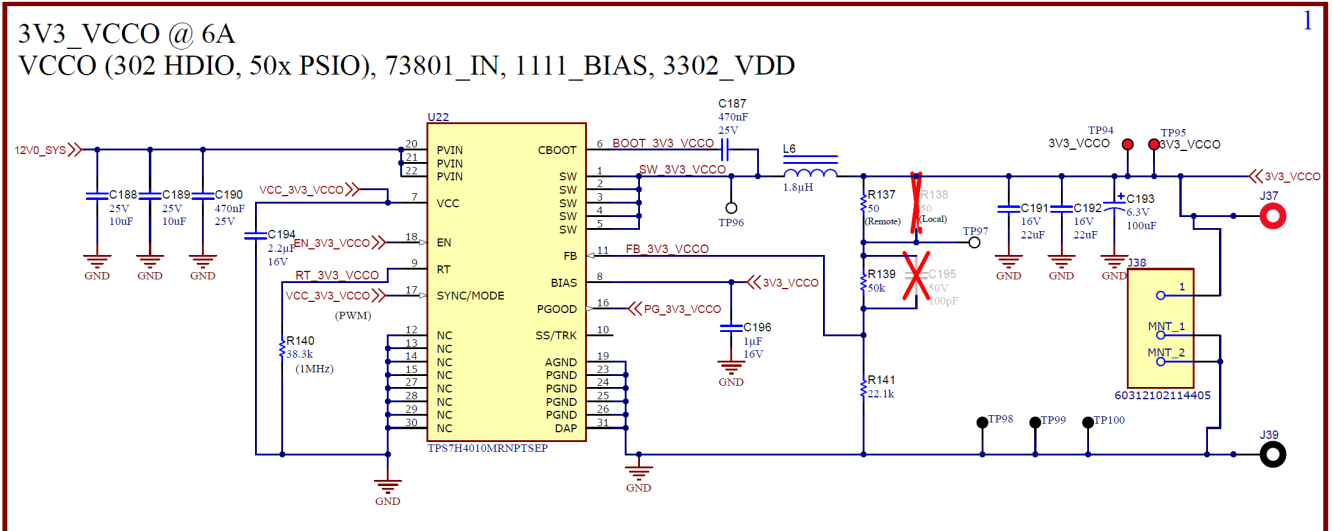


图 3-13. 3V3_VCCO 原理图

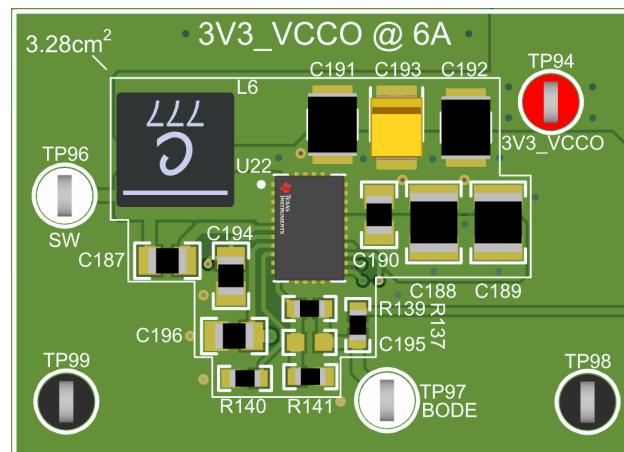


图 3-14. 3V3_VCCO 布局

3.3 线性稳压器

3.3.1 DDR 终端

这里选择了 TPS7H3302-SEP 来端接 DDR4 存储器。该器件为 VTT 产生 $\pm 3A$ 电流，为 VTTREF 产生 $\pm 10mA$ 电流。VLDOIN 输入来自 1V2_MEM 电源轨，VDD 来自 3V3_VCCO 电源轨。选择的输出电容器为 3 个 150 μF + 4 个 4.7 μF ，与 EVM 相同。根据 TPS7H3302-SEP 数据表，VTT 精度为 -2.5% 和 $+5.0\%(\pm 1A)$ 。

图 3-15 显示了 TPS7H3302-SEP 原理图，图 3-16 显示了布局。

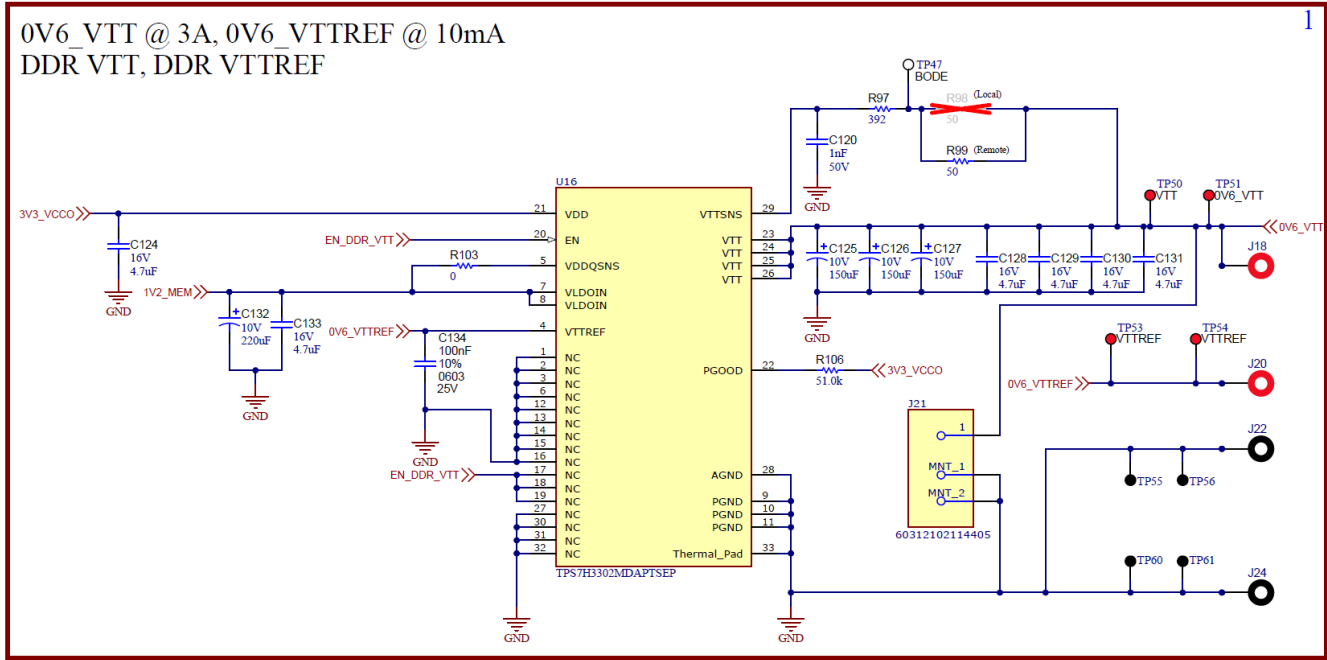


图 3-15. DDR 终端原理图

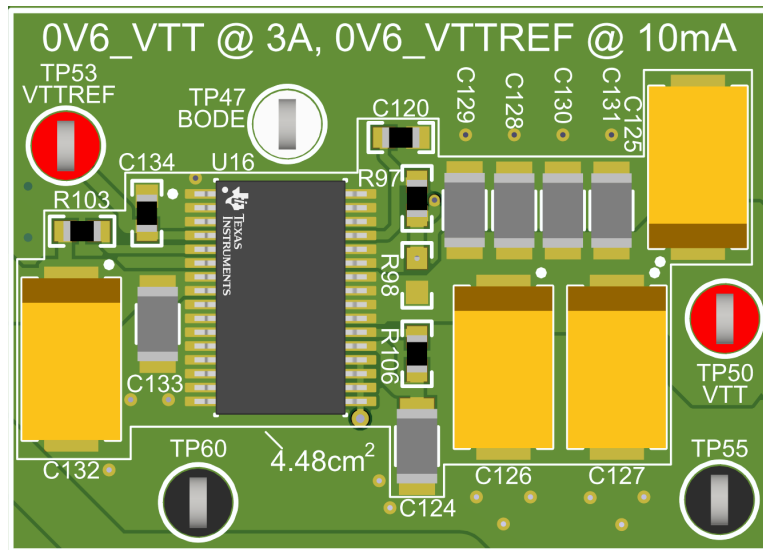


图 3-16. DDR 终端布局

3.3.2 0V92

选择 TPS7H1111-SEP 从 1V2_VCCO 电源轨生成 0.92V 电源轨 (对于偏置, 选择 3V3_VCCO)。虽然 TPS7H1111-SEP 能够提供 1.5A 电流, 但 Versal Edge VTYP_AVCC 电源轨估计只需要 0.75A 电流。因此, LDO 的最大设计电流为 1A, 以提供合理的裕度。

本设计选择 EVM 上使用 2 个 100 μ F 输出电容器。无需添加额外的陶瓷去耦电容器, 因为 TPS7H1111-SEP 不需要它们即可实现良好的性能。但是, 如果需要, 可以在 FPGA 负载附近添加一个 100nF 电容器 (布局中为此目的预留了位置)。设置 FB_PG 电阻器的大小, 以使 PG 置为有效阈值出现在 VOUT 的 95.5% 处。必须仔细选择该阈值, 以确保在启动期间 TPS7H1111-SEP 的电压在 Versal FPGA 的最大时序要求范围内斜升。此外, 选择一个 2.2 μ F C_{SS} 电容器而不是典型的 4.7 μ F 电容器, 以便在启动期间提供额外的时序裕度。4.7 μ F 电容器提供的低噪声经确定对 Versal FPGA 并非关键要求。

图 3-17 显示了 0V92 原理图, 图 3-18 显示了布局。

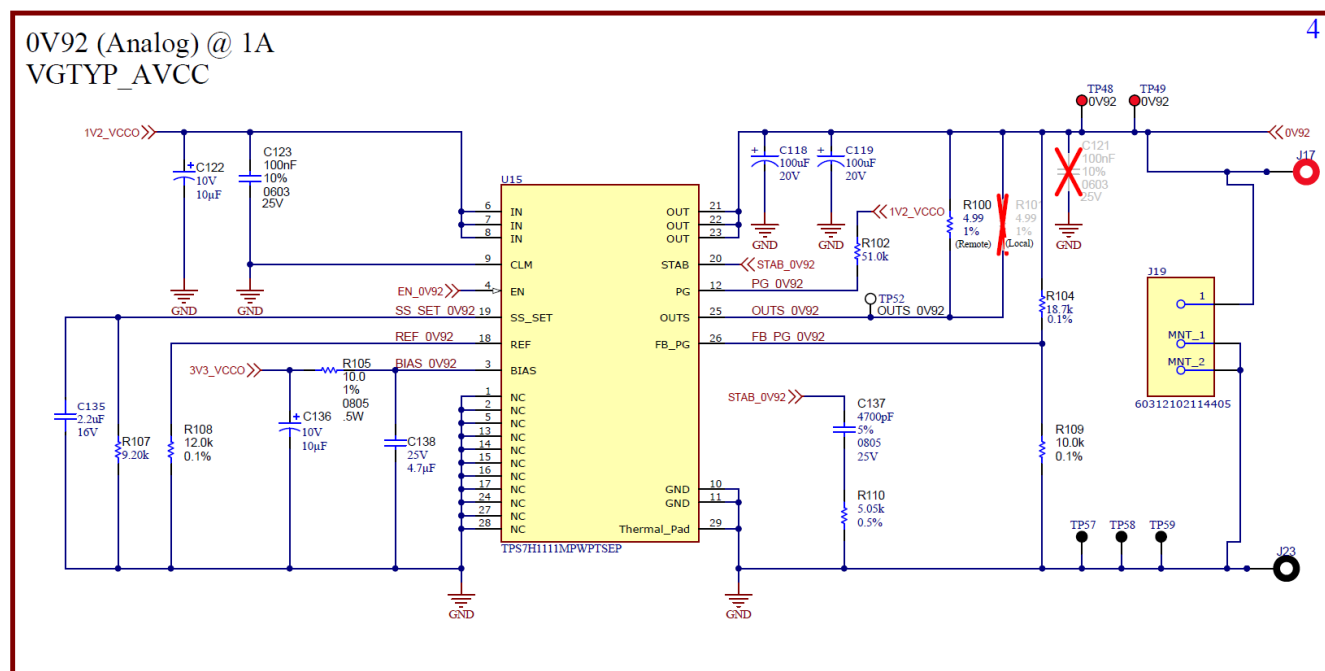


图 3-17. 0V92 原理图

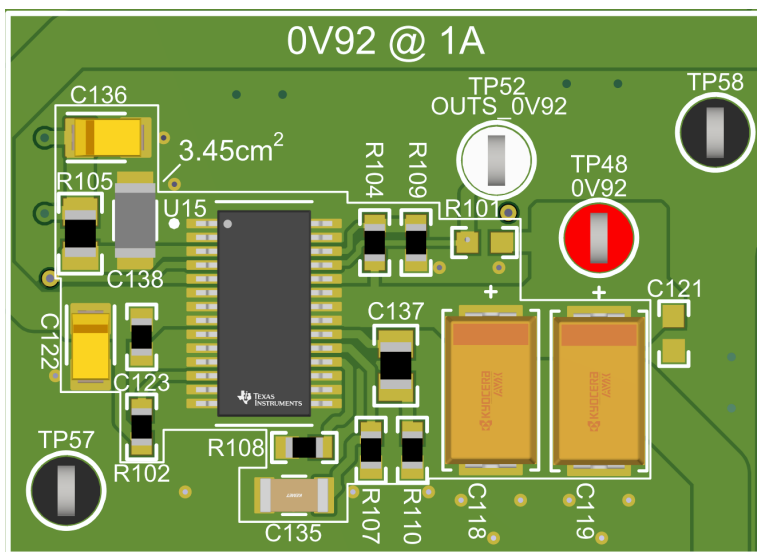


图 3-18. 0V92 布局

3.3.3 1V5_GTY

选择 TPS7H1111-SEP 从 2V5_DDR 电源轨生成 1.5V 电源轨 (对于偏置, 选择 3V3_VCCO)。虽然 TPS7H1111-SEP 能够提供 1.5A 电流, 但 Versal Edge VGTY_AVCCAUX 电源轨估计只需要 0.05A 电流。因此, LDO 的最大设计电流为 0.2A, 以提供合理的裕度。

本设计选择 EVM 上使用 2 个 100 μ F 输出电容器。无需添加额外的陶瓷去耦电容器, 因为 TPS7H1111-SEP 不需要它们即可实现良好的性能。但是, 如果需要, 可以在 FPGA 负载附近添加一个 100nF 电容器 (布局中为此目的预留了位置)。设置 FB_PG 电阻器的大小, 以使 PG 置为有效阈值出现在 VOUT 的 94.9% 处。必须仔细选择该阈值, 以确保在启动期间 TPS7H1111-SEP 的电压在 Versal FPGA 的最大时序要求范围内斜升。此外, 选择一个 2.2 μ F C_{SS} 电容器而不是典型的 4.7 μ F 电容器, 以便在启动期间提供额外的时序裕度。4.7 μ F 电容器提供的低噪声经确定对 Versal FPGA 并非关键要求。

图 3-19 显示了 1V5_GTY 原理图, 图 3-20 显示了布局。

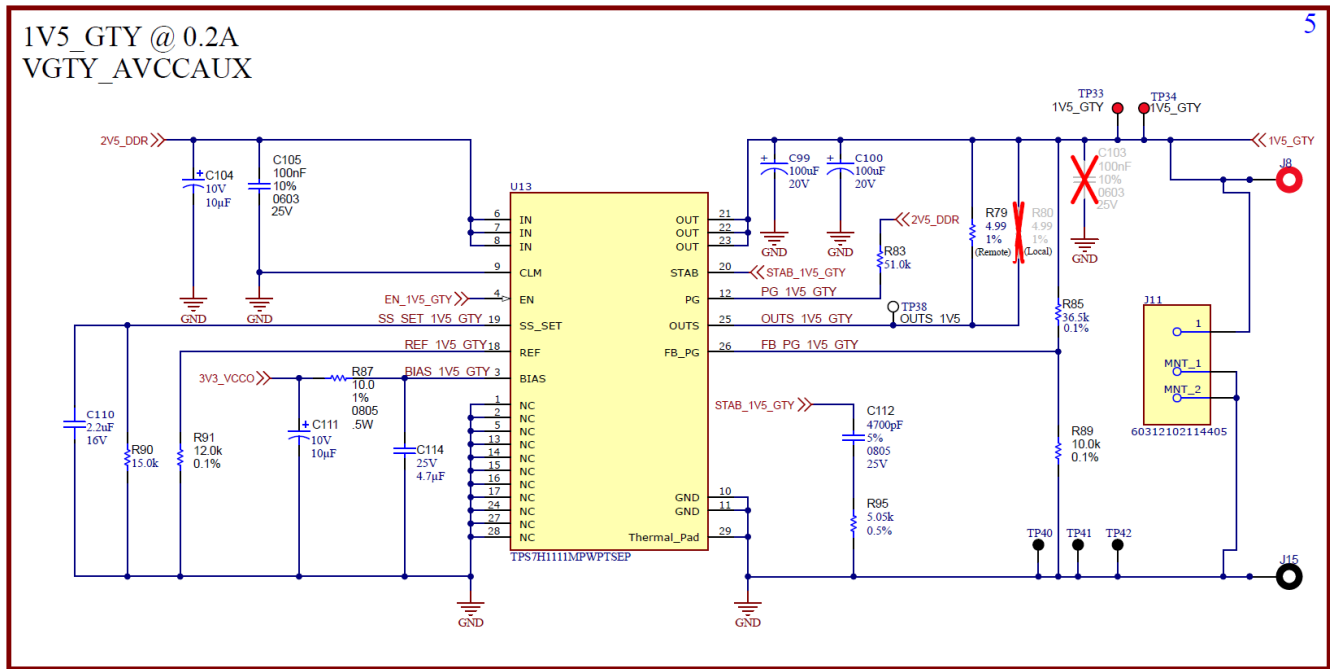


图 3-19. 1V5_GTY 原理图

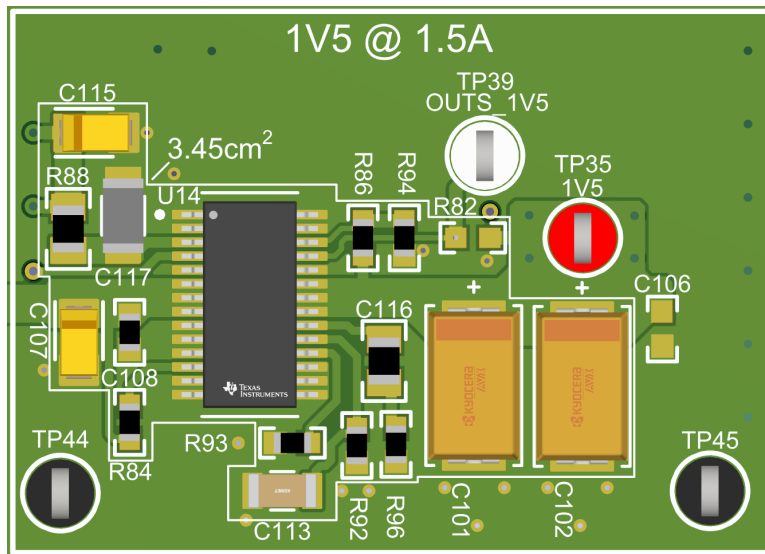


图 3-20. 1V5_GTY 布局

3.3.4 1V5

选择 TPS7H1111-SEP 从 2V5_DDR 电源轨生成 1.5V 电源轨 (对于偏置, 选择 3V3_VCCO)。Versal Edge VCCAUX 需要 0.7A, VCCAUX_SMON 和 VCCAUX_PMC 需要 0.3A。为了提供裕度, LDO 设计为最大电流 1.5A。

本设计选择 EVM 上使用 2 个 100 μ F 输出电容器。TPS7H1111-SEP 的输出端不添加额外的陶瓷去耦电容器。建议在 VCCAUX_SMON 电源轨上配备额外的铁氧体磁珠滤波器。在铁氧体磁珠之后, 放置一个 100nF 电容器, 以完全保持在 TPS7H1111-SEP 的推荐输出滤波器范围内。借助此滤波器和 TPS7H1111-SEP 的高 PSRR, 可以构建低噪声 SMON 电源轨。设置 FB_PG 电阻器的大小, 以使 PG 置为有效阈值出现在 VOUT 的 94.9% 处。必须仔细选择该阈值, 以确保在启动期间 TPS7H1111-SEP 的电压在 Versal FPGA 的最大时序要求范围内斜升。此外, 选择一个 2.2 μ F C_{SS} 电容器而不是典型的 4.7 μ F 电容器, 以便在启动期间提供额外的时序裕度。4.7 μ F 电容器提供的低噪声经确定对 Versal FPGA 并非关键要求。

请注意, 1V5 的输出连接器显示的最大电流为 1.5A, 1V5_SMON 连接器显示的最大电流为 0.4A。如果同时加载这些连接器, 务必确保这些连接器的总负载不超过 1.5A。

图 3-21 显示了 1V5 原理图, 图 3-22 显示了布局。

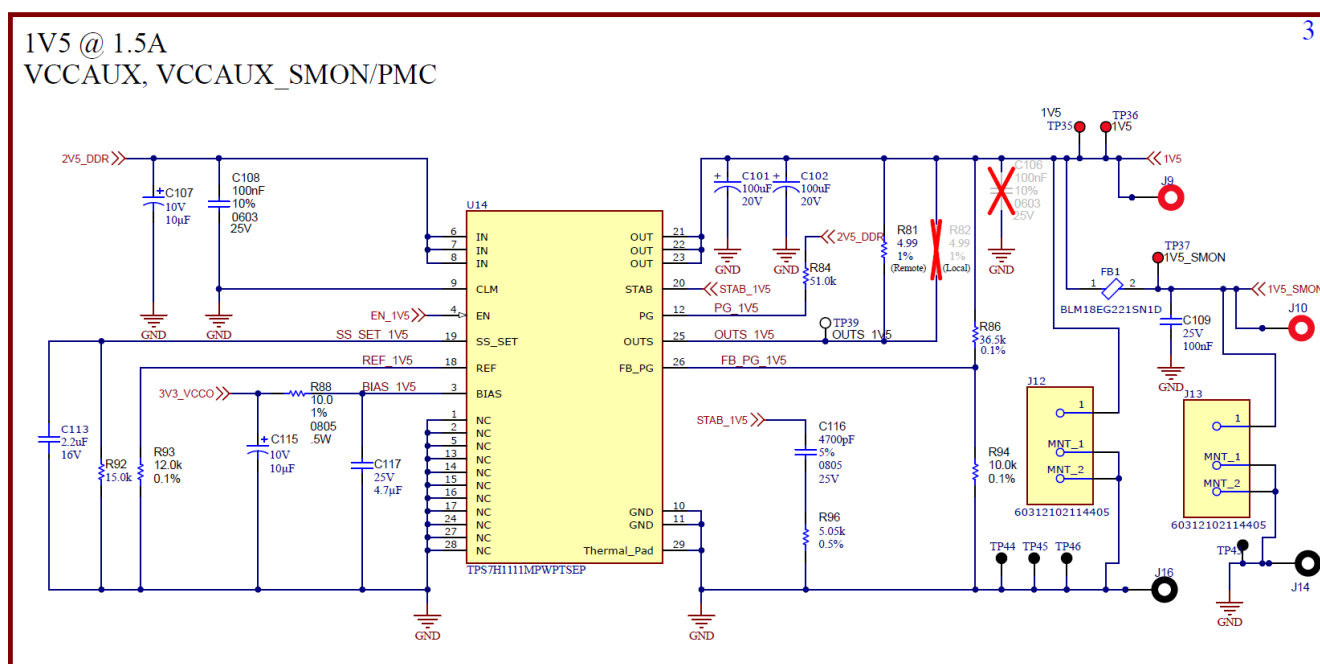


图 3-21. 1V5 原理图

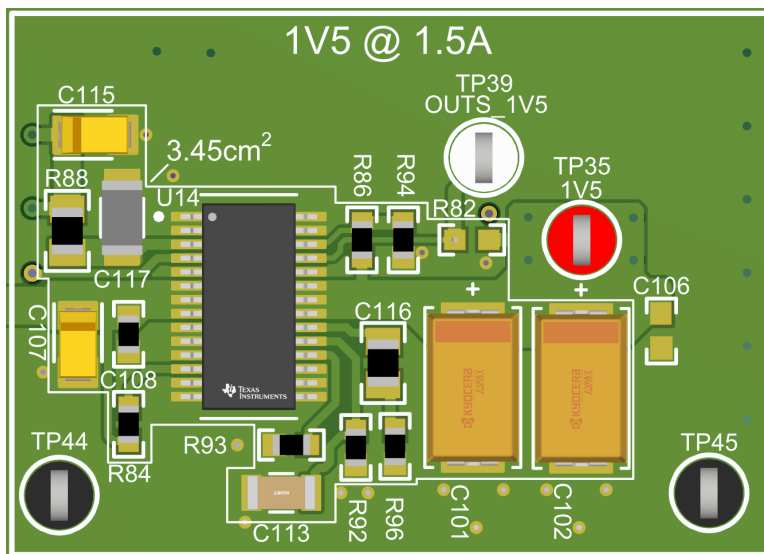


图 3-22. 1V5 布局

3.3.5 5V0_SYS

选择 TPS73801-SEP 从 12V0_SYS 电源轨生成 5.0V 电源轨。该电源轨用于为 TPS7H2221-SEP 器件的 TPS7H3014-SP 上拉输入和电源供电。这些器件的功耗均相对较低。TPS73801 的大小适合 50mA，可提供足够的裕量。

选择 1 个 100 μ F + 2 个 22 μ F 的输出电容器作为输出。EN 立即连接至高电平以使该电源轨可尽快供 TPS7H2221 和 TPS7H3014 使用。

图 3-23 显示了 5V0_SYS 原理图，图 3-24 显示了布局。

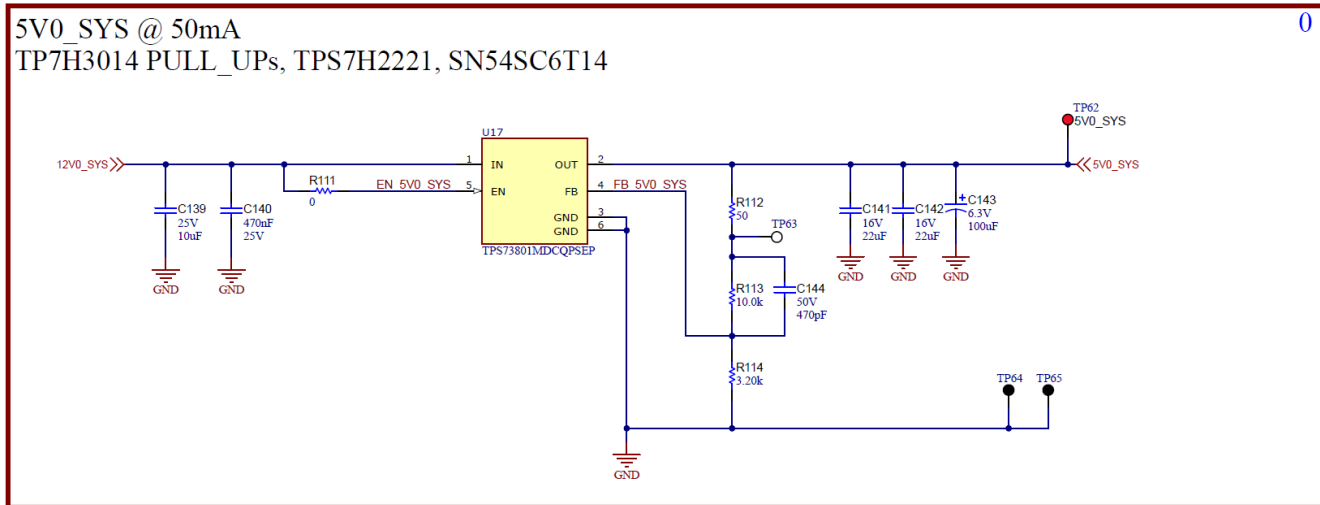


图 3-23. 5V0_SYS 原理图

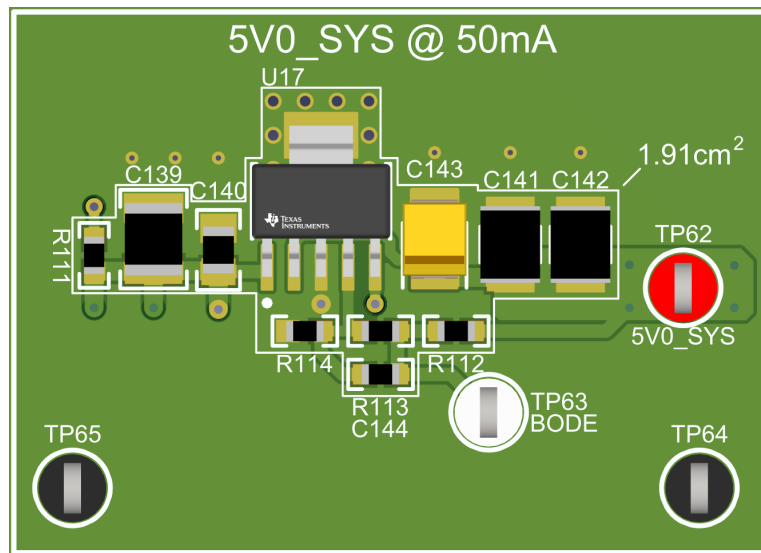


图 3-24. 5V0_SYS 布局

3.4 时序控制

3.4.1 TPS7H3014-SP 序列发生器

Versal Edge 具有特定的上电和下电时序要求。采用菊花链配置的两个 TPS7H3014-SP 器件可对六个 Versal 电源轨进行时序控制，并按反向顺序关断。表 3-7 显示了每个电源轨的序列发生器编号。由于 TPS7H3014-SP 器件用于监控电源轨电压，因此可以使用电阻分压器对导通和关断的实际电压阈值进行编程，这也如表所示。

表 3-7. 时序控制顺序

序列号	电源轨的监控和时序控制	其他电源轨时序控制	R _{TOP}	R _{BOTTOM}	V _{ON-NOMINAL} (V)	V _{ON-NOMINAL} (%)	V _{OFF-NOMINAL} (V)	V _{OFF-NOMINAL} (%)
1	3V3_VCCO	1V2_VCCO、 2V5_DDR_VPP、 1V2_MEM、 VTT(DDR)	118kΩ	28.7kΩ	3.064V	92.84% ± 0.93%	0.226V	6.85% ± 2.74%
2	VCCINT (0V80)	无	29.4kΩ	111kΩ	0.758V	94.76% ± 0.95%	0.051V	6.39% ± 2.82%
3	1V5	无	54.2kΩ	40.2kΩ	1.407V	93.83% ± 0.94%	0.104V	6.93% ± 2.77%
4	0V92	无	34kΩ	75kΩ	0.871V	94.68% ± 0.95%	0.053V	5.81% ± 2.83%
5	1V5_GTY	无	54.2kΩ	40.2kΩ	1.407V	93.83% ± 0.94%	0.104V	6.93% ± 2.77%
6	1V2	无	44.2kΩ	49.3kΩ	1.137V	94.72% ± 0.95%	0.074V	6.15% ± 2.82%
7 ⁽¹⁾	12V0_SYS	无	56.9kΩ	3.61kΩ	10.046V	83.72% ± 0.84%	8.678V	72.32% ± 0.90%

(1) 该电源轨用于监控 12V0_SYS 电源轨，而 TPS7H2221-SEP 用于在启动期间保持 SENSE1 低电平。

当在 12V0_SYS 上检测到上升电压 (经过短暂延迟) 时，TPS7H3014-SP 开始上电序列。同样，当 12V0_SYS 下降时，会启动下电序列。该下电序列有助于在发生欠压事件时保护电源。表 3-8 展示了这些详细信息。

表 3-8. 上电和下电时序

序列	R _{TOP}	R _{BOTTOM}	V _{IN} , 最小值	V _{IN} , 典型值	V _{IN} , 最大值	注释
UP	20kΩ	1.3kΩ	9.50V	9.80V	10.08V	上电时序在 V _{IN} > 10V (约值) 之前开始。1.5μF 电容器用于延迟 (时间常数 1.9ms)
向下	20kΩ	1.1kΩ	9.26V	9.55V	9.82V	当 V _{IN} 降至 < 9.6V (约值) 时，开始下电时序。如果未在 V _{IN} < 8.678V (约值) 之前完成时序，则关断以保护核心及其他电源

图 3-25 显示了序列发生器原理图，图 3-26 显示了布局。

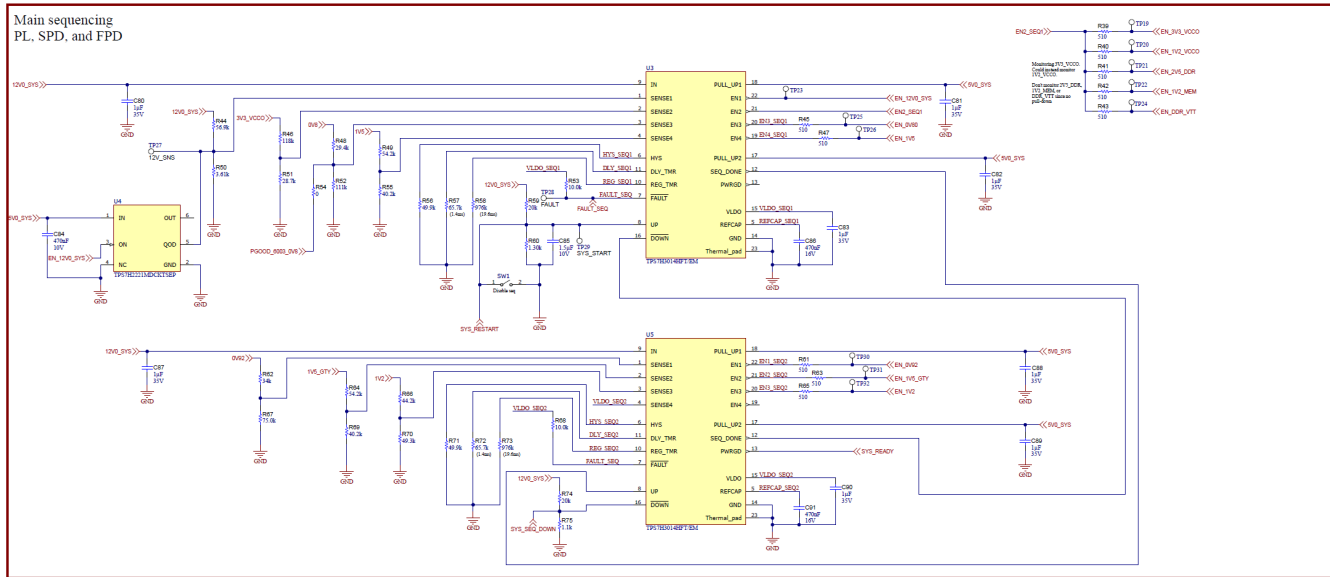


图 3-25. 时序控制原理图

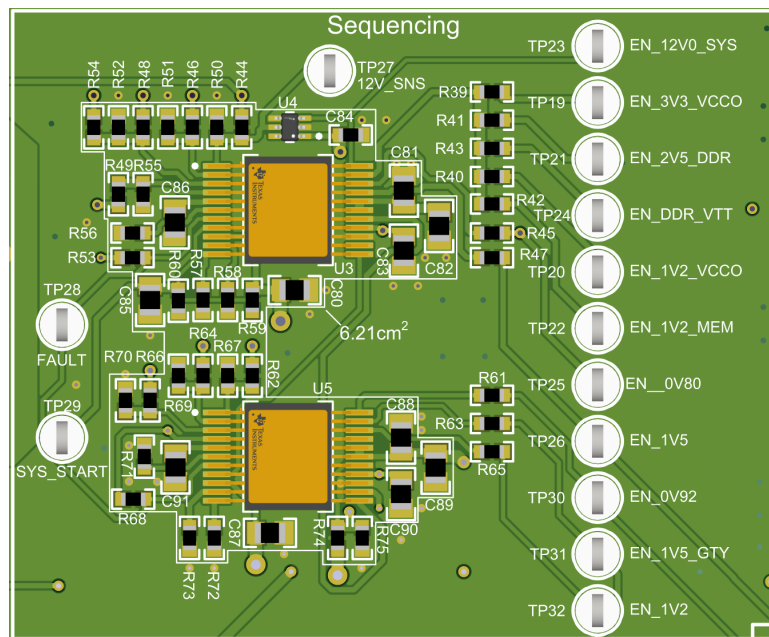


图 3-26. 时序控制布局

3.4.2 TPS7H2221-SEP 放电电路

Versal FPGA 要求电源轨在特定时间内完成上电时序。使用稳压器的典型软启动时间即可轻松实现这一点。但是，当在没有主动放电的情况下对这些电源轨执行时序控制时，电源轨可能需要过长的时间才能按顺序关闭。

要实现主动放电，通常可以使用一个额外的 MOSFET。但是，根据具体的实现方式，可能需要额外的支持电路，并且抗辐射 MOSFET 可能相当大。而是使用具有快速输出放电 (QOD) 功能的 TPS7H2221-SEP 负载开关来实现主动放电。这种小型设计仅使用 QOD 引脚和一个小型去耦电容器为器件供电。此设计用于具有放电要求的所有辅助电源轨。

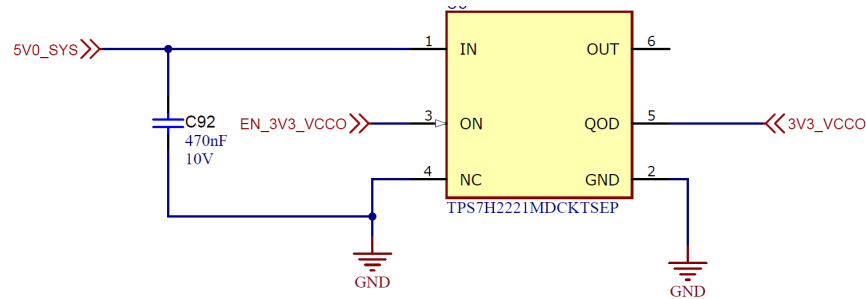


图 3-27. 放电原理图

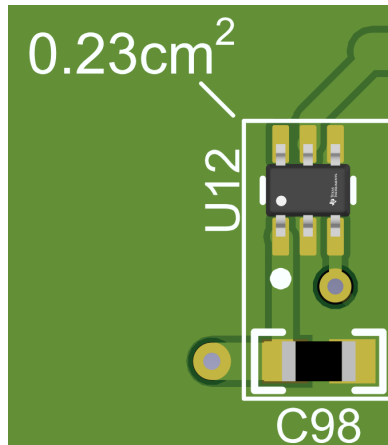


图 3-28. 放电布局

3.4.3 VCCINT 放电电路

与许多辅助电源轨类似，0V8 (VCCINT) 核心电源轨也需要主动放电才能在所需时间内关断。但是，由于该电源轨上的电容较大，TPS7H2221-SEP 设计无法在足够的时间对电源轨进行放电。

而是使用逆变器和 GaN FET 对此电源轨放电。电阻器用于防止在此放电期间出现大的电流峰值。图 3-29 显示了原理图，图 3-30 显示了布局。

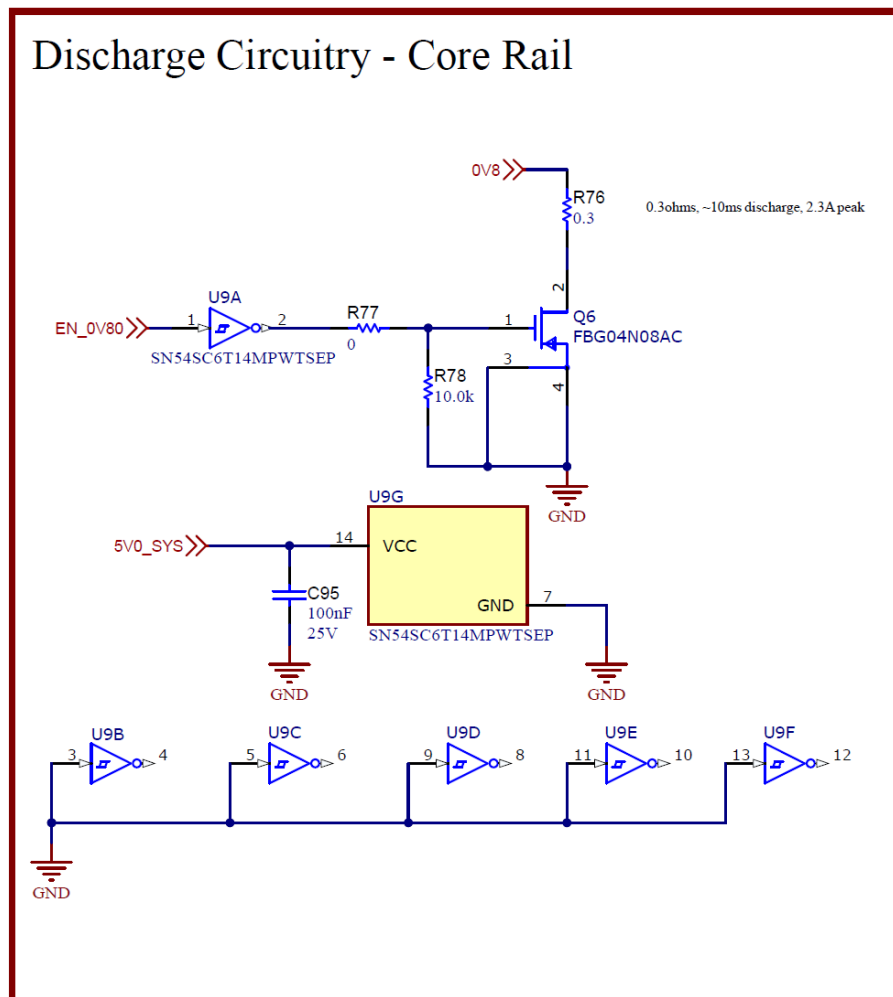


图 3-29. VCCINT 放电原理图

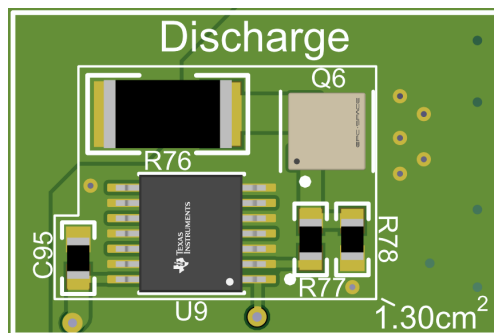


图 3-30. VCCINT 放电布局

4 硬件、测试要求和测试结果

4.1 硬件要求

- TIDA-050088 参考设计电路板
- 能够提供 12V 和 7A 的直流电源 (如果 TIDA 未满载, 4A 即可)
- 电子负载 (44A)
- 万用表
- 示波器
- 函数发生器 (用于 VCCINT 负载阶跃)

4.2 测试设置

将电源连接到输入端子 (标记为 12V0_SYS), 并确保 12V 连接到红色连接器, 而 GND 连接到黑色连接器。要在通电时自动启动, 请确保启用序列发生器并将 SW1 设置为使能状态。在电源全部上电后, 可以使用下电时序按钮 SW3 对电源进行下电时序控制。可以使用上电时序按钮 (SW2) 再次对电源进行上电时序控制。

若要测试各个电源, 请将电子负载连接到所需的输出端子。如果需要, 可以同时施加多个负载。负载不应高于电路板上列出的额定输出。



小心

注意表面高温。接触会导致烫伤。请勿触摸！

电路板上电后, 某些元件可能会达到 55°C 以上的高温。在运行过程中或运行刚结束时, 不得触摸电路板, 因为可能存在高温。

4.3 测试结果

4.3.1 分立式降压稳压器 (VCCINT)

4.3.1.1 0V8

除非另有说明，否则 图 4-1 至 图 4-27 中 $V_{IN} = 12V$ 。

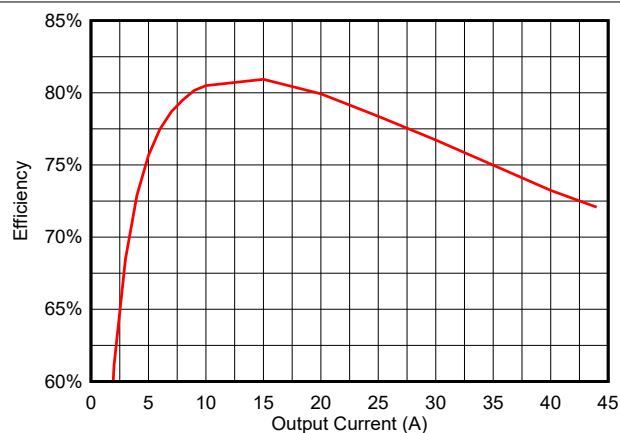
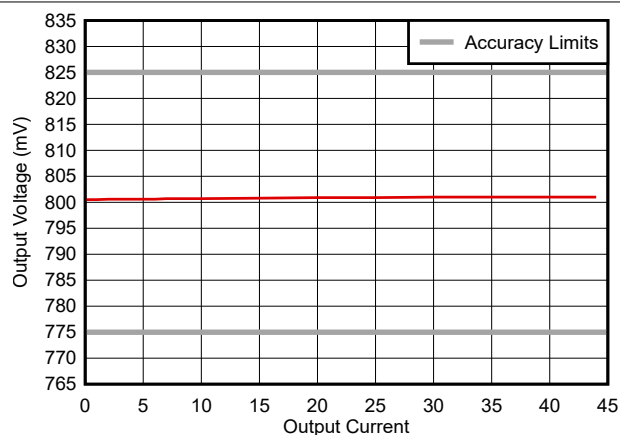
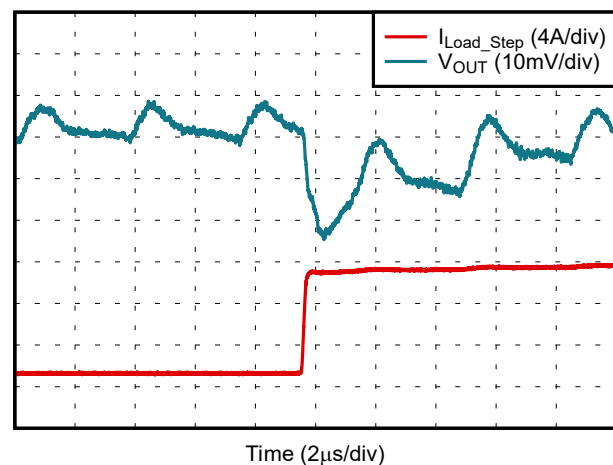


图 4-1. 效率



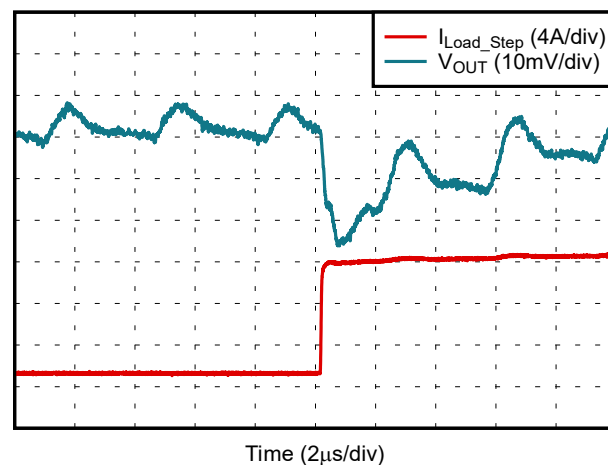
本地接地

图 4-2. 负载调整率



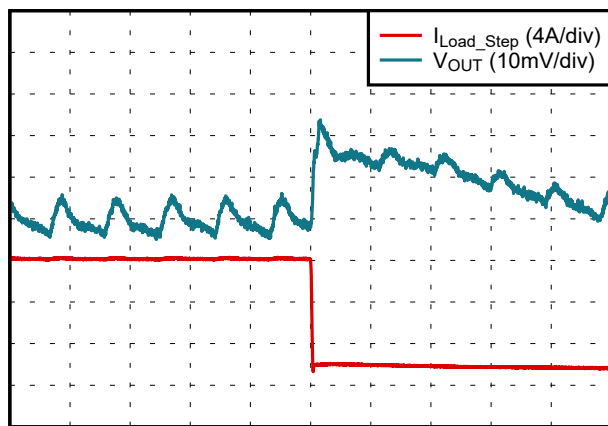
$V_{OUT(DROP)} = 24.8mV$, I_{LOAD_STEP} 使用 R38 负载阶跃电阻器两端的电压进行测量，测量不包括 20A 直流电流

图 4-3. 负载阶跃：56A/ μs 时为 20A 至 31A



$V_{OUT(DROP)} = 26.4mV$, I_{LOAD_STEP} 使用 R38 负载阶跃电阻器两端的电压进行测量，测量不包括 20A 直流电流

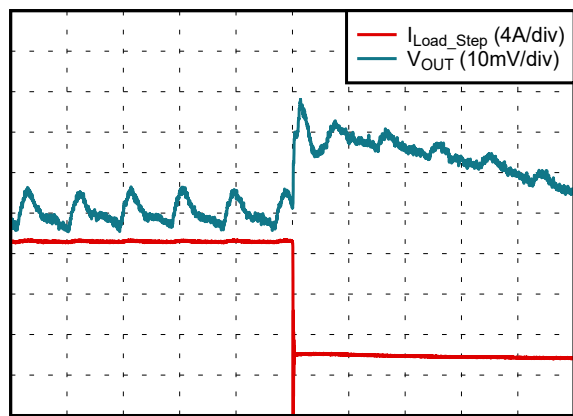
图 4-4. 负载阶跃：200A/ μs 时为 20A 至 31A



Time (4μs/div)

$V_{OUT}(\text{RISE}) = 24.0\text{mV}$, $I_{\text{LOAD_STEP}}$ 使用 R38 负载阶跃电阻器上的电压进行测量, 测量不包括 20A 直流电流

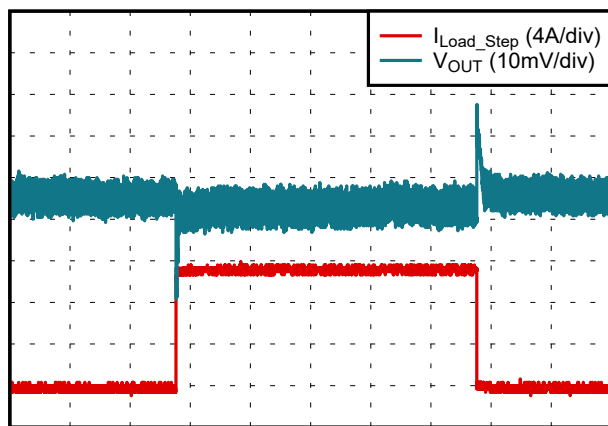
图 4-5. 负载阶跃 : 83A/μs 时为 31A 至 20A



Time (4μs/div)

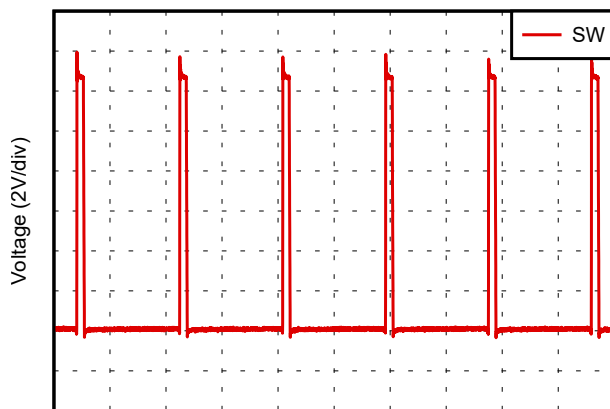
$V_{OUT}(\text{RISE}) = 28.4\text{mV}$, $I_{\text{LOAD_STEP}}$ 使用 R38 负载阶跃电阻器上的电压进行测量, 测量不包括 20A 直流电流

图 4-6. 负载阶跃 : 200A/μs 时为 31A 至 20A



Time (200μs/div)

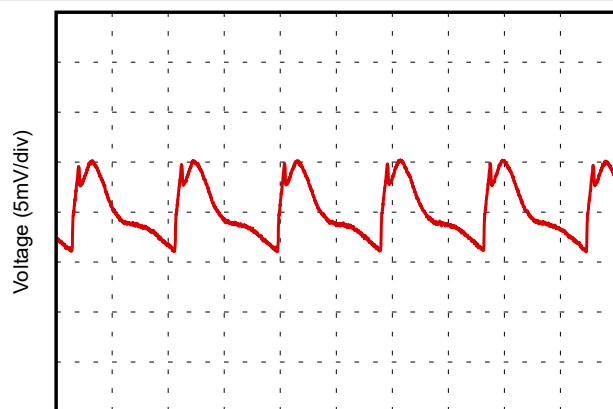
图 4-7. 负载阶跃 : 20A 至 31A 至 20A 负载阶跃



Time (2μs/div)

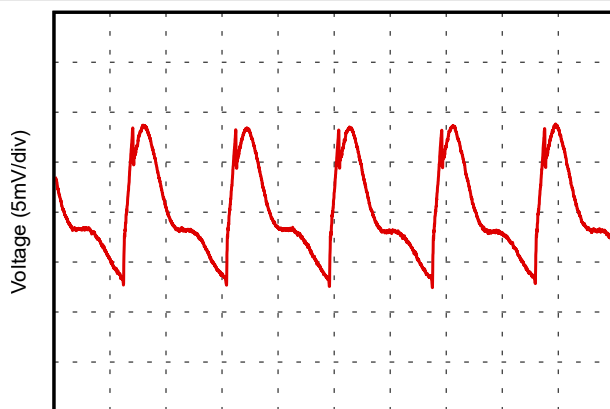
$f_{\text{sw}} = 272\text{kHz}$, $I_{\text{OUT}} = 2\text{A}$

图 4-8. 开关节点和开关频率



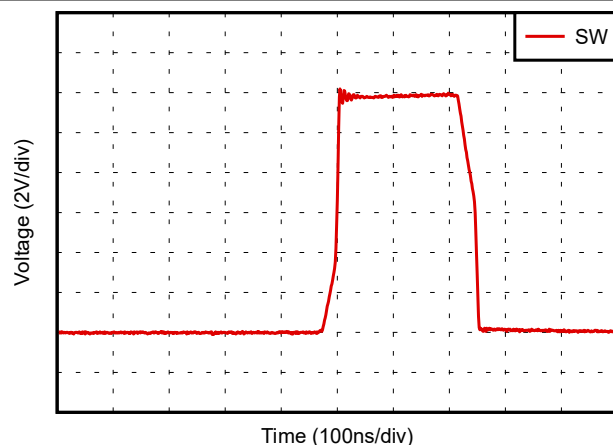
Time (2μs/div)

图 4-9. 0A 时的输出电压纹波



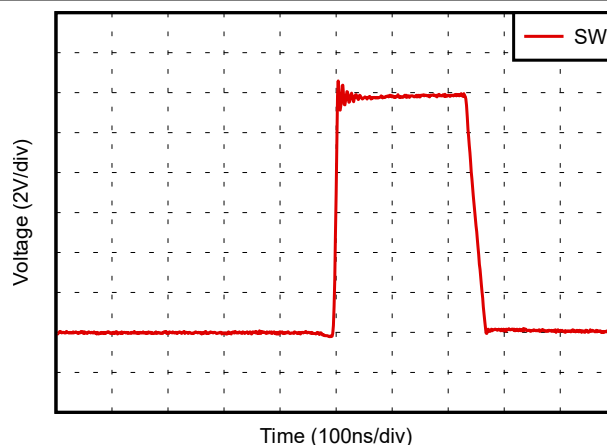
Time (2μs/div)

图 4-10. 44A 时的输出电压纹波



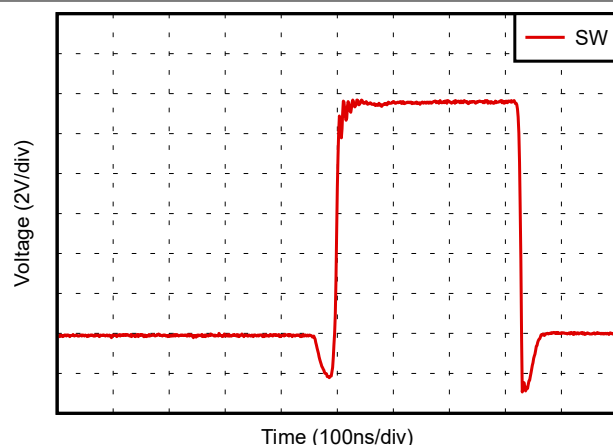
$$V_{SW(max)} = 12.2V$$

图 4-11. 0A 时的开关节点



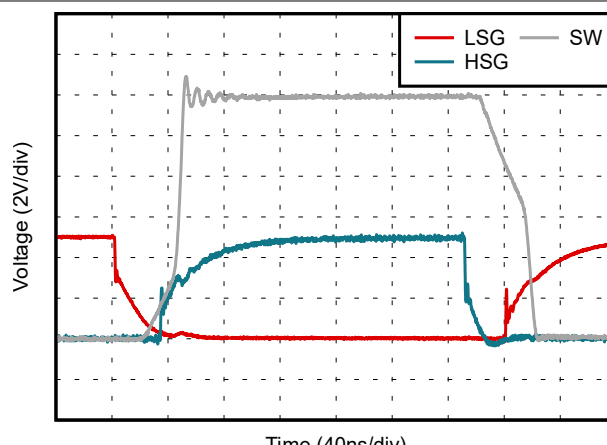
$$V_{SW(max)} = 12.6V$$

图 4-12. 2A 时的开关节点



$$V_{SW(max)} = 11.8V$$

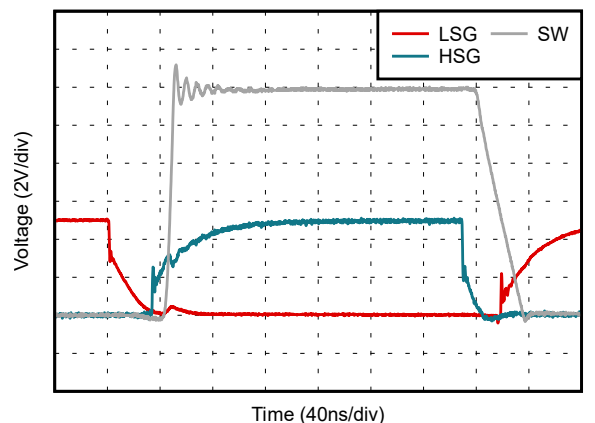
图 4-13. 4.4A 时的开关节点



HSG 相对于 SW，使用示波器以 GND 基准测量值计算得出：

$$V_{HSG} - V_{SW}$$

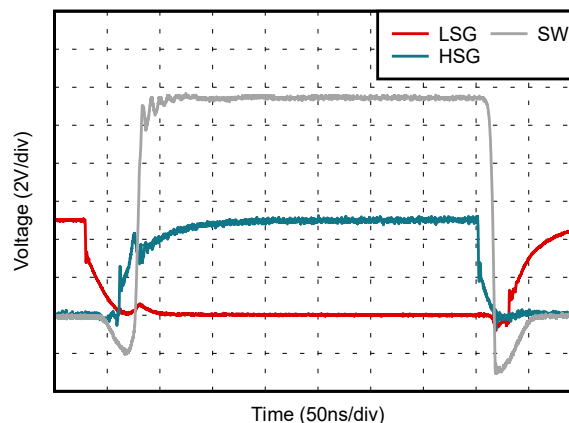
图 4-14. 0A 时的栅极信号



HSG 相对于 SW，使用示波器以 GND 基准测量值计算得出：

$$V_{HSG} - V_{SW}$$

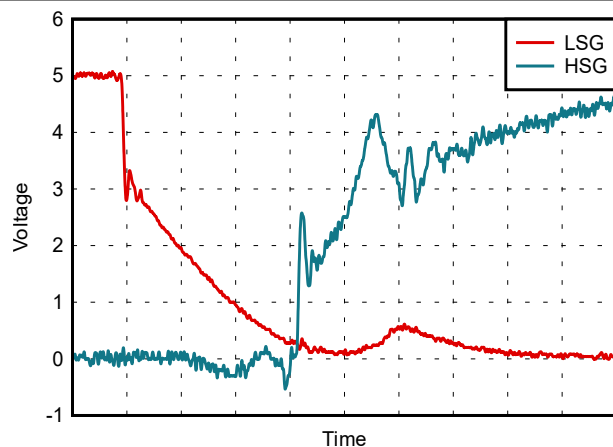
图 4-15. 2A 时的栅极信号



HSG 相对于 SW，使用示波器以 GND 基准测量值计算得出：

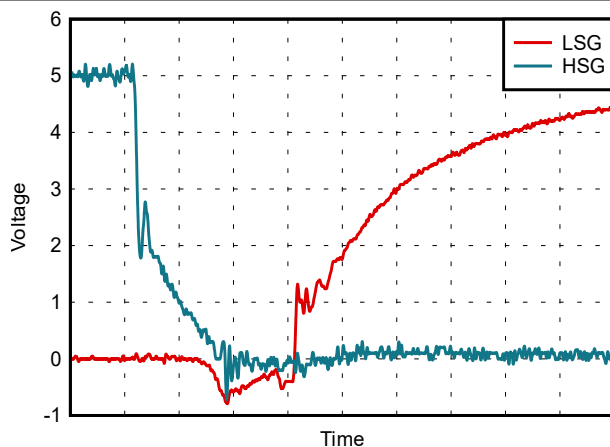
$$V_{HSG} - V_{SW}$$

图 4-16. 4.4A 时的栅极信号



$I_{OUT} = 44A$

图 4-17. 死区时间：从低电平到高电平



$I_{OUT} = 44A$

图 4-18. 死区时间：从高电平到低电平

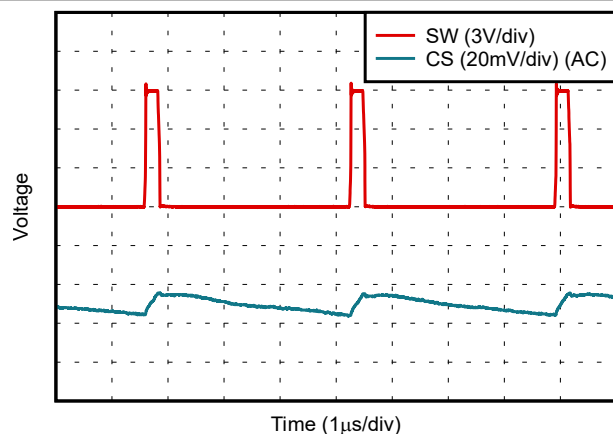


图 4-19. 0A 时的电流检测信号

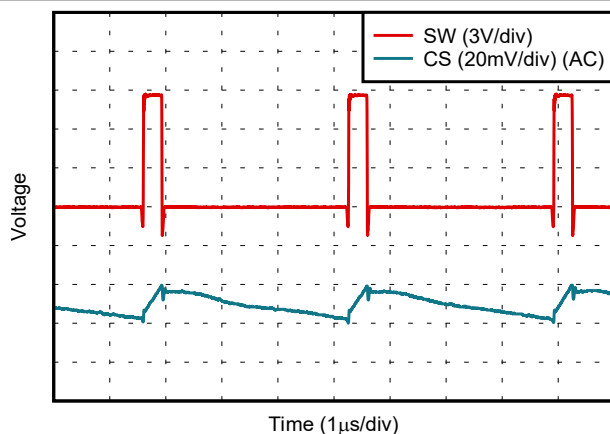
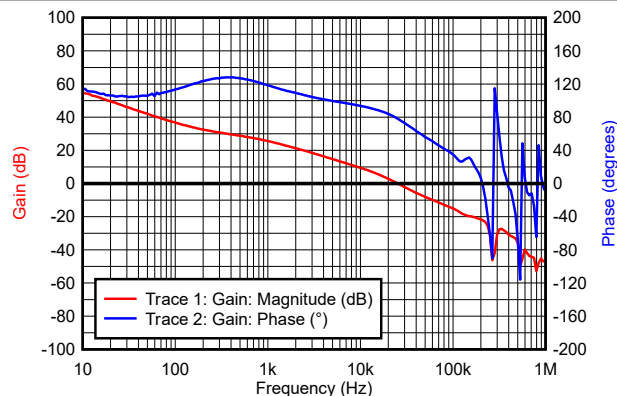
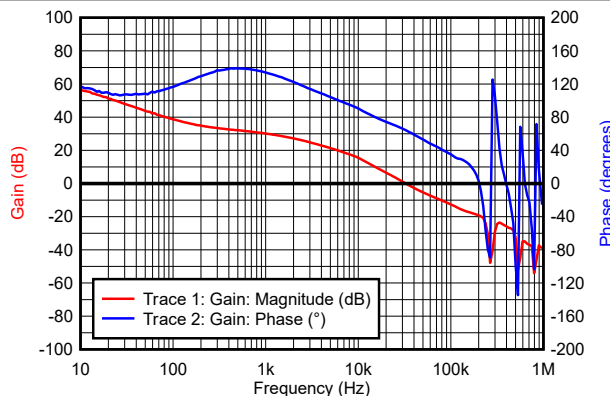


图 4-20. 44A 时的电流检测信号



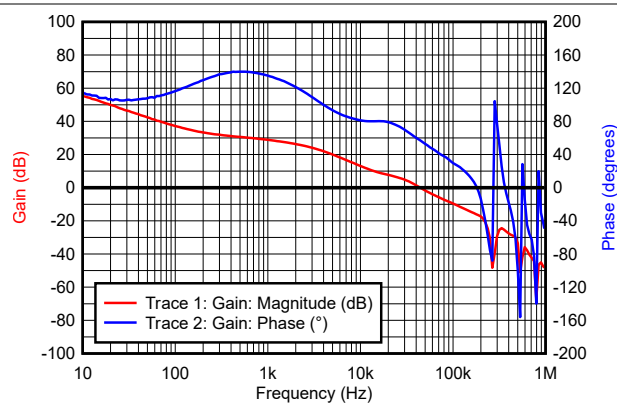
相位裕度 = 78°, 增益裕度 = 22dB

图 4-21. 100mA 时的波特图



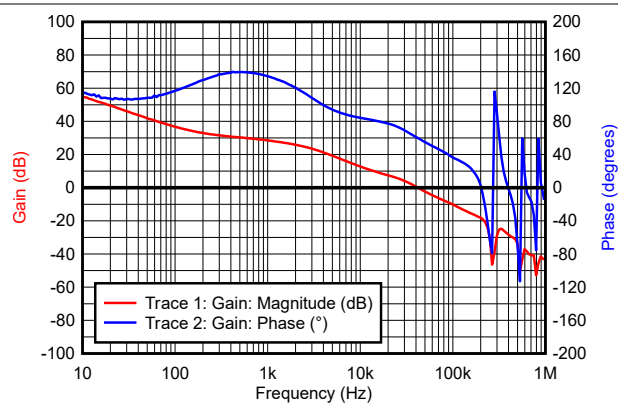
相位裕度 = 64°, 增益裕度 = 19dB

图 4-22. 10A 时的波特图



相位裕度 = 57°, 增益裕度 = 16dB

图 4-23. 40A 时的波特图



相位裕度 = 60°, 增益裕度 = 18dB

图 4-24. 44A 时的波特图

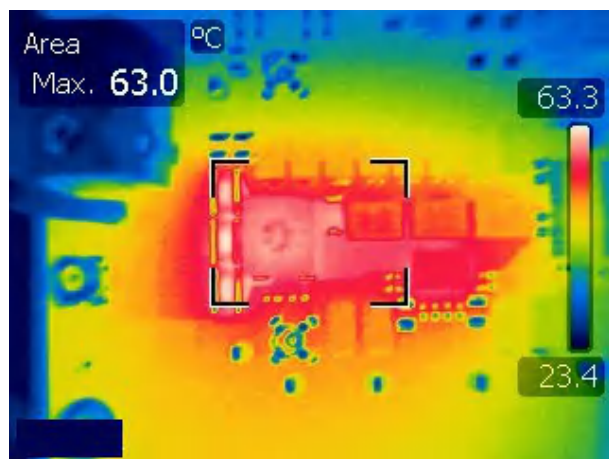


图 4-25. 30A 时的热性能

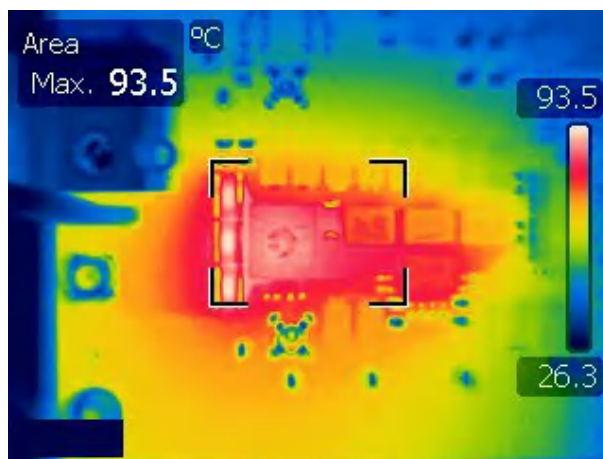


图 4-26. 40A 时的热性能

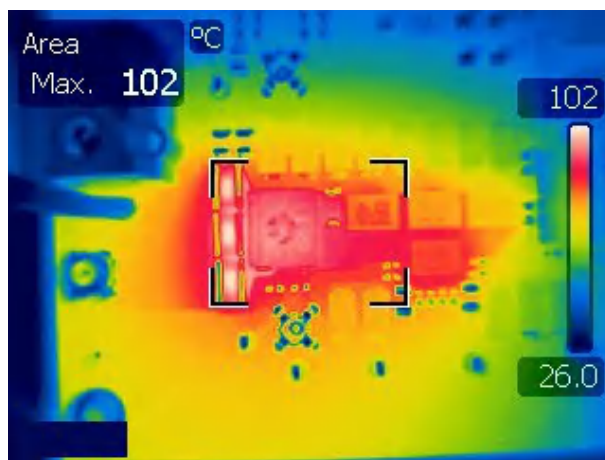


图 4-27. 44A 时的热性能

4.3.2 降压稳压器 (集成)

4.3.2.1 1V2

除非另有说明，否则 图 4-28 至 图 4-34 中 $V_{IN} = 12V$ 。

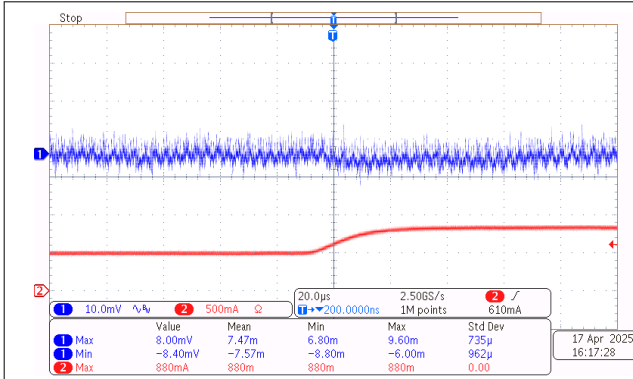


图 4-28. 负载阶跃：0.5A 至 0.83A

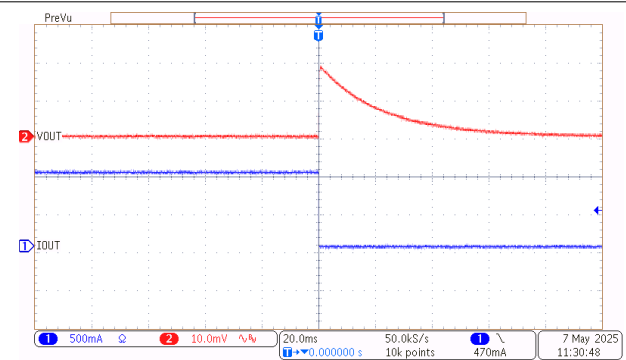
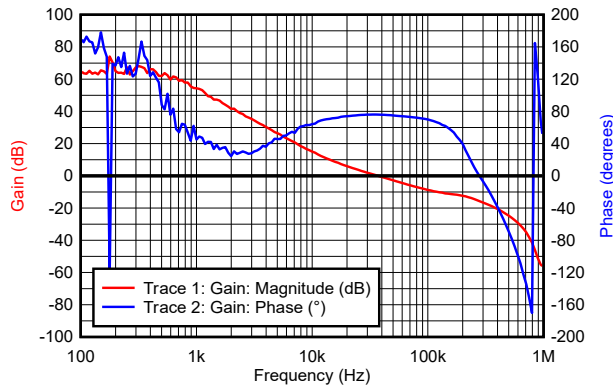
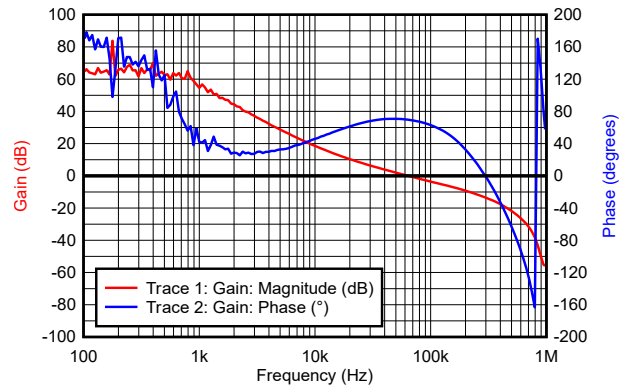


图 4-29. 负载阶跃：0.83A 至 0.5A



相位裕度 = 76°，增益裕度 = 16dB

图 4-30. 10mA 时的波特图



相位裕度 = 70°，增益裕度 = 13dB

图 4-31. 2A 时的波特图

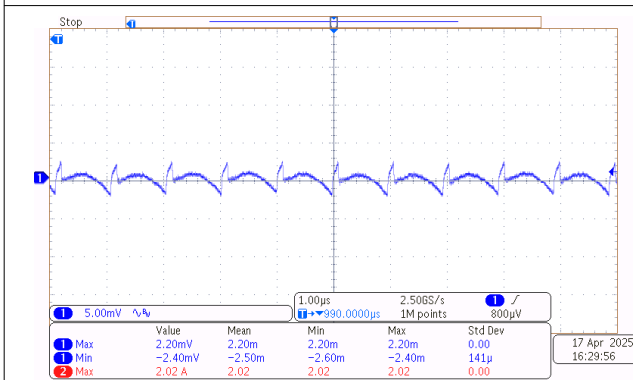


图 4-32. 2A 时的输出电压纹波

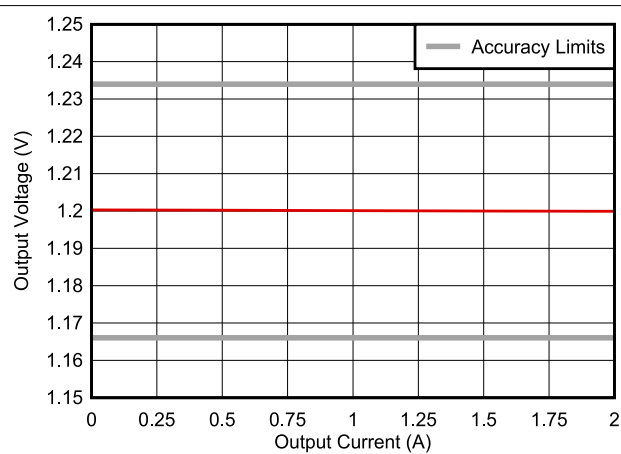


图 4-33. 负载调整范围：0A 至 2A

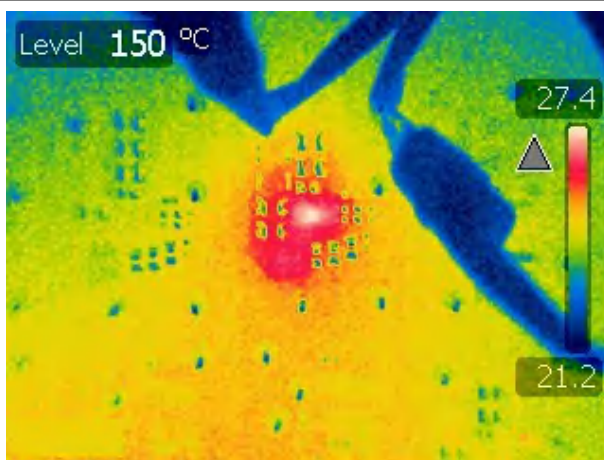


图 4-34. 2A 时的热性能

4.3.2.2 1V2_VCCO

除非另有说明，否则 图 4-35 至 图 4-41 中 $V_{IN} = 12V$ 。

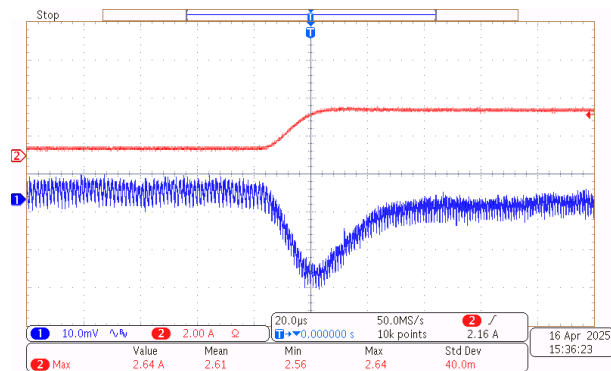


图 4-35. 负载阶跃：0.5A 至 2.5A

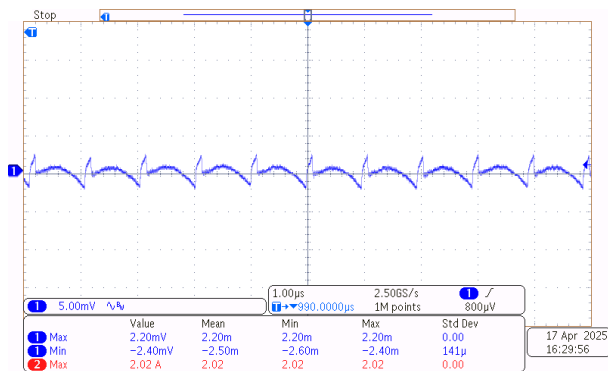
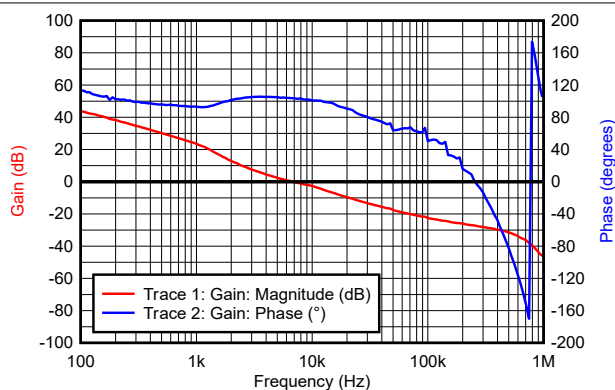
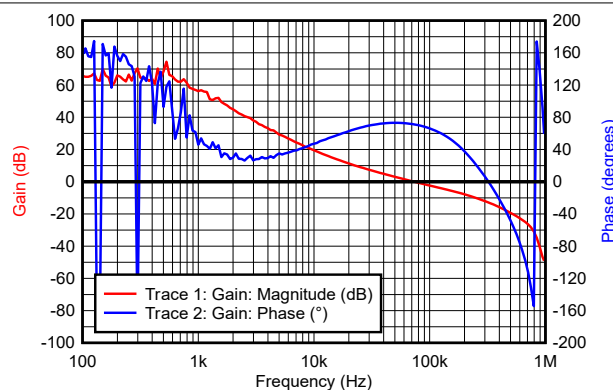


图 4-36. 负载阶跃：2.5A 至 0.5A



相位裕度 = 104°，增益裕度 = 27dB

图 4-37. 10mA 时的波特图



相位裕度 = 71°，增益裕度 = 13dB

图 4-38. 4A 时的波特图

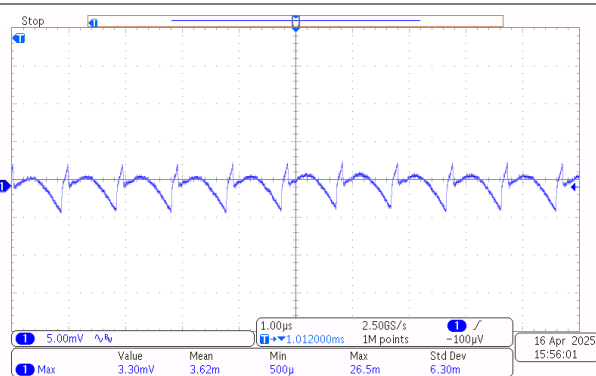


图 4-39. 4A 时的输出电压纹波

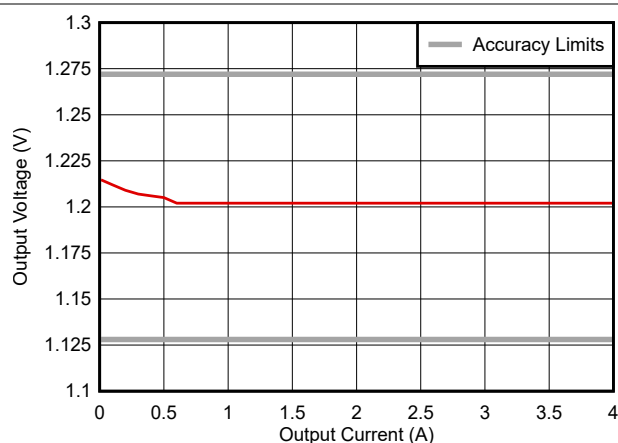


图 4-40. 负载调整范围：0A 至 4A

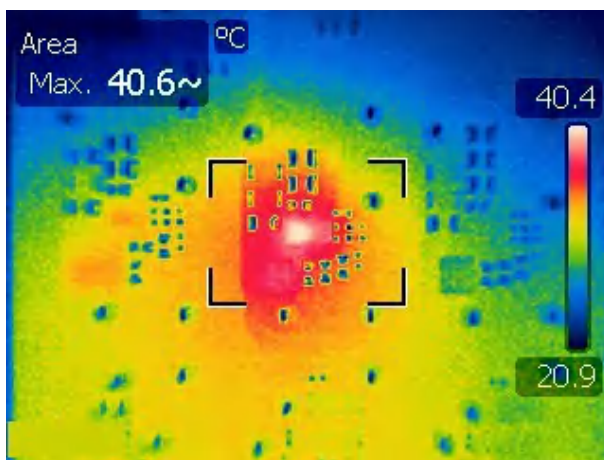


图 4-41. 4A 时的热性能

4.3.2.3 1V2_MEM

除非另有说明，否则 图 4-42 至 图 4-48 中 VIN = 12V。

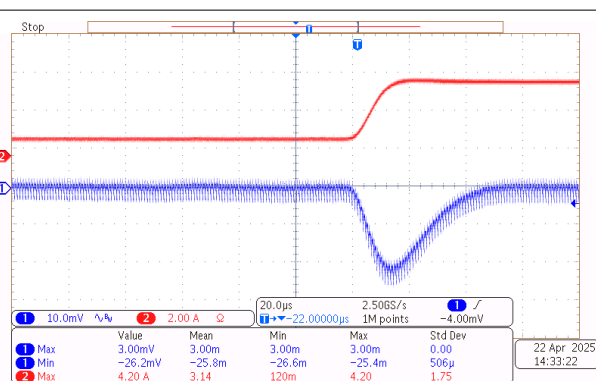


图 4-42. 负载阶跃：1A 至 4A

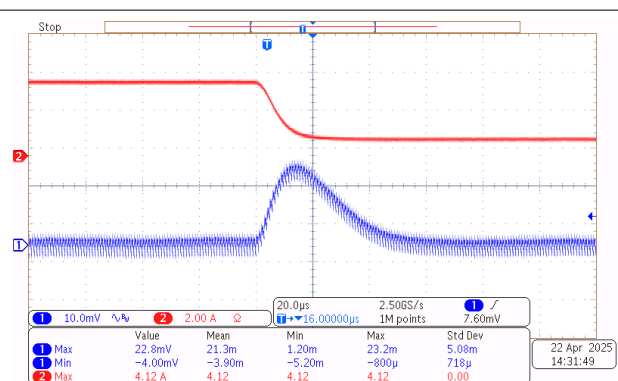
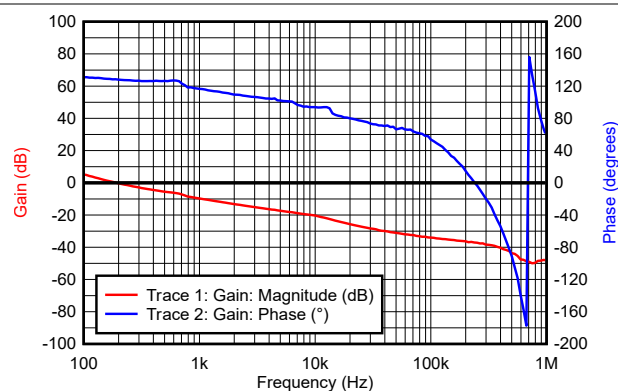
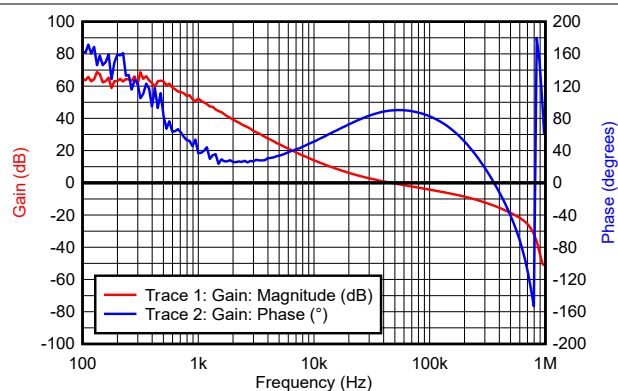


图 4-43. 负载阶跃：4A 至 1A



相位裕度 = 128°, 增益裕度 = 37dB

图 4-44. 10mA 时的波特图



相位裕度 = 90°, 增益裕度 = 14dB

图 4-45. 6A 时的波特图

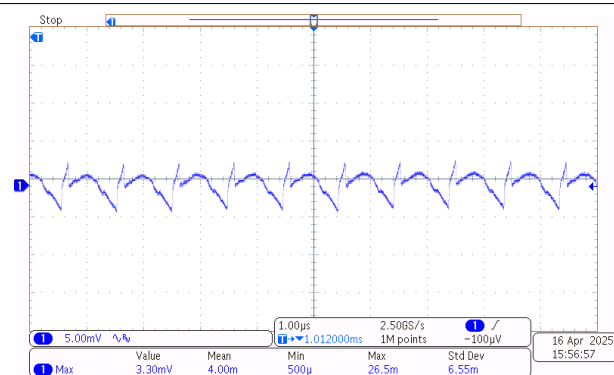


图 4-46. 6A 时的输出电压纹波

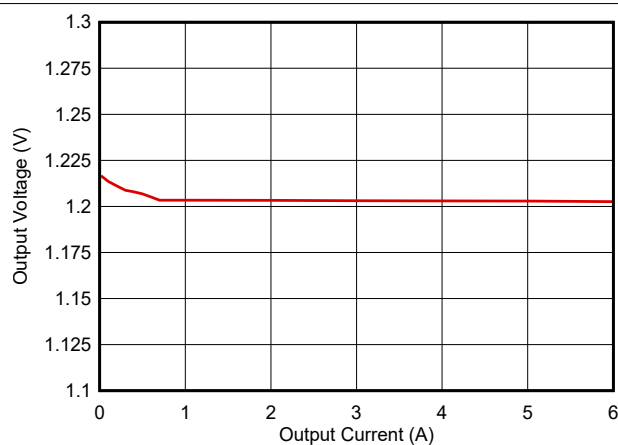


图 4-47. 负载调整范围：0A 至 6A



图 4-48. 6A 时的热性能

4.3.2.4 2V5_DDR_VPP

除非另有说明，否则图 4-49 至图 4-55 中 $V_{IN} = 12V$ 。

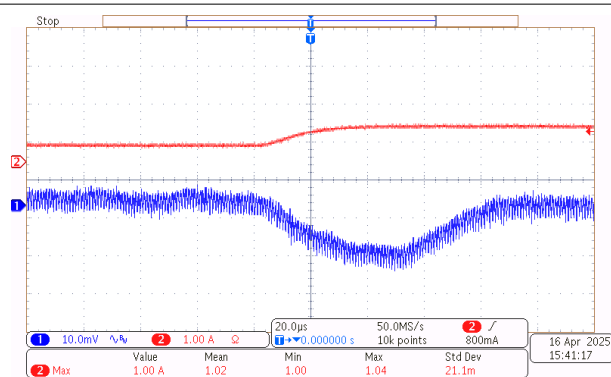


图 4-49. 负载阶跃：0.5A 至 1A

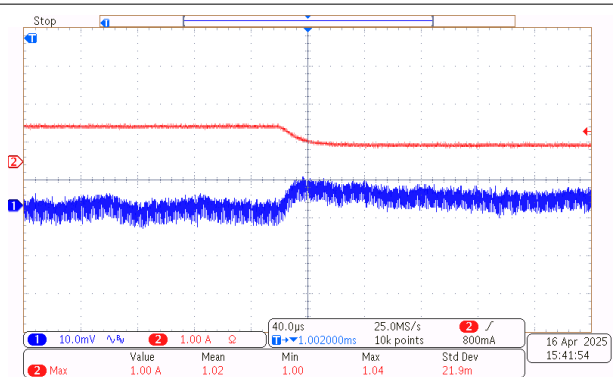
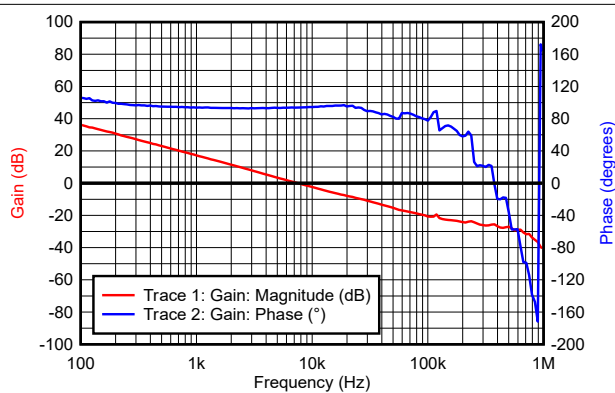
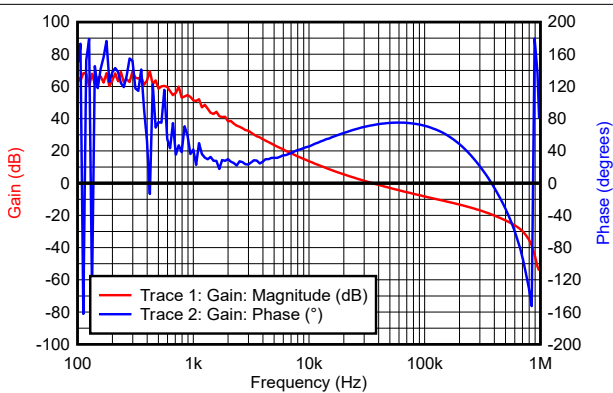


图 4-50. 负载阶跃：1A 至 0.5A



相位裕度 = 94°, 增益裕度 = 26dB

图 4-51. 10mA 时的波特图



相位裕度 = 72°, 增益裕度 = 19dB

图 4-52. 3A 时的波特图

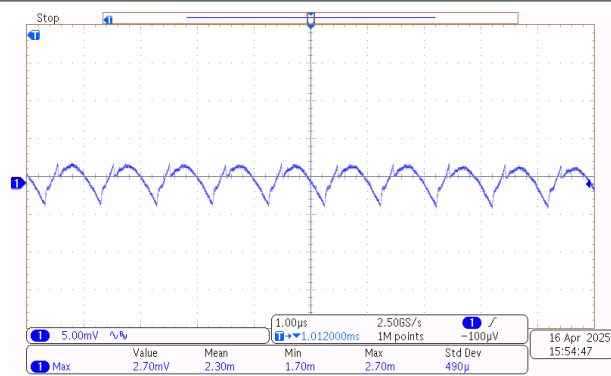


图 4-53. 3A 时的输出电压纹波

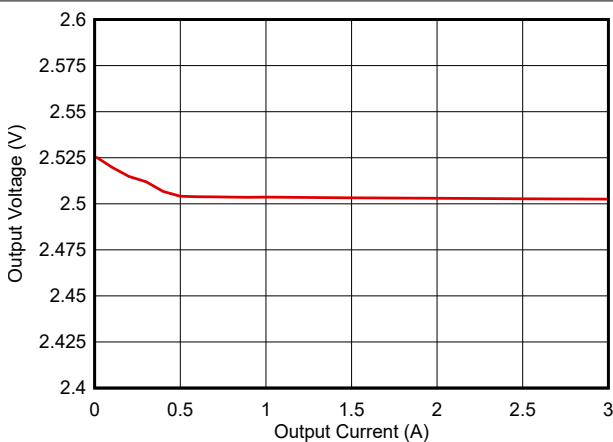


图 4-54. 负载调整范围：0A 至 3A

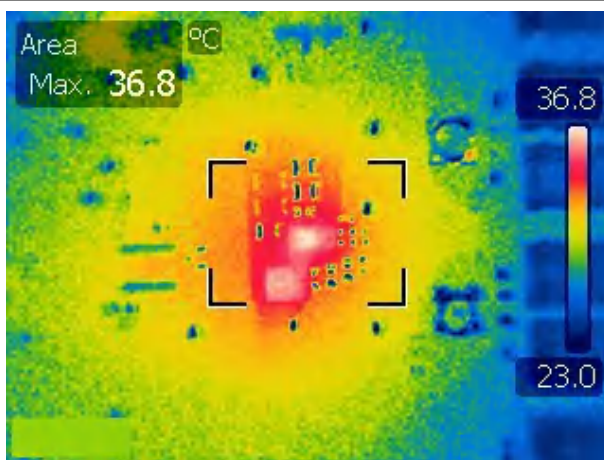


图 4-55. 3A 时的热性能

4.3.2.5 3V3_VCCO

除非另有说明，否则 图 4-56 至 图 4-62 中 $V_{IN} = 12V$ 。

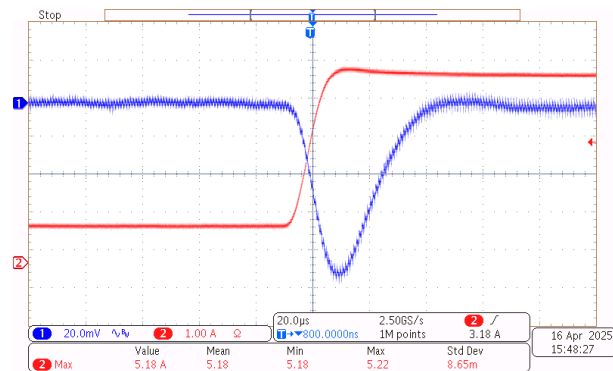


图 4-56. 负载阶跃：1A 至 5A

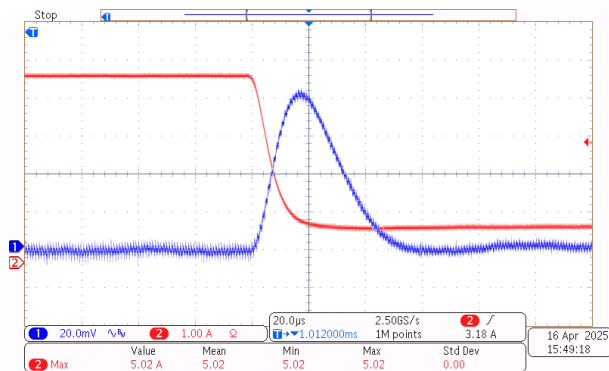
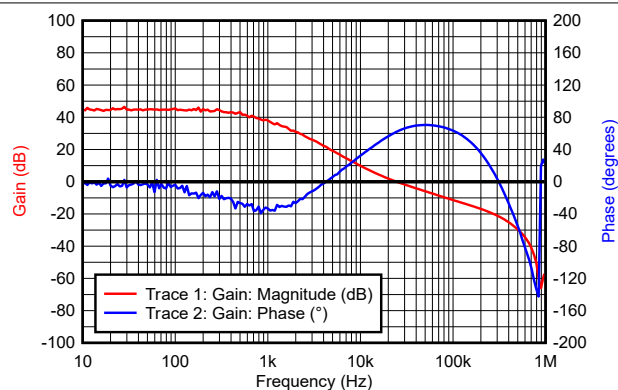
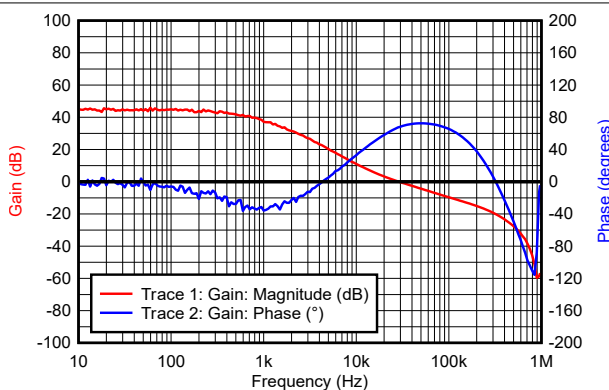


图 4-57. 负载阶跃：5A 至 1A



相位裕度=待定°, 增益裕度=待定 dB

图 4-58. 10mA 时的波特图



相位裕度 = 68°, 增益裕度 = 22dB

图 4-59. 6A 时的波特图

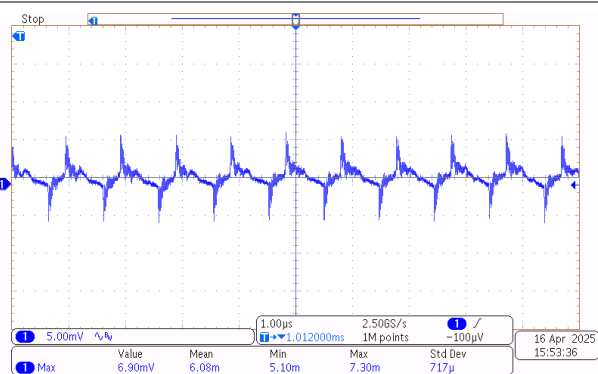


图 4-60. 6A 时的输出电压纹波

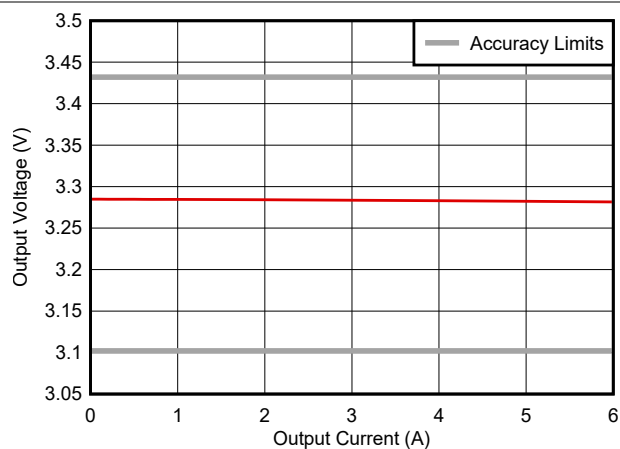


图 4-61. 负载调整范围：0A 至 6A

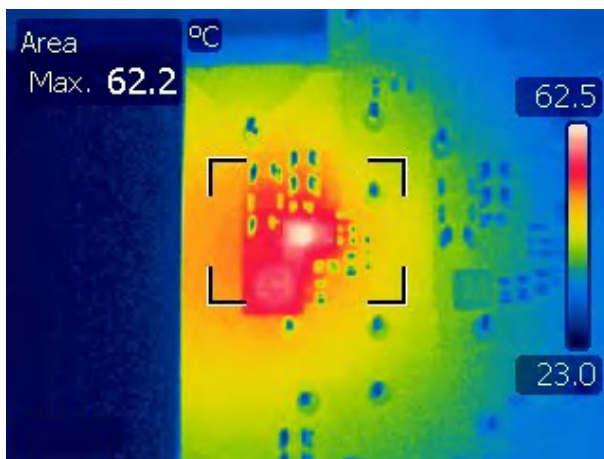


图 4-62. 6A 时的热性能

4.3.3 线性稳压器

4.3.3.1 0V6_VTT

除非另有说明，否则图 4-63 至图 4-70 中 $V_{IN} = 12V$ 。

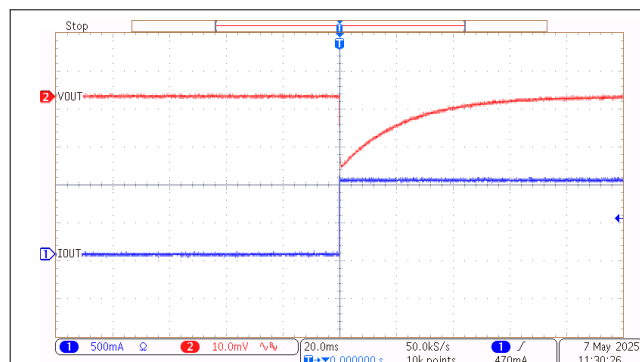


图 4-63. 负载阶跃：0A 至 1A

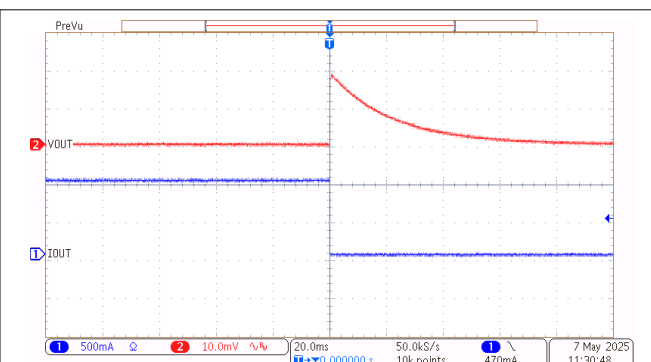
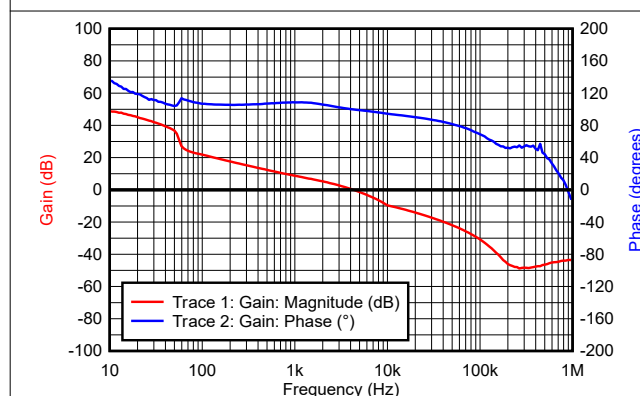
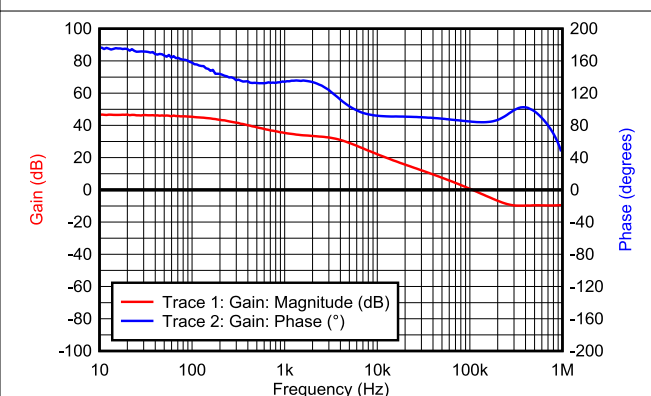


图 4-64. 负载阶跃：1A 至 0A



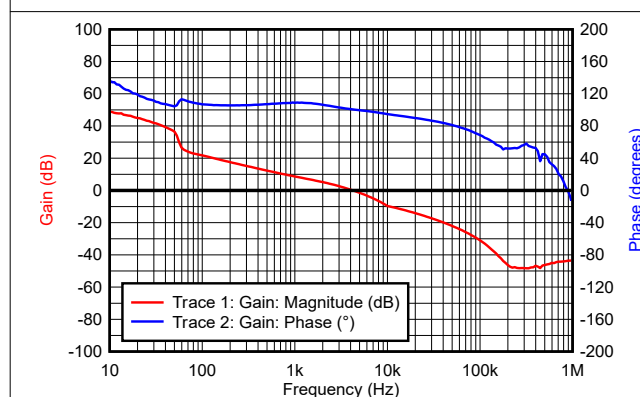
相位裕度 = 100°，增益裕度 = 44dB

图 4-65. 10mA 时的波特图



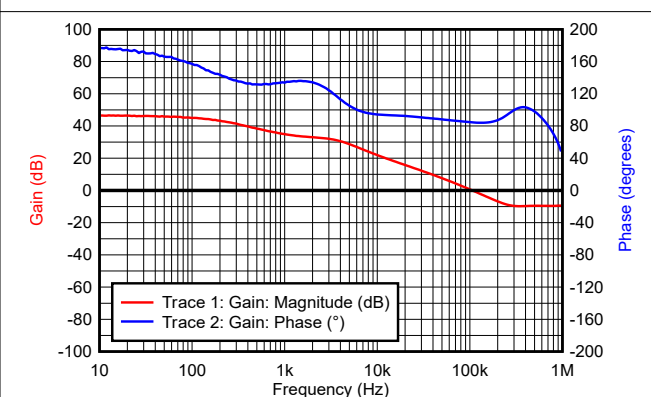
相位裕度 = 85°，增益裕度 = 9dB

图 4-66. 3A 时的波特图



相位裕度 = 100°，增益裕度 = 44dB

图 4-67. -10mA 时的波特图



相位裕度 = 84°，增益裕度 = 9dB

图 4-68. -3A 时的波特图

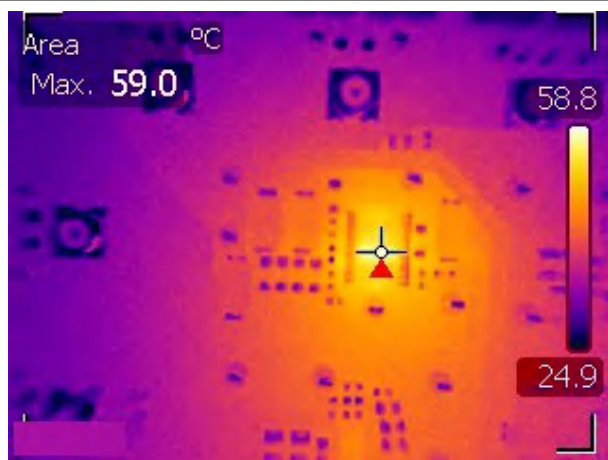


图 4-69. $I_{VTT} = 3A$, $I_{VTTREF} = 10mA$ 时的热性能

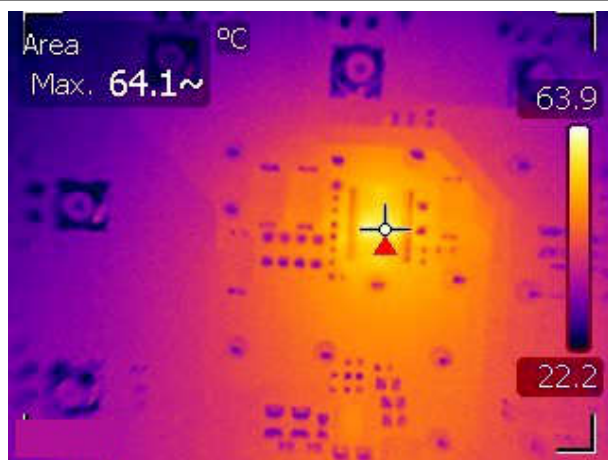


图 4-70. $I_{VTT} = -3A$, $I_{VTTREF} = -10mA$ 时的热性能

4.3.3.2 0V92

除非另有说明，否则 图 4-71 至 图 4-76 中 $V_{IN} = 12V$ 。

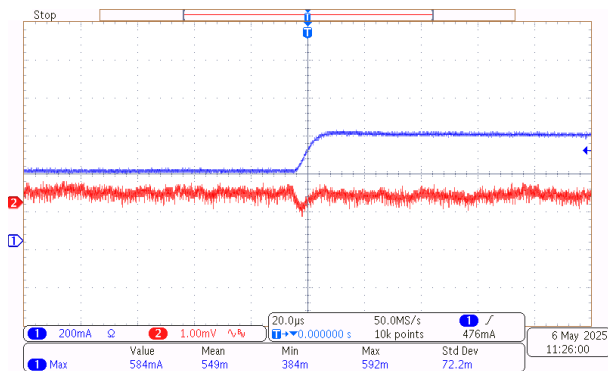


图 4-71. 负载阶跃：0.2A 至 0.395A

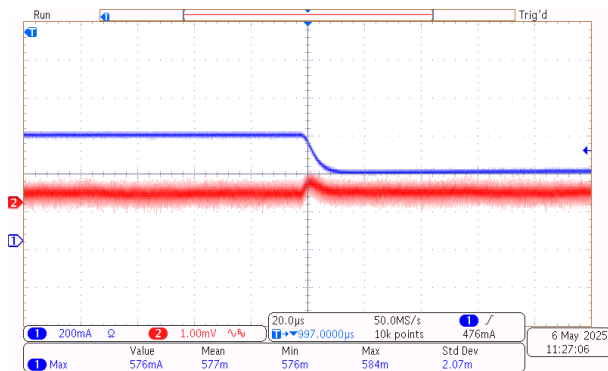
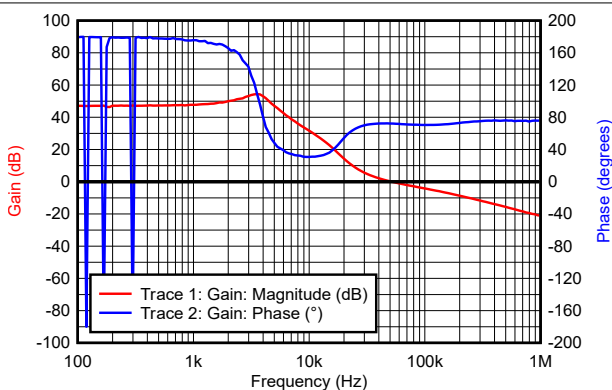
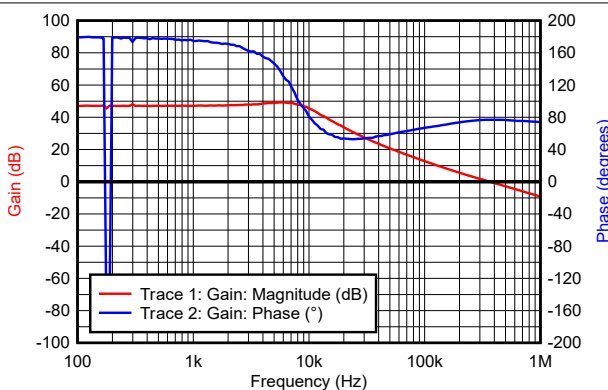


图 4-72. 负载阶跃：0.395A 至 0.2A



相位裕度 = 72°

图 4-73. 10mA 时的波特图



相位裕度 = 77°

图 4-74. 1A 时的波特图

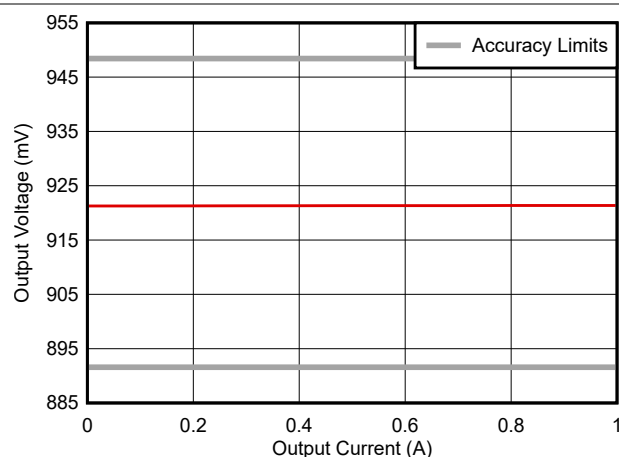


图 4-75. 负载调整范围：0A 至 1A

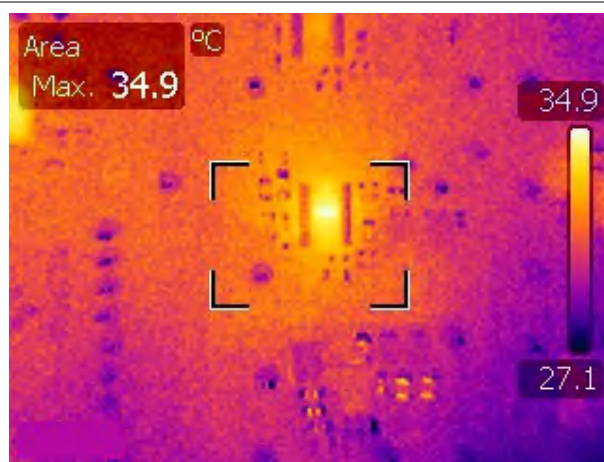


图 4-76. 1A 时的热性能

4.3.3.3 1V5_GTY

除非另有说明，否则 图 4-77 至 图 4-82 中 $V_{IN} = 12V$ 。

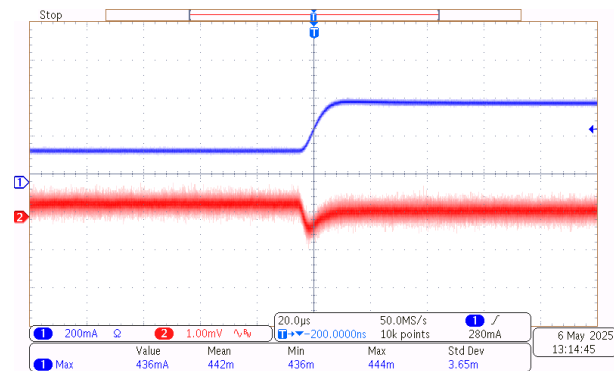


图 4-77. 负载阶跃：10mA 至 35mA

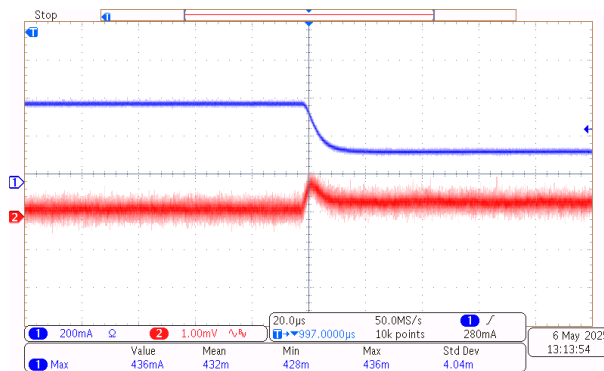


图 4-78. 负载阶跃：35mA 至 10mA

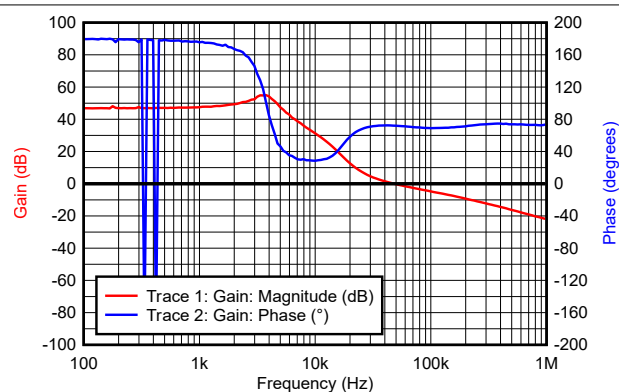


图 4-79. 10mA 时的波特图

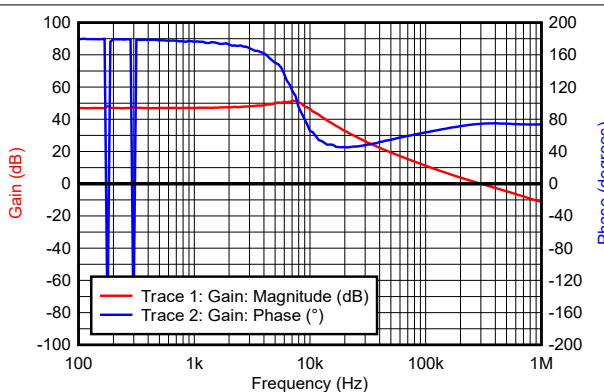


图 4-80. 200mA 时的波特图

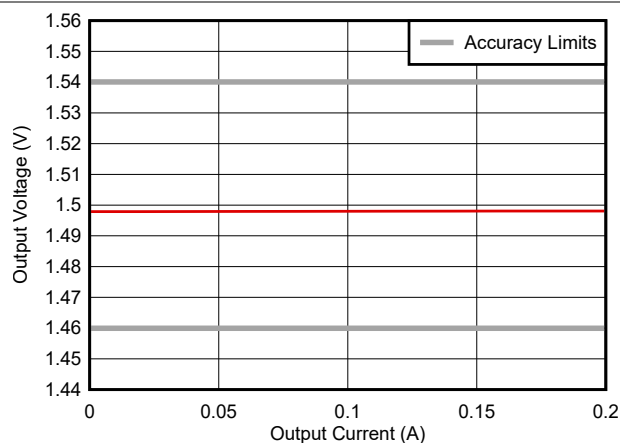


图 4-81. 负载调整范围：0A 至 1A

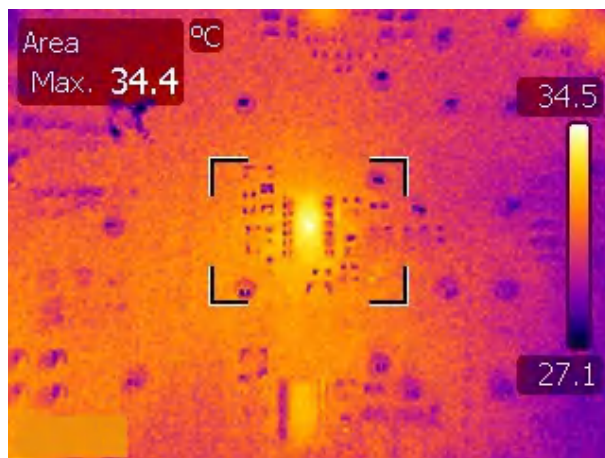


图 4-82. 200mA 时的热性能

4.3.3.4 1V5

除非另有说明，否则 图 4-83 至 图 4-91 中 $V_{IN} = 12V$ 。

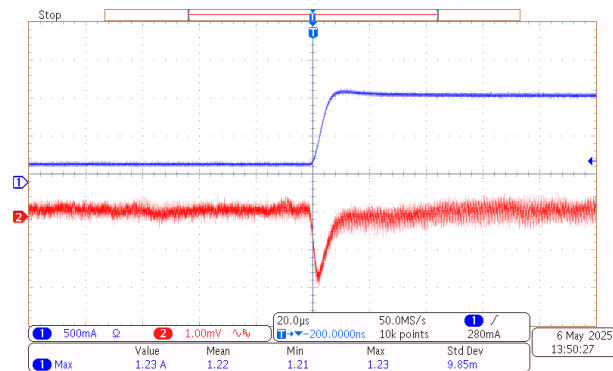


图 4-83. 负载阶跃：0.2A 至 1.1A

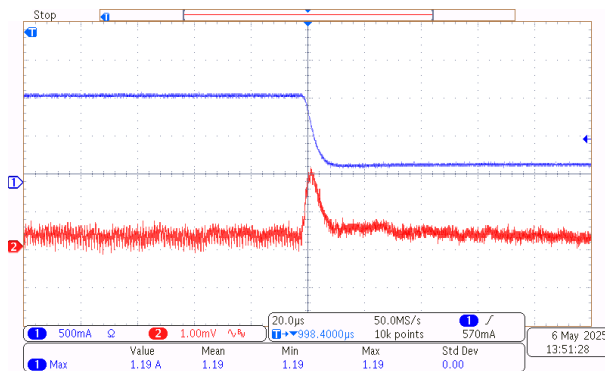


图 4-84. 负载阶跃：1.1A 至 0.2A

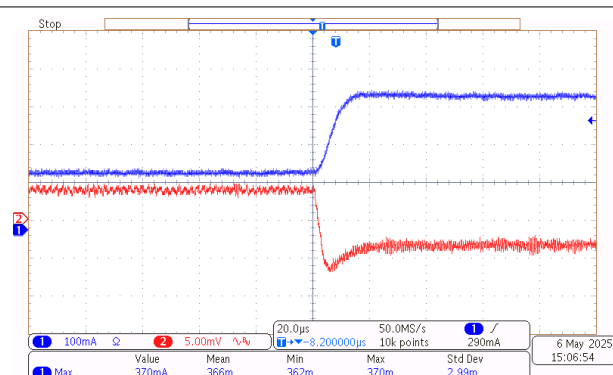


图 4-85. VCCAUX_SMON 的负载阶跃：0.2A 至 1.1A

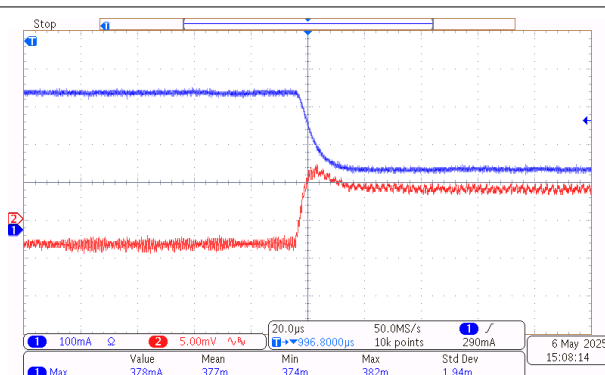
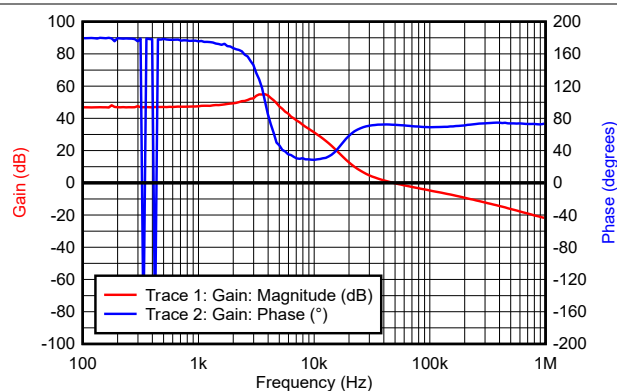
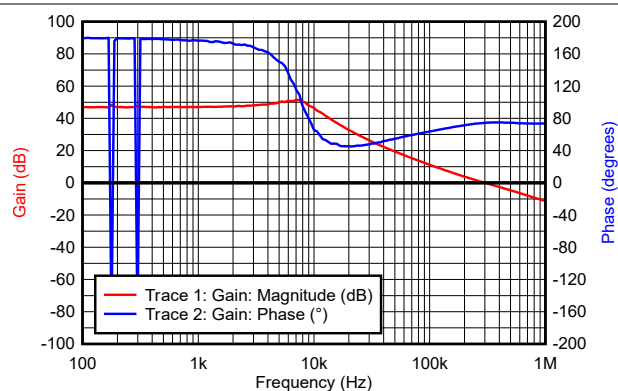


图 4-86. VCCAUX_SMON 的负载阶跃：1.1A 至 0.2A



相位裕度 = 71°

图 4-87. 10mA 时的波特图



相位裕度 = 77°

图 4-88. 1.5A 时的波特图

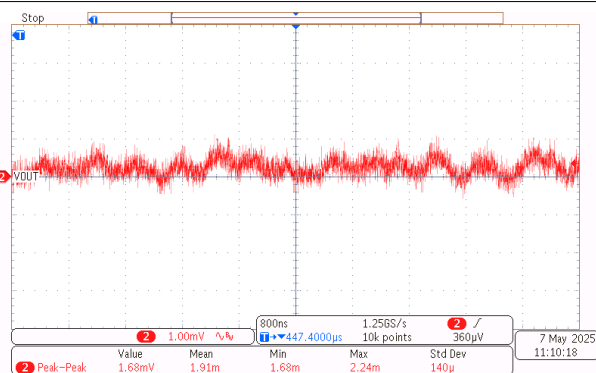


图 4-89. 1V5 输出波纹

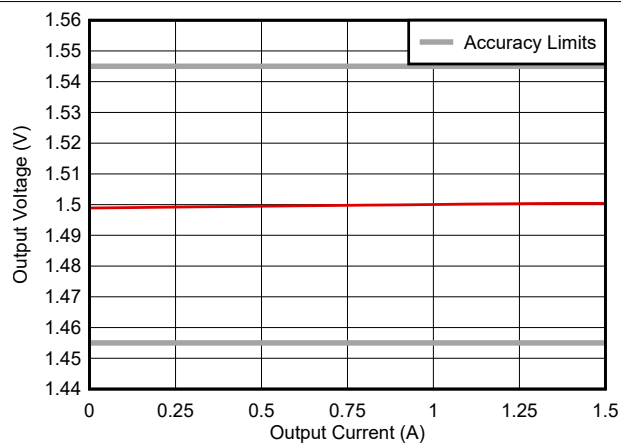


图 4-90. 负载调整范围：0A 至 1.5A

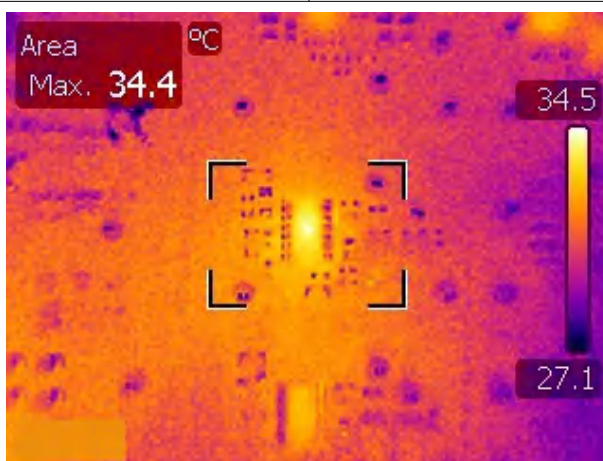


图 4-91. 1.5A 时的热性能

4.3.3.5 5V0_SYS

除非另有说明，否则 图 4-92 至图 4-96 中 $V_{IN} = 12V$ 。

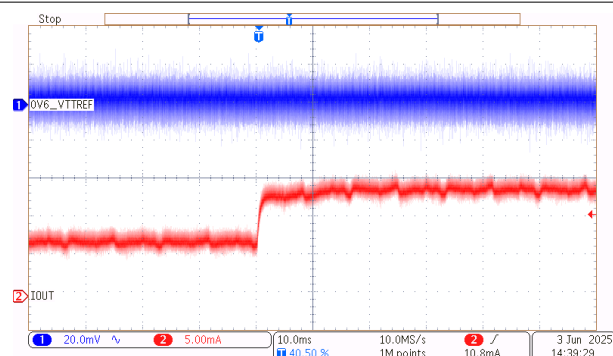


图 4-92. 负载阶跃：1mA 至 10mA

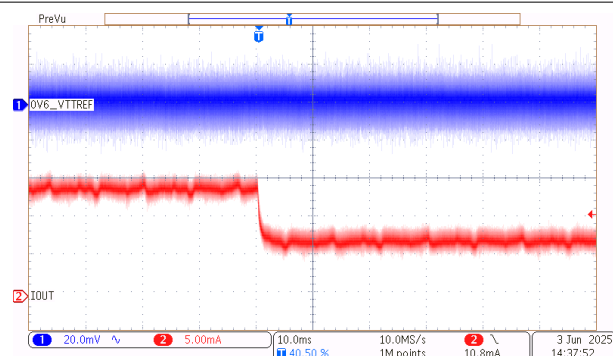
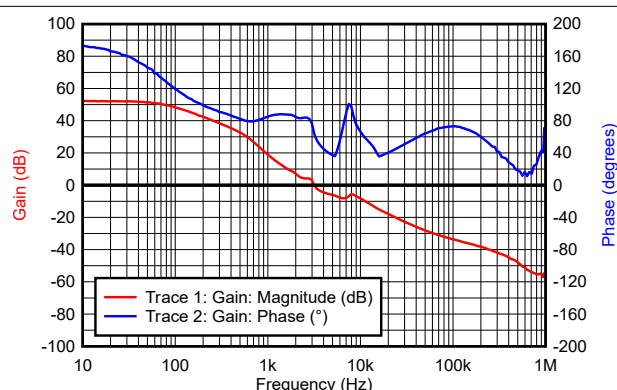
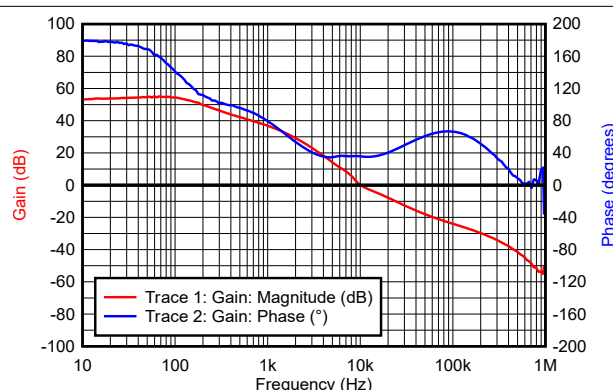


图 4-93. 负载阶跃：10mA 至 1mA



相位裕度 = 63°

图 4-94. 10mA 时的波特图



相位裕度 = 36°

图 4-95. 50mA 时的波特图

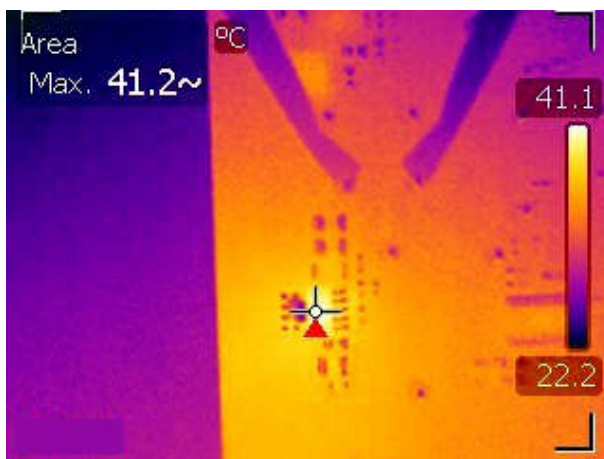


图 4-96. 50mA 时的热性能

5 设计和文档支持

5.1 设计文件

5.1.1 原理图

要下载原理图，请参阅 [TIDA-050088](#) 中的设计文件。

5.1.2 BOM

要下载物料清单 (BOM)，请参阅 [TIDA-050088](#) 中的设计文件。

5.1.3 布局图

要下载板层图，请参阅 [TIDEP-01036](#) 中的设计文件。

5.2 文档支持

1. 德州仪器 (TI)，[采用增强型航天塑料的 TPS7H500x-SEP 抗辐射 2MHz 电流模式 PWM 控制器数据表](#)
2. 德州仪器 (TI)，[TPS7H60x5-SP 和 TPS7H60x5-SEP 耐辐射保障半桥 GaN FET 栅极驱动器数据表](#)
3. 德州仪器 (TI)，[TPS7H1111-SP 和 TPS7H1111-SEP 1.5A 超低噪声、高 PSRR 耐辐射低压降 \(LDO\) 线性稳压器数据表](#)
4. 德州仪器 (TI)，[TPS7H4010-SEP 采用增强型航天塑料的耐辐射 3.5V 至 32V、6A 同步降压转换器数据表](#)
5. 德州仪器 (TI)，[TPS73801-SEP 1A 采用增强型航天塑料的低噪声快速瞬态响应低压降稳压器数据表](#)
6. 德州仪器 (TI)，[TPS7H3302-SP 和 TPS7H3302-SEP 3A DDR 耐辐射终端稳压器数据表](#)
7. 德州仪器 (TI)，[TPS7H3014-SP 和 TPS7H3014-SEP 耐辐射 14V 4 通道序列发生器数据表](#)
8. 德州仪器 (TI)，[TPS7H2221-SEP 抗辐射、5.5V、1.25A、115mΩ 负载开关数据表](#)
9. 德州仪器 (TI)，[SN54SC6T14-SEP 具有集成转换功能的抗辐射、六路施密特触发反相器数据表](#)

5.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

5.4 商标

Versal™ is a trademark of AMD.

TI E2E™ is a trademark of Texas Instruments.

Kemet™ is a trademark of Kemet Electronics Corporation.

所有商标均为其各自所有者的财产。

6 作者简介

Kyle Rakos 是德州仪器 (TI) 航天电源产品线的系统经理，负责绘制耐辐射和抗辐射电源器件的路线图。他于 2017 年在普渡大学获得计算机工程学士学位。Kyle 感谢 Daniel Hartung、Bhavika Kagathi 和 Elizabeth Ann Won 在此设计和白皮书方面的帮助。

重要通知

未发布实验性、评估性、开发性和原型硬件

本重要通知 (以下简称“通知”)旨在通知您,即设计人员 (以下简称“设计人员”),所含硬件 (以下简称“硬件”) 未经过 TI 的内部硬件发布流程,仅应您的要求作为原型提供给您,和/或用于实验、评估或开发目的。该硬件不应且不得由设计人员将其集成到任何最终产品中。

硬件未针对是否存在有害物质或材料进行评估。设计人员全权负责按照设计人员所在地的适用法律或规则对硬件进行正确回收或处置。

硬件仅供具备相关技术资质的专业电子专家使用,且该等专家需熟悉与处理电气和机械组件、系统及子系统相关的危险及应用风险。设计人员承担因其自身或其员工、附属公司、承包商、代表或指定人员对硬件的任何适当、安全以及任何可预见或不可预见的适当或不安全处理和使用所引起的全部责任和义务。设计人员承担所有责任和义务,确保硬件和任何人体之间的任何接口 (电子和/或机械) 都采用适当的隔离和方法来设计,以安全地限制可接触到的漏电流,从而更大幅度地降低电击危险的风险。

对于设计用于电压超过 50VAC/75VDC 的硬件,在使用任何硬件之前,设计人员必须查看随附的“通用德州仪器 (TI) 高压评估 (TI HV 硬件) 用户安全指南”插件。

硬件的出口、再出口和转让可能受美国出口管制和制裁的约束,包括但不限于由美国商务部工业和安监局 (“BIS”) 根据其《出口管理条例》 (“EAR”) (《美国联邦法规》第 15 篇的第 730-774 部分) 以及美国财政部海外资产控制办公室 (“OFAC”) 根据其《海外资产控制法规》 (《美国联邦法规》第 31 篇的第 500 部分) 进行管理的硬件。设计人员承认并同意,每当出口、再出口或转让硬件时,设计人员就会遵守并确保其子公司遵守所有适用的法律和法规。

设计人员承认并同意,未经 BIS、OFAC 或任何其他负责责任的美国政府机构的事先授权,并遵守 EAR 和任何其他适用的美国政府法规,不得将硬件出售、出口、再出口、转让或转售至 EAR 第 740 部分附录 1 至第 E 部分中定义的任何美国禁运、制裁或限制目的地,也不得将硬件出售给 EAR 第 744 部分附录 4 中列出的任何实体或企业。设计人员进一步确认并同意,硬件不得出口、再出口、转让或转售给美国政府禁止参与出口活动的个人或实体 (统称“制裁名单”)。制裁名单包括但不限于商务部的制裁人员清单、实体清单、国防贸易管制局的法定禁止清单以及财政部发布的特定国民清单上列出的个人或实体。设计人员进一步同意,不得以 TI 的名义或为了 TI 的利益直接或间接从任何被禁运/制裁的国家/地区或从任何此类被禁个人向美国出口、再出口或 SSZZ034 第 2 页转让任何将进口到美国的货物、服务或技术,除非获得 OFAC 的必要授权。上述美国禁运/制裁或限制目的地、实体或拒绝人员名单会发生变更。

设计人员也承认并同意根据其他法律和法规 (例如欧盟委员会法规或任何其他国家法规) 遵守与其他最终用途/终端用户相关的所有其他适用限制。

在适用的范围内,设计人员承诺在所有情况下均不从事以下交易: (a) 涉及任何适用制裁名单中列出的个人、组织或机构的交易, (b) 涉及禁运国家/地区的被禁止交易,以及 (c) 需要满足任何许可证要求但未获得必要出口许可证的交易。设计人员进一步同意,在出口、再出口或转让根据这些条款从 TI 获得的任何硬件之前获得任何必要的出口授权。各方均应在自己承担费用的情况下获取此等授权以及出口和进口单证,从而能履行这些条款规定的各方应承担的义务。此外,对于设计人员有理由相信正在从设计人员处获取任何此类硬件以进行出口的任何个人、公司或实体,设计人员应向其告知遵守上述法律法规的必要性。如果无法获得政府批准, TI 可以终止、取消或以其他方式免除履行这些条款规定其需承担的任何义务。

在不限上述规定的一般性的情况下,设计人员进一步同意,未经 BIS、OFAC 或任何其他主管美国政府机构事先授权并且符合 EAR 和任何其他适用的美国政府法规,不得出口、再出口、转让、购买或转售硬件至 EAR 第 740 部分附录 1 D1 类国家/地区中所列国家/地区的军事终端用户或在这些国家/地区用于军事最终用途。“军事最终用途”一词是指纳入美国军品清单 (“USML”) (《美国联邦法规》第 22 篇的第 121 部分,国际武器贸易条例) 或国际军品清单 (“IML”) (如瓦森纳协定网站 www.wassenaar.org 中所述) 中所述的军品;或分类在以 “A018” 结尾的出口管制分类编号 (“ECCN”) 下或 “600 系列” ECCN 下的商品。“军事终端用户”一词是指国家武装部队 (如陆军、海军、海军陆战队、空军或海岸警卫队) 以及国民警卫队和国家警察、政府情报或侦察组织或其行为或职能旨在支持军事最终用途的任何个人或实体。设计人员进一步确认并同意,未经美国政府授权,不得直接或间接地出口、再出口、转让或转售硬件以用于核武器、生化武器或导弹技术的设计、开发、制造或使用。

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司