

User's Guide

使用 AM62L (AM62L32、AM62L31) 系列处理器的定制电路板 硬件设计注意事项



摘要

“定制电路板硬件设计注意事项”文档概述了电路板设计人员在使用 AM62L32、AM62L31 系列处理器设计定制电路板时应遵循的设计注意事项。本文档旨在用作电路板设计人员在定制电路板设计不同阶段的指南。

此外，本文还提供了特定处理器产品页面、相关配套资料、E2E 常见问题解答和其他常见参考文档的链接，可帮助电路板设计人员优化定制电路板设计工作和进度。

内容

1 简介.....	3
1.1 开始定制电路板设计之前的准备工作.....	3
1.2 处理器选择.....	4
1.3 技术文档.....	4
1.4 定制电路板设计文档.....	5
1.5 定制电路板设计相关问题.....	5
2 方框图.....	5
2.1 创建方框图.....	5
2.2 配置引导模式.....	5
2.3 确认 PinMux (PinMux 配置)	7
3 电源.....	7
3.1 电源架构.....	7
3.2 电源轨.....	8
3.3 确定电路板电源要求.....	11
3.4 电源滤波器.....	11
3.5 电源去耦和大容量电容.....	11
3.6 电源时序控制.....	11
3.7 电源诊断.....	11
3.8 电源监控.....	11
4 处理器时钟.....	11
4.1 处理器外部时钟源.....	11
4.2 处理器时钟输出.....	12
5 联合测试行动组 (JTAG).....	13
5.1 JTAG/仿真.....	13
6 配置 (处理器) 和初始化 (处理器和器件)	13
6.1 处理器复位.....	14
6.2 引导模式配置的锁存.....	15
6.3 复位附加器件.....	15
6.4 看门狗计时器.....	15
7 处理器外设.....	15
7.1 跨域选择外设.....	15
7.2 存储器控制器 (DDRSS).....	15
7.3 媒体和数据存储接口.....	16
7.4 通用平台以太网交换机 3 端口千兆位 (CPSW3G - 用于以太网接口)	18
7.5 可编程实时单元子系统 (PRUSS).....	18
7.6 通用串行总线 (USB) 子系统.....	18
7.7 通用连接外设.....	19

7.8 模数转换器 (ADC).....	19
7.9 显示子系统 (DSS).....	20
7.10 处理器电源引脚、未使用外设和 IO 的连接.....	20
8 处理器 IO (LVC MOS 或开漏或失效防护型 IO 缓冲器) 的接口和仿真.....	21
8.1 IBIS 模型.....	21
8.2 IBIS-AMI 模型.....	21
9 处理器电流额定值和散热分析.....	21
9.1 功耗估算.....	21
9.2 不同电源轨的最大电流额定值.....	21
9.3 电源模式.....	21
9.4 热设计指南.....	21
10 原理图：设计、采集、录入和审阅.....	22
10.1 选择元件和值.....	22
10.2 原理图设计和捕获.....	22
10.3 原理图审阅.....	22
11 布局规划、布局、布线指南、电路板层和仿真.....	22
11.1 PCB 设计迂回布线.....	23
11.2 DDR 设计和布局指南.....	23
11.3 高速差分信号布线指南.....	23
11.4 电路板层数和堆叠.....	23
11.5 运行仿真时应遵循的步骤参考.....	23
12 定制电路板组装和测试.....	24
12.1 指南和电路板启动提示.....	24
13 器件处理和组装.....	24
13.1 焊接建议.....	25
14 参考资料.....	25
14.1 处理器特定.....	25
14.2 通用.....	25
15 术语.....	26

商标

所有商标均为其各自所有者的财产。

1 简介

“使用 AM62L (AM62L32、AM62L31) 系列处理器的定制电路板硬件设计注意事项”用户指南为电路板设计人员使用其中任何一种处理器进行设计提供了一个起点。本文档概述了在不同电路板设计阶段推荐的设计流程，并重点介绍了必须满足的重要设计要求。请注意，本文档不包含完成定制电路板设计所需的全部信息。许多情况下，本文档参考了器件特定配套资料和其他各文档作为特定信息来源。

本文档条理有序，首先介绍了在定制电路板设计初始规划阶段必须做出的决策，然后介绍了处理器和关键附加器件的选型及电气和散热要求。为确保电路板设计成功，必须在每一部分讨论的建议得到解决后再进行下一部分。

备注

本文档并未涵盖定制电路板设计的所有方面。

备注

该处理器系列能够满足安全要求。

本文档的重点是非安全应用。

1.1 开始定制电路板设计之前的准备工作

该处理器系列包含多种外设和处理功能，但并非所有这些外设和功能都用于每个设计中。因此，使用同一处理器的不同设计的要求可能存在很大差异，具体取决于目标应用。电路板设计人员应在选择处理器和确定板级实现细节之前了解相关要求。此外，定制电路板设计可能需要额外的电路才能在目标环境中正常运行。如需选择处理器并确定以下内容，请查看 TI.com 上最新的配套资料（包括器件特定数据表、勘误表、TRM 和 EVM 用户指南）：

- 处理器运行的预期环境条件、目标引导模式、存储类型和使用的接口
- 所选处理器中每个内核的处理（性能）要求
- 所使用的外部 DDR 存储器类型、速度、大小
- 用于附加器件的处理器外设

有关 EVM 和 SK 所用关键元件的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM62A/AM62P/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - 入门套件/EVM 型号（版本）和关键元件列表](#)

1.1.1 AM62Lx 处理器系列变更摘要（相对于 AM62x 处理器系列）

以下是基于 AM62Lx 的定制电路板设计期间需要注意的一些处理器实现事项，以及从 AM62x 设计迁移到 AM62Lx 设计时需要注意的变更：

1. 内核电源电压固定为 0.75V
2. 已优化复位输入和复位状态输出
3. 除双电压 1.8V/3.3V IO 之外，新增仅支持 1.8V 的 IO。IO 组电源轨的 IO 电源已相应命名。
4. 已实现缓冲器类型 1P8-LVCMOS 和 RTC-LVCMOS，并添加了电气特性
5. 部分处理器外设（包括 CPSW3G0 和 OSPI0）仅支持 1.8V IO 电平
6. DDR4 和 LPDDR4 支持的存储器范围缩减（支持单列）
7. OSPI0 接口支持 x2 接口（可连接到 2 个附加器件）
8. 不支持使用 GPMC0 的非多路复用接口（分别连接地址总线 and 数据总线）
9. 集成的 LDO 可生成 1.8V/3.3V SD 接口 IO 电源，从而支持 UHS-I SD 卡
10. 集成 1 个 10 位模数转换器 (ADC)，采样率高达 1MSPS，4 个模拟输入（时间多路复用）
11. 低引脚数 - 仅使用四个自举引脚 BOOTMODE[15:12]，从电子保险丝引导配置了低引脚数配置；全引脚 - 使用全部 16 个自举引脚 BOOTMODE[15:0]
12. 不支持以太网引导
13. 支持的显示接口包括 MIPI DSI（4 通道 DPHY）或 DPI（24 位 RGB LVCMOS）（主动支持任何一个显示接口并且需要在引导期间选择所支持显示选项）
14. 不支持摄像头串行接口 (CSI-2)
15. 仅支持 RTC 模式和 RTC + IO + DDR 自刷新低功耗模式（不支持用于 CAN/GPIO/UART 唤醒的部分 IO）

16. 用于外部唤醒输入的 EXT_WAKEUP0 和 EXT_WAKEUP1 引脚
17. 包括漏极开路输出型在内的 I2C 接口已经优化
18. 添加了用于多个外设的 IOSET (参阅器件特定数据表)
19. 提供了一个 VTM 温度传感器, 温度传感器 0: DDR/A53
20. 不支持 VMON_VSYS 电压监测引脚
21. 不支持 3.3V 处理器电源的 VMON_3P3_SOC 电压监控器和 1.8V 处理器电源的 VMON_1P8_SOC 电压监控器
22. PMIC_LPM_EN0 配有一个特殊的输出单元, 上电后会立即启用弱上拉。输出在 RTC_PORz 上升沿驱动为高电平时, 内部弱上拉电阻关闭。(由于 PMIC_LPM_EN0 IO 在复位置位时已关闭, AM62Lx 处理器需要外部拉取。在这种情况下, 如果没有外部上拉电阻器, PMIC 将无法开启。)
23. 更新了具有漏极开路输出类型 I2C 缓冲器的 I2C 接口的引脚连接要求。仅当使用 IO 时, 才需要上拉电阻器

1.2 处理器选择

处理器选型是定制电路板设计过程中最重要的一步。要获取处理器架构以及选择处理器型号、特性、封装 (ANB) 和速度等级的概览, 请参阅器件特定数据表的 *功能方框图* 和 *器件比较* 一节。

1.3 技术文档

TI.com 上的处理器产品页面提供了许多与所选处理器相关的文档。在开始定制电路板设计之前, 强烈建议阅读所有文档。

以下常见问题解答汇总了在开始进行定制电路板设计时可以参考的配套资料。

[\[常见问题解答\] AM62L: 定制电路板硬件设计 - 入门配套资料](#)

1.3.1 更新了 EVM 原理图 (添加了设计、审阅和 CAD 注解)

在定制电路板设计期间, 设计人员经常重复使用和编辑 EVM 设计文件。此外, 设计人员也会重复使用常见实现方式, 包括处理器、存储器以及通信接口等。鉴于 EVM 被寄予实现更多附加功能的厚望, 设计人员会对 EVM 实现进行优化, 以满足电路板设计的要求。在对 EVM 原理图进行优化时, 会在定制设计中引入误差, 这类误差会导致功能、性能或可靠性方面的问题。优化过程中, 如设计人员对 EVM 实施存在疑惑, 可能会导致设计错误。许多这类优化和设计错误在各种设计中很常见。根据用户意见和数据表中的引脚连接建议, 我们在 EVM 原理图的各部分附近添加了全面的设计要点 (D-Note)、审核提示 (R-Note) 和 CAD 注解 (CAD-Note), 供设计人员查看并遵循, 以便更大限度减少设计中的错误。

1.3.1.1 AM62Lx

此外, 设计文件下载包中还包含了一系列附加文件, 以便更好地辅助评估工作。

TMDS62LEVM: <https://www.ti.com/lit/zip/sprcal6>

添加到上述 zip 文件中的产品概述文档中列出了可下载的文档。

以下常见问题解答涵盖 PDF 原理图以及与 EVM TMDS62LEVM 相关的其他信息:

[\[常见问题解答\] AM62L: 定制电路板硬件设计 - 关于重复使用 EVM TMDS62LEVM 原理图的设计和审阅说明](#)

1.3.2 支持定制电路板设计的常见问题解答

根据与电路板设计人员的交互、多个电路板设计人员的询问以及从电路板设计人员的询问中学习, 创建了常见问题解答, 用于回答一些常见设计问题或提供设计指南, 以便在定制电路板设计期间为电路板设计人员提供支持。

现可提供主要常见问题解答列表, 涵盖包括 AM62Lx 在内的 Sitara™ 全系列处理器:

[\[常见问题解答\] 定制电路板硬件设计 - 所有 Sitara 处理器 \(AM62x、AM64x、AM243x、AM335x\) 系列的主要 \(完整\) 常见问题解答列表](#)

按处理器系列划分的常见问题解答也已列出:

[\[常见问题解答\] AM62L: 定制电路板硬件设计 - 与处理器配套资料、功能、外设、接口和 EVM 相关的常见问题解答](#)

备注

常见问题解答会经常更新。建议定期查看感兴趣的常见问题解答以获取最新信息。

1.4 定制电路板设计文档

建议定期更新设计文档，以获取定制电路板设计不同阶段的所有要求、设计更新和观察结果。这些更新的信息为文档包奠定基础，在申请外部评审支持时，设计文件是必需的。

1.5 定制电路板设计相关问题

如有任何与定制电路板设计相关的问题，请在 **E2E** 上创建新主题以便专家提供支持。建议在 **E2E** 提问中输入与特定章节、外设或主题相关的查询内容，以便缩短问题分配和应答延迟。

2 方框图

详细的方框图涵盖了所有功能块和所需的接口，是设计成功定制电路板的关键。

2.1 创建方框图

准备详细的方框图是定制电路板设计期间的一个重要阶段。该方框图应包括所有主要功能块、处理器运行的相关器件 (PMIC) 以及附加器件。该方框图必须展示用于实现处理器和附加器件互连的接口和 IO。

在准备详细方框图时，以下资源可用作支持文档：

- 在开始设计定制电路板时，可参考或复用 [TMDS62LEVM](#) (AM62L 评估模块) 设计。
- 下面提到的 **Ti.com** 处理器产品文件夹链接提供器件特定功能方框图、数据表、TRM、用户指南、器件勘误表、应用手册、设计注意事项以及适用于不同应用的其他相关信息。设计和开发部分包括 EVM 信息、设计工具、仿真模型和软件信息。支持和培训相关信息中提供指向普遍适用的 **E2E** 主题和常见问题解答的链接。

如下为 **Ti.com** 上的处理器产品文件夹链接：

- [AM62L 产品文件夹](#)

2.2 配置引导模式

该系列处理器支持低引脚数 (x4 引脚) 或全引脚 (x16 引脚) 引导模式。该系列处理器还支持电子保险丝 BOOTMODE1 和 BOOTMODE2。电路板设计人员可以灵活地选择所需的引导模式，助力优化外部元件的使用。

建议在方框图中指示配置的引导模式。其中包括引导配置 (低引脚数或全引脚、电子保险丝)、主引导和备用引导。

该系列处理器包含多个支持引导模式的外设接口。有关可用的引导模式配置和支持的外设，请参阅器件特定 TRM。处理器系列支持主引导模式选项和可选备份引导模式选项。如果主引导源无法引导，则 ROM 将进入备份引导模式。

连接到处理器引导模式输入引脚的引导模式电阻器提供了有关引导期间 ROM 代码将使用的引导模式的信息。复位状态输出 (RESETSTATz) 会对引导模式输入进行采样。在释放 (取消置位) 冷复位 (PORz) 之前，引导模式配置输入必须保持稳定。

低引脚数引导模式映射的优势是需要更少的自举引脚，从而减少所需的上拉或下拉元件。低引脚数引导模式的代价是减少了可选的引导模式选项引脚。

但通过将新值烧写到电子保险丝，即可将 *简化引导模式引脚映射表* 中的两个可选引导模式配置选项 (电子保险丝 BOOTMODE1、BOOTMODE2) 配置为全 16 位选项的任意一种。若要对电子保险丝进行编程，需要将电源连接到 VPP 引脚。

备注

建议提供相关配置，将 VPP 电源连接到用于电子保险丝编程的处理器 VPP 引脚 (板载 LDO 或通过测试点连接外部电源，同时加装板载电容器以及用于控制 VPP 电源时序的处理器 IO)。有关更多信息，请参阅 [节 3.2.7](#)。

为了减少上拉/下拉元件，在 POR 期间会禁用引脚 BOOTMODE[11:0] 的输入缓冲器，除非 BOOTMODE[15:14] 为 "00"。使用低引脚数选项时会禁用缓冲器，由此避免因为这些引脚上的悬空输入而产生功耗。有关更多信息，请参阅器件特定 TRM。

低引脚数引导模式：

低引脚数引导模式使用 BOOTMODE [15:12] (x4 引脚)，配置总结如下：

BOOTMODE [13:12] - 配置所需的主引导和辅助引导模式

BOOTMODE [15:14] - 选择引导模式配置 (低引脚数或全引脚)。有关更多信息，请参阅器件特定 TRM。

备注

BOOTMODE [11:00] - 在复位期间和复位之后处理器 IO 缓冲器关闭。当 IO 未配置为复用功能时，可以将这些引脚保持在未连接状态，亦可配置为提供复用功能。建议通过一个 0 Ω 串联电阻器将引导模式 IO 连接到复用功能。在测试期间，可以使用串联电阻器隔离复用功能。

备注

不允许或不建议将 BOOTMODE [15:12] 引脚保持在未连接状态。

全引脚引导模式：

全引脚引导模式使用 BOOTMODE [15:00] (x16 引脚)，配置汇总如下：

PLL 配置：BOOTMODE [02:00] - 向 PLL 配置的 ROM 代码指示系统时钟 (PLL 参考时钟选择) 频率 (WKUP_OSC0_XI/XO)

主引导模式：BOOTMODE [06:03] - 配置所需的主引导模式，即要从中引导的外设/存储器

主引导模式配置：BOOTMODE [09:07] - 为主引导提供可选配置，并与所选的引导模式配合使用

备用引导模式：BOOTMODE [12:10] - 配置所需的备用引导模式，即主引导出现故障时要从中引导的外设/存储器

备用引导模式配置：BOOTMODE [13] - 为备用引导器件提供额外的配置选项 (可选 - 取决于所选的备用引导模式)

BOOTMODE [15:14] - 选择引导模式配置 (低引脚数或全引脚)。有关配置信息，请参阅器件特定 TRM。

有关配置全引脚和低引脚数引导模式映射的更多信息，请参阅器件特定 TRM 的 *引导模式引脚映射选项* 一节。

引导模式配置的主要注意事项：

- 建议始终包括用于配置开发期间所用引导模式的设置，例如用于 JTAG 调试的 USB 引导、UART 引导或无引导/器件引导模式。
- 引导模式引脚在锁存引导模式配置后可提供备选功能。此电路板设计需要在选择上拉或下拉电阻器时考虑实现的备选功能。如果这些引脚由另一器件驱动，则只要该处理器复位 (由 RESETSTATz 引脚指示)，上述引脚就必须恢复正确的引导配置电平，使该处理器能够正确引导

有关所支持引导模式的详细信息，请参阅器件特定 TRM 的 *初始化* 一节。

有关实现所需的引导模式 (低引脚数或全引脚)，请参阅 EVM [TMDS62LEVM](#) 原理图。

备注

电路板设计人员负责根据所需的启动配置，提供设置所需引导模式配置，既可使用上拉或下拉电阻器，也支持使用可选的跳线/开关 (若在非受控环境中设施，需采用外部 ESD)。建议为所有具有配置功能的引导模式引脚提供上拉和下拉电阻器配置，以便灵活设计。

不建议或严禁将引导模式引脚相互短接、使所有引导模式引脚处于未连接状态、或者将引导模式输入直接短接至电源或接地。

备注

采用全引脚引导模式配置时，这些焊球 (BOOTMODE[15:0]) 都必须通过单独的外部拉电阻器连接到相应电源或 VSS，以确保与这些焊球相关的输入相应地保持为有效的逻辑高电平或低电平，从而选择所需的器件引导模式。

采用低引脚数引导模式配置时，这些焊球 (BOOTMODE[15:12]) 都必须通过单独的外部拉电阻器连接到相应电源或 VSS，以确保与这些焊球相关的输入相应地保持为有效的逻辑高电平或低电平，从而选择所需的器件引导模式。

备注

建议通过一个 0 Ω 串联电阻器将引导模式 IO 连接到复用功能。在测试期间，可以使用串联电阻器隔离复用功能。

备注

有关所支持引导模式和可用引导模式功能的信息，请参阅器件特定勘误表。

备注

建议将引导模式配置电阻器拉至 VDDSHV0。

备注

对于低引脚数引导模式配置，25MHz (晶体或 LVCMOS 时钟) 是唯一支持的时钟频率。

有关全引脚引导模式，请参阅器件特定数据表以了解支持的时钟频率，阅读器件特定 TRM 以配置支持的时钟频率。

下面的常见问题解答介绍了使用和未使用引导模式缓冲器时的引导模式实现方法。

[\[常见问题解答\] AM625/AM623/AM644x/AM243x/AM62A/AM62P - 有缓冲器的引导模式实现](#)

[\[常见问题解答\] AM625/AM623/AM644x/AM243x/AM62A/AM62P - 无缓冲器的引导模式实现](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

2.3 确认 PinMux (PinMux 配置)

该处理器系列支持多个外设接口。为了优化尺寸、引脚数和封装，同时保持尽可能多的功能，许多处理器焊盘 (引脚) 提供最多可复用八个信号功能的配置。因此，并非所有外设接口实例都可用或可以同时使用。

TI 提供 [SysConfig-PinMux 工具](#)，支持电路板设计人员使用 PinMux 工具为 AM62Lx 系列处理器配置所需的功能。

备注

建议保存使用 SysConfig-PinMux 工具生成的 PinMux 配置以及其他设计文档。

3 电源

完成处理器选型和方框图更新后，定制电路板设计的下一个阶段是确定所选处理器的电源架构。

3.1 电源架构

下面列出了可考虑使用的电源架构：

3.1.1 集成电源

架构可基于 TSP65214x 或类似产品的多通道 IC (PMIC)。

有关使用 PMIC 的 AM62L 电源架构的更多信息，请参阅 EVM [TMDS62LEVM](#) 原理图。

有关更多信息，请参阅 [AM62L 电源实现](#)应用手册。

备注

PMIC MODE/RESET 引脚配置为冷复位，不支持将 RESETSTATz 连接到引脚。对于采用“仅 RTC”低功耗模式的应用，客户可以使用外部 DC/DC 或采用生成 RTC 电源轨的 LDO 的“电源正常”信号来驱动引脚。如果 VDD_RTC 或 VDDS_RTC 出现故障，连接会触发 PMIC 上的冷复位。

由于提供并启用了内部（约 25nA）下拉电阻，因此允许或可接受（安全）将引脚悬空。

3.1.2 分立式电源

架构基于[直流/直流转换器](#)和 [LDO](#)。

有关可用或推荐分立式电源架构的信息，请参阅 TI.com 上的器件特定 ([AM62L](#)) 产品页面。

AM62L 产品页面提供了有关可用电源架构的最新信息。

PORz 需要在上电期间保持低电平（有效），直到所有处理器电源有效（使用外部晶体电路）并维持至少 9.5ms 的延迟；或者 PORz 保持低电平（有效），直到所有处理器电源有效且外部时钟稳定（使用外部 LVCMOS 时钟源时），并且维持至少 1.2 μ s 的延迟。

3.2 电源轨

有关处理器电源轨和允许的电源电压范围的完整列表，请参阅器件特定数据表中规格一章的[建议运行条件](#)部分。以下部分提供了某些特定电源轨的更多详细信息。

有关处理器 ROC 设计建议的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM62A/AM62P/AM64x/AM243x 设计建议/定制电路板硬件设计 - SOC ROC 建议运行条件](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

有关动态电压调节 (DVS) 和动态频率调节 (DFS) 的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM62A/AM62P/AM64x/AM243x 设计建议/定制电路板硬件设计 - 动态电压调节](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

备注

确保连接到处理器电源轨的电源处于器件特定数据表的[建议运行条件](#)范围内。

3.2.1 支持的低功耗模式

有关支持的低功耗模式，请参阅器件特定数据表。

有关仅 RTC 模式或 RTC + IO + DDR 自刷新低功耗模式的实现，请参阅 EVM [TMDS62LEVM](#) 原理图。

有关更多信息，请参阅器件特定 TRM。

PMIC_LPM_EN0 配有一个特殊的输出单元，上电后会立即启用弱上拉。输出在 RTC_PORz 上升沿驱动为高电平时，内部弱上拉电阻关闭（由于 PMIC_LPM_EN0 IO 在复位置位时已关闭，AM62Lx 处理器需要外部拉取。在这种情况下，如果没有外部上拉电阻器，PMIC 将无法开启）。

3.2.2 内核电源

处理器指定在 0.75V 的固定内核电压下运行。

建议使用同一电源为内核电源 VDD_CORE、VDDA_CORE_DSI、VDDA_CORE_DSI_CLK、VDDA_CORE_USB 和 VDDA_DDR_PLL0 供电（[建议运行条件](#) (ROC) 表中定义的指定工作范围）。

当使用低功耗模式（包括仅 RTC 模式）时，建议将 0.75V 固定电压常开电源连接到 VDD_RTC RTC 内核电源电压。

未使用低功耗模式（包括仅 RTC 模式）时，建议将 VDD_CORE 和 VDD_RTC 连接到同一电源。

更多信息，请参阅器件特定数据表中 *规格* 一章的 *建议运行条件* 部分。

3.2.3 外设电源

该处理器系列支持面向 PLL、USB (USB0 和 USB1 通用)、DSITX0、ADC0 的专用外设电源。工作电压 ROC 为 1.8V。USB 需要额外的 3.3V 模拟电源。

根据所选存储器，DDR PHY IO (VDDS_DDR) 电源轨的额定电压为 1.1V (LPDDR4) 或 1.2V (DDR4)。

更多信息，请参阅器件特定数据表中 *规格* 一章的 *建议运行条件* 部分。

3.2.4 用于 SD 卡接口的集成 LDO (为动态切换双电压 IO 供电)

该处理器系列支持集成式 LDO (SDIO_LDO)，以便为 SDIO 接口 IO 电源组和 SD 接口上拉电阻供电，能够在 1.8V 和 3.3V 电压之间动态切换。建议在 LDO 输出引脚 (CAP_VDDSHV_MMC) 附近连接一个输出电容器。有关推荐电容和连接的指导说明，请参阅器件特定数据表中 *信号说明* 一节的 *电源* 部分。

V1P8_SIGNAL_ENA 位用于控制 LDO 输出电平，而该输出电平用于控制 SD 卡接口 IO (信令)。LDO 的输出端可连接到用于 SD 卡接口的处理器 IO 电源组 (用于支持 UHS-I 的 VDDSHV3 或 VDDSHV4)。

如需连接未使用的 LDO (SDIO_LDO 和 CAP_VDDSHV_MMC)，请参阅器件特定数据表的 *引脚连接要求* 一节。

3.2.5 IO 组 (处理器) IO 电源的内部 LDO

该处理器系列支持内部 LDO (CAP_VDDS_GENERAL1、CAP_VDDS_GPMC 和 CAP_VDDS_MMCx [x = 0-2])，每个 LDO 输出连接到一个单独的焊球 (引脚)，用于连接外部电容器。有关推荐电容和连接的指导说明，请参阅器件特定数据表中 *信号说明* 一节的 *电源* 部分。电容器封装选型请参阅 EVM [TMDS62LEVM](#) 原理图。不遵循 CAP_VDDSxxx 建议的指南可能会影响处理器性能。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM62A/AM62P/AM64x/AM243x 设计建议/定制电路板硬件设计 - CAP_VDDSx CAP_VDDS](#)

3.2.6 IO 组的处理器 IO 电源

该处理器系列支持以下配置：

- IO 组的双电压 IO 电源 (3.3V 或 1.8V)
- IO 组的固定电压 IO 电源 (1.8V)

3.2.6.1 IO 组的 1.8V 或 3.3V 双电压 IO 电源

该处理器系列提供 VDDSHV0、VDDSHV1 - 双电压固定 1.8V 或 3.3V IO 电源，以及 VDDSHV2、VDDSHV3、VDDSHV4 双电压动态切换的 1.8V 或 3.3V IO 电源，其中 IO 组的每个 IO 电源为一组预定义的 IO 供电。IO 组的每个 IO 电源可单独配置为 3.3V 或 1.8V。建议使用同一电源为 IO 组电源的处理器 IO 电源以及附加器件的 IO 电源供电。

MMC0-2 的 VDDSHV2、VDDSHV3 和 VDDSHV4 IO 电源组旨在支持上电、下电或不依赖于其他电源的动态电源电压变化。这是支持 UHS-I SD 卡所必需的功能。

3.2.6.1.1 其他信息

大多数处理器 IO 都没有失效防护功能。有关可用的失效防护 IO 的信息，请参阅器件特定数据表。建议使用与相应处理器相同的电源 - 双电压 IO 组 (VDDSHVx 电源轨) - 为附加器件的 IO 供电，以确保系统或电路板不会向未供电的 IO 施加电位。建议执行失效防护操作，以保护处理器和所连接器件的 IO。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623 定制电路板硬件设计 - SOC \(处理器\) 和附加器件 \(失效防护\) 之间的电源时序](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

可用的 IO 组 IO 电源信息汇总如下：

- VDDSHV0 - GPMC0 IO 组 (固定电源) 的双电压 IO 电源
- VDDSHV1 - 通用接口 IO 组 (固定电源) 的双电压 IO 电源
- VDDSHV2 - MMC0 IO 组 (动态切换) 的双电压 IO 电源
- VDDSHV3 - MMC1 IO 组 (动态切换) 的双电压 IO 电源
- VDDSHV4 - MMC2 IO 组 (动态切换) 的双电压 IO 电源

3.2.6.2 IO 组的 1.8V 固定电压 IO 电源

该处理器系列支持固定电压 1.8V IO 电源轨 (VDDS0、VDDS1、VDDS_RTC 和 VDDS_WKUP)。所有连接到此类 IO 的附加器件 (IO) 必须由用于为相应处理器电源轨供电的同一电源供电。

当使用低功耗模式 (包括仅 RTC 模式) 时，建议将 1.8V 固定电压常开电源连接到 LFOSC0 和 RTC IO 组的 VDDS_RTC IO 电源。

未使用低功耗模式 (包括仅 RTC 模式) 时，建议将 LFOSC0 和 RTC IO 组 VDDS_RTC 的 IO 电源连接到有效的 1.8V IO 电源。

可用的 IO 组 IO 电源信息汇总如下：

- VDDS0 - GENERAL0 IO 组 (RGMII1、RGMII2 IO 组) 的 IO 电源
- VDDS1 - OSPI0 IO 组的 IO 电源
- VDDS_RTC - LFOSC0 和 RTC IO 组的 IO 电源
- VDDS_WKUP - WKUP IO 组的 IO 电源

3.2.7 VPP (电子保险丝 ROM 编程) 电源

VPP 电源可以来自电路板或外部。

在处理器上电和断电序列期间以及处理器正常运行期间，VPP 引脚可以保持悬空 (HiZ) 或通过电阻下拉至地。

对 OTP 电子保险丝中的密钥进行编程时，必须满足以下硬件要求：

- VPP 电源电压只能在处理器上电序列完成后应用。
- 建议使用具有更高输入电源 (2.5V 或 3.3V) 和使能输入的固定 LDO。需要由处理器 GPIO 控制使能输入以进行计时。
- VPP 电源应该会具有高负载电流瞬态，可能需要在 VPP 引脚附近使用局部大容量电容器来支持 LDO 瞬态响应。
- 选择具有快速放电功能的电源或使用放电电阻器。
- 在编程期间指定的最大电流为 400mA。
- 如果使用外部电源，则建议在处理器电源斜坡且稳定后施加该电源。
- 使用外部电源时，建议在处理器 VPP 电源引脚附近添加板载大容量电容器、去耦电容器和放电电阻器。添加一个测试点以连接外部电源，并提供连接其中一个处理器 GPIO 以控制外部电源时序的配置。
- 建议在不对 OTP 电子保险丝进行编程时禁用 VPP 电源 (保持悬空 (HiZ) 或接地)。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1 定制电路板硬件设计 - 有关 VPP 电子保险丝编程电源选择和应用的问](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

更多信息，请参阅器件特定数据表中 *规格一章的一次性可编程 (OTP) 电子保险丝的 VPP 规格* 部分。

3.3 确定电路板电源要求

器件特定数据表中未提供每个电源轨的（最大和最小）电流要求。这些要求在很大程度上取决于应用，需使用 TI 提供的工具针对特定用例进行评估。

3.4 电源滤波器

有关实现处理器电源轨滤波、去耦和大容量电容器的信息，请参阅 EVM [TMDS62LEVM](#) 原理图。

3.5 电源去耦和大容量电容

为了将处理器和附加器件与电路板噪声去耦，建议使用去耦电容器和大容量电容器。

有关优化和放置去耦电容器和大容量电容器的指导，请参阅 [Sitara 处理器配电网络：实现与分析](#) 应用手册。

3.5.1 PDN 目标阻抗说明

为特定电源提供了 PDN 目标阻抗值。不提供所有电源轨的 PDN 目标阻抗值，因为目标阻抗计算需要考虑电源轨上的最大电流，并且取决于用例。

有关 PDN 目标阻抗电源和数值的更新内容，请参阅以下常见问题解答：

[\[常见问题解答\] AM62L：定制电路板硬件设计 - 入门配套资料](#)

查找 PDN 目标阻抗值 (VDD_CORE)。

3.6 电源时序控制

器件特定数据表中提供了所需的 *电源时序*（上电和下电）的详细图表。当使用分立式电源架构时，所有相关处理器电源都应支持使用基于 PMIC 的电源或使用板载逻辑来实现受控电源斜升（请参阅电源压摆率）和电源时序。

如需了解更多信息，请参阅器件特定数据表的 *电源要求*、*电源压摆率要求*、*电源时序* 一节。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623 定制电路板硬件设计 - 上电和下电的处理器电源时序要求](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

3.7 电源诊断

处理器内部的电压监控器不可用。

3.8 电源监控

为了优化定制电路板性能，请为电源轨和负载电流配置外部监控。

有关实现方案，请参阅 EVM [TMDS62LEVM](#) 原理图。

现在，电源架构和用于生成电源轨的器件已经完成，接下来是更新方框图以包含电源轨和互连。建议创建电源序列（上电和断电）图并使用器件特定数据表验证该序列。

4 处理器时钟

定制电路板设计的下一个阶段是为处理器和附加器件提供正确的时钟。处理器时钟可使用外部晶体在内部生成，也可以使用 LVCMOS 兼容时钟输入。使用外部时钟时，请遵循器件特定数据表中的连接建议。本节介绍可用的处理器时钟源和要求。

4.1 处理器外部时钟源

器件特定数据表中 *规格一章的时钟规格* 部分汇总了建议的处理器时钟源和建议的连接。

连接到内部高频振荡器 (WKUP_HFOSC0) 或 WKUP_OSC0 LVCMOS 数字时钟的 25MHz 外部晶体接口引脚是内部参考时钟 HFOSC0_CLKOUT 的默认时钟源。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1 定制电路板硬件设计 - 有关 MCU_OSC0 启动时间的问题](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

低频振荡器 (LFOSC0) 的用例有限。根据用例，选择 32.768kHz 晶体作为时钟源。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625 : LFOSC 在器件中的使用](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

备注

AM62x 的 MCU_OSC0 (高频振荡器) 为 AM62Lx 的 WKUP_OSC0。

AM62x 的 WKUP_LFOSC0 (32.768kHz 低频振荡器) 是 AM62Lx 的 LFOSC0。

4.1.1 未使用的 LFOSC0

有关建议连接的指导说明，请参阅器件特定数据表 *规格* 一章的 *未使用 LFOSC0* 部分。

4.1.2 LVCMOS 数字时钟源

WKUP_OSC0_XI 和 LFOSC0_XI 时钟输入可源自 1.8V LVCMOS 方波数字时钟源。有关更多详细信息，请参阅器件特定数据表的 *规格* 一章中的 *时序和开关特性*、*时钟规格*、*输入时钟/振荡器* 部分。

备注

请务必按照器件特定数据表的建议连接 WKUP_OSC0_XO 和 LFOSC0_XO 引脚。

备注

有关更多信息，请参阅器件特定数据表 *WKUP_OSC0 LVCMOS 数字时钟源* 一节的说明。

4.1.3 晶体选型

选择晶体时，电路板设计人员必须根据最坏工作环境和电路板的预期寿命来考虑温度和老化特性。验证所用的晶体负载和晶体负载电容值 (包括 PCB 电容 (对于 WKUP_OSC0)) 是否与数据表建议值相匹配。选择晶体负载以允许选择一个标准电容值。值不匹配可能会引入时钟频率 PPM 误差。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1 定制电路板硬件设计 - 晶体选型相关问题](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

更多信息，请参阅器件特定数据表的 *WKUP_OSC0 晶体电路要求* 和 *LFOSC0 晶体电气特性表*。

建议根据需要向晶体制造商确认晶体选型。

4.2 处理器时钟输出

名为 CLKOUT0 和 WKUP_CLKOUT0 的处理器 IO (引脚) 可配置为时钟输出。时钟输出可以用作连接的器件 (外部外设) 的时钟源。

有关更多详细信息，请参阅器件特定数据表和 TRM。

5 联合测试行动组 (JTAG)

TI 支持各种扩展开发系统 (XDS) JTAG 控制器，除了 JTAG 支持之外，还提供各种调试功能。

请参阅以下常见问题解答：

[常见问题解答] [AM625 / AM623 / AM625SIP / AM625-Q1 / AM620-Q1 / AM62A7 / AM62A3 / AM62P / AM62P-Q1 / AM6442 / AM2432 定制电路板硬件设计 - JTAG](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

尽管运行不需要 JTAG，但建议在定制电路板设计中包含 JTAG 连接。

5.1 JTAG/仿真

适用于 JTAG/仿真的相关文档：

- [仿真和跟踪头技术参考手册](#)
- [XDS 目标连接指南](#)
- [边界扫描测试规范 \(IEEE-1149.1\)](#)
- [交流耦合网络测试规范 \(IEEE-1149.6\)](#)

5.1.1 JTAG/仿真的配置

IEEE 标准 1149.1-1990、IEEE 标准测试访问端口和边界扫描架构 (JTAG) 接口可用于边界扫描和仿真。边界扫描的实现同时符合 IEEE-1149.1 和 1149.6 标准。无论处理器配置如何，均可使用边界扫描。

JTAG 端口作为一个仿真接口，可在不同模式下使用：

- 标准仿真：只需五个标准 JTAG 信号。
- HS-RTDX 仿真：需要五个标准 JTAG 信号以及 EMU0 和/或 EMU1。在此模式下，EMU0 和/或 EMU1 是双向的。
- 跟踪端口：跟踪端口支持对某些内部数据进行实时转储。跟踪端口使用 EMU 引脚输出跟踪数据。

无论处理器配置如何，均可使用仿真。

有关支持的 JTAG 时钟速率，请参阅器件特定 TRM。

可从以下部分下载需要用于边界扫描测试的 BSDL 文件。

5.1.1.1 AM62Lx

- [AM62Lx Sitara BSDL](#)

5.1.2 JTAG/仿真的实现

JTAG 和仿真信号以同一 IO 组电源为基准。TDI、TDO、TCK、TMS、TRSTn、EMU0 和 EMU1 信号由 VDDSO 供电。

要确保 JTAG 接口的正确实施，请参阅 [仿真和跟踪接头技术参考手册](#)。

5.1.3 JTAG 接口信号的连接

有关连接 JTAG 接口信号的信息，请参阅器件特定数据表中 [端子配置和功能](#) 一章的 [引脚连接要求](#) 部分。

备注

如果未使用 JTAG 接口，建议根据器件特定数据表的 [引脚连接要求](#) 部分，使用用于开发测试的测试点和所需的上拉/下拉电阻提供 JTAG 接口信号连接配置。

6 配置 (处理器) 和初始化 (处理器和器件)

建议仅在所有处理器电源上升到稳定值并延迟到晶体或振荡器启动和稳定的推荐保持时间 (以毫秒为单位，请参阅器件特定数据表) 之后，再取消置位 (释放) 处理器的冷复位输入 (PORz)，从而开始处理器的启动过程。

6.1 处理器复位

该处理器系列支持三个外部复位输入 **PORz** (**WKUP** 域冷复位输入)、**RESETz** (主域热复位输入) 和 **RTC_PORz** (**RTC** 上电复位输入)。

请务必按照器件特定数据表的 *引脚连接要求* 一节中的建议连接。

器件特定数据表和 **TRM** 中详细介绍了支持的复位配置。

该处理器提供组合式单个复位状态输出 **RESETSTATz** (主域热复位状态输出)。**RESETSTATz** 反映了器件的内部复位状态，当冷复位 **PORz** 或热复位 **RESETz** 为低电平时处于低电平，而在 **PORz** 或 **RESETz** 取消置位后，会在延迟 (请参阅器件特定数据表) 后变为高电平。

未使用时的复位状态输出可保持未连接状态。建议配置一个测试点用于测试或未来增强。建议使用可选的下拉电阻。

对于 **PORz** (3.3V 容差，失效防护输入)，可施加 3.3V 输入。输入阈值是 1.8V IO 电源电压 (**VDDS_OSC0**) 的函数。

建议在电源斜升和晶体/振荡器启动期间将 **PORz** 保持在低电平。请遵循器件特定数据表的 *上电时序图* 中建议的 **PORz** 时序要求。

通过处理器内部寄存器和仿真可实现其他复位模式。

6.1.1 **RTC** 上电复位 (**RTC_PORz**)

不建议亦不允许 **RTC** 上电复位引脚悬空。需要按照如下所述连接 **RTC_PORz** 引脚：

1. 在仅 **RTC** 模式下运行时，**RTC_PORz** 输入需要源自 **VDD_RTC** 和 **VDDS_RTC** 电源的 **PG** 输出。一旦两个电源均有效且 **RTC** 域解除复位，**PG** 漏极开路输出就会释放。

2. 在 RTC + IO + DDR 自刷新模式下运行时, RTC_PORz 输入需要源自 PMIC GPO (使用替代电源架构时, 请遵循处理器特定数据表中的电源序列图)。PMIC 同时为两个 RTC 电源供电。PMIC 的漏极开路输出之一会在加电序列中的适当时间释放 (需检查所用的 PMIC 及支持的实现设计)。
3. 未使用低功耗模式时, 建议将 RTC_PORz 输入连接到接入 PORz 的同一信号。假定 VDD_RTC 与 VDD_CORE 连接到同一源, 并且 VDDS_RTC 与 VDDS0、VDDS1 也连接到相同源。

施加到 VDD_RTC 电源轨的电势必须始终大于或等于施加到 VDD_CORE 的电势。VDD_RTC 的唯一电源 (电源轨) 序列要求。

在 RTC 电源轨有效之前, RTC_PORz 必须保持低电平。

6.2 引导模式配置的锁存

有关处理器引导模式选项的更多详细信息, 请参阅上文的 [节 2.2](#)。

处理器引导模式配置在 PORz 的上升沿被锁存。器件配置和引导模式输入引脚具有交替多路复用功能。在将这些引脚的状态 (电平) 锁存到配置寄存器后, 这些引脚可用于发挥本身的交替功能。RESETSTATz 可选择性用于锁存附加器件的引脚配置 (strap)。

6.3 复位附加器件

建议使用“与运算”逻辑在适用的情况下重置连接的器件 (板载媒体和数据存储设备以及其他外设)。处理器通用输入/输出 (GPIO) 引脚连接到其中一个与门输入, 并提供 0 Ω 来隔离 GPIO 输入以进行测试或调试。复位期间处理器 IO 缓冲器关闭。建议在与门输入附近放置一个上拉电阻, 以防止与门输入悬空并启用上电期间由处理器 IO 控制的复位逻辑。主域热复位状态输出 (RESETSTATz) 信号可以作为另一个输入连接到与门。确保与逻辑输入附近使用的处理器 IO 电源和上拉电源均来自同一电源。

如果不使用“与运算”逻辑且使用处理器主域热复位状态输出 (RESETSTATz) 来复位所连接器件, 请将所连接器件的 IO 电压电平与 RESETSTATz IO 电压电平匹配。建议使用电平转换器来匹配 IO 电压电平。

建议配置由软件启用 (控制) 的电源开关 (负载开关) 为 SD 卡电源 (VDD) 供电。一个固定的 3.3V 电源 (连接到处理器的 IO 电源) 连接作为电源开关的输入。

使用电源开关可以对 SD 卡进行下电上电 (因为复位电源开关是复位 SD 卡的唯一方法), 并将 SD 卡复位为默认状态。

有关实现附加器件复位逻辑和 SD 卡电源开关使能逻辑的更多信息, 请参阅 EVM [TMDS62LEVM](#) 原理图。

6.4 看门狗计时器

是否使用看门狗计时器根据应用要求而定。请考虑使用内部或外部看门狗计时器。

7 处理器外设

处理器外设一节介绍了处理器外设和模块, 旨在对器件特定数据表、TRM 和相关应用手册中提供的内容加以补充。可以使用的三种类型的文档是:

- 数据表: 引脚说明、处理器运行模式、交流时序、引脚功能指南、引脚映射
- TRM: 功能说明、编程指南、有关寄存器和配置的信息
- 应用手册: 电路板级理解并解决常见的问题

7.1 跨域选择外设

处理器架构包括多个域, 每个域包括特定的处理内核和外设:

- MAIN 域
- RTC 域
- 唤醒 (WKUP) 域

7.2 存储器控制器 (DDRSS)

DDR 子系统支持 LPDDR4 或 DDR4 存储器接口。有关数据总线宽度、内联 ECC 支持、速度和最大可寻址范围选择, 请参阅器件特定数据表 [特性一章的存储器子系统、DDR 子系统 \(DDRSS\)](#) 部分。

允许的 DDR4 存储器配置为 1x 16 位或 2x 8 位。1x 8 位存储器配置不是有效配置。

允许的 LPDDR4 存储器配置为 1x 16 位。

根据应用要求，由于提供了 1x 16 位配置，同一存储器 (LPDDR4) 器件可与 AM625/AM623/AM625-Q1/AM620-Q1、AM62A7/AM62A3、AM62P/AM62P-Q1 以及 AM62L32/AM62L31 处理器系列搭配使用。

使用 LPDDR4 或 DDR4 时，请参阅 *AM62x、AM62Lx DDR 电路板设计和布局布线指南*。

如需连接未使用的 DDRSS 信号，请参阅器件特定数据表的 *引脚连接要求* 一节。

有关更多详细信息，请参阅器件特定 TRM 中 *存储器控制器* 一章的 *DDR 子系统 (DDRSS)* 部分。

LPDDR4 存储器适用于当前 EVM 设计。

有关 DDR4/LPDDR4 存储器接口的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM62A/AM62P/AM64x/AM243x 定制电路板硬件设计的设计建议/常见错误 - DDR4/LPDDR4 存储器接口](#)

7.2.1 处理器 DDR 子系统和器件寄存器配置

DDR 控制器和 DDR PHY 有大量参数需要配置。为了方便配置，提供了一个在线工具 ([SysConfig 工具](#))，用于生成驱动程序所需的输出文件。从 *Software Product* 下拉菜单中选择 *DDR Subsystem Register Configuration*，并选择所需的处理器。此工具将电路板信息、DDR 器件特定数据表中的时序参数和 IO 参数作为输入，然后输出驱动程序用于对 DDR 控制器和 DDR PHY 进行编程的头文件。然后，驱动程序会启动完整的训练序列。

该 SDK 包含适用于 EVM 上安装的存储器 (LPDDR4) 器件的集成配置文件。如果您需要不同存储器 (LPDDR4) 器件的配置文件，则必须使用 DDR 寄存器配置工具生成新的配置文件。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM62A7 或 AM62A3 定制电路板硬件设计 - 处理器 DDR 子系统和器件寄存器配置](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

7.2.2 DDRSS 的校准电阻器连接

遵循器件特定数据表中的 DDR0_CAL0 (IO 焊盘校准电阻) 连接建议。

7.2.3 附加存储器器件 ZQ 和 Reset_N 连接

按照器件特定的 EVM 原理图将推荐的电阻器 (ZQ (阻抗校准) 和 Reset_N (存储器复位输入)) 连接到存储器器件和值。

7.3 媒体和数据存储接口

该处理器系列支持以下存储器接口：

7.3.1 多媒体卡/安全数字 (MMCSD) 接口

该处理器系列支持 3 个多媒体卡/安全数字 (MMC/SD/SDIO)(8b+4b+4b) 接口，MMC0 上的 8 位 eMMC (有关速度信息，请参阅器件特定数据表的 *MMC0 - eMMC/SD/SDIO 接口* 一节)、MMC1 和 MMC2 上的 4 位 SD/SDIO (有关速度信息，请参阅器件特定数据表的 *MMC1/MMC2 - SD/SDIO 接口* 一节)。

有关 eMMC 存储器接口的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM62A/AM62P 定制电路板硬件设计的设计建议/常见错误 - eMMC 存储器接口](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

有关更多详细信息，请参阅器件特定 TRM 中 *外设* 一章的 *存储器接口* 一节中的 *多媒体卡安全数字 (MMCSD) 接口* 部分。

7.3.2 八路串行外设接口 (OSPI) / 四路串行外设接口 (QSPI)

该系列处理器支持连接 1 个存储器器件 (1x OSPI 或 QSPI) 或连接至多 2 个存储器 (例如: 1 个 OSPI + 1 个 QSPI) 器件 (通过 OSPI0 接口)。OSPI0 IO 以 VDDSD1 为基准, 支持 1.8V IO 固定电平。

以下是有效组合:

- OSPI + OSPI (更快 - DQS)
- QSPI + OSPI (更快 - DQS)
- OSPI (更快 - DQS)
- QSPI (更快 - LBCLKO)

有关 OSPI 或 QSPI 的信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM62L: 定制电路板硬件设计 - TMDSD62LEVM 上的 OSPI0 接口实现和指南](#)

[\[常见问题解答\] AM625/AM623/AM62A/AM62P 定制电路板硬件设计的设计建议/常见错误 - OSPI/QSPI 存储器接口](#)

[\[常见问题解答\] Sitara/Jacinto 器件的 OSPI 常见问题解答](#)

常见问题解答是通用的, 也可用于 AM62Lx 处理器系列。

有关更多详细信息, 请参阅器件特定 TRM 中外设章节 *存储器接口* 一节的 *八路串行外设接口 (OSPI)* 小节。

7.3.3 通用存储器控制器 (GPMC) 接口

该处理器系列支持 1 个通用存储器控制器 (GPMC), 接口频率可达 133MHz。

有关支持的存储器接口, 请参阅器件特定数据表中 *特性* 一章的 *媒体和数据存储* 部分、*器件比较* 一章的 *器件比较表*、*端子配置和功能* 一章的 *GPMC0 信号说明表*。

GPMC IO 以 VDDSHV0 为基准。

有关更多详细信息, 请参阅器件特定 TRM 中外设一章 *存储器接口* 部分中的 *通用存储器控制器 (GPMC)* 一节。

7.4 通用平台以太网交换机 3 端口千兆位 (CPSW3G - 用于以太网接口)

7.4.1 AM62Lx

CPSW3G0 接口 IO 以 VDDSO 为基准，支持 1.8V IO 固定电平。

CPSW3G0 接口可以配置为 3 端口交换机 (连接到两个外部以太网端口 (端口 1 和 2)) 或具有自己 MAC 地址的双独立 MAC 接口。

CPSW3G0 支持每个外部以太网接口端口的 RMII (10/100) 或 RGMII (10/100/1000) 接口。

对于 RMII 接口实现，请参阅器件特定 TRM 的 *CPSW0 RMII 接口* 一节。

CPSW3G0 RMII 接口支持将处理器连接到配置为控制器 (主) 或器件 (从) 的以太网 PHY。

为 RMII 接口配置的 CPSW3G0 与 EPHY 连接，配置为外部 50MHz (连接到缓冲外部振荡器或处理器时钟输出 CLKOUT0) 时钟输入 (其中一个缓冲时钟输出连接到处理器 MAC)，或配置为连接至处理器 MAC 并具备 EPHY 50Mhz 时钟输出的 25Mhz 晶体或时钟输入。

CPSW3G0 端口之一是内部通信端口编程接口 (CPPI) 主机端口。CPPI 是一个流接口，用于从 DMA 向 CPSW3G0 提供数据，反之亦然。

CPSW3G0 允许为 2 个外部接口端口使用混合 RGMII/RMII 接口拓扑。

RGMII_ID 未经计时、测试或表征。默认为发送数据 (TDn) 启用 RGMII_ID。处理器 MAC 不会为 RDn (接收数据) 路径实现内部延迟。

有关 CPSW3G0 以太网接口的更多详细信息，请参阅器件特定 TRM 中 *外设一节的高速串行接口* 部分。

7.5 可编程实时单元子系统 (PRUSS)

该处理器系列不支持 PRUSS。

7.6 通用串行总线 (USB) 子系统

该处理器系列支持最多两个 USB 2.0 端口。这些端口可以配置为主机、设备或双角色设备 (DRD)。使用任何处理器 GPIO 都支持 USBn_ID (识别) 功能。

在连接到 USBn_VBUS [n = 0-1] 引脚之前，请按照器件特定数据表的 *USB VBUS 设计指南* 一节根据情况调节 USB VBUS 电压 (USB 接口连接器附近的电源)。

当 USB 接口配置为器件模式时，建议连接 VBUS (VBUS 电源输入，包括电压调节电阻器分压器/钳位器) 输入。VBUS 的连接 (VBUS 电源输入，包括电压调节电阻器分压器/钳位器) 在处理器 USB 主机模式下是可选的。

当 USB 接口配置为 VBUS 控制主机时，建议使用带 OC (过流) 输出指示的电源开关。USB DRVVBUS 驱动电源开关。当 USB 接口配置为主机时，建议将 OC 输出连接到处理器 GPIO (输入)。

有关与 USB 连接和 On-The-Go 特性支持相关的详情，请参阅器件特定 TRM。

有关更多详细信息，请参阅器件特定 TRM 中 *外设一章的高速串行接口* 部分。

当不使用 USB0 和 USB1 时，请参阅器件特定数据表的 *引脚连接要求* 一节来连接 USB 电源引脚。

当不使用 USB0 或 USB1 时，请参阅器件特定数据表的 *引脚连接要求* 一节来连接接口信号和 USB 电源引脚。

有关 USB2.0 接口更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1 定制电路板硬件设计 - USB2.0 接口](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

7.7 通用连接外设

该处理器系列支持多个 UART、多通道串行外设接口 (MCSPI)、I2C、多通道音频串行端口 (MCASP)、增强型脉宽调制器 (EPWM)、增强型正交编码器脉冲 (EQEP)、增强型捕获 (ECAP)、支持完整 CAN-FD 的 MCAN (模块化控制器局域网) 和 GPIO 实例。所有 LVCMOS IO 都可以配置为 GPIO。

可用的外设实例数量取决于处理器选择。可以根据应用使用 SysConfig-PinMux 工具配置所需的接口。

有关更多详细信息，请参阅器件特定 TRM 的外设一章。

7.7.1 I2C (漏极开路 and 仿真漏极开路) 接口

7.7.1.1 AM62Lx

对于采用开漏输出型缓冲器的 I2C 接口 (配备 I2C OD FS IO 缓冲器的 I2C2)，建议仅当 IO 被配置为 I2C 接口或 IO 时，使用外部上拉电阻。如果主动驱动 IO (输入)，则不需要上拉电阻。

当漏极开路输出型缓冲器 (I2C2) 被拉至 3.3V 电源时，输入具有指定的压摆率限制。建议使用 RC 来限制压摆率。有关实现，请参阅 EVM [TMDs62LEVM](#) 原理图。

当 IO 配置为 I2C 接口时，建议为仿真开漏输出 (LVCMOS IO) I2C 接口 (I2C0、I2C1、I2C3 和 WKUP_I2C0) 配备外部上拉电阻。有关可用仿真开漏输出 I2C 实例，请参阅器件特定数据表。

7.7.1.2 其他信息

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM62L：定制电路板硬件设计 - I2C 接口](#)

7.8 模数转换器 (ADC)

7.8.1 AM62Lx

该处理器系列支持 1 个 12 位模数转换器 (ADC)、采样率高达 4MSPS，具备 4 个模拟输入 (时间多路复用)。

有关允许的 ADC 输入范围和电气特性，请参阅器件特定数据表的 [ADC 电气特性](#) 一节。

有关更多信息，请参阅器件特定 TRM 中外设一章的 [通用连接外设](#) 部分。

备注

ADC 输入不具有失效防护功能。建议仅在 ADC 电源斜升后施加输入。

连接外部输入时，请注意允许的 ADC 输入范围。

有关在未使用整个 ADC 或任意 ADC 输入时连接 ADC 电源和 ADC 输入的信息，请参阅器件特定数据表的 [引脚连接要求](#) 一节。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM62L、AM64x 定制电路板硬件设计 - ADC0 设计指南](#)

7.9 显示子系统 (DSS)

7.9.1 AM62Lx

该系列处理器为 DPI 和 DSI 接口提供引脚输出（引脚属性已定义）。该系列处理器支持连接到 MIPI DSI（4 通道 DPHY）或 DPI（24 位 RGB LVCMOS）显示接口（外部），并且需要在引导时选择处理器显示接口。

如需连接未使用的 DSITX0 信号，请参阅器件特定数据表的 [引脚连接要求](#) 一节。

有关更多详细信息，请参阅器件特定 TRM 中 [外设一章](#) 的 [显示子系统和外设部分](#)。

有关 DPI 的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM625SIP/AM625-Q1 定制电路板硬件设计 - 显示并行接口 \(DPI\) 24 位 RGB](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

7.10 处理器电源引脚、未使用外设和 IO 的连接

除非 [引脚连接要求](#) 一节另有说明，否则所有处理器电源引脚都必须采用器件特定数据表 [建议运行条件](#) 一节中指定的电源电压。

处理器有两种引脚（封装焊球）：具有特定连接要求的引脚，以及建议保持未连接或可以保持未使用状态的引脚。

有关连接未使用的特定处理器外设和 IO 的信息，请参阅器件特定数据表中 [端子配置和功能](#) 一章的 [引脚连接要求](#) 部分。

有关未使用处理器外设和 IO 的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM62A/AM62P 定制电路板硬件设计的设计建议/常见错误 - SOC 未使用外设和 IO](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

7.10.1 外部中断 (EXTINTn)

EXTINTn 是一种开漏输出类型缓冲器失效防护 IO。当 PCB 布线连接到焊盘并且外部输入未被主动驱动时，建议连接外部上拉电阻器。开漏输出类型缓冲器 IO 在 IO 上拉至 3.3V 时具有指定的压摆率。建议使用 RC 来限制压摆率。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1/AM62A7/AM62A3/AM62P/AM62P-Q1 定制电路板硬件设计 - EXTINTn 引脚上拉连接](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

7.10.2 外部唤醒输入 (EXT_WAKEUP0 和 EXT_WAKEUP1)

EXT_WAKEUP0 和 EXT_WAKEUP1 信号是外部唤醒输入。此类输入是低电平有效输入，建议根据连接要求进行连接。

有关连接 EXT_WAKEUP0 和 EXT_WAKEUP1 信号的信息，请参阅器件特定数据表的 [引脚连接要求](#) 一节。

7.10.3 预留 (RSVD) 引脚

名为 RSVD 的引脚被预留。按照器件特定数据表中的建议，将 RSVD 引脚保持未连接状态（无 TP）。

建议不要将任何 PCB 布线或测试点连接到 RSVD 引脚。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1 定制电路板硬件设计 - RSVD 引脚连接建议](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

8 处理器 IO (LVCMOS 或开漏或失效防护型 IO 缓冲器) 的接口和仿真

在原理图设计和绘制之前，定制电路板设计中的一个重要检查点是确认处理器和附加器件之间的电气兼容性（直流和交流）。

- 器件特定（处理器和附加器件）数据表提供有关时序和电气特性的重要信息。
- 对于高速接口，建议使用提供的 IBIS 模型运行仿真。

有关更多信息，请参阅 [KeyStone II 器件硬件设计指南](#) 中的 [通用端接详细信息](#) 部分。

有关驱动强度配置支持的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625 / AM623 / AM62A / AM62P / AM62D-Q1 / AM64x / AM243x 设计建议/定制电路板硬件设计 - SDIO 和 LVCMOS 的 I/O 驱动强度配置](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

可通过下文提供的链接下载所需 IBIS 模型。

8.1 IBIS 模型

- [AM62Lx Sitara IBIS 模型](#)

8.2 IBIS-AMI 模型

- [AM62Lx Sitara AMI 模型](#)

9 处理器电流额定值和散热分析

电路板功耗取决于所选处理器、连接的外设、实现的功能、应用、工作温度要求以及温度/电压变化。

9.1 功耗估算

要估算处理器功耗，请使用 [AM62Lx 功耗估算工具](#)。

9.2 不同电源轨的最大电流额定值

有关不同电源轨最大电流额定值的信息，请参阅以下内容：

[AM62L 最大电流额定值](#)

9.3 电源模式

有关可用电源模式（包括仅 RTC 模式、RTC + IO + DDR 自刷新、DeepSleep 等）的更多详细信息，请参阅器件特定 TRM [器件配置](#)一章中 [电源](#)一节下的 [电源模式](#)部分。

9.4 热设计指南

[DSP 和 Arm 应用处理器热设计指南](#)应用手册为使用 Sitara 系列处理器的定制电路板设计提供了如何成功实施散热解决方案的指导。本应用手册提供了有关常见术语和方法的背景信息。仅针对遵循应用手册中所含热设计指南的电路板设计提供了可能需要的任何后续设计支持。

从以下部分下载所需的热模型。

9.4.1 AM62Lx

- [AM62Lx Sitara 热模型](#)

9.4.2 电压热管理模块 (VTM)

提供单个 (x1) 温度传感器。

请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM62A/AM62P/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - VTM](#)

10 原理图：设计、采集、录入和审阅

在定制电路板设计阶段，可以开始原理图设计、采集和录入。

以下常见问题解答汇总了在原理图设计和审阅期间可以参考的主要配套资料。

[常见问题解答] [AM64x、AM243x、AM62x、AM62Ax、AM62Px 定制电路板硬件设计 - 原理图设计和原理图审阅期间用于参考的配套资料](#)

有关元件选型、原理图采集和审阅的指南，请在原理图设计和采集期间参阅以下各节内容。

10.1 选择元件和值

选择无源器件时，请务必使用器件特定数据表中适用的建议值（包括容差和电压额定值）。

10.2 原理图设计和捕获

在定制电路板设计的原理图设计和绘制阶段，可以重新绘制原理图，也可以重复使用 EVM 原理图。有关更多信息，请参阅 EVM [TMDS62LEVM](#) 原理图。

在原理图设计和绘制期间，请遵循以下检查清单和器件特定勘误表。

[AM62L \(AM62L32、AM62L31\) 处理器系列原理图设计指南与原理图审阅检查清单](#)

以下常见问题解答汇总了电路板设计人员在重复使用 TI EVM 设计文件时必须熟悉的注意事项。

[常见问题解答] [AM62L：定制电路板硬件设计 - 重复使用 TI EVM 设计文件。](#)

备注

重复使用 EVM 设计（原理图）时，请确保检查重新设计后的各项功能完整性和网络名称更改。请阅读电路实现附近原理图页面上的注释。

当重复使用 EVM 原理图时，可以复位元件的 DNI 设置。请确保重新配置 DNI（安装 DNI 可能会影响功能）。请阅读电路实现附近原理图页面上的注释。

10.3 原理图审阅

完成原理图设计和绘制后，根据 [AM62L \(AM62L32、AM62L31\) 处理器系列原理图设计指南和审阅检查清单](#) 进行自我审查。

以下常见问题解答列出了对定制电路板原理图进行自我审查时可以遵循的配套资料和步骤：

[常见问题解答] [AM62L：设计建议/定制电路板硬件设计 - 定制电路板原理图自我审查](#)

有关处理已使用引脚/未使用引脚/外设的更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM62x、AM64x、AM243x 定制电路板硬件设计 - 如何处理已使用引脚/未使用引脚/外设？（GPIO、SERDES、USB、CSI、MMC \[eMMC、SD 卡\]、CSI、OLDI、DSI、CAP_VDDSn.....）](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

计划一次内部原理图检查，参考 [原理图设计指南和审阅检查清单](#) 检查原理图。验证电路实现是否存在设计错误、值或连接不准确、网络连接缺失等。

请务必按照器件特定数据表的 [引脚连接要求](#) 一节中的建议验证原理图。

11 布局规划、布局、布线指南、电路板层和仿真

完成原理图设计、捕获、录入和审阅（自己、团队和外部（器件供应商））后，建议对电路板进行布局规划，以确定各种器件之间的互连距离、电路板尺寸和外形。

定制电路板设计的下一个阶段是电路板布局布线。有关电路板布局布线的相关建议，请参阅以下部分。

11.1 PCB 设计迂回布线

[AM62Lx PCB 设计迂回布线](#)提供了 AM62Lx 系列处理器的 PCB 迂回布线示例。

11.2 DDR 设计和布局指南

有关更多信息，请参阅 [AAM62x、AM62Lx DDR 电路板设计和布局布线指南](#)。本指南旨在简化 LPDDR4 或 DDR4 实现。相关要求呈现为一组布局（放置和布线）指南，支持电路板设计人员能够针对处理器支持的拓扑成功实施稳健的设计。仅针对使用 LPDDR4 或 DDR4 存储器且遵循相关指南的电路板设计提供可能需要的任何后续设计支持。

有关 LPDDR4 或 DDR4 存储器器件的建议目标阻抗，请参阅 [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#)。

对于传播延迟，LPDDR4 或 DDR4 需要考虑的延迟是与电路板上布线相关的延迟。根据需要，可参考 [AM62x、AM62Lx DDR 电路板设计和布局布线指南的其他信息：封装延迟](#)中已包含的封装延迟。

有关 DDR4 数据速率、器件位宽、器件数和 LPDDR4 数量、通道宽度、通道数、裸片、列数、请参阅 [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#)。指南内容还包括位交换/位重排。

建议在电路板原理图设计和布局阶段执行信号完整性 (SI) 仿真。

备注

不支持 DDR2 和 DDR3 接口。

11.3 高速差分信号布线指南

[高速接口布局布线指南](#)应用手册提供了如何为高速差分信号成功布线的指南。这些指南包括 PCB 堆叠和材料指导以及布线偏移、长度和间距限制。仅针对遵循 [高速接口布局布线指南](#)的电路板设计提供所需的任何后续设计支持。

备注

可考虑根据需要使用 EVM [TMDS62LEVM](#) 布局作为参考。

11.4 电路板层数和堆叠

确定层数的重要约束条件是实现高速 DDR4/LPDDR4 存储器接口所需的层数。满足建议指导原则的存储器布局通常要求使用 EVM 中所用层数（TI 建议）。可以考虑根据定制电路板设计和功能优化层数。

有关实现 DDR4/LPDDR4 存储器接口的进一步指导和建议，请参阅 TI.com 上提供的 [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#)。

请参阅 [AM62Lx PCB 设计迂回布线](#)，将其作为电路板布局布线的指南。将 TI 过孔通道阵列 (VCA) 技术与 ANB 封装结合使用可支持层优化。

11.4.1 仿真建议

对于与 EVM 布局相关的任何布局更改或优化，建议进行仿真。

11.5 运行仿真时应遵循的步骤参考

如需了解高速 LPDDR4 存储器接口的电路板提取、仿真和分析方法，请参阅 [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#)的 LPDDR4 电路板设计仿真一章。

请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1/AM62A7/AM62A3/AM62P/AM62P-Q1/AM6442/AM2432 定制电路板硬件设计 - IO 缓冲器的 S 参数和 IBIS 模型](#)

[常见问题解答] [将 DDR IBIS 模型用于 AM64x、AM62x、AM62Ax、AM62Px](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

12 定制电路板组装和测试

定制电路板设计的下一个阶段是电路板组装、电路板启动、功能和性能测试。

在为定制电路板供电之前，请确保未安装设计中的任何标记为 DNP 或 DNI 的元件。

在处理器 IO 电源斜升之前，请勿施加外部输入。

确保在处理器 IO 电源斜升之前，所有处理器 IO 上拉电阻器都没有以可用电源为基准的电源轨。

12.1 指南和电路板启动提示

有关更多信息，请在电路板启动期间参阅以下常见问题解答：

[\[常见问题解答\] AM625 / AM623 / AM62A / AM62P / AM64x / AM243x 定制电路板硬件设计电路优化过程中的设计建议/常见错误](#)

[\[常见问题解答\] Sitara 器件 \(AM64x、AM243x、AM62x、AM62Ax、AM62Px \) 的电路板启动提示](#)

[\[常见问题解答\] AM625/AM623/AM62A 定制电路板硬件设计的设计建议/常见错误 - SK 原理图设计更新说明](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

13 器件处理和组装

湿敏等级 (MSL)/回流焊峰值温度取决于封装尺寸 (厚度和体积) 。

建议查看器件厚度信息、焊球间距、引脚镀层/焊球材料以及要遵循的建议 MSL 等级/回流焊峰值温度。

有关更多信息，请访问以下链接：

- [AM62L 订购和质量](#)

在“订购和质量”部分中查找 AM62L32。

13.1 焊接建议

请注意 TI.com 上针对所选处理器的 MSL 等级/回流焊峰值建议。

13.1.1 其他参考内容

有关湿敏等级的更多信息，请参阅以下内容：

- [MSL 等级和回流曲线](#)
- [湿敏等级搜索](#)

14 参考资料

14.1 处理器特定

- 德州仪器 (TI) : [AM62Lx Sitara 处理器数据表](#)
- 德州仪器 (TI) : [AM62L Sitara 处理器技术参考手册](#)
- 德州仪器 (TI) : [AM62Lx Sitara 处理器器件勘误表](#)
- 德州仪器 (TI) : [AM62L32、AM62L31 处理器系列原理图设计指南与原理图审阅检查清单](#)
- 德州仪器 (TI) : [EVM TMD562LEVM](#)
- 德州仪器 (TI) : [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#)
- 德州仪器 (TI) : [AM62Lx PCB 设计迂回布线](#)
- 德州仪器 (TI) : [AM62L 最大电流额定值](#)
- 德州仪器 (TI) : [AM62L 电源实现](#)
- 德州仪器 (TI) : [AM62L 产品概述](#)
- 德州仪器 (TI) : [Sitara AM62L 基准测试](#)

14.2 通用

- 德州仪器 (TI) : [AM623、AM625、AM625SIP、AM620-Q1、AM625-Q1、AM62A3、AM62A7、AM62A7-Q1、AM62D-Q1、AM62P-Q1 原理图、设计指南以及审阅检查清单](#)
- 德州仪器 (TI) : [DSP 和 Arm 应用处理器热设计指南](#)
- 德州仪器 (TI) : [Sitara 处理器配电网络：实施与分析](#)
- 德州仪器 (TI) : [仿真和跟踪头技术参考手册](#)
- 德州仪器 (TI) : [XDS 目标连接指南](#)
- 德州仪器 (TI) : [高速接口布局布线指南](#)
- 德州仪器 (TI) : [高速布局布线指南](#)
- 德州仪器 (TI) : [Jacinto7 AM6x、TDA4x 和 DRA8x 高速接口设计指南](#)
- 德州仪器 (TI) : [通用硬件设计/BGA PCB 设计/BGA 去耦](#)
- 德州仪器 (TI) : [MSL 等级和回流曲线](#)
- 德州仪器 (TI) : [湿敏等级搜索](#)
- 德州仪器 (TI) : [TIDA-01413 - ADAS 8 通道传感器融合集线器参考设计](#)
- 德州仪器 (TI) : [Jacinto™ 7 DDRSS 寄存器配置工具](#)
- 德州仪器 (TI) : [KeyStone II 器件硬件设计指南](#)
- 德州仪器 (TI) : [KeyStone 器件时钟设计指南](#)
- 德州仪器 (TI) : [使用 IBIS 模型进行时序分析](#)
- 德州仪器 (TI) : [显示接口：Sitara MPU 可视化设计综合指南](#)

15 术语

ADC	模数转换器
BSDL	边界扫描描述语言
CAN	控制器局域网
CAN-FD	控制器局域网灵活数据速率
CPPI	通信端口编程接口
CPSW3G	通用平台 3 端口千兆位以太网交换机
DPI	显示并行接口
DSI	显示串行接口
DSITX	显示串行接口发送器
DRD	双角色设备
E2E	工程师对工程师
ECAP	增强型捕捉
ECC	错误校正码
eMMC	嵌入式多媒体卡
EMU	仿真控制
EPWM	增强型脉宽调制器
EQEP	增强型正交编码器脉冲
常见问题解答	常见问题解答
GPIO	通用输入/输出
GPMC	通用存储器控制器
HS-RTDX	高速实时数据交换
I2C	内部集成电路
IBIS	输入/输出缓冲器信息规范
JTAG	联合测试行动组
LDO	低压降
LVC MOS	低压互补金属氧化物半导体
MAC	介质访问控制器
MCASP	多通道音频串行端口
MCSPi	多通道串行外设接口
MCU	微控制器单元
MMC	多媒体卡
MSL	湿敏等级
OSPI	八线串行外设接口
OTP	一次性可编程
PCB	印刷电路板
PDN	配电网络
PMIC	电源管理集成电路
POR	上电复位
QSPI	四线串行外设接口
RGMII	简化千兆位媒体独立接口

RMII	简化媒体独立接口
ROC	建议运行条件
RTC	实时时钟
SD	安全数字
SDIO	安全数字输入输出
SDK	软件开发套件
SPI	串行外设接口
TCK	测试时钟输入
TDI	测试数据输入
TDO	测试数据输出
TMS	测试模式选择输入
TRM	技术参考手册
TRSTn	测试复位
UART	通用异步收发器
USB	通用串行总线
VCA	过孔通道阵列
VTM	电压热管理模块
WKUP	唤醒
XDS	扩展开发系统

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司