



## 内容

1 简介.....	2
2 迂回宽度/间距建议.....	2
3 堆叠.....	2
4 过孔共享.....	3
5 布局图元件放置.....	4
6 关键接口影响布局.....	4
7 布线优先级.....	5
8 串行器/解串器接口.....	5
9 DDR 接口.....	6
10 电源去耦.....	9
11 对优先级最低的接口最后布线.....	9
12 总结.....	10
13 参考资料.....	10
14 修订历史记录.....	10

## 插图清单

图 4-1. VDD_LPDDR4 域的过孔共享.....	3
图 4-2. VSS 的过孔共享.....	4
图 5-1. AM62Ax/AM62Dx 布局图.....	4
图 8-1. 顶层 (左) 和内层 (右) 的串行器/解串器 CSI 迂回.....	6
图 9-1. DDR 字节通道 0 迂回.....	6
图 9-2. DDR 字节通道 1 迂回.....	7
图 9-3. DDR 字节通道 2 迂回.....	7
图 9-4. DDR 字节通道 3 迂回.....	8
图 9-5. DDR 地址/命令迂回.....	8
图 10-1. CAP_VDDS 网络的输出电容器放置.....	9
图 12-1. 具有完整信号和电源迂回布线的 AM62Ax.....	10

## 表格清单

表 2-1. 迂回宽度/间距建议.....	2
表 3-1. PCB 层堆叠示例.....	2
表 7-1. 布线优先级.....	5

## 商标

所有商标均为其各自所有者的财产。

## 1 简介

AM62Ax/AM62Dx 基于 Cortex-A53 微处理器、M4F 微控制器，具有专用外设、3D 图形加速、双显示接口以及适用于各种嵌入式应用的广泛外设和网络选项。AM62Ax 采用 18mm x 18mm FBGA 封装，焊球间距为 0.8mm。BGA 封装设计采用 TI 覆晶 BGA 技术 (FC-BGA) 构建。AM62Dx 采用 18mm x 18mm FCCSP 封装，焊球间距为 0.8mm。应当参考器件特定的数据表来记录特定功能和封装可用性。

本文档旨在为 AM62Ax 和 AM62Dx 器件的迂回布线提供参考。必须小心地对具有特殊要求的信号（如 DDR、高速接口）进行布线。更多信息，请参阅 [高速接口布局指南](#) 和 [DDR 布线指南](#)。有关供电网络的详细信息，请参阅 [Sitara 处理器配电网络：实施与分析](#) 以及这些文档中指定的任何布线和布局要求都将取代此处提供的通用要求。

## 2 迂回宽度/间距建议

AM62Ax/AM62Dx 旨在支持以下功能。AM62Ax/AM62Dx 封装支持与其他几种竞争解决方案类似的功能集，封装面积减小，线宽拉宽。该解决方案缩小了 PCB 尺寸并采用了更低成本的 PCB 规则，从而实现了紧凑和低成本的系统。

表 2-1. 迂回宽度/间距建议

PCB 功能	PCB 布线要求	说明
最小过孔直径	18 密耳	过孔焊盘直径 - 18mil 过孔直径 - 8mil
过孔尺寸	8 密耳	
BGA 分线 (内层) 中所需的最小布线宽度/间距	布线宽度 - 3.5mil 间距 - 3.49mil	
BGA 分线 (外层) 中所需的最小布线宽度/间距	布线宽度 - 3.5mil 间距 - 4mil	
用于迂回的层数	8	<ul style="list-style-type: none"> <li>顶部 (1 层)</li> <li>信号 (3 层)</li> <li>电源 (3 层)</li> <li>底部 (1 层)</li> </ul>
BGA 焊盘尺寸	18mils	
封装尺寸	18mm x 18mm	
建议的 PCB 层数 (信号布线, 总计)		<ul style="list-style-type: none"> <li>顶部 (1 层)</li> <li>信号 (3 层)</li> <li>电源 (3 层)</li> <li>接地 (4 层)</li> <li>底部 (1 层)</li> </ul>

## 3 堆叠

PCB 堆叠是实现成功的 PCB 首先要考虑的最重要因素之一。AM62Ax/AM62Dx 器件支持 BGA 阵列的 22x22，间距为 0.8mm，封装尺寸为 18mm。由于外围信号焊球的排数较多，TI 建议使用三个布线层。PDN 合规性和稳健性对于满足器件和相关外设的所有性能目标至关重要。为此，TI 建议为电源平面分配三层。必须在电源平面附近和外层附近添加接地平面，以实现屏蔽和受控阻抗布线。DDR、CSI 和 USB 等高速接口需要使用接地平面来实现阻抗匹配。此外，为了满足更高的 DDR 接口速度，建议在 DDR 信号上方和下方都有接地层。AM62Ax/AM62Dx 板设计上的迂回和布线通过 12 层实现，如 [表 3-1](#) 中所示。

表 3-1. PCB 层堆叠示例

PCB 层	层布线、平面或覆铜
第 1 层	元件焊盘、接地和信号迂回
第 2 层	接地
第 3 层	信号路由
第 4 层	接地

表 3-1. PCB 层堆叠示例 (续)

PCB 层	层布线、平面或覆铜
第 5 层	信号路由
第 6 层	DDR 的电源/接地参考
第 7 层	电源
第 8 层	电源
第 9 层	接地
第 10 层	信号路由
第 11 层	接地
第 12 层	元件焊盘、电源和接地布线

上面介绍了 AM62Ax/AM62Dx 的 12 层电路板堆叠示例。该板设计用于在高速接口上实现信号完整性，同时限制板尺寸。AM62Ax/AM62Dx 电路板在没有高密度互连 (HDI) 的情况下实现，不使用微过孔，这两种方式均旨在节省电路板成本。AM62Ax/AM62Dx 电路板上的所有过孔均为电镀穿孔 (PTH) 并完全通过电路板。如果需要进一步优化以减少 PCB 堆叠和/或本文档中所述的布线规则，则应执行适当的分析以验证信号和电源完整性。

## 4 过孔共享

AM62Ax/AM62Dx 设计中实现的 FC-BGA 模式提供了过孔共享机会。在 BGA 引脚之间共享过孔。图 4-1 和图 4-2 分别显示了 VDD\_LDDR4 和 VSS 电源的过孔共享机会。在 BGA 引脚之间共享过孔通过连接多个引脚，可实现更轻松的迂回布线和可靠的电气连接。

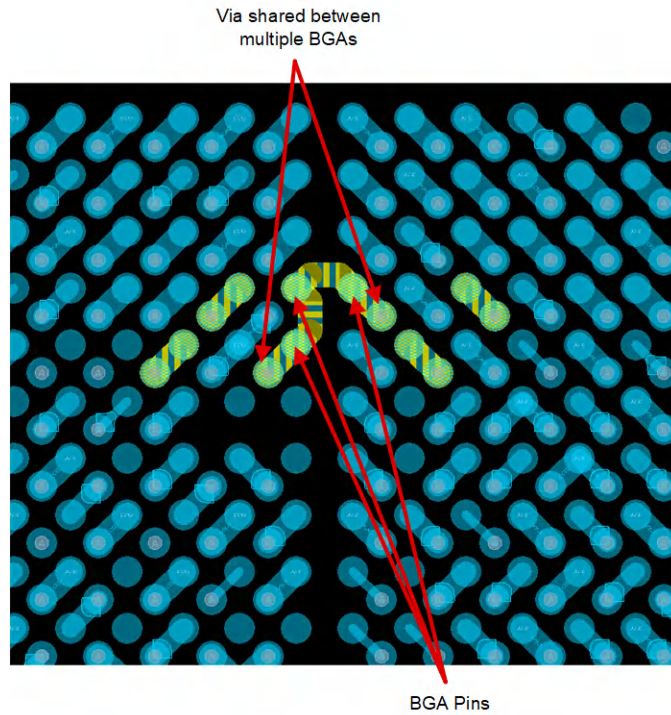


图 4-1. VDD\_LPDDR4 域的过孔共享





## 7 布线优先级

如前所述，关键接口会影响元件放置选项。PCB 设计的下一步是确定布线到这些关键接口的优先级。必须先完成对优先级较高接口的布线，然后再对优先级较低的接口进行布线。必须首先对优先级较高的接口进行布线。当未建立布线优先级时，PCB 布局团队往往会陷入时间紧张的迭代过程，并获得次优的结果。

表 7-1 列出了 AM62Ax/AM62Dx 系列器件中包含的接口的建议优先级顺序。个别设计要求可能推动了对优先级调整的需求，但这可以作为良好的基准，并已用于本文档中所示的电路板示例。

表 7-1. 布线优先级

接口	布线优先级
DDR4/LPDDR4	10 ( 最高优先级 )
CSI	9
OSC	8
USB2、OSPI	8
配电	7
RGMII	6
eMMC	5
时钟	5
MII / RMII	4
SPI	4
电机控制	4
模拟	3
GPMC	2
GPIO	1
UART/CANUART	1
I2C/温度二极管	1 ( 最低优先级 )

由于数据速率和丢失问题，多千兆位 DDR ( 双数据速率 ) 接口最为关键。DDR 位于优先级列表顶部，因为它对 PCB 损耗非常敏感。此外，单端特性使其极易受到信号完整性问题 ( 如串扰 ) 的影响，尤其是在本设计所针对的高速条件下。优先级列表中的下一个是 CSI ( 摄像头串行接口 )。这些布线的长度限制可能会影响 CSI 连接器和 AM62Ax/AM62Dx 器件在 PCB 上的放置位置。CSI 信号位于 BGA 封装的外层，允许一些 CSI 布线在没有过孔的情况下从 BGA 迂回。

异步和低速接口位于底部。这样就使同步和源同步接口按数据速率排列在顶端。让人感到意外的可能是配电。如果排在最后，会导致去耦性能不佳或电流耗尽，并且由于铜材不足以承载电源和接地电流而导致电源噪声过大。在对中间优先级接口和低优先级接口进行布线之前，必须分配用于铜缆和去耦的空间。

## 8 串行器/解串器接口

封装 BGA 焊球图也被设计成支持首先对高优先级接口进行布线。因此，串行器/解串器 CSI 接口位于外环附近。位于 BGA 最外侧行的通道可以在顶层进行迂回。位于内部 BGA 行上的通道需要过孔作为底部或内层上的差分对迂回。BGA 图为内排提供了这种便利。图 8-1 显示了 AM62Ax/AM62Dx 板顶层和内层上的串行器/解串器信号的示例。宽布线可以限制信号丢失，但可能会违反阻抗要求。有关如何布线串行器/解串器信号的详细信息，请参阅 [高速接口布局布线指南](#)。

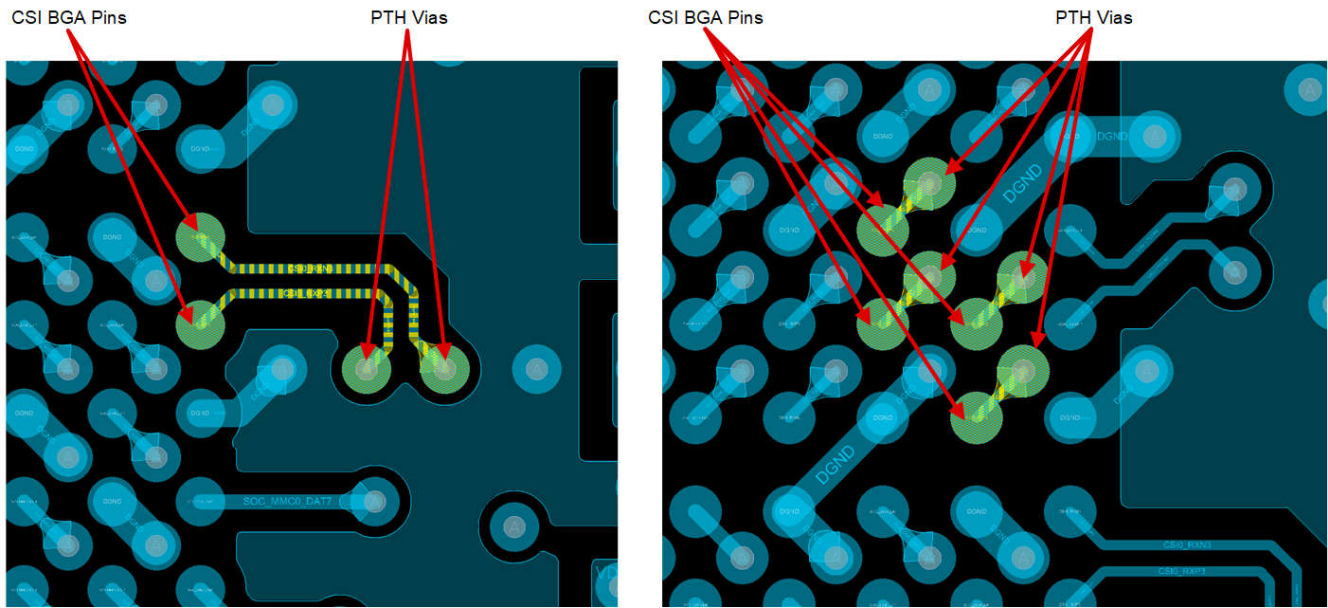


图 8-1. 顶层 (左) 和内层 (右) 的串行器/解串器 CSI 迂回

## 9 DDR 接口

AM62Ax/AM62Dx SoC 支持连接 LPDDR4 器件。DDR 信号必须以最高优先级布线，如表 7-1 中所述。有关 DDR 布线的详细建议，请参阅 [DDR 布线指南](#)。下面的图片展示了 AM62Ax/AM62Dx 上 DDR 接口的 BGA 分线。DDR SDRAM 存储器器件通常采用以下布局：数据组焊球最靠近 AM62Ax/AM62Dx 器件。封装 BGA 焊球图经过精心规划，将 DDR 地址 and 命令信号放置在数据字节通道 0 和 1 与数据字节通道 2 和 3 之间。

图 9-1 和图 9-2 分别展示了如何迂回 DDR 字节通道 0 和 1。同样，图 9-3 和图 9-4 分别展示了 DDR 字节通道 2 和 3 的迂回布线。使用电镀穿孔 (PTH) 过孔使得这些信号可以在任何层上在 SoC 和 SDRAM 之间布线。

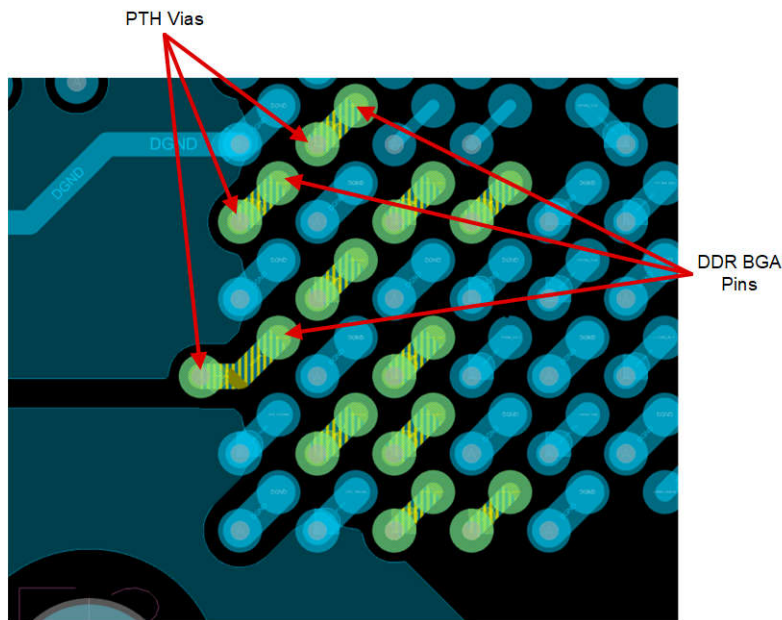


图 9-1. DDR 字节通道 0 迂回

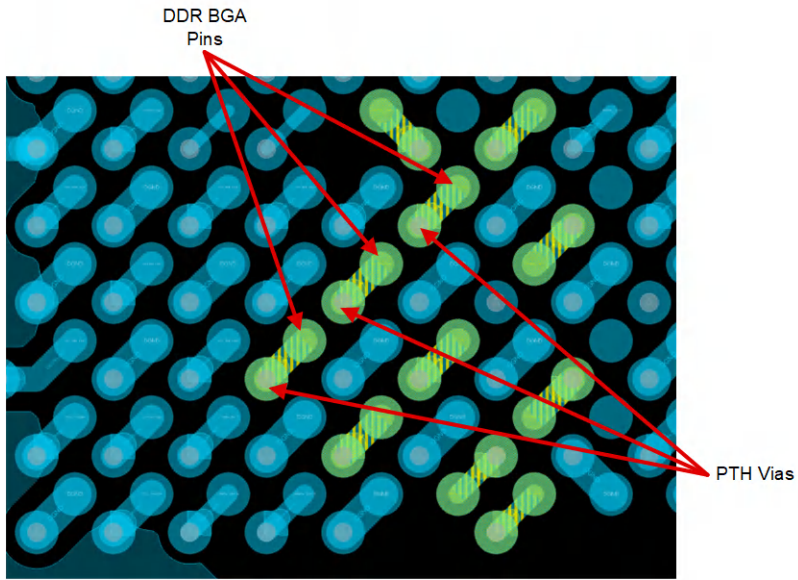


图 9-2. DDR 字节通道 1 迂回

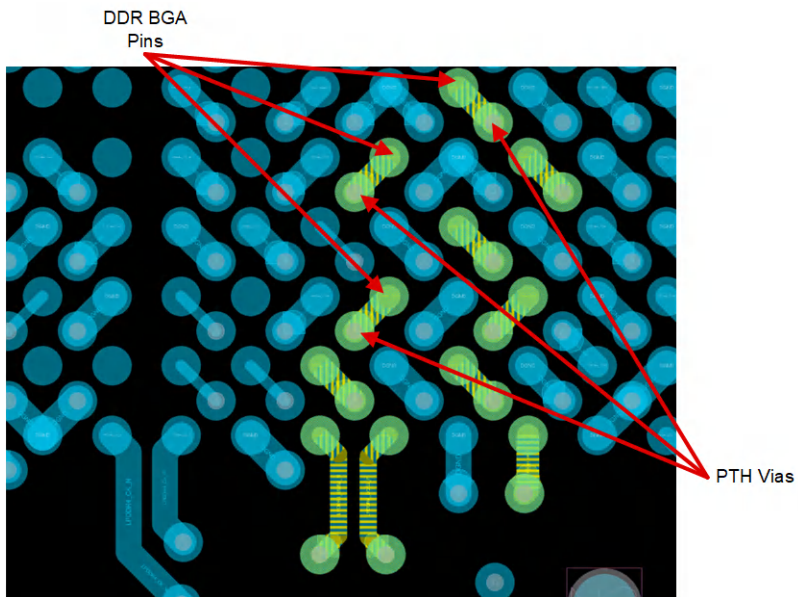


图 9-3. DDR 字节通道 2 迂回

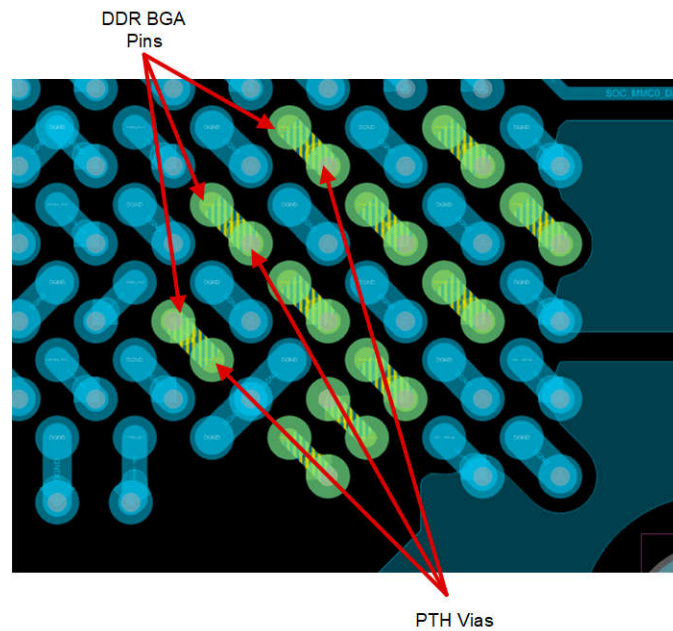


图 9-4. DDR 字节通道 3 迂回

地址、命令和时钟信号直接布线到存储器器件。

顶部和内层用于地址和命令信号的迂回和布线。布线长度必须匹配，以确保信号同时到达存储器。SoC 与寄存器引脚之间的长度匹配必须单独进行，并且必须包括内存焊盘的存根和所有过孔长度。有关 DDR 布线的详细建议，请参阅 [DDR 布线指南](#)。

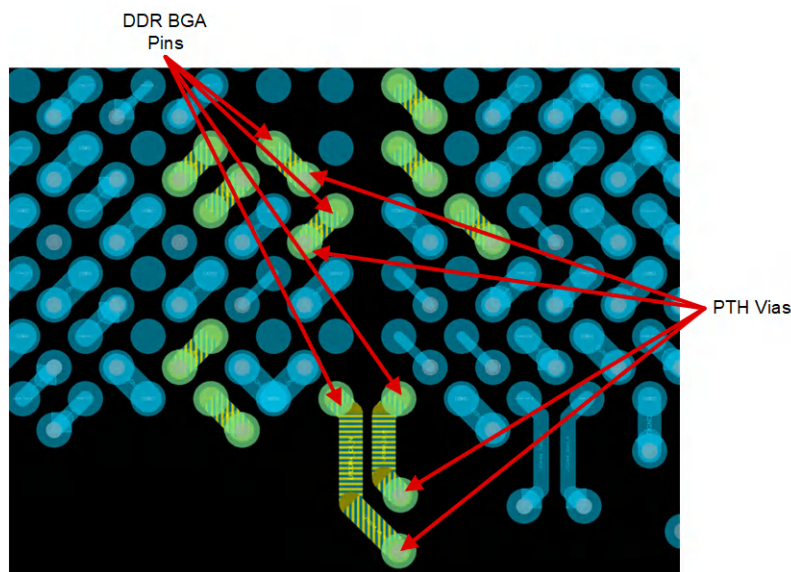


图 9-5. DDR 地址/命令迂回

这些层上的 LPDDR4 接口地址和命令信号的迂回如图 9-5 上方所示。

地址信号直接从 SoC 布线到存储器器件相关焊盘旁边的过孔。这要求地址信号以正确的顺序迂回。每个地址和命令信号都需要具有相同数量的过孔。使用电镀穿孔 (PTH) 过孔可以灵活地在任何层上进行地址/命令信号布线。



## 10 电源去耦

中优先级接口和配电平面和覆铜会在串行器/解串器和 DDR 接口之后布线。TI 建议在继续使用其他接口之前完成所有串行器/解串器和 DDR 布线。在为串行器/解串器和 DDR 布线执行 PCB 仿真之前，必须放置配电平面和覆铜以及所有去耦，因为这会影响高速接口的返回电流。超高速源同步接口（例如 RGMII 和 QSPI）可能也需要仿真，因此可能也需要在此时完成。

需要特别注意连接到 AM62Ax/AM62Dx 器件上 CAP\_VDDS\* BGA 引脚的 1uF 输出电容器。这些电容器应尽可能靠近引脚放置，并且在 CAP\_VDDS BGA 引脚和电容器上的电源焊盘之间应存在低电感路径。AM62Ax/AM62Dx 板上的 CAP\_VDDS0、CAP\_VDDS1、CAP\_VDDS5 和 CAP\_VDDS6 网络使用的布局展示在下面的图 10-1 中。请注意，这些电容器的 GND 焊盘与附近的其他电容器共用，这样可以节省布线资源。此外，务必使电容器电源和 GND 焊盘连接的 PTH 过孔尽可能彼此靠近，以更大限度地减小环路电感。

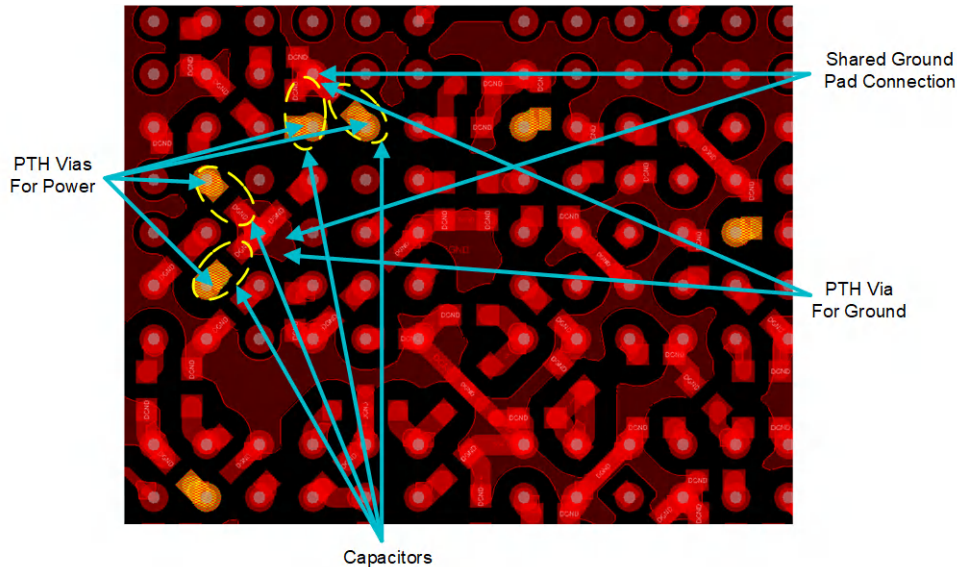


图 10-1. CAP\_VDDS 网络的输出电容器放置

如果电容器可以放置在 SoC 正下方，则可以改善这种布局方式。VDD\_CORE 和 VDDS\_DDR 电源的去耦电容器也应获得与 CAP\_VDDS\* 引脚上的去耦电容器相同的优先级，应放置在插座下方，并以极小的电感连接到 AM62Ax/AM62Dx 器件上相应的 BGA 引脚。

## 11 对优先级最低的接口最后布线

当针对最高优先级接口完成高速接口和 DDR 长度匹配和仿真并且完成配电网路 (PDN) 分析后，可以继续对介质进行布局，然后对较低优先级的接口进行布局。

## 12 总结

图 12-1 中显示了 AM62Ax/AM62Dx 的图片，其中所有信号和电源都是迂回布线。

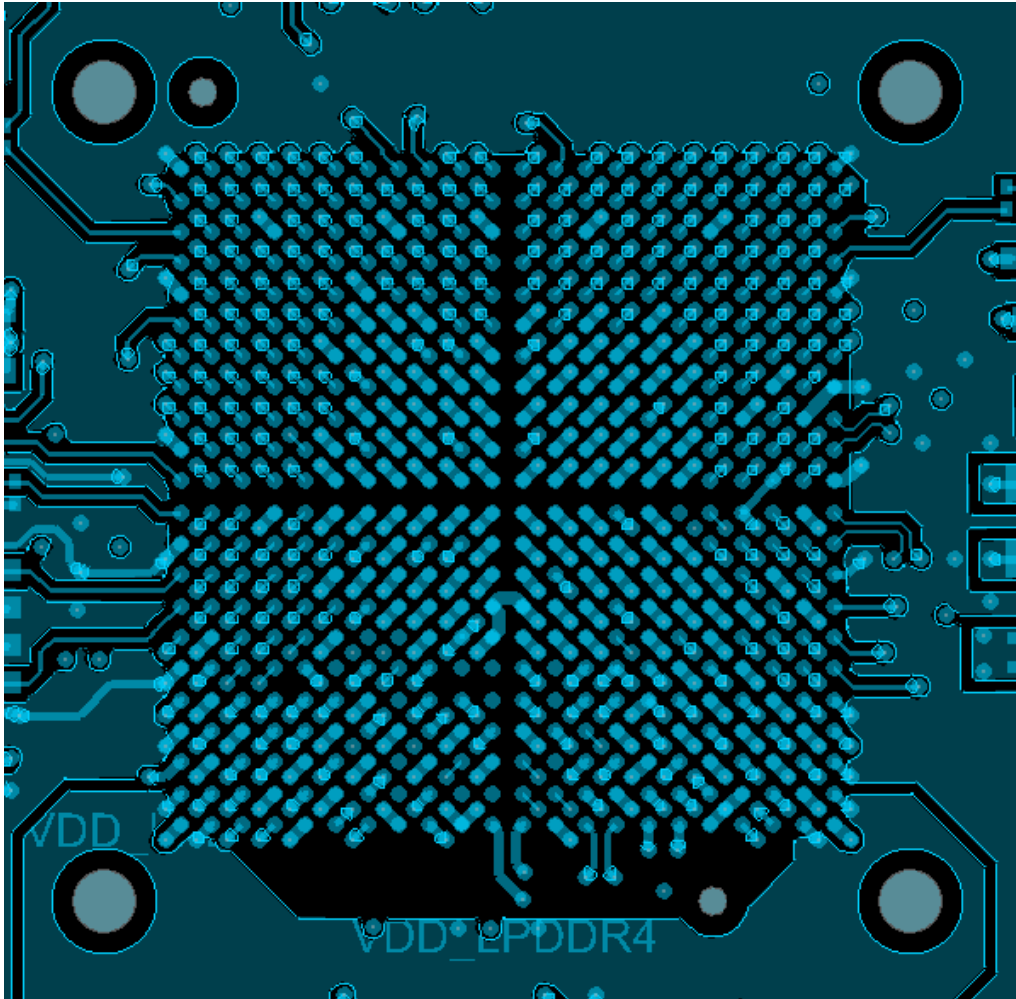


图 12-1. 具有完整信号和电源迂回布线的 AM62Ax

## 13 参考资料

- 德州仪器 (TI) : [高速接口布局布线指南](#)
- 德州仪器 (TI) : [DDR 布线指南](#)
- 德州仪器 (TI) : [Sitara 处理器配电网络：实施与分析](#)

## 14 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (February 2023) to Revision A (January 2025)	Page
• 向文档添加了 AM62Dx 支持。.....	2
• 删除了对 DDR4 的引用，因为不支持。.....	6

## 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
版权所有 © 2025，德州仪器 (TI) 公司