

User's Guide

J722S/TDA4VEN/TDA4AEN/AM67 功耗估算工具用户指南



1 摘要

这款基于 Excel 的工具允许用户根据片上系统 (SoC) 不同元件 (计算内核和外设) 的指定负载来估算其热功耗。该工具允许用户根据一组代表性用例预填充各种字段 (使用的元件和主要元件的利用率)。这提供了自定义新用例的起点，可以据此判断其自身用例的功率和负载。该工具可提供所输入结温 (Tj) 下的热功耗细目，还提供了 Tj = 125°C 或 105°C 时根据此用例计算出的供电网络 (PDN) 电流表。¹

该工具提供两种功耗估计值：

热功耗估算

- SoC 加热或冷却的时间常数约为数秒或数分钟。由于这是该工具的主要用途，因此负载应表示持续时间为数秒或数分钟的平均活动。

峰值/PDN 估计

- 峰值电流 (功率) 的时间常数大约为一微秒。尽管某种用例 (通常情况) 对给定组件的利用率可能为 70% (假设)，但在某一时段内，组件的利用率将为 100%。该工具的峰值/供电网络 (PDN) 估算会根据关键知识产权 (IP) 自动增加负载，该知识产权为创建 PDN 要求而启用。

内容

1 摘要.....	2
2 功耗的组成.....	3
3 如何使用此工具.....	4
3.1 用例.....	4
4 结果表.....	10
4.1 一些特定的预载用例结果.....	10
5 修订历史记录.....	15

商标

所有商标均为其各自所有者的财产。

¹ 如果用户选择的结温小于或等于 105°C，则计算 105°C 时的峰值/PDN 估计值。如果用户选择的结温大于 105°C，则计算 125°C 时的峰值/PDN 估计值。

2 功耗的组成

SoC 功耗通常被视为具有两个不同的组成部分 - 动态功耗和漏电功耗。²

- 动态功耗是根据 IP 的两个数字计算的 - 最大功耗和空闲功耗 (均按电压调节)。动态功耗的计算方法为最大功耗和空闲功耗的加权平均值： $P_{dyn}=P_{max}\times Utilization+P_{idle}\times(1-Utilization)$
 - 背景知识：动态功率通常作为 fCV^2 计算。请设想 PCB 上从 CMOS 输出驱动到 CMOS 输入的时钟信号。动态功耗的计算取决于 (a) 信号频率 - f ；(b) 输入负载的电容和 PCB 布线电容 - C ；以及 (c) 信号的电压摆幅 - V
 - 在此工具中，用户可以选择某些 IP 的频率以及 IP 的利用率。频率和利用率显然是相互关联的；随着频率的降低，利用率需要提高，才能保持相同的活动。因此，如果一项功能需要在 IP 上有 40% 的负载，则与频率减半且利用率加倍至 80% 具有几乎相同的功耗。
- 漏电功耗根据电压、结温和制造工艺变化计算。虽然工艺和电压对漏电功耗有很强影响，但漏电功耗会随 T_j 的增加呈指数级增加。
 - 有关背景信息，CMOS 晶体管被视为具有两种状态：(a) 源极和漏极之间的通道导通的 ON 状态；(b) 源极和漏极之间的通道未导通的 OFF 状态。漏电功耗的产生是因为 OFF 状态下会有涓流电流流经通道。

² SoC 功耗还有第三个分量，即模拟或偏置电流。本工具中不考虑这些电流，因为在几乎所有情况下，这些来源产生的功耗对总功耗来说都可以忽略不计。

3 如何使用此工具

该工具包含两个页面：

1. “Use Case”（Excel 工作簿中的选项卡）包含许多不同的组件，用户可以配置这些组件来表示其用例；此工作表的顶部如图 3-1 所示。（功耗的各个最重要影响因素位于 E 列中。）此表还包含 4 个用于初始化估算的不同阶段的按钮。
2. “Results” 是填充结果的空白工作表。

J722S, TDA4VEN, TDA4AEN, AM67 Power Estimation Tool			Starting Use Case		Reset		Calculate		Status:	
Modifiable Field			Superset						Start Reset	Done Reset
Descriptor									Load Use Case	Done Load Use Case
					Populate Use Case		Save Current UC		Start Calculate	Done Calculate
Tj	125				Processor Core Utilization (%) MAIN SMS 0 95% MAIN (WKUP) RSFSS 0 95% MAIN RSFSS 2 95% MAIN A53SS 0: 0 91% MAIN A53SS 0: 1 91% MAIN A53SS 0: 2 91% MAIN A53SS 0: 3 91% MAIN C71SS 0: C71x 20% MAIN C71SS 0: MMA 80% MAIN C71SS 1: C71x 0% MAIN C71SS 1: MMA 100% MAIN VPAC 0 100% MAIN DMPAC 0 61% MAIN GPU 0 80% MAIN Video Encoder/Decoder 100% MCU RSFSS 95%					

图 3-1. AM67PowerEstimationTool 的用例选项卡顶部

UC_Name:	Add Test Name	Caution:	This power estimation spreadsheet is subject to change. SoC power estimates provide approximate power and current consumption based on measured and simulated data; they are provided "as is" and are not guaranteed within a specified precision. Power consumption depends on electrical parameters, silicon process variations, environmental conditions, and uses cases running on the processor during operation. Actual power consumption should be verified in the real system. An end product's SoC power, PDN integrity & thermal performance can vary depending on final use cases, features supported, software characteristics and system thermal design.			
UC_Description:	Add Test Description					
Based on Loaded Use Case:	Superset					
Internal Reference Date:	9/12/2023					
Internal Reference Revision:	2.1					
Date:	6/26/2024					
Tool Revision / Date:	Beta	Conditions: Strong Process				
	J722S_TDA4VEN_TDA4AEN_AM67_Power_Estimation_Tool_v1p0.xlsm					
Thermal Power						
Tj [C]	Leakage Power [mW]	Dynamic Power [mW]	Total Power [mW]	125C		
125	3690	8480	11770	IP		
120	3226	8480	11306	AS3		
115	2832	8480	10912	C7		
110	2469	8480	10549	Pulsar		
105	2157	8480	10237	GPU		
100	1865	8480	9945	VPAC		
95	1613	8480	9693	DMPAC		
90	1401	8480	9481	WAVES12CL		
85	1220	8480	9300	DOR		
80	1038	8480	9118			
75	892	8480	8972			
50	416	8480	8496	PD	PSC	State
25	195	8480	8275	GP_Core_CTL	-	ON
0	108	8480	8188	PD_MPU_CLSTO	3	#N/A
-20	76	8480	8156	PD_MPU_CLSTO_CORE	4	#N/A
-40	56	8480	8136	PD_MPU_CLSTO_CORE	5	#N/A
				PD_MPU_CLSTO_CORE	6	#N/A
				PD_MPU_CLSTO_CORE	7	#N/A
				PD_GPU_CTRL	8	#N/A
				PD_CODEC	10	#N/A
Tj = 125C	not suitable for designing a PDN			Tj = 125C	Step Current (Total) = 6320mA	
Thermal Power	Leakage Power [mW]	Dynamic Power [mW]	Total Power [mW]	PDN (Peak) Power	Peak power is intended for PDN resourcing	
	Leakage Power [mW]	Dynamic Power [mW]	Total Power [mW]		Leakage Power [mW]	Dynamic Power [mW]
					Total Power [mW]	Voltage [V]
						Current [mA]
						Step Current [mA]

图 3-2. AM67PowerEstimationTool 的结果选项卡顶部

3.1 用例

此用例页如图 3-1 所示。此表有 10 个必须填写的不同部分。

内核处理器利用率：

Processor Core Utilization (%)	
MAIN SMS 0	95%
MAIN (WKUP) R5FSS 0	95%
MAIN R5FSS 2	95%
MAIN A53SS 0: 0	91%
MAIN A53SS 0: 1	91%
MAIN A53SS 0: 2	91%
MAIN A53SS 0: 3	91%
MAIN C71SS 0: C71x	20%
MAIN C71SS 0: MMA	80%
MAIN C71SS 1: C71x	0%
MAIN C71SS 1: MMA	100%
MAIN VPAC 0	100%
MAIN DMPAC 0	61%
MAIN GPU 0	80%
MAIN Video Encoder/Decoder	100%
MCU R5FSS	95%

这部分允许用户为每个主要核心 IP 指定利用率。

- SMS 0 - 基于 Arm Cortex-M4F 的安全管理子系统
- 3 个 R5F (单核) 处理器
- 四核 A53 MPU 子系统
- 2 个包含矩阵乘法加速器 (MMA) 的 C71x DSP 子系统 [每个子系统最高 2TOP]
- 视觉预处理加速器 (VPAC)
- 深度和运动处理加速器 (DMPAC)
- 图形处理单元 (GPU)
- 视频编码器和解码器组合

选择关键 IP 频率：

Key IP Frequency selection		Frequency [MHz]
MAIN PLL 15 HSDIV 0	MAIN SMS 0 Frequency [MHz]	400
MAIN PLL 15 HSDIV 2 MCU PLL 0 HSDIV 0	Domain Manager (WKUP) R5FSS 0 Frequency [MHz]	800
MAIN PLL 15 HSDIV 3	MAIN R5FSS 1 Frequency [MHz]	800
MCU PLL 0 HSDIV 3	MCU R5FSS 0 Frequency [MHz]	800
MAIN PLL 8 HSDIV 0	MAIN A53SS Frequency [MHz]	1400
MAIN PLL 7 HSDIV 0	MAIN C71SS 0 and 1 Frequency [MHz]	1000
MAIN PLL 5 HSDIV 0	MAIN VPAC 0 Frequency [MHz]	600
MAIN PLL 5 HSDIV 2	MAIN DMPAC 0 Frequency [MHz]	428
MAIN PLL 6 HSDIV 0	MAIN GPU 0 Frequency [MHz]	800
MAIN PLL 2 HSDIV 4	MAIN Video Encoder/Decoder 0 Frequency [MHz]	500
MAIN PLL 0 HSDIV 0 div 2	MAIN JPEG Encoder 0 Frequency [MHz]	250
MAIN PLL 12 HSDIV 0	LPDDR4 EMIF 0 [MT/s]	4000
MCU PLL 0 HSDIV 0	MCU SS / WKUP Modules CLK [MHz] (MCU SYSCLK)	400
MAIN PLL 0 HSDIV 0	MAIN Modules CLK [MHz] (SYSCLK)	500
MAIN PLL 15 HSDIV 0 MCU PLL 0 HSDIV 0	Device Manager Domain CLK [MHz]	400
MAIN PLL 15 HSDIV 0	HSM Domain CLK	400

这个部分允许用户为内核利用率部分 (+DDR) 中的关键块选择频率。

存储器接口：

Memory Interfaces	Mode	Utilization
DDRSS 0	lpddr4_4000_32	43%
GPMC / ELM	16b_133_MHz_3p3	30%

AM67x 器件具有双倍数据速率 (DDR) SDRAM 控制器和相关的物理层接口 (PHY)，以及一个具有错误定位模块 (ELM) 的通用存储器控制器 (GPMC)。

PHY：

PHYs	Mode	Utilization	Instances
CSI2.0 D_PHY 4L Rx	2p5g4l	20%	4
CSI2.0 / DSI D_PHY 4L Tx	2p5g4l	27%	1
MAIN MMCSD0	hs400	25%	1
OLDI (2 Link)	oldi_dual_24b_mq	100%	1

AM67x 器件具有多个 PHY；对于具有多个实例的 PHY，除了模式和利用率外，用户还应选择使用的实例数：

- 4 个摄像头流接口 (CSI) 2.0 接收 PHY，每个有 4 条通道
- CSI2.0 发送 PHY，每个有 4 条通道
 - 显示子系统显示串行接口 (DSI) 发送接口 (使用 CSI2.0 Tx PHY)
- 仅适用于 eMMC 的多媒体卡接口 (MMC)
- OLDI (开放式 LVDS 显示接口)

高速串行接口：

High Speed Serial Interfaces Mode		Utilization
SerDes 0 (PCIE_3, PCIE_1, USB_0, Hyperlink_0)		
Lane0	5g	30%
SerDes 1 (CPSW3_0, PCIE_0, PCIE_2, n/a)		
Lane0	8g	50%

该器件上有两个高速串行/解串 (SerDes) 接口。每个 SerDes 接口有一个通道，应为其选择模式、利用率和 IP。

- 需要在高速 IO 的 IP 利用率中配置 IP 加载 (利用率)
- 由于 SerDes 接口不断传输 (例如，在不发送数据时 SGMII 会发送 /I1/ 和 /I2/ 有序集)，因此利用率可以设置为 100%。

高速 IO 的 IP 利用率

IP for Complex IOs	Mode	Utilization	Instances
CPSW3			
1G SGMII SerDes ports	disable	0%	0
LVC MOS ports	rgmii_1000_3p3v	40%	2
CSI (TX) / DSI D-PHY			
CSI Tx ports	2p5g4l	27%	1
DSI Tx ports	ulps	0%	0
PCIE			
PCIE_0 (1 Lane)	8g	50%	1
USB			
3.0	5g	30%	1
2.0 (dedicated)	sleep	10%	1

该工具无法从串行器/解串器负载确定 IP 的负载。因此，要求用户在此表中输入 IP 负载以及输入串行器/解串器负载。

环境：

Tj	125 C
SRAM_Voltage	0.85 V
CORE_Voltage	0.85 V
Process_Corner	strong
UC_Description	Add Test Description
UC_Name	Add Test Name

环境部分允许用户定义结温 (Tj)、VDD_CPU_AVs 电压、VDD_MCU 电压、工艺角以及用例名称和说明。

- PDN/峰值估算将在 105°C 或 125°C 下使用强硅器件运行；请参阅脚注 1。
- 要保存用例，用户必须为用例提供一个名称。

LVC MOS IO

LVC MOS IO	Mode	Utilization	Instances
WKUP I2C	off	0%	0
WKUP UART	3p6m_1p8v	100%	1
MCU I2C	off	0%	0
MCU UART	3p6m_1p8v	100%	1
MCU McSPI	Controller_25_Mbaud_3p3v	100%	2
MCU MCAN	8mbs_3p3v	100%	2
MCU GPIO	off	0%	0
LVC MOS IO	Mode	Utilization	Instances
MAIN GPIO	off	0%	0
MAIN I2C	i2c_400k_3p3v	100%	4
MAIN UART	3p6m_1p8v	100%	7
MAIN McSPI	Controller_25_Mbaud_3p3v	100%	3
MAIN McASP	off	0%	0
MAIN ECAP	capture_in_1m_3p3v	100%	3
MAIN EPWM	off	0%	0
MAIN EQEP	off	0%	0
MAIN MCAN	8mbs_3p3v	100%	2
MAIN MMCSD1	unused	0%	0
MAIN DSS 0: DPI	Full_HD_ _1920x1080x60_fps_24b_ _3p3V	100%	1
MAIN FSS OSPI1 (QSPI)	off	0%	0
MAIN Ethernet	rgmii_1000_3p3v	40%	2

与 PHY 部分一样，用户可以输入每个 LVC MOS 的模式、利用率和实例。

每个 IP 只允许一种模式和利用率（不支持自定义，因为相应的 IP 块不会对总功耗产生显著影响）。如果系统使用某 IP 类型的多种模式，则应使用最高功率模式。

按钮：

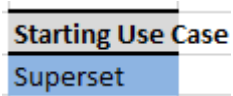
						Status:		
						Start Reset	Done Reset	
						Load Use Case	Done Load Use Case	
						Start Calculate	Done Calculate	

按钮可初始化功耗估算的不同阶段。

- “Reset”可清除并重置表单，并清除结果
- Populate Use Case - 建议使用其中一个预先配置的代表性用例开始任何功率估算。这有助于强调如何以合理的方式使用该工具（即通常不要为 SoC 上的所有 IP 均输入 100%）。
- Calculate - 表单填写完毕后，进行计算以便将数据填入结果中
- Save current UC - 用户完成测试案例后，如果提供了 UC 名称，则可以保存该案例。保存用例后，该用例将收入“Starting Use Case”列表，可使用“Populate Use Case”按钮重新填写。

按下每个按钮时，按钮 (H8:I11) 下方的单元格会记录该按钮已启动，然后记录此步骤何时完成。

开始用例：



此下拉列表可选择要预填充的用例。

用户保存当前 UC (使用上文介绍的按钮) 后，将补充到这组用例中。

预填充的用例旨在为客户的用例提供 TI 生成的起点。在本用户指南的最后一节，我们将讨论一些预先填充的用例。

4 结果表

“Results” 表根据输入的用例提供大量信息。

热功耗估算：

- 估算的主要输出显示在单元格 A10 至 D26 中；此表给出了器件在各种温度下的总功耗。
 - 由于漏电功耗非常接近指数分布，因此可在任意两个连续温度之间内插漏电分量： $P_{LKG} = 10^{mT_j + b}$
- 单元格 A1 至 B8 包含有关工具和用例的参考信息。
- 一些用户发现按电源轨细分功耗很有帮助，这些结果在单元格 A30 至 F77 中提供。
- 单元格 H42 至 J79 提供了有关被估算用例的信息（利用率和频率）。
- 单元格 H22 至 J40 显示了器件电源域。³ 已配置。
 - 如有可能，该工具会关闭电源域；如果用户希望电源域保持打开状态，请将域内的 IP 利用率加载为 0.1%
 - 用户应配置其软件，以匹配功耗估算中定义的预期。
- 单元格 H11 至 I19 显示了逐块的功率细分；超出相应块的功率应视为存在于 SoC 背板中。

峰值/PDN 功耗估算：

- 单元格 M30 至 R79 按电源轨估算峰值/PDN；此估计值由输入的用例得出。
 - 第 U 列创建标签 V_G1 至 V_G18（即电压组）。这些只是标签，可以由用户修改。
 - 单元格 N8 到 N16 中存在相同的标签；如果用户修改了 U 列中的标签，此范围中的标签也会修改。O2-O19 单元格将此电压组的电流相加。

4.1 一些特定的预载用例结果

以下三个用例旨在涵盖该器件的预期热功耗范围；用例可能超出该范围。（峰值/PDN 功耗肯定会超出此范围。）

表 4-1. 125°C 热功耗

用例	漏电功耗 [mW]	动态 [mW]	总计 [mW]
仅限 ARM	1650	2204	3454
3MP_FrontCamera	2785	4957	7342
超集	3690	8479	11769

表 4-2. 105°C 热功耗

用例	漏电功耗 [mW]	动态 [mW]	总计 [mW]
仅限 ARM	965	2204	2769
3MP_FrontCamera	1615	4957	6172
超集	2157	8479	10236

评价：

- 如前所述，漏电功耗随结温呈指数级变化，会导致漏电功耗在 125°C 至 105°C 之间显著降低。

4.1.1 仅限 ARM

此类处理器的最低用例需要使用 A53 内核以及 PCIe 和以太网交换机。

器件负载情况如下表所示。

³ 在“Use Case”选项卡的“Environmental”部分，用户选择可配置电压域的电压。在电压域（例如 VDD_CORE）内，一些电路置于电源域内（例如 C7x_0 和 MMA 位于 PD_C7_0 内）；如果电源域中的所有 IP 均未使用（唯一条件），电源域可以断开与电压域的连接。关闭电源域内的电路不会影响功率预算，无论是漏电功耗或动态功耗。在电源域内，IP 由本地电源睡眠控制器 (LPSC) 控制，该控制器可控制时钟并重置 IP。未计时的 IP 不会影响器件整体功耗的动态功耗，但会产生漏电功耗，除非它位于未通电的电源域中。

请注意，电压域通常有某些 IP 位于电源域内，还有一些 IP 不在电源域内。

表 4-3. 仅限 ARM 的器件配置 (0.75V , VDD_CORE)

内核	频率	利用率
A53 CPU	1250	70%
A53 CPU	1250	70%
A53 CPU	1250	70%
A53 CPU	1250	70%
C7x	912.5	0%
MMA	912.5	0%
C7x	912.5	0%
MMA	912.5	0%
R5F	800	25%
R5F	800	25%
R5F	800	0%
双 DSS7UL + DSI + OLDI wrap	320	0%
GPU BXS4-64-256KB DUST AM67	720	0%
GPU BXS4-64-256KB Rascal AM67	720	0%
GPU BXS4-64-256KB Wrap AM67	720	0%
VPAC3L	600	0%
DMPAC	428	0%
WAVE521CL 视频编解码器	500	0%
CSI_RX	720	0%
CSI_RX	720	0%
CSI_RX	720	0%
CSI_RX	720	0%
CSI_TX	720	0%
CPSW3x	250	25%
PCIE_G3 4L	500	25%
USB2 控制器	125	0%
USB3P0TCx1	125	0%
LP/DDR4-32 PHY 3733	933.25	44%
EMMC 4	250	0%
EMMC 4	250	0%
EMMC 8	250	0%
GPMC_ELM	166.67	0%
串行器/解串器 10G 通用	1PLL	100%
串行器/解串器 10G 通道	8g	100%
串行器/解串器 10G 通用	禁用	0%
串行器/解串器 10G 通道	unused	0%

器件的热功耗如下表所示。

表 4-4. 仅限 ARM 的热功耗

Tj	漏电功耗 [mW]	动态 [mW]	总计 [mW]
125	1650	2204	3454
120	1462	2204	3266
115	1265	2204	3069
110	1109	2204	2913
105	965	2204	2769

表 4-4. 仅限 ARM 的热功耗 (续)

Tj	漏电功耗 [mW]	动态 [mW]	总计 [mW]
100	845	2204	2649
95	738	2204	2542
90	634	2204	2438
85	552	2204	2356
80	483	2204	2287
75	414	2204	2218
50	199	2204	2003
25	99	2204	1903
0	57	2204	1861
-20	37	2204	1841
-40	36	2204	1840

4.1.2 超集

另一端是超集用例，其中 A53、Pulsar、C71x 和 MMA、GPU、DMPAC 和 VPAC 得到了有效利用。在本示例中，还加载了 SerDes。

器件负载情况如下表所示。

表 4-5. 超集器件配置 (0.85V, VDD_CORE)

内核	频率	利用率
A53 CPU	1400	91%
A53 CPU	1400	91%
A53 CPU	1400	91%
A53 CPU	1400	91%
C7x	1000	20%
MMA	1000	80%
C7x	1000	0%
MMA	1000	100%
R5F	800	95%
R5F	800	95%
R5F	800	95%
双 DSS7UL + DSI + OLDI wrap	320	76%
GPU BXS4-64-256KB DUST AM67	800	80%
GPU BXS4-64-256KB Rascal AM67	800	80%
GPU BXS4-64-256KB Wrap AM67	800	80%
VPAC3L	600	100%
DMPAC	428	61%
WAVE521CL 视频编解码器	500	100%
CSI_RX	720	20%
CSI_RX	720	20%
CSI_RX	720	20%
CSI_RX	720	20%
CSI_TX	720	27%
CPSW3x	250	40%
PCIE_G3 4L	500	50%
USB2 控制器	125	10%
USB3P0TCx1	125	30%
LP/DDR4-32 PHY 3733	1000	48%

表 4-5. 超集器件配置 (0.85V , VDD_CORE) (续)

内核	频率	利用率
EMMC 4	250	0%
EMMC 4	250	0%
EMMC 8	250	25%
GPMC_ELM	166.67	0%
串行器/解串器 10G 通用	1PLL	100%
串行器/解串器 10G 通道	5g	100%
串行器/解串器 10G 通用	1PLL	100%
串行器/解串器 10G 通道	8g	100%

器件的热功耗如下表所示。

表 4-6. 超集热功耗

TJ [C]	漏电功耗 [mW]	动态功耗 [mW]	总功耗 [mW]
125	3690	8479	11769
120	3226	8479	11305
115	2832	8479	10911
110	2469	8479	10548
105	2157	8479	10236
100	1865	8479	9944
95	1613	8479	9692
90	1401	8479	9480
85	1220	8479	9299
80	1038	8479	9117
75	892	8479	8971
50	416	8479	8495
25	195	8479	8274
0	108	8479	8187
-20	76	8479	8155
-40	56	8479	8135

4.1.3 300 万像素前置摄像头

最后，器件视觉分析功能的代表用例 - 前置摄像头输入通过深度学习算法运行。

器件负载情况如下表所示。

表 4-7. 计算器件配置

内核	频率	利用率
A53 CPU	1250	50%
A53 CPU	1250	50%
A53 CPU	1250	50%
A53 CPU	1250	50%
C7x	912.5	50%
MMA	912.5	50%
C7x	912.5	0%
MMA	912.5	100%
R5F	800	60%
R5F	800	40%
R5F	800	40%

表 4-7. 计算器件配置（续）

内核	频率	利用率
双 DSS7UL + DSI + OLDI wrap	320	0%
GPU BXS4-64-256KB DUST AM67	720	0%
GPU BXS4-64-256KB Rascal AM67	720	0%
GPU BXS4-64-256KB Wrap AM67	720	0%
VPAC3L	600	90%
DMPAC	300	61%
WAVE521CL 视频编解码器	500	50%
CSI_RX	720	25%
CSI_RX	720	0%
CSI_RX	720	0%
CSI_RX	720	0%
CSI_TX	720	25%
CPSW3x	250	25%
PCIE_G3 4L	500	0%
USB2 控制器	125	0%
USB3P0TCx1	125	0%
LP/DDR4-32 PHY 3733	933.25	100%
EMMC 4	250	0%
EMMC 4	250	0%
EMMC 8	250	26%
GPMC_ELM	166.67	0%
串行器/解串器 10G 通用	禁用	0%
串行器/解串器 10G 通道	unused	0%
串行器/解串器 10G 通用	禁用	0%
串行器/解串器 10G 通道	unused	0%

器件的热功耗如下表所示。

表 4-8. 计算热功耗

Tj [C]	漏电功耗 [mW]	动态功耗 [mW]	总功耗 [mW]
125	2785	4957	7342
120	2442	4957	6999
115	2129	4957	6686
110	1867	4957	6424
105	1615	4957	6172
100	1403	4957	5960
95	1231	4957	5788
90	1060	4957	5617
85	909	4957	5466
80	784	4957	5341
75	668	4957	5225
50	311	4957	4868
25	144	4957	4701
0	78	4957	4635
-20	57	4957	4614
-40	46	4957	4603

5 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
2024 年 7 月	*	初始发行版

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司