参考文献

User's Guide

使用 TPS6594133A-Q1 PMIC 和双通道 HCP 转换器为适用于隔离式电源组的 Jacinto ™ J7 SoC 系列器件供电

摘要

本用户指南可用于指导如何将 TPS6594-Q1 电源管理集成电路 (PMIC) 集成到系统中，从而通过隔离式 MCU 和 Core 电源组为汽车类 Jacinto J784S4 或 J721S2 处理器供电。

内容

1 简介....2
2 处理器连接....2
2.1 电源映射....2
2.2 控制映射....7
3 支持功能安全系统....10
3.1 达到 ASIL-B 系统要求....11
3.2 达到 ASIL-D 系统要求....11
4 静态 NVM 设置....13
4.1 基于应用程序的配置设置....13
4.2 器件标识设置....14
4.3 BUCK 设置....14
4.4 LDO 设置....16
4.5 VCCA 设置....17
4.6 GPIO 设置....17
4.7 有限状态机 (FSM) 设置....19
4.8 中断设置....20
4.9 POWERGOOD 设置....22
4.10 其他设置....23
4.11 接口设置....24
4.12 多器件设置....25
4.13 看门狗设置....25
5 可预配置的有限状态机 (PFSM) 设置....25
5.1 配置的状态....25
5.2 PFSM 触发条件....27
5.3 电源序列....28
6 应用示例....39
6.1 初始化....40
6.2 在不同状态之间切换：运行、仅 MCU 和保持....40
6.3 进入和退出待机状态....41
6.4 进入和退出 LP_STANDBY 状态....42
7 NVM 更改的影响....42
8 参考资料....42
9 修订历史记录....43

商标

Jacinto™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

1 简介

本用户指南介绍了配电网络 (PDN) 的两个选项（PDN-3A 和 PDN-3F），它们使用 TPS6594133A-Q1 PMIC 通过独立的 MCU 和主电源轨为 J784S4 或 J721S2 处理器供电并对其进行控制。这些 PDN 可根据需要实现 MCU 安全岛和主电压源的板级隔离，从而实现处理器所需的两个功能：

- MCU 处理器充当主处理资源上的独立安全监控器（MCU 安全岛），保持系统安全运行。
- MCU 处理器使系统保持最低运行模式（仅 MCU），这显著降低了处理器功耗，从而延长待机使用情况下的电池寿命并能降低元件温度。

以下主题旨在说明平台系统运行：

- PDN 电源连接
- PDN 数字控制连接
- PMIC (TPS6594133A-Q1) 静态 NVM 内容
- 支持不同 PDN 电源状态转换的 PMIC 时序设置。

PMIC 和处理器数据手册提供了建议的运行条件、电气特性、建议的外部元件、封装详情、寄存器映射和整体元件功能。如果任何用户指南、应用报告或其他参考资料之间存在任何不一致的地方，应以数据表规格为准。

2 处理器连接

本节详细介绍了 TPS6594133A-Q1 电源器件和 GPIO 信号如何连接到处理器、分立式电源器件和其他外设元件。

2.1 电源映射

PDN-3x 基础电源资源包括 TPS6594133A-Q1 PMIC、两个高电流功率级（HCPS-A 和 HCPS-B）、两个 TPS389006004-Q1 安全电压监控器、两个 TPS74501P-Q1 LDO 和一个 TPS622965-Q1 负载开关。处理器 CPU 和 CORE 电源轨分别由 HCPS-A 和 HCPS-B 供电。每个 HCPS 由一个或多个可堆叠的 TPS6287xY1-Q1 降压转换器组成。有关基于 JS84S4 或 J721S2 处理器类型的推荐 HCPS 配置，请参阅 表 2-1。PMIC 具有内置的输入电源电压电平检测功能，使其能够使用 3.3V 或 5V 系统输入电压。如果系统确实使用 5V 输入，则根据总体系统需求，用于为处理器提供 3.3V IO 信号的负载开关需要替换为降压转换器或 LDO。

表 2-1. CPU 和 CORE 电源资源

处理器	HCPS - A（CPU 电源）	HCPS - B（CORE 电源）
J784S4	3 x TPS62873Y1 - Q1	2 x TPS62873Y1 - Q1
J721S2	1 x TPS62873Y1 - Q1	2 x TPS62871Y1 - Q1

对于功能安全应用，PMIC 可满足大多数关键要求，请参阅 TPS6594 数据表。此外，在 VCCA 之前有一个保护 FET 连接到 PMIC 的 OVPGDRV 引脚，允许对输入电源进行电压监控。两个 TPS389006004-Q1 安全电压监控器 (SVS) 用于根据功能安全系统（支持 ASIL-B/D）的要求，对所有分立式电源电压进行 OV/UV 监控。

图 2-1 显示了以下 PDN-3A 电源映射：为 J784S4 或 J721S2 处理器平台（SoC、Flaxh 和 LPDDR4 存储器、电源器件）提供基础特性以及所有可选特性，包括三种处理器低功耗模式（仅 MCU、GPIO 保持和 DDR 保持）和三种可选特性（UHS-I SD 卡、USB2.0 接口和 HS 电子保险丝编程）。PDN - 3A.I 电源连接——全功能、工业应用 与 PDN-3A 相同，但用于工业应用，并使用略有不同的电压监控策略。图 2-3 描述了以下 PDN-3F 电源映射：仅使用 PDN-3x 基础电源器件来支持基本特性集（ASIL-D 安全功能系统、MCU 和主电源隔离、MCU 安全岛、仅 MCU 低功耗模式、双电压 1.8V/3.3V IO 信号、四个 LPDDR4 存储器、OSPI 引导闪存和 eMMC 存储闪存）。

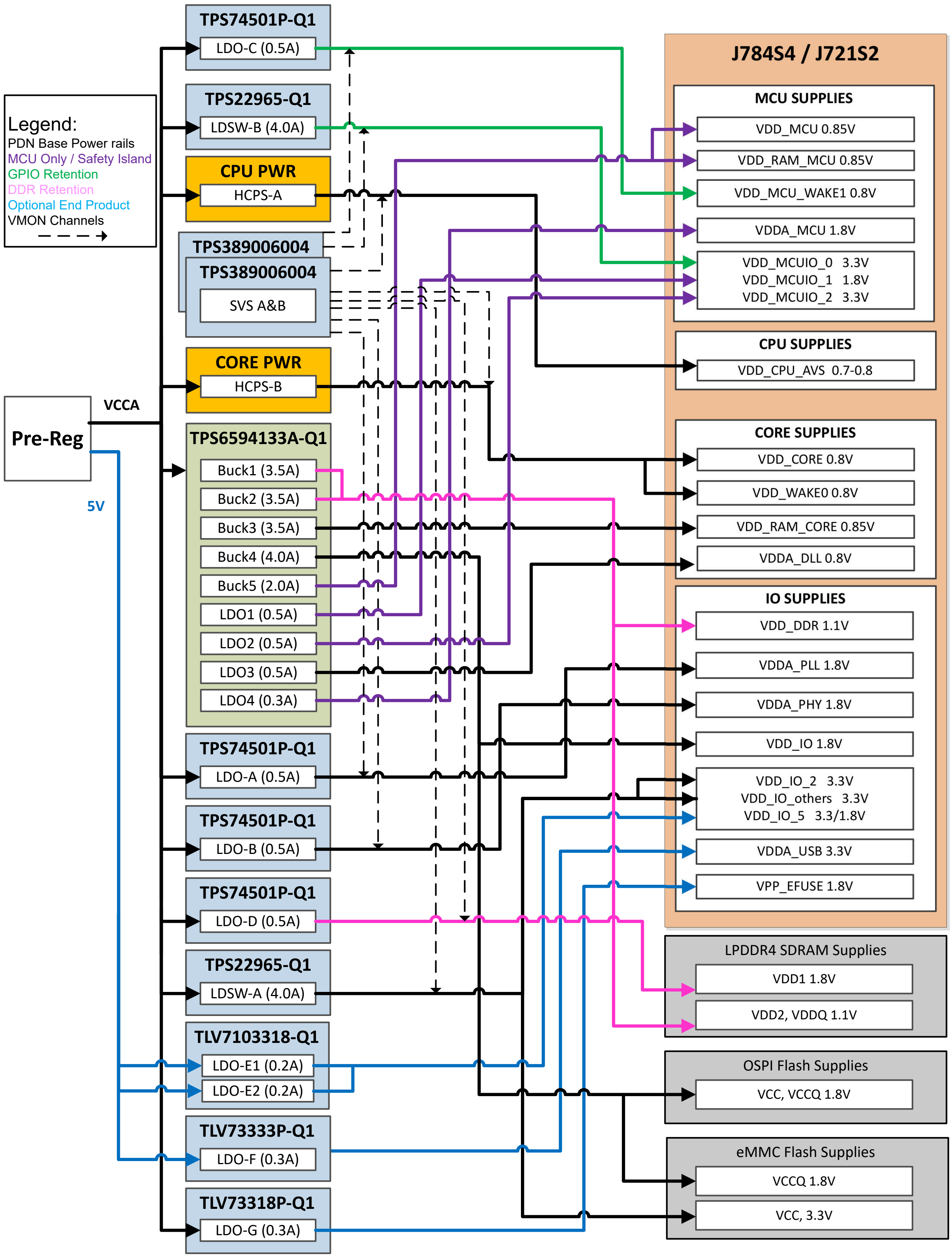


图 2-1. PDN-3A 电源连接 - 完整特性

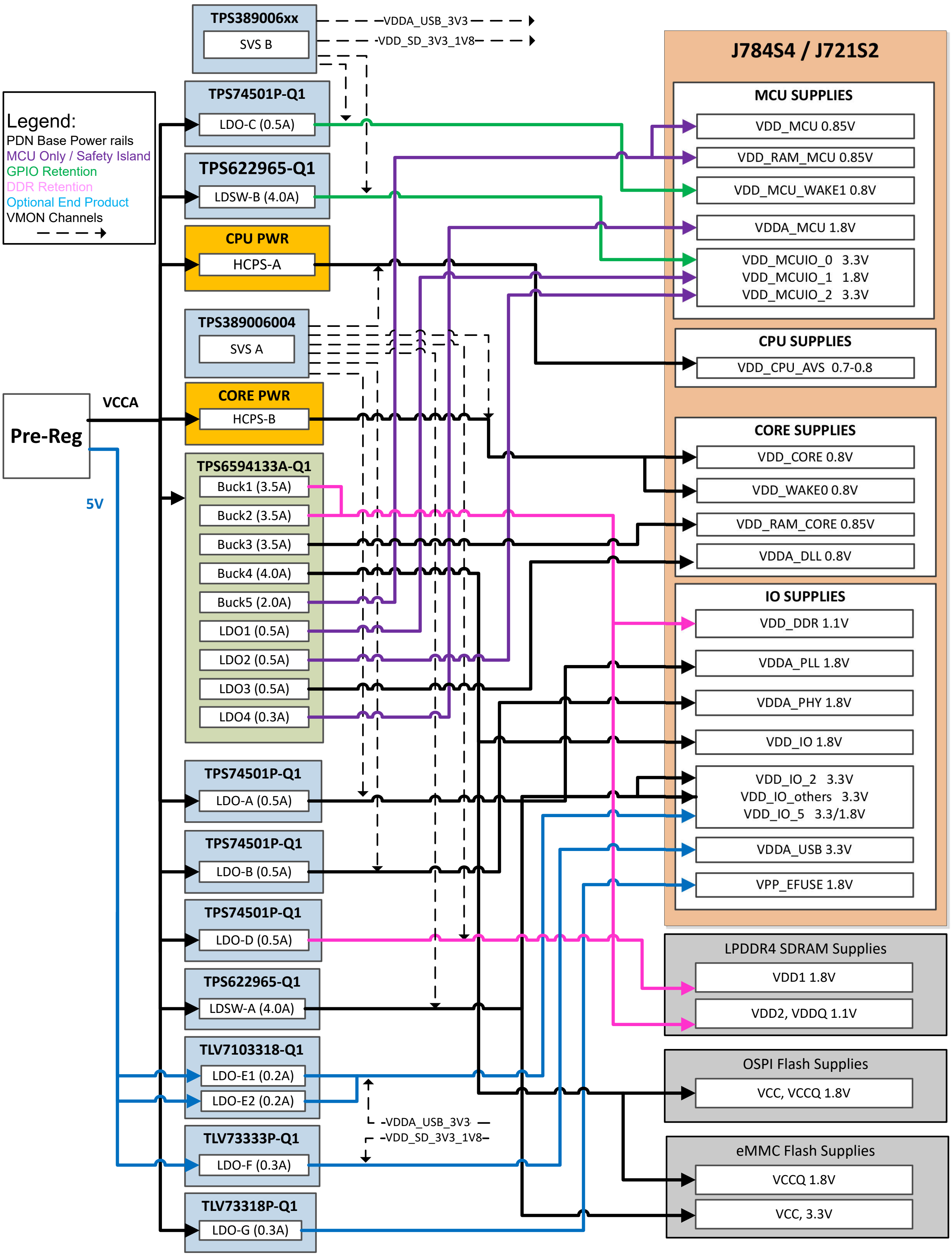


图 2-2. PDN - 3A.I 电源连接——全功能、工业应用

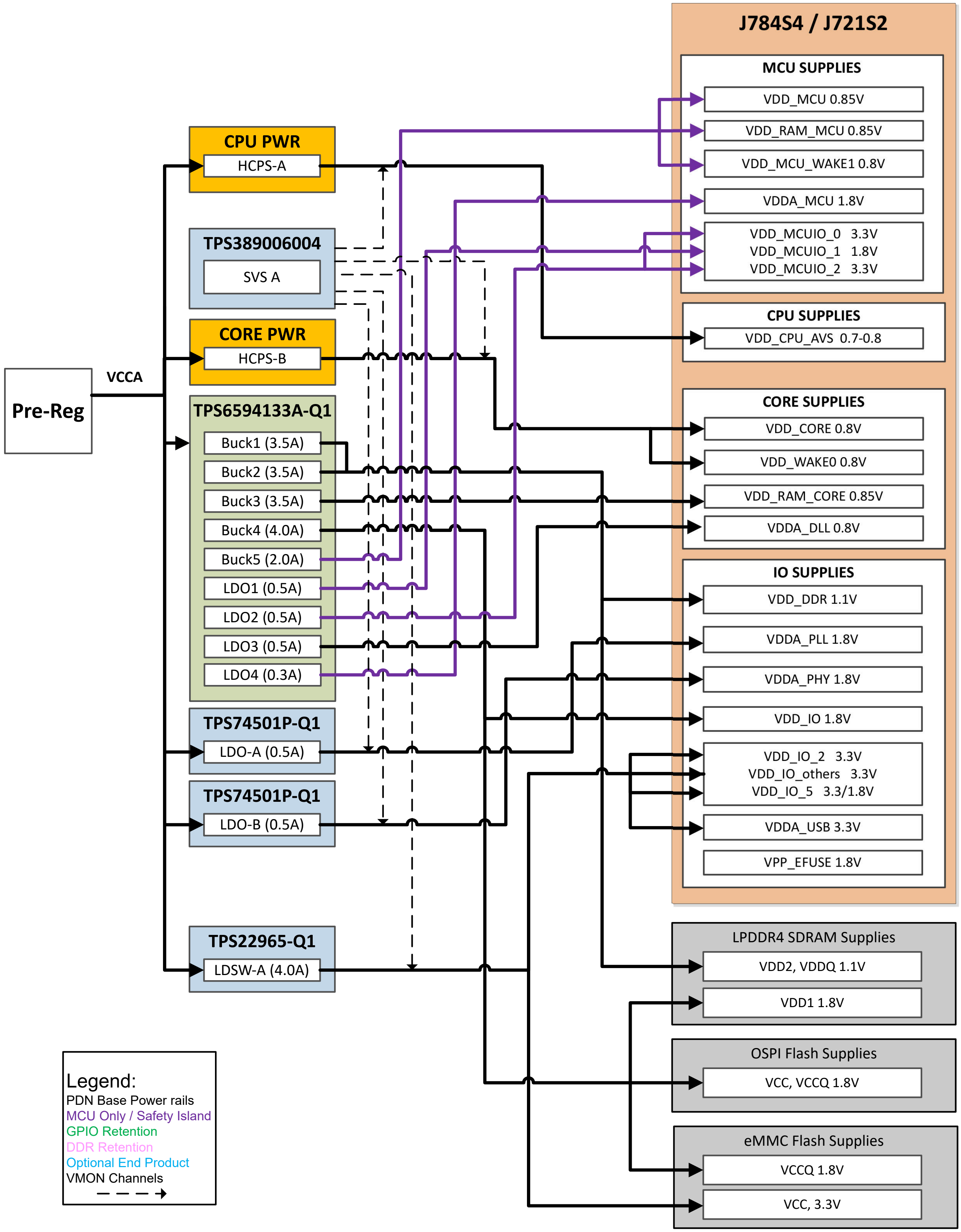


图 2-3. PDN-3F 电源连接 - 简化特性

表 2-2 确定支持 PDN-3A 全功能系统所需的电源器件和电源轨。如果不需要某项功能，则可以移除电源器件和电源轨，但处理器输入电源必须连接到另一个类似电压和类型的电源轨，因为所有电源都需要通电才能实现完全有效运行。表 2-3 提供了有关将处理器输入电源分组到基础电源轨的指南，如果不需要三种低功耗模式或各种可选功能中的任何一种，可以参考该表。通过按照此指南调整全功能 PDN-3A 方案，可以实现其他 PDN-3x 型号 (x = B/C/D/E/F)，从而支持 PDN-3A 和 PDN-3F 之间具有不同功能集的终端产品。

表 2-2. PDN-3A 电源映射与系统特性

电源映射				系统特性[(1)]						
器件	电源	电源轨	处理器和存储器域	有源 SoC	仅 MCU	DDR 保持	GPIO 保持	SD 卡	EFUSE	USB
TPS6594133A-Q1	BUCK12	VDD_DDR_1V1	VDDS_DDR、VDDS_DDR_C3:0 Mem: VDD2，VDDQ	R		R				
	BUCK3	VDD_RAM_0V85	VDDAR_CORE、VDDAR_CPU	R						
	BUCK4	VDD_IO_1V8	VDDS_MMC0	R						
	BUCK5	VDD_MCU_0V85	VDD_MCU、VDDAR_MCU	R	R					
	LDO1	VDD_MCUIO_1V8	VDDSHV1_MCU	R	R					
	LDO2	VDD_MCUIO_3V3	VDDSHV2_MCU	R	R					
	LDO3	VDA_DLL_0V8	VDDA_0P8_PLL_DDR3:0、VDDA_0P8_DLL_MMC0	R						
	LDO4	VDA_MCU_1V8	VDDA_MCU_PLLGRP0、VDDAMCU_TEMP、VDDA_POR_WKUP、VDDA_WKUP、VDDA_ADC1:0	R	R					
TPS22965-Q1	负载开关 A	VDD_IO_3V3	VDDSHV0、VDDSHV2	R						
TPS22965-Q1	负载开关 B	VDD_MCU_GPIORET_3V3	VDDSHV0_MCU	R	R		R			
CPU PWR HCPS-A	HCPS-A	VDD_CPU_AVS	VDD_CPU	R						
CORE PWR HCPS-B	HCPS-B	VDD_CORE_0V8	VDD_CORE、VDD_WAKE0、VDDA_0p8_CSIRX、VDDA_0P8_DSITX、VDDA_0P8_DSITX_C、VDDA_0P8_SERDES、VDDA_0P8_SERDES_C、VDDA_0P8_USB、VDDA_0P8_UFS	R						
TLV73318P-Q1	LDO-G	VPP_EFUSE_1V8	VPP_x(EFUSE)						R	
TLV3333-Q1	LDO-F	VDD_USB_3V3	VDDA_3P3_USB	R						R
TLV7103318-Q1	LDO-E	VDD_SD_DV	VDDSHV5（3.3V 或 1.8V）	R				R		
TPS74501P-Q1	LDO-D	VDD1_DDR_1V8	Mem: VDD1	R		R				
TPS74501P-Q1	LDO-C	VDD_MCU_GPIORET_0V8	VDD_MCU_WAKE1	R	R		R			
TPS74501P-Q1	LDO-B	VDA_PHY_1V8	VDDA_1P8_CSI_RX、VDDA_1P8_DSITX、VDDA_1P8_SERDES、VDDA_1P8_USB、VDDA_1P8_UFS	R						

表 **2-2. PDN-3A** 电源映射与系统特性（续）

电源映射				系统特性[(1)]						
器件	电源	电源轨	处理器和存储器域	有源 SoC	仅 MCU	DDR 保持	GPIO 保持	SD 卡	EFUSE	USB
TPS74501P-Q1	LDO-A	VDA_PLL_1V8	VDDA_OSC1、VDDA_PLLGRP13:0、VDDA_TEMP4:0	R						

(1) “R”是必需项。

表 **2-3.** 用于移除功能的电源器件调整

要移除的特性	要移除的电源器件和电源轨	新电源映射
HS SoC EFUSE 编程	分立式 LDO-G：VPP_EFUSE_1V8	SoC：VPP → 无连接
兼容 USB 2.0 数据眼	分立式 LDO-F：VDA_USB_3V3	SoC：VDDA_3P3_USB → 滤波后的 VDD_IO_3V3
符合标准的高速 SD 卡	分立式 LDO-E：VDD_SD_DV	SoC：VDDSHV5 → VDD_IO_3V3 或 VDD_IO_1V8
DDR 保持低功耗模式	分立式 LDO-D：VDD1_DDR_1V8	LPDDR4：VDD1 → VDD_IO_1V8
MCU GPIO 保持低功耗模式	分立式 LDO-C：VDD_MCU_GPIORET_0V8	SoC：VDD_MCU_WAKE1 → VDD_MCU_0V85
	分立式 LDSW-B：VDD_MCU_GPIORET_3V3	SoC：VDDSHV0_MCU → VDD_MCUIO_3V3 或 VDD_MCUIO_1V8
	分立式 SVS	PMIC：GPIO10 上拉至 VCCA_3V3

2.2 控制映射

图 2-4 显示了 PMIC、分立式电源和处理器之间 PDN-3A 的数字控制信号映射。这些连接可实现功能齐全的系统，包括仅 MCU、DDR 和 GPIO 保持低功耗模式、符合 ASIL-D 标准的功能安全以及板载 USB2.0、UHS-I SD 卡和 HS SoC 电子保险丝编程。

在此 PDN 中，GPIO8 旨在提供运行时 PDN 配置，从而实现可适应各种电路板设计的灵活 PMIC。上电序列开始时的逻辑低电平输入命令 PMIC 支持隔离式 MCU 和主电源组，其中包括上电序列中的 BUCK5。逻辑高电平命令 PMIC 将 MCU 和主电源组分组，并将 BUCK5 从电源序列中排除。对于隔离式 PDN 方案（型号 A - F），GPIO8 引脚连接到 HCPS 降压稳压器使能输入，该输入具有连接到每个降压稳压器输入电压的上拉电阻。VDA_DLL_0V8 电源轨（来自 PMIC 的 LDO3）与 CPU 和 CORE 电源轨在相同的时间戳启用。因此，它可用于驱动低电压转换器的输入，该转换器具有一个连接到 HCP 使能网络 (MAIN_PWRGRP_IRQn) 的开漏输出。该降压引脚是双向引脚，可用作使能输入和状态输出。内部降压故障会导致该引脚将 MAIN_PWRGRP_IRQn 网络拉低。将 MAIN_PWRGRP_IRQn 网络拉低将禁用降压稳压器，并通过 GPIO8 网络连接向 PMIC 发出中断。如果 GPIO8 变为低电平，PMIC 会像发生 SOC_PWR_ERROR 一样做出反应，导致 PDN 状态转换为仅 MCU 模式。

当 nRSTOUT PMIC 信号在 图 5-11 所示 TO_ACTIVE 序列结束时变为高电平后，GPIO10 会被拉高，等待来自 SVS-B 电压监控器的低电平有效 MCU_PWRGRP_IRQn 中断信号。如果 GPIO10 变为低电平，PMIC 会像发生 MCU_PWR_ERROR 一样做出反应，并执行有序关断。如 图 2-4 所示，用一个 3.3V 电平转换器将 GPIO8 和 GPIO10 分别从 VDA_DLL_0V8 (PMIC LDO3) 和电压监控器 SVS-A 和 SVS-B 的开漏中断输出连接起来。

从 PMIC 到处理器的其他数字连接提供错误监控、处理器复位、处理器唤醒和系统低功耗模式。已将特定的 GPIO 引脚分配给关键信号，以维持在低功耗模式下只有少数 GPIO 引脚保持工作时，器件能够正常工作。

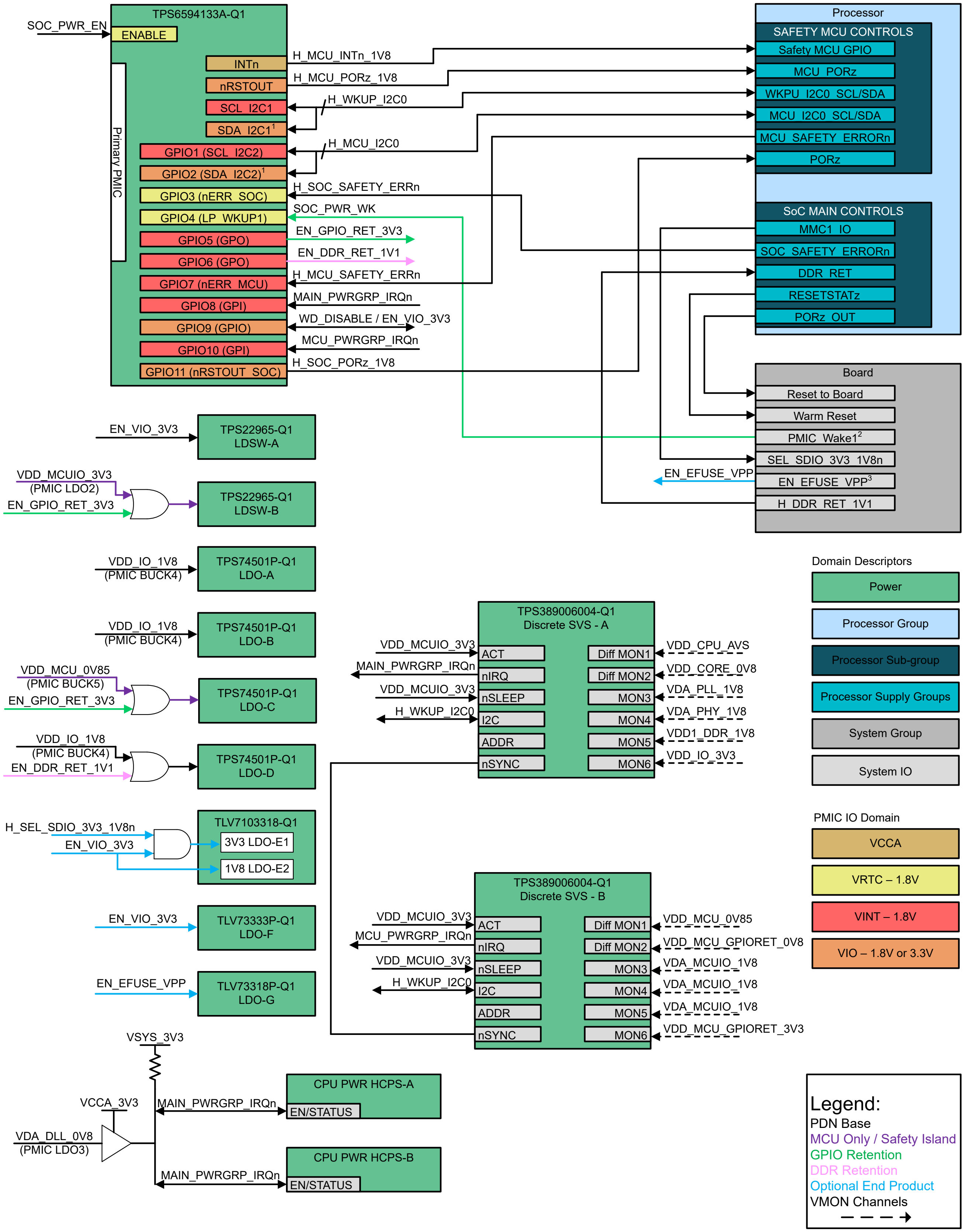


图 2-4. PDN-3A 的 TPS6594133A 数字连接

1. PMIC IO 可以针对输入和输出功能使用不同的电源域。I2C1 和 I2C2 的 SDA 功能使用 VINT 电压域作为输入，并使用 VIO 电压域作为输出。更多信息，请参阅器件 数据表。所示的 PMIC 电压域用于 TPS6594133A NVM 配置。
2. PMIC_Wake1 通常为 CAN PHY INH 输出。
3. LP_WKUP1 和 WKUP1 转换到运行状态。

备注

对于 SVS-B，只需 VDD_MCU_GPIORET_0V8 和 VDD_MCU_GPIORET_3V3 连接，即可在 MCU 输入电源上提供 OV/UV 覆盖。表 5-1 中显示的其他连接允许同一 SVS PN 同时用于 SVS-A 和 SVS-B。

备注

IO 的 PMIC 电压域可以根据配置的不同而不同。当配置为输入时，GPIO3 和 GPIO4 均在 VRTC 域中。当配置为输出时，GPIO3 和 GPIO4 均在 VINT 域中。

备注

除 I2C 信号外，还有五个附加信号为开漏输出，需要上拉至特定电源轨。有关信号和特定电源轨的列表，请参阅 表 2-4。

表 2-4. 开漏信号和电源轨

PDN 信号	上拉电源轨
H_MCU_INTn_1V8	VDD_MCUIO_1V8
H_MCU_PORz_1V8	VDA_MCU_1V8
H_SOC_PORz_1V8	VDA_MCU_1V8
H_MCU_PORz_1V8	VDA_MCU_1V8
EN_DDR_RET_1V1	VDD_DDR_1V1
H_WKUP_I2C0	VDD_GPIORET_IO_3V3
H_MCU_I2C0	VDD_GPIORET_IO_3V3

使用 表 2-5 指导如何分配每个 PDN 系统特性所需的 GPIO。如果不需要所列出的特性，可以删除数字连接；但是，GPIO 引脚仍会按照显示的由 NVM 定义的默认功能进行配置。启动后，处理器可以重新配置未使用的 GPIO 以支持新功能。只要该功能仅在启动后才需要且默认功能不与正常操作产生任何冲突（例如，两个输出驱动同一网络），就可以进行重新配置。有关功能安全相关连接如何帮助实现功能安全系统级目标的详细信息，请参阅节 3。

表 2-5. 按系统特性划分的数字连接

器件	GPIO 映射			系统特性[1]				
	PMIC 引脚	NVM 功能	PDN 信号	有源 SoC	功能安全	仅 MCU	DDR 保持	GPIO 保持
TPS6594133A-Q1	nPWRON/ ENABLE	启用	SOC_PWR_EN	R				
	nINT	INT	H_MCU_INTn		R			
	nRSTOUT	nRSTOUT	H_MCU_PORz_1V8	R				
	SCL_I2C1	SCL_I2C1	H_WKUP_I2C0_SCL	R				
	SDA_I2C1	SDA_I2C1	H_WKUP_I2C0_SDA	R				
	GPIO_1	SCL_I2C2	H_MCU_I2C0_SCL		R			
	GPIO_2	SDA_I2C2	H_MCU_I2C0_SDA		R			
	GPIO_3	nERR_SoC	H_SOC_SAFETY_ERRn	R				
	GPIO_4	LP_WKUP1[2]	SOC_PWR_WKn				R	R
	GPIO_5	EN_GPIO_RET_3V3	EN_GPIO_RET_3V3					R
	GPIO_6	EN_DDR_RET_1V1	EN_DDR_RET_1V1				R	
	GPIO_7	nERR_MCU	H_MCU_SAFETY_ERRn		R			
	GPIO_8	GPI	MAIN_PWRGRP_IRQn		R			
	GPIO_9	GPO	EN_3V3_VIO	R				
	GPIO_10	GPI	MCU_PWRGRP_IRQn		R			
	GPIO_11	nRSTOUT_SOC	H_SOC_PORz_1V8			R		

(1) R 是必需项。O 是可选项。
(2) LP_WKUP1 功能在静态设置中会被屏蔽。节 6.2.3、节 6.3 和 节 6.4 提供了用于取消屏蔽该功能的说明。

3 支持功能安全系统

通过使用 PDN-3A 电源解决方案，系统可以利用以下 PMIC 功能安全特性：

- 输入电源监控
- 输出电压和电流监控
- 问答看门狗
- 故障报告中断
- 提供独立路径以禁用系统执行器的使能驱动引脚
- 错误引脚监控
- 内部诊断，包括电压监控、温度监控和内置自检

有关 PMIC 功能安全特性的完整说明和分析，请参阅 TPS6594133A 器件的安全手册。这些功能安全特性可以帮助系统达到 ASIL-D 等级。此外，这些特性有助于实现处理器为达到 ASIL-D 等级所使用的功能安全假设。有关完整的功能安全系统假设列表，请参阅 Jacinto™ 7 处理器的安全手册。

3.1 达到 ASIL-B 系统要求

为达到 ASIL-B 的系统功能安全级别，可以使用以下 PDN 特性：

- 对电源电压输出进行 PMIC 过压和欠压监控
- 对分立式电源进行过压和欠压监控
- 使用看门狗监控安全处理器
- MCU 错误监控
- MCU 复位
- I2C 通信
- 驱动外部电路的错误指示灯 EN_DRV（可选）
- EN_DRV 引脚的读回

对于功能安全应用，外部电源 FET 必须以串联方式放置在 5V 或 3.3V 电源的输出和 VCCA 线路之间。FET 前后的电压由 PMIC 监控，PMIC 通过 OVPGDRV 引脚控制 FET。当在输入电源上检测到大于 6V 的过压事件时，FET 可以快速隔离 PMIC，以保护系统免受损坏。该系统保护涉及来自 FET 的所有电源轨以及 VCCA 线路。从 FET 上游连接的任何电源都不会受过压事件的影响。在图 2-1 中，所有电源均在 FET 之后连接，以将过压保护扩展到所有处理器域和关键的分立式元件。唯一的例外是用于 SD 卡和 3.3V USB 的分立式 LDO。

默认情况下会启用 PMIC 内部过压和欠压监控以及其各自的监控阈值电平，并可在启动后通过 I2C 进行更新。默认情况下会监控与处理器直接连接的 PMIC 电源轨。两个 TPS389006004 电压监控器用于监控 PMIC 未提供的电源。将这些电压监控器的中断信号连接到 PMIC，如节 2.2 中所述。如果不使用 GPIO 和 DDR 保持低功耗模式，则不需要第二个电压监控器 SVS-B。

默认情况下，TPS6594133A 器件上会禁用内部问答看门狗，该看门狗可在上电后启用。一旦器件处于运行状态，就可以通过器件中的 I2C 来配置触发条件或问答看门狗设置。默认情况下不启用 I2C CRC，但必须使用 表 5-1 中描述的 I2C_2 触发器来启用。建议在启动问答看门狗之前启用 I2C CRC 并等待至少 2ms。配置和启动看门狗的步骤详见 TPS6594-Q1 数据表。

TPS6594133A PMIC 的 GPIO_7 配置为 MCU 错误信号监控器，且必须通过 ESM_MCU_EN 寄存器位来启用。通过 PMIC nRSTOUT 引脚与处理器的 MCU_PORz 之间的连接来支持 MCU 复位。最后，TPS6594133A 和处理器之间有两个 I2C 端口。第一个端口用于所有的非看门狗通信（如电压电平控制），第二个端口允许在独立的通信通道上进行看门狗监控。

可以选择使用 TPS6594133A PMIC 的 EN_DRV 来指示已检测到错误且系统正在进入安全状态。如果系统具有需要由错误事件驱动的外部电路，则可以使用该信号。在本 PDN 中，未使用 EN_DRV，但需要时可以使用。

3.2 达到 ASIL-D 系统要求

对于 ASIL-C 或 ASIL-D 系统，除节 3.1 中描述的特性外，还可使用以下特性：

- 对输入到 PMIC (VCCA) 进行 PMIC 过压监控和保护
- 对所有输出电源轨进行 PMIC 电流监控
- SoC 错误监控
- 降压稳压器引脚上的开关接地短路检测 (SW_Bx)
- 残余电压监控
- 逻辑输出引脚读回
  - PMIC 的 nINT
  - PMIC 的 nRSTOUT 和 nRSTOUT_SOC

默认情况下，会针对 TPS6594133A 的所有降压稳压器和 LDO 启用电流监控。

TPS6594133A PMIC 的 GPIO_3 配置为 SoC 错误信号监控器。与 MCU 错误信号监控器类似，该功能使用 ESM_SOC_EN 寄存器位通过 I2C 来启用。通过将 TPS6594133A 上的 GPIO_11（配置为 nRSTOUT_SoC）连接到处理器的 PORz 引脚来支持 SoC 复位功能。

表 3-1. 系统级安全特性

ASIL-B						ASIL-D	
安全监控处理器	外部软件看门狗	INTn	安全 MCU 处理 ESM 安全 MCU 复位	具有 IO 读回特性的安全状态信号	系统输入电压监控	SoC 主处理 ESM	IO 读回特性
SoC：MCU 岛 R5 内核	PMIC：问答看门狗和 I2C2	PMIC：nINT	PMIC：nERR_MCU 连接到 SOC：MCU_SAFETY_ERRz PMIC：nRSTOUT 连接到 MCU_PORz_1V8	PMIC：ENDRV	PMIC：VSYS_SENSE-OV 具备安全 FET OVPGDRV，具备 VCCA OV & UV 和 SoC (VMON1) -UV	PMIC：nERR_SoC 连接到 SOC：SOC_SAFETY_ERRz	PMIC：nINT、nRSTOUT、nRSTOUT_SOC

表 3-2. 电源监控安全特性

				ASIL-B	ASIL-D 新增项	
器件	电源	PDN 电源轨	安全状态电源组 1	电源电压监控	电源电流监控	残余电压监控
TPS6594133A-Q1 (PMIC)	BUCK1-2	VDD_DDR_1V1	MCU	PMIC - OV 和 UV2	PMIC -CM2	PMIC -RVM2
	BUCK3	VDD_RAM_0V85	SOC	PMIC - OV 和 UV	PMIC -CM	PMIC -RVM
	BUCK4	VDD_IO_1V8	SOC	PMIC - OV 和 UV	PMIC -CM	PMIC -RVM
	BUCK5	VDD_MCU_0V85	MCU	PMIC - OV 和 UV	PMIC -CM	PMIC -RVM
	LDO1	VDD_MCUIO_1V8	MCU	PMIC - OV 和 UV	PMIC -CM	PMIC -RVM
	LDO2	VDD_MCUIO_3V3	MCU	PMIC - OV 和 UV	PMIC -CM	PMIC -RVM
	LDO3	VDA_DLL_0V8	SOC	PMIC - OV 和 UV	PMIC -CM	PMIC -RVM
	LDO4	VDA_MCU_1V8	MCU	PMIC - OV 和 UV	PMIC -CM	PMIC -RVM
TPS22965-Q1	LDSW- A	VDD_IO_3V3	SOC 6	分立式 SVS-A	不适用 4 5	
TPS22965-Q1	LDSW-B	VDD_MCU_GPIORET_3V3	MCU 6	分立式 SVS-B 8	不适用	
HCPS-A	HCPS-A	VDD_CPU_AVS	SOC 6	分立式 SVS-A	BUCK-OC	
HCPS-B	HCPS-B	VDD_CORE_0V8	MCU 6	分立式 SVS-A	BUCK-OC	
TPS74501P-Q1	LDO-A	VDA_PLL_1V8	SOC 6	分立式 SVS-A	LDO-OCP 7	
TPS74501P-Q1	LDO-B	VDA_PHY_1V8	SOC 6	分立式 SVS-A	LDO-OCP 7	
TPS74501P-Q1	LDO-C	VDD_MCU_GPIORET_0V8	MCU 6	分立式 SVS-B 8	LDO-OCP 7	
TPS74501P-Q1	LDO-D	VDD1_DDR_1V8	SOC 6	分立式 SVS-A	LDO-OCP 7	
TLV7103318-Q1	LDO-E	VDD_SD_DV	无	不适用 3	不适用 3	
TLV73333P-Q1	LDO-F	VDA_USB_3V3	无	不适用 3	不适用 3	
TLV73318P-Q1	LDO-G	VPP_EFUSE_1V8	无	不适用 3	不适用 3	

1. TPS6594133A-Q1 的电源轨组设置详见 表 4-7。
2. 电源轨 VDD_DDR_1V1 是*安全关键型*，但不需要直接电压或电流监控，因为可以使用其他方法（例如，SoC 内部*超时垫圈* 和 *ECC 校验器*）来提供诊断覆盖，以检测 DDR 电压中的故障。
3. 电源轨 VDD_SD_DV、VPP_EFUSE_1V8 和 VDA_USB_3V38 *不是安全关键型*。
4. 电源轨 VDD_IO_3V3 通常*不是安全关键型*，因为可以使用其他方法（例如，*黑色通道校验器*）来提供诊断覆盖，以检测 SoC 信号接口（例如，CAN、UART 和 SPI）中的故障。

5. 如果在 *安全关键型* 接口中使用 SoC GPIO 控制信号，则根据客户最终产品设计的要求，可能需要为特定的 VIO 电源轨添加电压和电流监控功能。
6. 对于 PMIC 未提供的电源，电源组由分立式 SVS 电压监控器确定。
7. 这些分立式电源内置过流保护和可路由回 PMIC 的电源正常信号。
8. 没有 LDSW-B 和 LDO-C 的系统可以没有分立式 SVS-B。

4 静态 NVM 设置

TPS6594133A-Q1 器件包含用户寄存器空间和一个 NVM。本部分介绍了 NVM 中的设置，这些设置会在器件从 INIT 转换到 BOOT BIST 期间载入用户寄存器。注意：用户寄存器可以在状态转换（例如从待机模式切换到运行模式）期间发生更改。TPS6594-Q1 数据表中说明了用户寄存器映射。

4.1 基于应用程序的配置设置

根据 TPS6594133A 数据表，每个降压稳压器可从七种基于应用程序的配置中选择一种来运行。以下列表包括可用的不同配置：

- 4.4MHz VOUT 低于 1.9V，多相或高 COUT 单相
- 用于 DDR 终端的 2.2MHz 单相
- 4.4MHz VOUT 低于 1.9V，低 COUT，仅单相
- 4.4MHz VOUT 高于 1.7V，仅单相
- 2.2MHz 全 VOUT 范围且 VIN 高于 4.5V，仅单相
- 2.2MHz VOUT 低于 1.9V，多相或单相
- 2.2MHz 全 VOUT 范围且全 VIN 范围，仅单相

这七种配置还具有最佳输出电感值，可在各种条件下优化每个降压稳压器的性能。表 4-1 显示了各个降压稳压器的默认配置。器件启动后，无法更改与用例关联的环路参数。

表 4-1. 应用程序用例设置

器件	BUCK 轨	默认应用程序用例	建议的电感器值
TPS6594133A-Q1	BUCK1	4.4MHz VOUT 低于 1.9V，多相	220nH
	BUCK2	4.4MHz VOUT 低于 1.9V，多相	220nH
	BUCK3	4.4MHz VOUT 低于 1.9V，低 COUT，仅单相	220nH
	BUCK4	4.4MHz VOUT 低于 1.9V，低 COUT，仅单相	220nH
	BUCK5	4.4MHz VOUT 低于 1.9V，低 COUT，仅单相	220nH

4.2 器件标识设置

这些设置用于区分在系统中检测到哪个器件。这些设置在器件启动后不能更改。

表 4-2. 器件标识 NVM 设置

寄存器名称	字段名称	TPS6594	
		值	说明
DEV_REV	DEVICE_ID	0x82	
NVM_CODE_1	TI_NVM_ID	0x3a	
NVM_CODE_2	TI_NVM_REV	0x5	
PHASE_CONFIG	MP_CONFIG	0x2	2+1+1+1

4.3 BUCK 设置

这些设置详细说明了 NVM 中存储的 BUCK 电源轨电压、配置和监控。所有这些设置都可以在启动后通过 I2C 进行更改。一些设置（通常为使能位）也通过 PFSM 进行更改，如节 5.3 中所述。

在 TPS6594133A 中，节 5.3.8 序列完成后，BUCKx_EN 位会针对 BUCK1、BUCK3、BUCK4 和 BUCK5 进行设置。BUCKx_RV_SEL 位会针对所有降压稳压器进行清零。其他位保持不变，但仍可通过 I2C 进行访问。

表 4-3. BUCK NVM 设置

寄存器名称	字段名称	TPS6594	
		值	说明
BUCK1_CTRL	BUCK1_EN	0x0	禁用；BUCK1 稳压器
	BUCK1_FPWM	0x0	PFM 和 PWM 操作（自动模式）。
	BUCK1_FPWM_MP	0x0	自动增相和切相。
	BUCK1_VMON_EN	0x0	禁用；OV、UV、SC 和 ILIM 比较器。
	BUCK1_VSEL	0x0	BUCK1_VOUT_1
	BUCK1_PLDN	0x1	启用；下拉电阻
	BUCK1_RV_SEL	0x1	启用
BUCK1_CONF	BUCK1_SLEW_RATE	0x4	2.5mV/μs
	BUCK1_ILIM	0x5	5.5A
BUCK2_CTRL	BUCK2_EN	0x0	禁用；BUCK2 稳压器
	BUCK2_FPWM	0x0	PFM 和 PWM 操作（自动模式）。
	BUCK2_VMON_EN	0x0	禁用；OV、UV、SC 和 ILIM 比较器。
	BUCK2_VSEL	0x0	BUCK2_VOUT_1
	BUCK2_PLDN	0x1	启用；下拉电阻
	BUCK2_RV_SEL	0x1	启用
BUCK2_CONF	BUCK2_SLEW_RATE	0x4	2.5mV/μs
	BUCK2_ILIM	0x5	5.5A
BUCK3_CTRL	BUCK3_EN	0x0	禁用；BUCK3 稳压器
	BUCK3_FPWM	0x0	PFM 和 PWM 操作（自动模式）。
	BUCK3_FPWM_MP	0x0	自动增相和切相。
	BUCK3_VMON_EN	0x0	禁用；OV、UV、SC 和 ILIM 比较器。
	BUCK3_VSEL	0x0	BUCK3_VOUT_1
	BUCK3_PLDN	0x1	启用；下拉电阻
	BUCK3_RV_SEL	0x1	启用
BUCK3_CONF	BUCK3_SLEW_RATE	0x4	2.5mV/μs
	BUCK3_ILIM	0x5	5.5A

表 4-3. BUCK NVM 设置（续）

寄存器名称	字段名称	TPS6594	
		值	说明
BUCK4_CTRL	BUCK4_EN	0x0	禁用；BUCK4 稳压器
	BUCK4_FPWM	0x0	PFM 和 PWM 操作（自动模式）。
	BUCK4_VMON_EN	0x0	禁用；OV、UV、SC 和 ILIM 比较器。
	BUCK4_VSEL	0x0	BUCK4_VOUT_1
	BUCK4_PLDN	0x1	启用；下拉电阻
	BUCK4_RV_SEL	0x1	启用
BUCK4_CONF	BUCK4_SLEW_RATE	0x3	5.0mV/μs
	BUCK4_ILIM	0x5	5.5A
BUCK5_CTRL	BUCK5_EN	0x0	禁用；BUCK5 稳压器
	BUCK5_FPWM	0x0	PFM 和 PWM 操作（自动模式）。
	BUCK5_VMON_EN	0x0	禁用；OV、UV、SC 和 ILIM 比较器。
	BUCK5_VSEL	0x0	BUCK5_VOUT_1
	BUCK5_PLDN	0x1	启用下拉电阻
	BUCK5_RV_SEL	0x1	启用
BUCK5_CONF	BUCK5_SLEW_RATE	0x4	2.5mV/μs
	BUCK5_ILIM	0x3	3.5A
BUCK1_VOUT_1	BUCK1_VSET1	0x73	1.10V
BUCK1_VOUT_2	BUCK1_VSET2	0x73	1.10V
BUCK2_VOUT_1	BUCK2_VSET1	0x73	1.10V
BUCK2_VOUT_2	BUCK2_VSET2	0x73	1.10V
BUCK3_VOUT_1	BUCK3_VSET1	0x41	0.850V
BUCK3_VOUT_2	BUCK3_VSET2	0x41	0.850V
BUCK4_VOUT_1	BUCK4_VSET1	0xb2	1.80V
BUCK4_VOUT_2	BUCK4_VSET2	0xb2	1.80V
BUCK5_VOUT_1	BUCK5_VSET1	0x41	0.850V
BUCK5_VOUT_2	BUCK5_VSET2	0x41	0.850V
BUCK1_PG_WINDOW	BUCK1_OV_THR	0x3	+5% / +50mV
	BUCK1_UV_THR	0x3	-5% / -50mV
BUCK2_PG_WINDOW	BUCK2_OV_THR	0x3	+5% / +50mV
	BUCK2_UV_THR	0x3	-5% / -50mV
BUCK3_PG_WINDOW	BUCK3_OV_THR	0x3	+5% / +50mV
	BUCK3_UV_THR	0x3	-5% / -50mV
BUCK4_PG_WINDOW	BUCK4_OV_THR	0x3	+5% / +50mV
	BUCK4_UV_THR	0x3	-5% / -50mV
BUCK5_PG_WINDOW	BUCK5_OV_THR	0x3	+5% / +50mV
	BUCK5_UV_THR	0x3	-5% / -50mV

4.4 LDO 设置

这些设置详细说明了 NVM 中存储的 LDO 电源轨电压、配置和监控。所有这些设置都可以在启动后通过 I2C 进行更改。一些设置（通常为使能位）也通过 PFSM 进行更改，如节 5.3 中所述。

在 节 5.3.8 序列完成后，对于所有 LDO，将 LDOx_EN 和 LDOx_VMON_EN 位置位，并将 LDOx_RV_SEL 位清零。首次上电时，LDO2 _BYPASS 为 0，但如果 PMIC 检测到 VCCA 以 3.3V 为中心，则变为 1。其他位保持不变，但仍可通过 I2C 进行访问。

表 4-4. LDO NVM 设置

寄存器名称	字段名称	TPS6594	
		值	说明
LDO1_CTRL	LDO1_EN	0x0	禁用；LDO1 稳压器。
	LDO1_SLOW_RAMP	0x0	LDO 输出从 0.3V 到 LDOn_VSET 的 90% 时的最大斜升转换率为 25mV/us
	LDO1_PLDN	0x1	125Ohm
	LDO1_VMON_EN	0x0	禁用 OV 和 UV 比较器。
	LDO1_RV_SEL	0x1	启用
LDO2_CTRL	LDO2_EN	0x0	禁用；LDO2 稳压器。
	LDO2_SLOW_RAMP	0x0	LDO 输出从 0.3V 到 LDOn_VSET 的 90% 时的最大斜升转换率为 25mV/us
	LDO2_PLDN	0x1	125Ohm
	LDO2_VMON_EN	0x0	禁用；OV 和 UV 比较器。
	LDO2_RV_SEL	0x1	启用
LDO3_CTRL	LDO3_EN	0x0	禁用；LDO3 稳压器。
	LDO3_SLOW_RAMP	0x0	LDO 输出从 0.3V 到 LDOn_VSET 的 90% 时的最大斜升转换率为 25mV/us
	LDO3_PLDN	0x1	125Ohm
	LDO3_VMON_EN	0x0	禁用；OV 和 UV 比较器。
	LDO3_RV_SEL	0x1	启用
LDO4_CTRL	LDO4_EN	0x0	禁用；LDO4 稳压器。
	LDO4_SLOW_RAMP	0x0	LDO 输出从 0.3V 到 LDOn_VSET 的 90% 时的最大斜升转换率为 25mV/us
	LDO4_PLDN	0x1	125Ohm
	LDO4_VMON_EN	0x0	禁用；OV 和 UV 比较器。
	LDO4_RV_SEL	0x1	启用
LDO1_VOUT	LDO1_VSET	0x1c	1.80V
	LDO1_BYPASS	0x0	线性稳压器模式。
LDO2_VOUT	LDO2_VSET	0x3a	3.30V
	LDO2_BYPASS	0x0	线性稳压器模式。
LDO3_VOUT	LDO3_VSET	0x8	0.80V
	LDO3_BYPASS	0x0	线性稳压器模式。
LDO4_VOUT	LDO4_VSET	0x38	1.800V
LDO1_PG_WINDOW	LDO1_OV_THR	0x3	+5% / +50mV
	LDO1_UV_THR	0x3	-5% / -50mV
LDO2_PG_WINDOW	LDO2_OV_THR	0x7	+10% / +100mV
	LDO2_UV_THR	0x7	-10%/ -100mV
LDO3_PG_WINDOW	LDO3_OV_THR	0x3	+5% / +50mV
	LDO3_UV_THR	0x3	-5% / -50mV

表 4-4. LDO NVM 设置 （续）

寄存器名称	字段名称	TPS6594	
		值	说明
LDO4_PG_WINDOW	LDO4_OV_THR	0x3	+5% / +50mV
	LDO4_UV_THR	0x3	-5% / -50mV

4.5 VCCA 设置

这些设置详细说明了在 VCCA 上的默认监控。当首次向 VCCA 施加大于 UVLO 的电压时，PMIC 会将 VCCA_VMON_EN 设置为高电平，并根据检测到的 VCCA 电压将 VCCA_PG_SET 设置为 3.3V 或 5V。启动后，可通过 I2C 更改寄存器 VCCA_VMON_CTRL 和 VCCA_PG_WINDOW 中的设置。

表 4-5. VCCA NVM 设置

寄存器名称	字段名称	TPS6594	
		值	说明
VCCA_VMON_CTRL	VMON_DEGLITCH_SEL	0x0	4us
	VCCA_VMON_EN	0x0	禁用；OV 和 UV 比较器。
VCCA_PG_WINDOW	VCCA_OV_THR	0x7	+10%
	VCCA_UV_THR	0x7	-10%
	VCCA_PG_SET	0x1	5V
GENERAL_REG_1	FAST_VCCA_OVP	0x0	慢，已启用 4μs 抗尖峰脉冲滤波器
GENERAL_REG_3	LPM_EN_DISABLES_VCCA_VMON	0x1	如果 VCCA_VMON_EN=1 且 LPM_EN=0，则启用 VCCA_VMON

4.6 GPIO 设置

这些设置详细说明了 GPIO 电源轨的默认配置。所有这些设置都可以在启动后通过 I2C 进行更改。请注意，GPIOx_SEL 字段的内容决定了 GPIOx_CONF 和 GPIO_OUT_x 寄存器中的哪些其他字段是适用的。若要了解适用于每个 GPIOx_SEL 选项的 NVM 字段，请参阅 TPS6594-Q1 数据表中的*数字信号说明* 部分。

表 4-6. GPIO NVM 设置

寄存器名称	字段名称	TPS6594	
		值	说明
GPIO1_CONF	GPIO1_OD	0x0	推挽输出
	GPIO1_DIR	0x0	输入
	GPIO1_SEL	0x1	SCL_I2C2/CS_SPI
	GPIO1_PU_SEL	0x0	选中下拉电阻
	GPIO1_PU_PD_EN	0x0	禁用；上拉/下拉电阻。
	GPIO1_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。
GPIO2_CONF	GPIO2_OD	0x0	推挽输出
	GPIO2_DIR	0x0	输入
	GPIO2_SEL	0x2	SDA_I2C2/SDO_SPI
	GPIO2_PU_SEL	0x0	选中下拉电阻
	GPIO2_PU_PD_EN	0x0	禁用；上拉/下拉电阻。
	GPIO2_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。
GPIO3_CONF	GPIO3_OD	0x0	推挽输出
	GPIO3_DIR	0x0	输入
	GPIO3_SEL	0x2	NERR_SOC
	GPIO3_PU_SEL	0x0	选中下拉电阻
	GPIO3_PU_PD_EN	0x0	禁用；上拉/下拉电阻。
	GPIO3_DEGLITCH_EN	0x1	8μs 抗尖峰脉冲时间。

表 **4-6. GPIO NVM** 设置（续）

寄存器名称	字段名称	TPS6594	
		值	说明
GPIO4_CONF	GPIO4_OD	0x0	推挽输出
	GPIO4_DIR	0x0	输入
	GPIO4_SEL	0x6	LP_WKUP1
	GPIO4_PU_SEL	0x0	选中下拉电阻
	GPIO4_PU_PD_EN	0x0	禁用；上拉/下拉电阻。
	GPIO4_DEGLITCH_EN	0x1	8μs 抗尖峰脉冲时间。
GPIO5_CONF	GPIO5_OD	0x0	推挽输出
	GPIO5_DIR	0x1	输出
	GPIO5_SEL	0x0	GPIO5
	GPIO5_PU_SEL	0x0	选中下拉电阻
	GPIO5_PU_PD_EN	0x0	禁用；上拉/下拉电阻。
	GPIO5_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。
GPIO6_CONF	GPIO6_OD	0x1	开漏输出
	GPIO6_DIR	0x1	输出
	GPIO6_SEL	0x0	GPIO6
	GPIO6_PU_SEL	0x0	选中下拉电阻
	GPIO6_PU_PD_EN	0x0	禁用；上拉/下拉电阻。
	GPIO6_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。
GPIO7_CONF	GPIO7_OD	0x0	推挽输出
	GPIO7_DIR	0x0	输入
	GPIO7_SEL	0x1	NERR_MCU
	GPIO7_PU_SEL	0x0	选中下拉电阻
	GPIO7_PU_PD_EN	0x0	禁用；上拉/下拉电阻。
	GPIO7_DEGLITCH_EN	0x1	8μs 抗尖峰脉冲时间。
GPIO8_CONF	GPIO8_OD	0x0	推挽输出
	GPIO8_DIR	0x0	输入
	GPIO8_SEL	0x0	GPIO8
	GPIO8_PU_SEL	0x0	选中下拉电阻
	GPIO8_PU_PD_EN	0x1	启用；上拉/下拉电阻。
	GPIO8_DEGLITCH_EN	0x1	8μs 抗尖峰脉冲时间。
GPIO9_CONF	GPIO9_OD	0x0	推挽输出
	GPIO9_DIR	0x0	输入
	GPIO9_SEL	0x2	DISABLE_WDOG
	GPIO9_PU_SEL	0x0	选中下拉电阻
	GPIO9_PU_PD_EN	0x1	启用；上拉/下拉电阻。
	GPIO9_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。
GPIO10_CONF	GPIO10_OD	0x0	推挽输出
	GPIO10_DIR	0x0	输入
	GPIO10_SEL	0x0	GPIO10
	GPIO10_PU_SEL	0x0	选中下拉电阻
	GPIO10_PU_PD_EN	0x0	禁用；上拉/下拉电阻。
	GPIO10_DEGLITCH_EN	0x1	8μs 抗尖峰脉冲时间。

表 4-6. GPIO NVM 设置 （续）

寄存器名称	字段名称	TPS6594	
		值	说明
GPIO11_CONF	GPIO11_OD	0x1	开漏输出
	GPIO11_DIR	0x1	输出
	GPIO11_SEL	0x2	NRSTOUT_SOC
	GPIO11_PU_SEL	0x0	选中下拉电阻
	GPIO11_PU_PD_EN	0x0	禁用；上拉/下拉电阻。
	GPIO11_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。
NPWRON_CONF	NPWRON_SEL	0x0	ENABLE
	ENABLE_PU_SEL	0x0	选中下拉电阻
	ENABLE_PU_PD_EN	0x0	禁用；上拉/下拉电阻。
	ENABLE_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。
	ENABLE_POL	0x0	高电平有效
	NRSTOUT_OD	0x1	开漏输出
GPIO_OUT_1	GPIO1_OUT	0x0	低
	GPIO2_OUT	0x0	低
	GPIO3_OUT	0x0	低
	GPIO4_OUT	0x0	低
	GPIO5_OUT	0x0	低
	GPIO6_OUT	0x0	低
	GPIO7_OUT	0x0	低
	GPIO8_OUT	0x0	低
GPIO_OUT_2	GPIO9_OUT	0x0	低
	GPIO10_OUT	0x0	低
	GPIO11_OUT	0x0	低

4.7 有限状态机 (FSM) 设置

这些设置描述了如何为 PMIC 输出轨分配各种系统级状态。此外，还描述了每个系统级状态的默认触发条件。所有这些设置都可以在启动后通过 I2C 进行更改。

表 4-7. FSM NVM 设置

寄存器名称	字段名称	TPS6594	
		值	说明
RAIL_SEL_1	BUCK1_GRP_SEL	0x1	MCU 电源轨组
	BUCK2_GRP_SEL	0x1	MCU 电源轨组
	BUCK3_GRP_SEL	0x2	SOC 电源轨组
	BUCK4_GRP_SEL	0x2	SOC 电源轨组
RAIL_SEL_2	BUCK5_GRP_SEL	0x1	MCU 电源轨组
	LDO1_GRP_SEL	0x1	MCU 电源轨组
	LDO2_GRP_SEL	0x1	MCU 电源轨组
	LDO3_GRP_SEL	0x2	SOC 电源轨组
RAIL_SEL_3	LDO4_GRP_SEL	0x1	MCU 电源轨组
	VCCA_GRP_SEL	0x1	MCU 电源轨组
FSM_TRIG_SEL_1	MCU_RAIL_TRIG	0x2	MCU 电源错误
	SOC_RAIL_TRIG	0x2	MCU 电源错误
	OTHER_RAIL_TRIG	0x1	有序关断
	SEVERE_ERR_TRIG	0x0	立即关断

表 4-7. FSM NVM 设置 （续）

寄存器名称	字段名称	TPS6594	
		值	说明
FSM_TRIG_SEL_2	MODERATE_ERR_TRIG	0x1	有序关断

4.8 中断设置

这些设置详细说明了由 nINT 引脚监控的项目的默认配置。所有这些设置都可以在启动后通过 I2C 进行更改。

表 4-8. 中断 NVM 设置

寄存器名称	字段名称	TPS6594	
		值	说明
FSM_TRIG_MASK_1	GPIO1_FSM_MASK	0x1	屏蔽
	GPIO1_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
	GPIO2_FSM_MASK	0x1	屏蔽
	GPIO2_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
	GPIO3_FSM_MASK	0x1	屏蔽
	GPIO3_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
	GPIO4_FSM_MASK	0x1	屏蔽
	GPIO4_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
FSM_TRIG_MASK_2	GPIO5_FSM_MASK	0x1	屏蔽
	GPIO5_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
	GPIO6_FSM_MASK	0x1	屏蔽
	GPIO6_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
	GPIO7_FSM_MASK	0x1	屏蔽
	GPIO7_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
	GPIO8_FSM_MASK	0x1	屏蔽
	GPIO8_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
FSM_TRIG_MASK_3	GPIO9_FSM_MASK	0x1	屏蔽
	GPIO9_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
	GPIO10_FSM_MASK	0x1	屏蔽
	GPIO10_FSM_MASK_POL	0x1	高电平；屏蔽层将信号值设置为“1”
	GPIO11_FSM_MASK	0x1	屏蔽
	GPIO11_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
MASK_BUCK1_2	BUCK1_ILIM_MASK	0x0	发生中断
	BUCK1_OV_MASK	0x0	发生中断
	BUCK1_UV_MASK	0x0	发生中断
	BUCK2_ILIM_MASK	0x0	发生中断
	BUCK2_OV_MASK	0x0	发生中断
	BUCK2_UV_MASK	0x0	发生中断
MASK_BUCK3_4	BUCK3_ILIM_MASK	0x0	发生中断
	BUCK3_OV_MASK	0x0	发生中断
	BUCK3_UV_MASK	0x0	发生中断
	BUCK4_OV_MASK	0x0	发生中断
	BUCK4_UV_MASK	0x0	发生中断
	BUCK4_ILIM_MASK	0x0	发生中断
MASK_BUCK5	BUCK5_ILIM_MASK	0x0	发生中断
	BUCK5_OV_MASK	0x0	发生中断
	BUCK5_UV_MASK	0x0	发生中断

表 4-8. 中断 NVM 设置 （续）

寄存器名称	字段名称	TPS6594	
		值	说明
MASK_LDO1_2	LDO1_OV_MASK	0x0	发生中断
	LDO1_UV_MASK	0x0	发生中断
	LDO2_OV_MASK	0x0	发生中断
	LDO2_UV_MASK	0x0	发生中断
	LDO1_ILIM_MASK	0x0	发生中断
	LDO2_ILIM_MASK	0x0	发生中断
MASK_LDO3_4	LDO3_OV_MASK	0x0	发生中断
	LDO3_UV_MASK	0x0	发生中断
	LDO4_OV_MASK	0x0	发生中断
	LDO4_UV_MASK	0x0	发生中断
	LDO3_ILIM_MASK	0x0	发生中断
	LDO4_ILIM_MASK	0x0	发生中断
MASK_VMON	VCCA_OV_MASK	0x0	发生中断
	VCCA_UV_MASK	0x0	发生中断
MASK_GPIO1_8_FALL	GPIO1_FALL_MASK	0x1	未发生中断。
	GPIO2_FALL_MASK	0x1	未发生中断。
	GPIO3_FALL_MASK	0x1	未发生中断。
	GPIO4_FALL_MASK	0x1	未发生中断。
	GPIO5_FALL_MASK	0x1	未发生中断。
	GPIO6_FALL_MASK	0x1	未发生中断。
	GPIO7_FALL_MASK	0x1	未发生中断。
	GPIO8_FALL_MASK	0x1	未发生中断。
MASK_GPIO1_8_RISE	GPIO1_RISE_MASK	0x1	未发生中断。
	GPIO2_RISE_MASK	0x1	未发生中断。
	GPIO3_RISE_MASK	0x1	未发生中断。
	GPIO4_RISE_MASK	0x1	未发生中断。
	GPIO5_RISE_MASK	0x1	未发生中断。
	GPIO6_RISE_MASK	0x1	未发生中断。
	GPIO7_RISE_MASK	0x1	未发生中断。
	GPIO8_RISE_MASK	0x1	未发生中断。
MASK_GPIO9_11/ MASK_GPIO9_10	GPIO9_FALL_MASK	0x1	未发生中断。
	GPIO9_RISE_MASK	0x1	未发生中断。
	GPIO10_FALL_MASK	0x0	发生中断
	GPIO11_FALL_MASK	0x1	未发生中断。
	GPIO10_RISE_MASK	0x1	未发生中断。
	GPIO11_RISE_MASK	0x1	未发生中断。
MASK_STARTUP	NPWRON_START_MASK	0x1	未发生中断。
	ENABLE_MASK	0x0	发生中断
	FSD_MASK	0x1	未发生中断。
	SOFT_REBOOT_MASK	0x0	发生中断
MASK_MISC	TWARN_MASK	0x0	发生中断
	BIST_PASS_MASK	0x0	发生中断
	EXT_CLK_MASK	0x1	未发生中断。

表 4-8. 中断 NVM 设置 （续）

寄存器名称	字段名称	TPS6594	
		值	说明
MASK_MODERATE_ERR	BIST_FAIL_MASK	0x0	发生中断
	REG_CRC_ERR_MASK	0x0	发生中断
	SPMI_ERR_MASK	0x1	未发生中断。
	NPWRON_LONG_MASK	0x1	未发生中断。
	NINT_READBACK_MASK	0x0	发生中断
	NRSTOUT_READBACK_ MASK	0x0	发生中断
MASK_FSM_ERR	IMM_SHUTDOWN_MASK	0x0	发生中断
	MCU_PWR_ERR_MASK	0x0	发生中断
	SOC_PWR_ERR_MASK	0x0	发生中断
	ORD_SHUTDOWN_MASK	0x0	发生中断
MASK_COMM_ERR	COMM_FRM_ERR_MASK	0x0	发生中断
	COMM_CRC_ERR_MASK	0x0	发生中断
	COMM_ADR_ERR_MASK	0x0	发生中断
	I2C2_CRC_ERR_MASK	0x0	发生中断
	I2C2_ADR_ERR_MASK	0x0	发生中断
MASK_READBACK_ERR	EN_DRV_READBACK_ MASK	0x0	发生中断
	NRSTOUT_SOC_ READBACK_MASK	0x0	发生中断
MASK_ESM	ESM_SOC_PIN_MASK	0x0	发生中断
	ESM_SOC_RST_MASK	0x0	发生中断
	ESM_SOC_FAIL_MASK	0x0	发生中断
	ESM_MCU_PIN_MASK	0x0	发生中断
	ESM_MCU_RST_MASK	0x0	发生中断
	ESM_MCU_FAIL_MASK	0x0	发生中断
GENERAL_REG_1	PFSM_ERR_MASK	0x0	发生中断

4.9 POWERGOOD 设置

这些设置详细说明了由 PGOOD 引脚监控的项目的默认配置。所有这些设置都可以在启动后通过 I2C 进行更改。

表 4-9. POWERGOOD NVM 设置

寄存器名称	字段名称	TPS6594	
		值	说明
PGOOD_SEL_1	PGOOD_SEL_BUCK1	0x0	屏蔽
	PGOOD_SEL_BUCK2	0x0	屏蔽
	PGOOD_SEL_BUCK3	0x0	屏蔽
	PGOOD_SEL_BUCK4	0x0	屏蔽
PGOOD_SEL_2	PGOOD_SEL_BUCK5	0x0	屏蔽
PGOOD_SEL_3	PGOOD_SEL_LDO1	0x0	屏蔽
	PGOOD_SEL_LDO2	0x0	屏蔽
	PGOOD_SEL_LDO3	0x0	屏蔽
	PGOOD_SEL_LDO4	0x0	屏蔽

表 4-9. POWERGOOD NVM 设置 （续）

寄存器名称	字段名称	TPS6594	
		值	说明
PGOOD_SEL_4	PGOOD_SEL_VCCA	0x0	屏蔽
	PGOOD_SEL_TDIE_WARN	0x0	屏蔽
	PGOOD_SEL_NRSTOUT	0x0	屏蔽
	PGOOD_SEL_NRSTOUT_ SOC	0x0	屏蔽
	PGOOD_POL	0x0	当受监控输入有效时，PGOOD 信号为高电平
	PGOOD_WINDOW	0x0	仅监控欠压

4.10 其他设置

这些设置详细说明了附加设置的默认配置，例如展频、BUCK 频率和 LDO 超时。启动后，可通过 I2C 更改所有这些设置（寄存器 GENERAL_REG_0 和 GENERAL_REG_1 中的设置除外）。

备注

TPS6594133A 的 PFSM 使用 SCRATCH_PAD_1 和 SCRATCH_PAD_4。请避免写入这些位字段。

表 4-10. 其他 NVM 设置

寄存器名称	字段名称	TPS6594	
		值	说明
PLL_CTRL	EXT_CLK_FREQ	0x0	1.1MHz
CONFIG_1	TWARN_LEVEL	0x0	130C
	TSD_ORD_LEVEL	0x0	140C
	I2C1_HS	0x0	默认情况下为标准、快速或快速+，可通过 Hs 模式控制器代码设置为 Hs 模式。
	I2C2_HS	0x0	默认情况下为标准、快速或快速+，可通过 Hs 模式控制器代码设置为 Hs 模式。
	EN_ILIM_FSM_CTRL	0x0	降压/LDO 稳压器 ILIM 中断不会影响 FSM 触发条件。
	NSLEEP1_MASK	0x0	NSLEEP1(B) 会影响 FSM 状态转换。
	NSLEEP2_MASK	0x0	NSLEEP2(B) 会影响 FSM 状态转换。
CONFIG_2	BB_CHARGER_EN	0x0	禁用
	BB_VEOC	0x0	2.5V
	BB_ICHR	0x0	100uA
RECOV_CNT_REG_2	RECOV_CNT_THR	0xf	0xf
BUCK_RESET_REG	BUCK1_RESET	0x0	0x0
	BUCK2_RESET	0x0	0x0
	BUCK3_RESET	0x0	0x0
	BUCK4_RESET	0x0	0x0
	BUCK5_RESET	0x0	0x0
SPREAD_SPECTRUM_1	SS_EN	0x0	禁用展频
	SS_MODE	0x1	混合暂停
	SS_DEPTH	0x0	无调制
SPREAD_SPECTRUM_2	SS_PARAM1	0x7	0x7
	SS_PARAM2	0xc	0xc

表 4-10. 其他 NVM 设置（续）

寄存器名称	字段名称	TPS6594	
		值	说明
FREQ_SEL	BUCK1_FREQ_SEL	0x1	4.4MHz
	BUCK2_FREQ_SEL	0x1	4.4MHz
	BUCK3_FREQ_SEL	0x1	4.4MHz
	BUCK4_FREQ_SEL	0x1	4.4MHz
	BUCK5_FREQ_SEL	0x1	4.4MHz
FSM_STEP_SIZE	PFSM_DELAY_STEP	0xb	0xb
LDO_RV_TIMEOUT_ REG_1	LDO1_RV_TIMEOUT	0xf	16ms
	LDO2_RV_TIMEOUT	0xf	16ms
LDO_RV_TIMEOUT_ REG_2	LDO3_RV_TIMEOUT	0xf	16ms
	LDO4_RV_TIMEOUT	0xf	16ms
USER_SPARE_REGS	USER_SPARE_1	0x0	0x0
	USER_SPARE_2	0x0	0x0
	USER_SPARE_3	0x0	0x0
	USER_SPARE_4	0x0	0x0
ESM_MCU_MODE_ CFG	ESM_MCU_EN	0x0	禁用 ESM_MCU。
ESM_SOC_MODE_ CFG	ESM_SOC_EN	0x0	禁用 ESM_SoC。
CUSTOMER_NVM_ID_REG	CUSTOMER_NVM_ID	0x0	0x0
RTC_CTRL_2	XTAL_EN	0x0	晶体振荡器禁用
	LP_STANDBY_SEL	0x0	LDOINT 在待机状态下启用。
	FAST_BIST	0x0	逻辑和模拟 BIST 在 BOOT BIST 上运行。
	STARTUP_DEST	0x3	运行
	XTAL_SEL	0x0	6pF
PFSM_DELAY_REG_1	PFSM_DELAY1	0x2d	0x2d
PFSM_DELAY_REG_2	PFSM_DELAY2	0x9d	0x9d
PFSM_DELAY_REG_3	PFSM_DELAY3	0x0	0x0
PFSM_DELAY_REG_4	PFSM_DELAY4	0x0	0x0
GENERAL_REG_0	FAST_BOOT_BIST	0x0	LBIST 在引导 BIST 期间运行
GENERAL_REG_1	REG_CRC_EN	0x1	启用寄存器 CRC
SCRATCH_PAD_REG_1	SCRATCH_PAD_1	0x0	0x0
SCRATCH_PAD_REG_2	SCRATCH_PAD_2	0x0	0x0
SCRATCH_PAD_REG_3	SCRATCH_PAD_3	0x0	0x0
SCRATCH_PAD_REG_4	SCRATCH_PAD_4	0x0	0x0

4.11 接口设置

这些设置详细说明了默认接口、接口配置和器件地址。这些设置在器件启动后不能更改。

表 4-11. 接口 NVM 设置

寄存器名称	字段名称	TPS6594	
		值	说明
SERIAL_IF_CONFIG	I2C_SPI_SEL	0x0	I2C
	I2C1_SPI_CRC_EN	0x0	CRC 禁用
	I2C2_CRC_EN	0x0	CRC 禁用
I2C1_ID_REG	I2C1_ID	0x48	0x48
I2C2_ID_REG	I2C2_ID	0x12	0x12

4.12 多器件设置

PMIC 专为用作单个 PMIC 而设计；其用于多个 PMIC 内部通信的 SPMI 被禁用。不需要任何多器件设置。

4.13 看门狗设置

这些设置详细说明了默认的看门狗地址。这些设置可以在启动后通过 I2C 进行更改。

表 4-12. 看门狗 NVM 设置

寄存器名称	字段名称	TPS6594	
		值	说明
WD_LONGWIN_CFG	WD_LONGWIN	0xff	0xff
WD_THR_CFG	WD_EN	0x1	启用看门狗。

5 可预配置的有限状态机 (PFSM) 设置

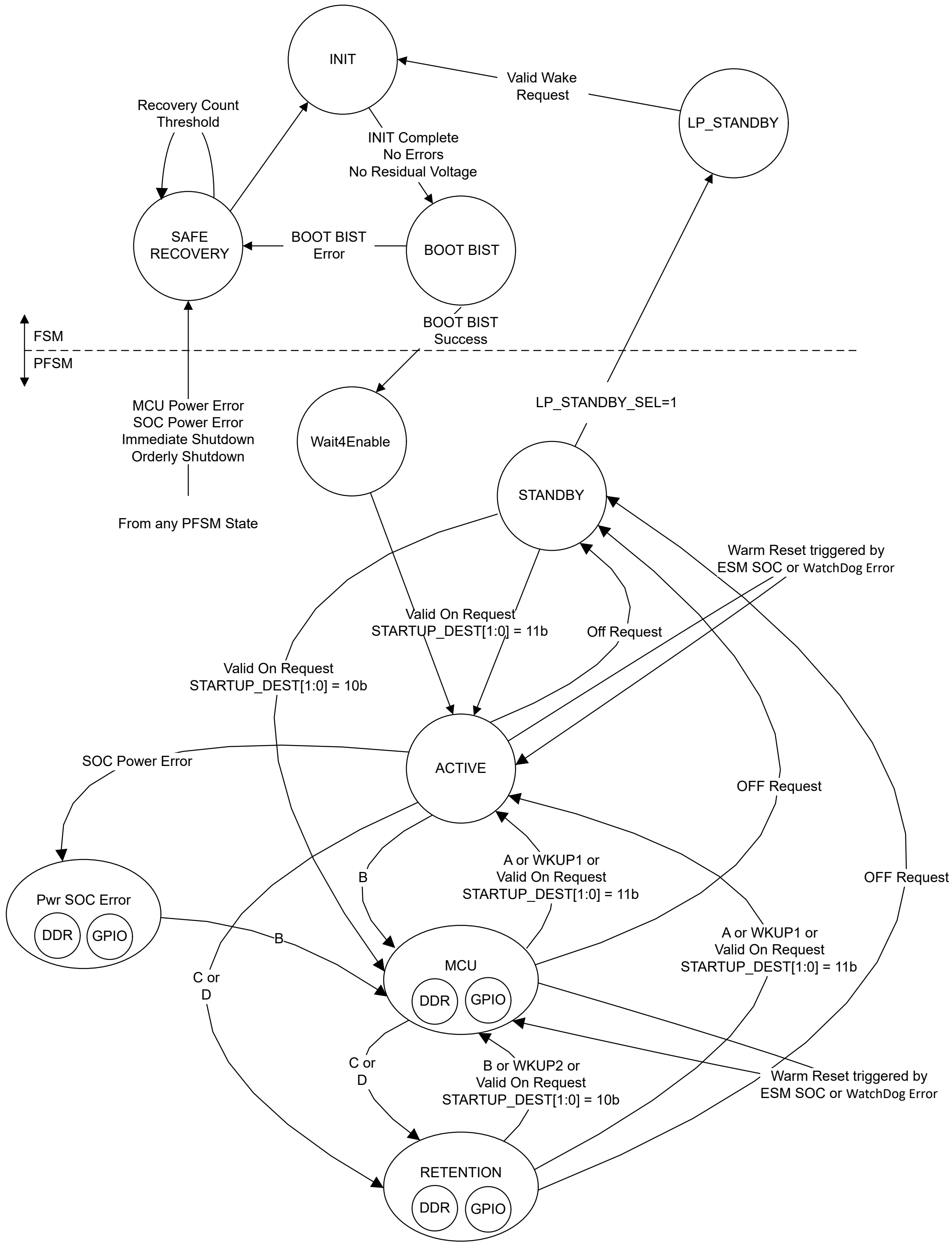
本部分介绍了 TPS6594133A 器件的默认 PFSM 设置。这些设置在器件启动后不能更改。

5.1 配置的状态

对于本用户指南中介绍的 PDN，PMIC 具有以下五种配置的电源状态：

- 待机
- Wait4Enable
- 运行
- 仅 MCU
- Pwr SoC 错误
- 保留（GPIO 和 DDR）

图 5-1 展示了配置的 PDN 电源状态以及在状态之间变化所需的转换条件。此外，还显示了向硬件状态（如 SAFE RECOVERY 和 LP_STANDBY）的转换。硬件状态是固定器件功率有限状态机 (FSM) 的一部分，并在 TPS6594-Q1 数据表中进行了描述，具体请参阅节 8。



Trigger	NSLEEP2	NSLEEP1
A	1	1
B	1	0
C	0	1
D	0	0

图 **5-1. 可预配置有限状态机 (PFSM)** 的任务状态和转换

当 PMIC 从 FSM 转换到 PFSM 时，将执行几个初始化指令来禁用 BUCK 和 LDO 稳压器上的残余电压检查。此外，还将设置 FIRST_STARTUP_DONE 位，并清除 VCCA OV 和 UV 掩码（在静态配置中设置，表 4-8）。执行这些指令后，PMIC 等待有效的开启请求，然后会进入运行状态。各电源状态定义如下：

待机 PMIC 由系统电源轨上的有效电源供电 (VCCA > VCCA_UV)。所有器件资源在待机状态下都会断电。在此状态下，EN_DRV 被强制为低电平。处理器处于关闭状态，没有电压域通电。请参阅节 5.3.2 序列说明。

WAIT4ENABLE 当出现错误且 PMIC 从 PFSM 任务状态退出并进入 FSM 状态时，会进入 WAIT4ENABLE 状态。当该器件从 FSM 状态返回到 PFSM 时，第一个状态会是 WAIT4ENABLE 状态，这时所有其他资源全部断电并且 EN_DRV 被强制为低电平。在 PMIC 退出 PFSM 并进入 FSM 状态 SAFE_RECOVERY 之前，会执行节 5.3.1 中的序列。

运行 PMIC 由有效电源供电。PMIC 功能齐全，可为所有的 PDN 负载供电。处理器已完成推荐的上电序列，MCU 和主处理器内的所有电压域均已通电。请参阅节 5.3.8 序列说明。

MCU_ONLY PMIC 由有效电源供电。只有分配给 MCU 安全岛的电源资源处于开启状态。请参阅节 5.3.7 序列说明。

Pwr SoC 错误 PMIC 由有效电源供电。只有分配给 MCU 安全岛的电源资源处于开启状态。请参阅节 5.3.5 序列说明。唯一的主动触发条件是 B，需要 PMIC 返回到 MCU_ONLY 模式。仅在导致 SOC_PWR_ERROR 的中断清除后，才建议返回到 MCU_ONLY 模式并最终返回到运行模式。

保持 PMIC 由有效电源供电。根据特定的资源设置，只有分配给处理器保持轨的电源资源处于开启或 LPM 模式。如果给定资源保持运行状态，则所有链接的子系统都会自动保持运行状态。ENABLE_DRV 位在此状态下由器件清零。如果 I2C_5 位设置为高电平，则 PMIC 进入 GPIO 保持状态。如果 I2C_7 位设置为高电平，则 PMIC 进入 DDR 保持状态。在触发保持状态之前，这些位需要进行设置。请参阅节 5.3.9 序列说明。

5.2 PFSM 触发条件

如图 5-1 所示，存在各种可以在所配置的状态之间实现状态转换的触发条件。表 5-1 按照从最高优先级（立即关断）到最低优先级 (I2C_3) 的顺序，描述了每个触发条件及其相关的状态转换。优先级较高的主动触发条件会阻止优先级较低的触发条件和相关序列。

表 5-1. 状态转换触发条件

触发条件	优先级 (ID)	立即 (IMM)	可重入	PFSM 当前状态	PFSM 目标状态	执行的电源序列或功能
立即关断(7)	0	是	假	待机、运行、仅 MCU、挂起至 RAM	安全(1)	TO_SAFE_SEVERE
MCU 电源错误	1	是	假	待机、运行、仅 MCU、挂起至 RAM	安全(1)	TO_SAFE_ORDERLY
GPIO10 低电平	2	是	假	待机、运行、仅 MCU、挂起至 RAM	安全(1)	
有序关断(7)	3	是	假	待机、运行、仅 MCU、挂起至 RAM	安全(1)	
关闭请求	5(9)	假	假	待机、运行、仅 MCU、挂起至 RAM	待机(2)	TO_STANDBY
WDOG 误差	6	假	是	运行	运行	ACTIVE_TO_WARM
ESM MCU 错误	7	假	是	运行	运行	
ESM SOC 错误	8	假	是	运行	运行	ESM_SOC_ERROR
WDOG 误差	9	假	是	仅 MCU	仅 MCU	MCU_TO_WARM
ESM MCU 错误	10	假	是	仅 MCU	仅 MCU	
SOC 电源错误	11	假	假	运行	仅 MCU	PWR_SOC_ERR
GPIO8 低电平	12	假	假	运行	仅 MCU	
I2C_1 位为高电平(3)	13	假	是	运行、仅 MCU	无状态变化	执行 RUNTIME BIST

表 5-1. 状态转换触发条件 （续）

触发条件	优先级 (ID)	立即 (IMM)	可重入	PFSM 当前状态	PFSM 目标状态	执行的电源序列或功能
I2C_2 位为高电平 (3)	14	假	是	运行、仅 MCU	无状态变化	对 I^{2}C1 和 I^{2}C2 启用 I^{2}C CRC。(4)
开启请求	15	假	假	待机、运行、仅 MCU、挂起至 RAM	运行	TO_ACTIVE
WKUP1 变为高电平	16	假	假	待机、运行、仅 MCU、挂起至 RAM	运行	
NSLEEP1 和 NSLEEP2 为高电平(5)	17	假	假	待机、运行、仅 MCU、挂起至 RAM	运行	
MCU 开启请求	18	假	假	待机、运行(6)、仅 MCU、挂起至 RAM	仅 MCU	TO_MCU
WKUP2 变为高电平	19	假	假	待机、运行、仅 MCU、挂起至 RAM	仅 MCU	
NSLEEP1 变为低电平，而 NSLEEP2 变为高电平(5)	20	假	假	运行、仅 MCU、挂起至 RAM	仅 MCU	
NSLEEP1 变为低电平，且 NSLEEP2 变为低电平(5)	21	假	假	运行、仅 MCU	挂起至 RAM	TO_RETENTION
NSLEEP1 变为高电平，而 NSLEEP2 变为低电平(5)	22	假	假	运行、仅 MCU	挂起至 RAM	
I2C_0 位变为高电平(3)	23(8)	假	假	待机、运行、仅 MCU	LP_STANDBY(2)	TO_STANDBY

(1) PFSM 从安全状态自动转换到 SAFE_RECOVERY 的硬件 FSM 状态。从 SAFE_RECOVERY 状态开始，恢复计数器递增，并与恢复计数阈值进行比较（请参阅 表 4-10 中的 RECOV_CNT_REG_2）。如果达到恢复计数阈值，则 PMIC 停止尝试恢复，并需要重新启动电源。有关更多信息，请参阅 *TPS6594-Q1 具有 5 个降压稳压器和 4 个 LDO 且适用于安全相关汽车类应用的电源管理 IC (PMIC) 数据表*。

(2) 如果 TPS6594133A-Q1 设置了 LP_STANDBY_SEL 位（请参阅表 4-10 中的 RTC_CTRL_2），则 PFSM 会转换到硬件 FSM 状态 LP_STANDBY。当进入 LP_STANDBY 状态时，请根据具体的进入方式，使用适当的机制来唤醒器件。有关更多信息，请参阅 *TPS6594-Q1 具有 5 个降压稳压器和 4 个 LDO 且适用于安全相关汽车类应用的电源管理 IC (PMIC) 数据表*。

(3) I2C_0、I2C_1 和 I2C_2 是自清除触发条件。

(4) 启用 I2C CRC 会同时对 I2C1 和 I2C2 启用 CRC，但在启用 CRC 之后，I2C2 会被禁用 2ms。在启用 I2C CRC 之前，应谨慎使用问答看门狗。建议先启用 I2C CRC，然后在 2ms 之后再启动问答看门狗。

(5) 可通过 GPIO 引脚或寄存器位访问 PMIC 的 NSLEEP1 和 NSLEEP2。如果寄存器位或 GPIO 引脚被上拉为高电平，NSLEEPx 值将读取为*高*逻辑电平。

(6) 在运行模式下，在其他较高优先级触发条件（例如 NSLEEP1=NSLEEP2=高电平）仍有效期间，无法访问仅 MCU 触发条件的开启请求。

(7) 这些触发条件可以来自 TPS6594133A。

(8) 在 NSLEEP 位被屏蔽之前，ID 为 23 的触发条件不可用：NSLEEP2_MASK=NSLEEP1_MASK=1。

(9) 电源序列会启用并激活 ID 为 4、24 和 25（未显示）的触发条件。这些触发条件用于管理 PFSM 和 FSM 之间的转换。

5.3 电源序列

5.3.1 TO_SAFE_SEVERE 和 TO_SAFE

TO_SAFE_SEVERE 和 TO_SAFE 是在向安全状态转换前发生的不同序列。这两个序列都会毫无延迟地关断所有电源轨。TO_SAFE_SEVERE 序列立即停止 BUCK 开关，并启用 BUCK 和 LDO 的下拉电阻。
TO_SAFE_SEVERE 序列的目的是防止在 VCCA 上出现过压或器件发生热关断时对 PMIC 造成任何损坏。如图 5-2 中所示进行计时。在降压稳压器关闭之前，TO_SAFE 序列不会将这些稳压器复位。

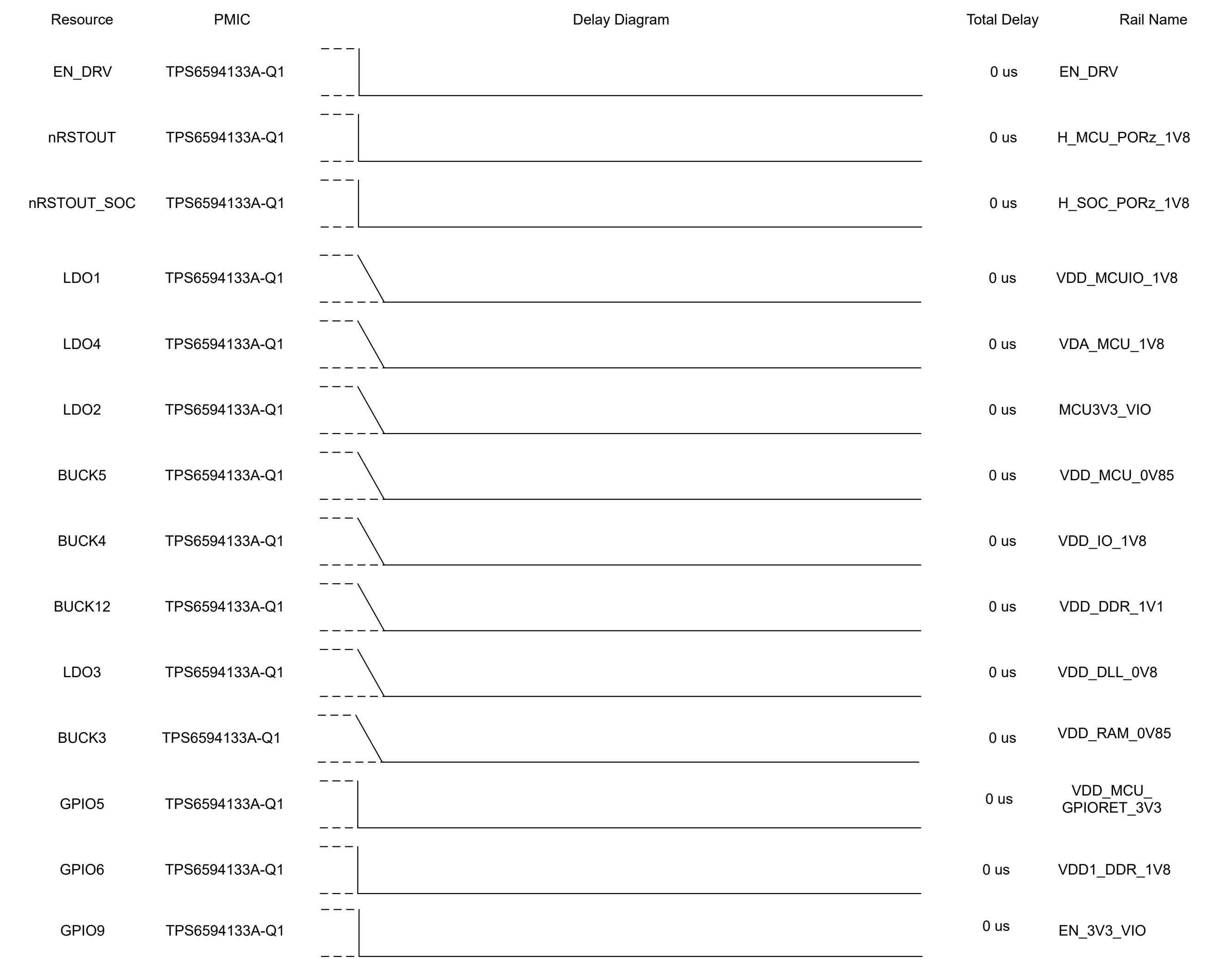


图 5-2. TO_SAFE_SEVERE 和 TO_SAFE 电源序列

TO_SAFE 序列会将 TPS6594133A 延迟 16ms。该延迟确保 PMIC 在此之后完成。在这些延迟之后，将在 PMIC 上执行以下指令：

在图 5-2 中显示的电源序列之后，TO_SAFE_SEVERE 序列会执行以下指令：

```
// TPS6594133A
// Clear AMUXOUT_EN
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x00 MASK=0xEF
```

TPS6594133A 在 TO_SAFE_SEVERE 序列结束时有 500ms 的额外延迟。请务必注意，在该序列延迟完成之前，不要尝试恢复。

5.3.2 TO_SAFE_ORDERLY 和 TO_STANDBY

如果出现中等程度的错误，则会形成有序关断触发条件。此触发条件使用建议的断电序列来关断 PMIC 输出，并进入 SAFE（安全）状态。

如果发生关闭请求，例如 TPS6594133A 器件的 ENABLE 引脚被拉低，则会发生相同的断电序列，但 PMIC 会进入 STANDBY（待机）(LP_STANDBY_SEL=0) 或 LP_STANDBY (LP_STANDBY_SEL=1) 状态，而不是进入 SAFE（安全）状态。这两个事件的电源序列如图 5-3 所示。

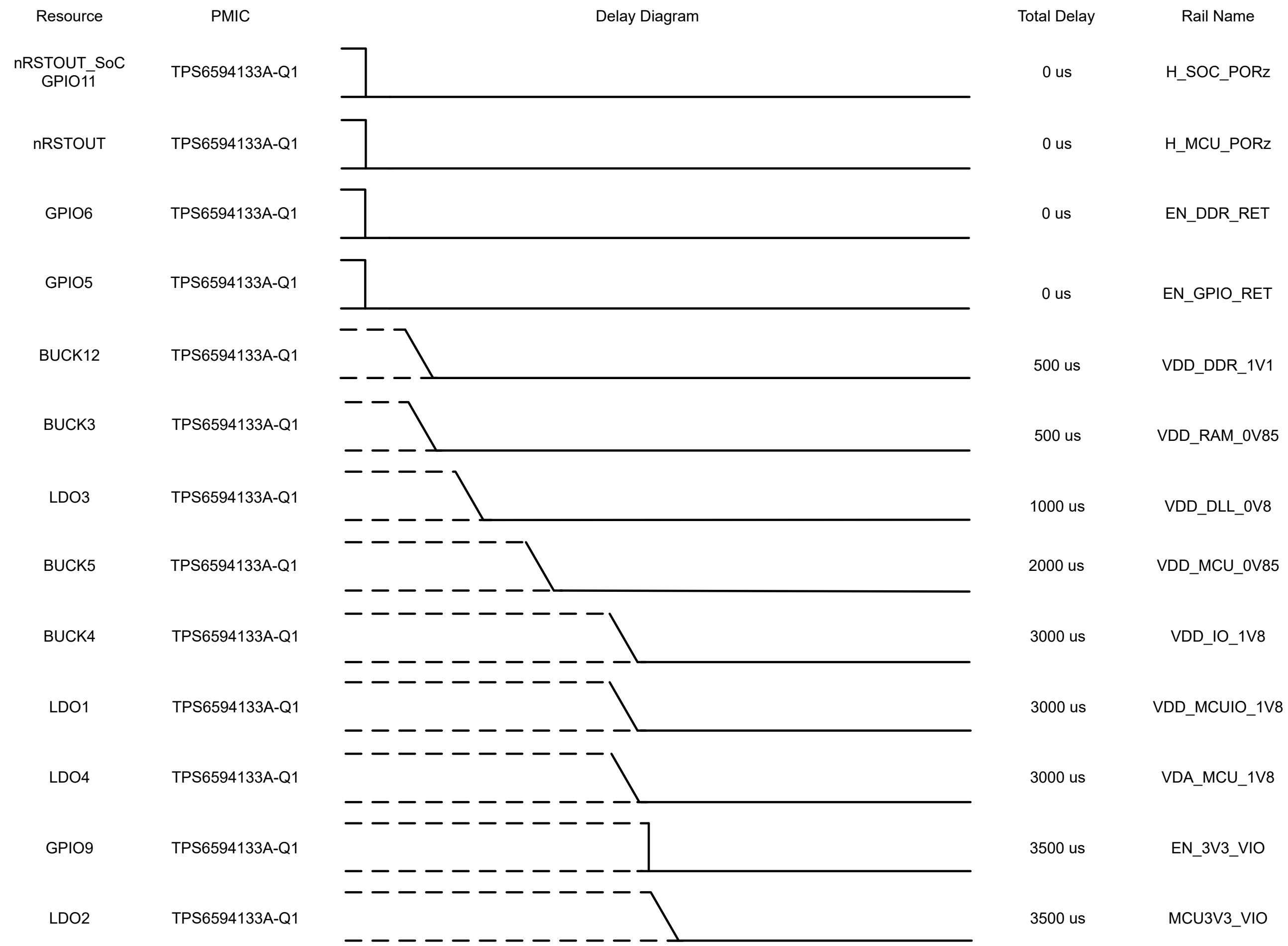


图 5-3. TO_SAFE_ORDERLY 和 TO_STANDBY 电源序列

在 TO_SAFE_ORDERLY 结束时，PMIC 会等待大概 16ms，然后执行以下指令：

```
 //TPS6594133A
// Set LPM_EN
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x04 MASK=0xEB
// Reset all BUCKs
REG_WRITE_MASK_IMM ADDR=0x87 DATA=0x1F MASK=0xE0
```

对降压稳压器进行复位是为转换到 SAFE_RECOVERY 状态做好准备。SAFE_RECOVERY 意味着 PMIC 会离开任务状态。在 SAFE_RECOVERY 状态下，恢复机制会使恢复计数器递增，并确定在尝试恢复之前是否已达到恢复计数阈值（请参阅表 4-10）。

在 TO_STANDBY 序列结束时，PMIC 中会进行相同的 AMUXOUT_EN、CLKMON_EN 和 LPM_EN 位操作。BUCK 未被重置。在这些指令之后，PMIC 会执行附加检查，以确定 LP_STANDBY_SEL（请参阅表 4-10）是否为 true。如果为真，则 PMIC 会进入 LP_STANDBY 状态并退出任务状态。如果 LP_STANDBY_SEL 为假，则 PMIC 会保持在由节 5.1 中 STANDBY 定义的任务状态中。

5.3.3 ACTIVE_TO_WARM

ACTIVE_TO_WARM 序列可由看门狗或 ESM_MCU 错误触发。在触发的情况下，nRSTOUT 和 nRSTOUT_SOC 信号被驱动为低电平，并且恢复计数器（寄存器 RECOV_CNT_REG_1）会递增。然后，所有 BUCK 和 LDO 都被重置为其默认电压。PMIC 保持运行状态。

备注

GPIO 在该序列期间不会复位，如图 5-4 所示。

序列开始时，执行以下指令：

```
//TPS6594133A
// Set FORCE_EN_DRV_LOW
REG_WRITE_MASK_IMM ADDR=0x82 DATA=0x08 MASK=0xF7
// Clear nRSTOUT and nRSTOUT_SOC
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x00 MASK=0xFC
// Increment the recovery counter
REG_WRITE_MASK_IMM ADDR=0xa5 DATA=0x01 MASK=0xFE
```

备注

看门狗或 ESM 错误表明在 PMIC 之外发生了重大错误。PMIC 实际上并不像 MCU_POWER_ERR 那样通过安全恢复进行转换，但是，为了保持一致性，所有调节器都返回到 NVM 中存储的值，并且恢复计数器也会递增。如果恢复计数器超过恢复计数阈值，PMIC 将保持安全恢复状态。

备注

在 ACTIVE_TO_WARM 序列后，MCU 负责管理 EN_DRV 和恢复计数器。在该序列结束时，FORCE_EN_DRV_LOW 位会被清零，以便 MCU 可以设置 ENABLE_DRV 位。

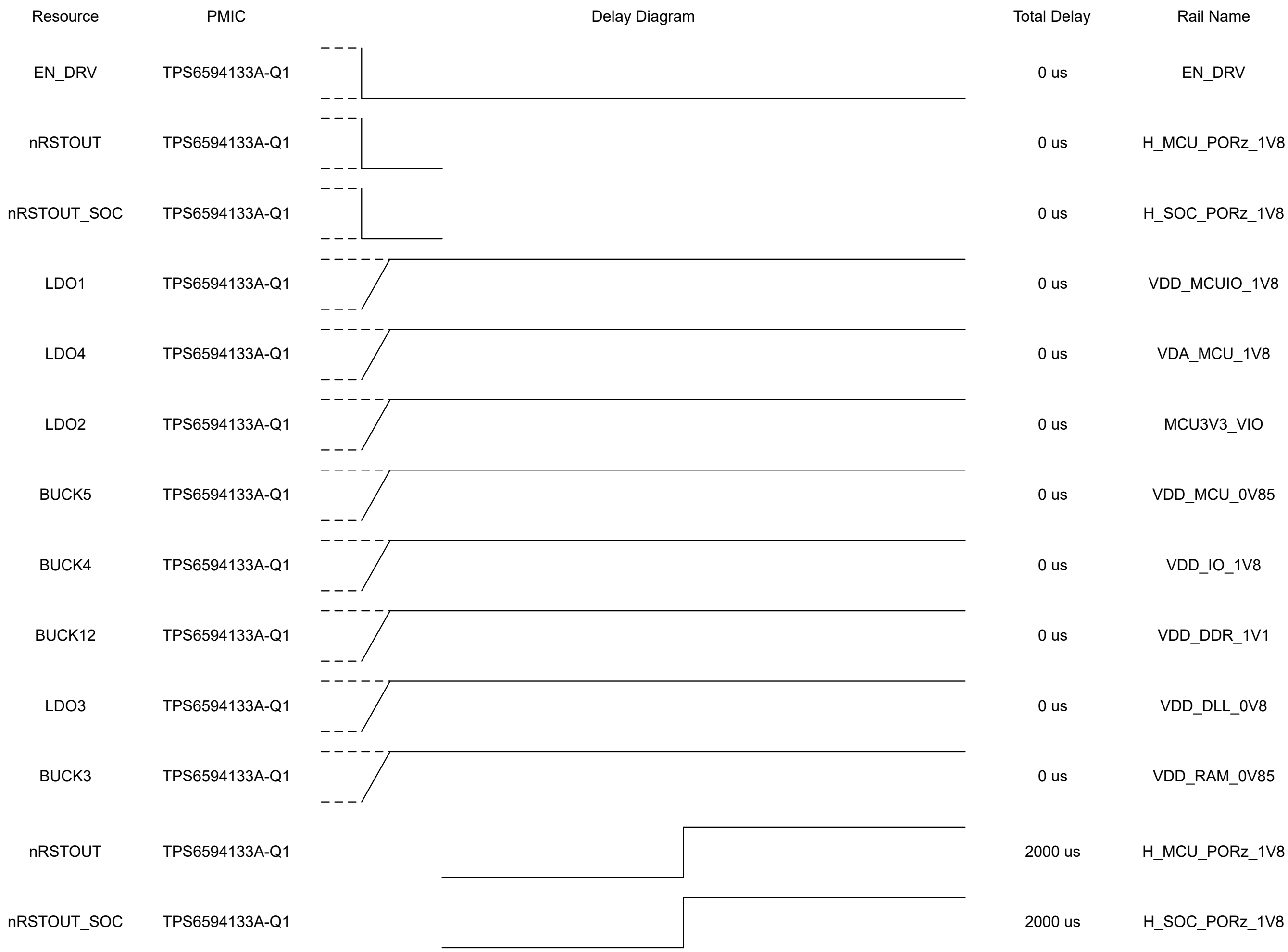


图 5-4. ACTIVE_TO_WARM 电源序列

备注

稳压器的转换并不表示稳压器的启用，而是表示电压恢复到其默认值的时间。该序列源于运行状态，表示所有稳压器均开启。

5.3.4 ESM_SOC_ERROR

如果出现 ESM_SOC 错误，nRSTOUT_SOC 信号将被驱动为低电平，然后在 200μs 后再次被驱动为高电平。电源轨不会发生任何变化。图 5-5 中显示了该序列。

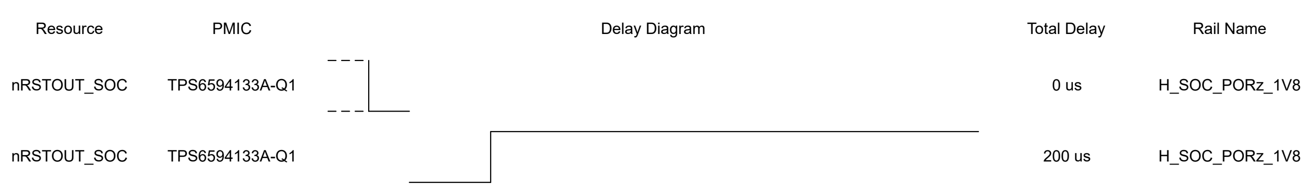


图 5-5. ESM_SOC_ERROR 序列

5.3.5 PWR_SOC_ERROR

如果作为 MAIN/SOC 电源轨组一部分的任何电源轨出现错误，则执行 PWR_SOC_ERROR 序列。nRSTOUT_SOC 引脚被下拉至低电平，SOC 电源轨执行正常的处理器断电序列，但 MCU 电源组将保持通电状态，如图 5-6 所示。PMIC 中 I2C_7 触发条件的状态决定 DDR 电源和控制信号是保持通电 (I2C_7=1) 还是禁用 (I2C_7=0)，如图 5-7 所示。

在序列开始时，执行以下指令：

```
// TPS6594133A
// Set AMUXOUT_EN and CLKMON_EN, clear LPM_EN and nRSTOUT_SOC
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x18 MASK=0xE1
// Clear SPMI_LPM_EN
REG_WRITE_MASK_IMM ADDR=0x82 DATA=0x00 MASK=0xEF
```

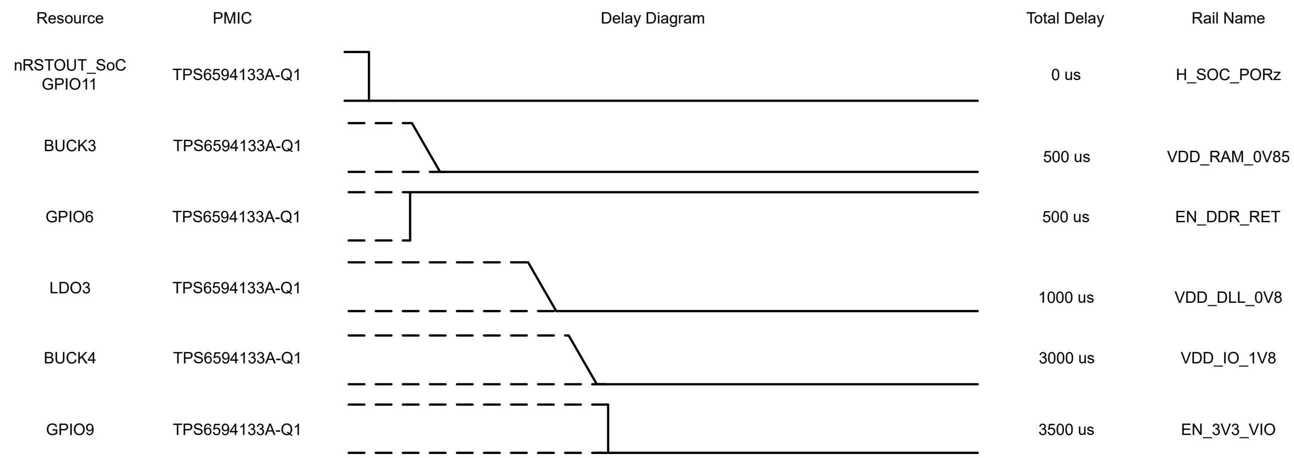


图 5-6. PWR_SOC_ERROR，I2C_7 为高电平

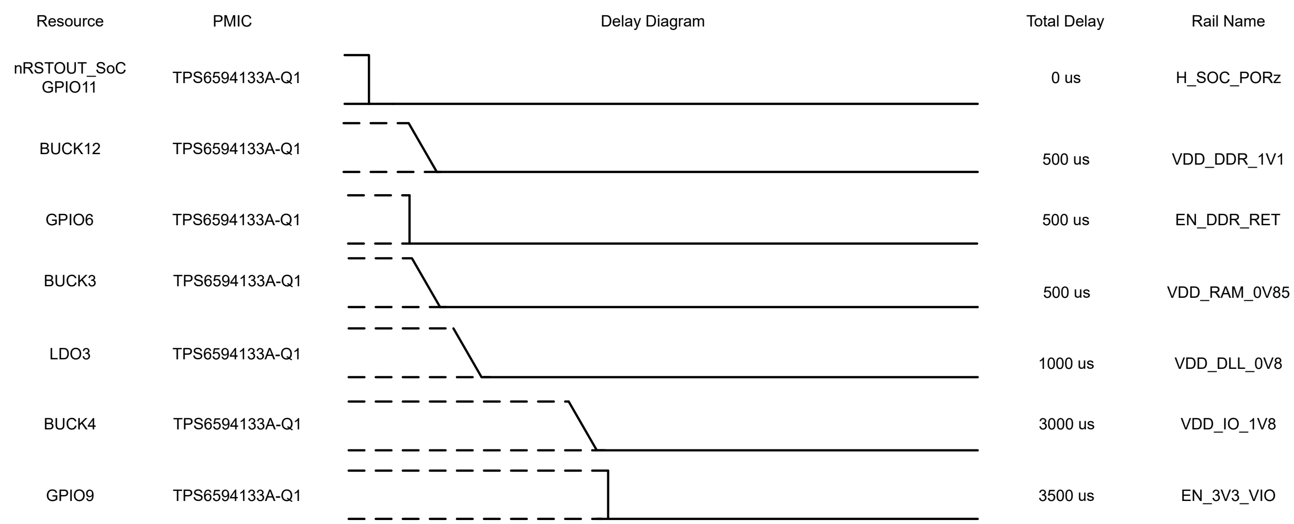


图 5-7. PWR_SOC_ERROR，I2C_7 为低电平

5.3.6 MCU_TO_WARM

MCU_TO_WARM 序列由看门狗或 ESM_MCU 错误触发。与 ACTIVE_TO_WARM 序列相类似的 MCU_TO_WARM 序列不会导致状态更改。事件和序列源于 MCU_ONLY 状态，并保持在 MCU_ONLY 状态。在此序列中，恢复计数器（在寄存器 RECOV_CNT_REG_1 中找到）递增，nRSTOUT (MCU_PORz) 信号被驱动为低电平。与 MCU 相关的 BUCK 和 LDO 在图 5-8 所示的时间重置为其默认电压，最终，MCU_PORz 信号会在 2ms 后设置为高电平。

备注

在 MCU 热复位事件期间，GPIO 不会复位。

此外，在序列开始时，执行以下指令以递增恢复计数器并配置 PMIC：

```
// TPS6594133A
// Set FORCE_EN_DRV_LOW
REG_WRITE_MASK_IMM ADDR=0x82 DATA=0x08 MASK=0xF7
// Clear nRSTOUT
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x00 MASK=0xFE
// Increment Recovery Counter
REG_WRITE_MASK_IMM ADDR=0xa5 DATA=0x01 MASK=0xFE
```

备注

看门狗或 MCU 错误表明在 PMIC 之外出现了重大错误。PMIC 实际上并不像 MCU_POWER_ERR 那样通过安全恢复进行转换，但是，为了保持一致性，所有调节器都返回到 NVM 中存储的值，并且恢复计数器也会递增。如果恢复计数器超过恢复计数阈值，PMIC 将保持安全恢复状态。

备注

在 MCU_TO_WARM 序列后，MCU 负责管理 EN_DRV 和恢复计数器。在该序列结束时，FORCE_EN_DRV_LOW 位会被清零，以便 MCU 可以设置 ENABLE_DRV 位。

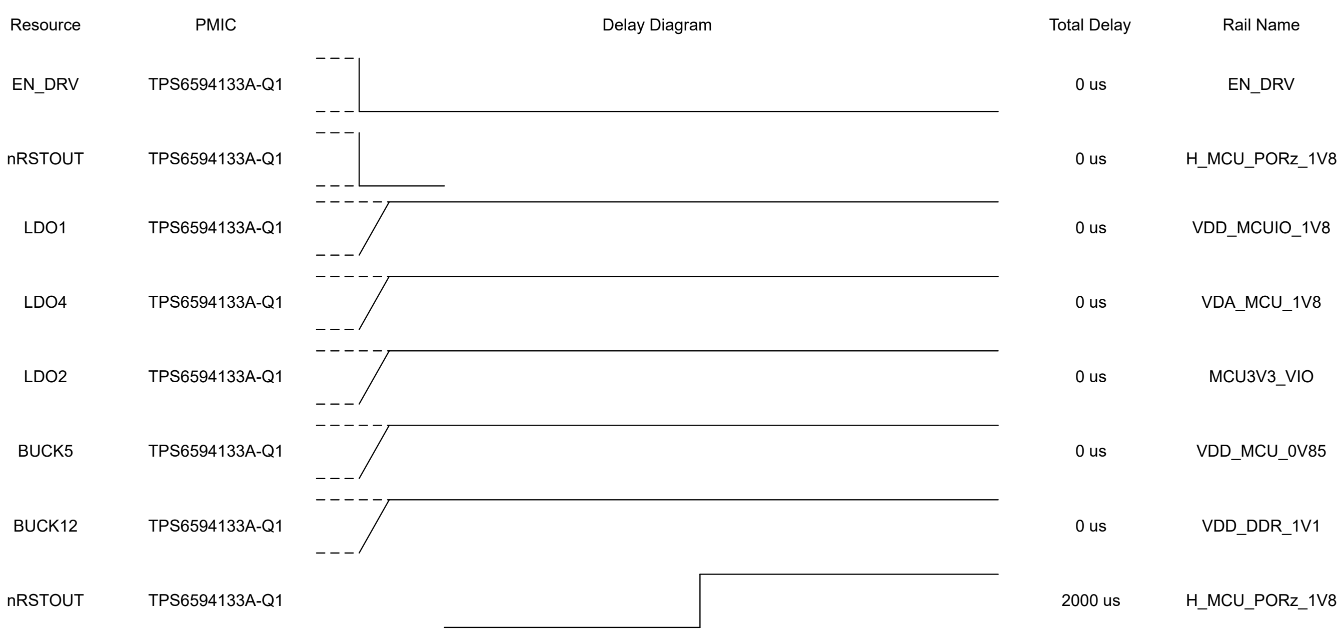


图 5-8. MCU_TO_WARM 序列

备注

稳压器的转换并不表示稳压器的启用，而是表示电压恢复到其默认值的时间。该序列源于 MCU_ONLY 状态，表示这些稳压器均开启。

5.3.7 TO_MCU

TO_MCU 序列首先关闭分配给 SOC 电源组的电源轨和 GPIO。如果 MCU 电源轨尚未处于运行状态（例如，从待机状态转换到 MCU_ONLY 时），该序列随后会启用 MCU 电源轨。根据寄存器 FSM_I2C_TRIGGERS 的 I2C_7 位中存储的值，该序列有两种情况。如果该位处于低电平，则禁用 VDD_DDR_1V1 和 EN_DDR_RET；图 5-10。如果 I2C_7 位处于高电平，则启用 VDD_DDR_1V1 和 EN_DDR_RET；图 5-9。

TO_MCU 序列的第一条指令执行对 MISC_CTRL 和 ENABLE_DRV_STAT 寄存器的写入操作。

```
// TPS6594133A
// Set AMUXOUT_EN, CLKMON_EN
// Clear LPM_EN, NRSTOUT_SOC
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x18 MASK=0xE1
// Clear SPMI_LP_EN
REG_WRITE_MASK_IMM ADDR=0x82 DATA=0x00 MASK=0xEF
```

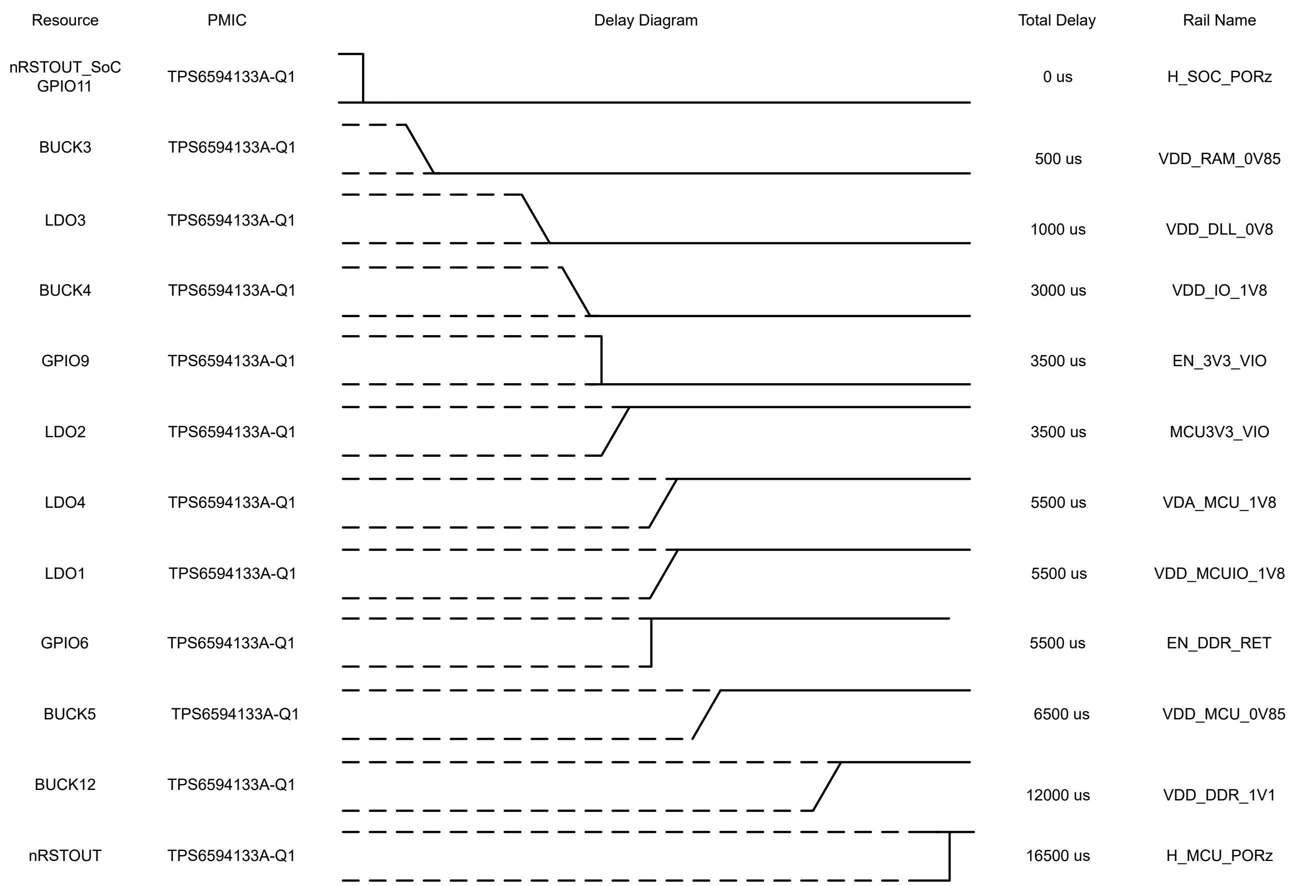


图 5-9. TO_MCU，I2C_7 为高电平

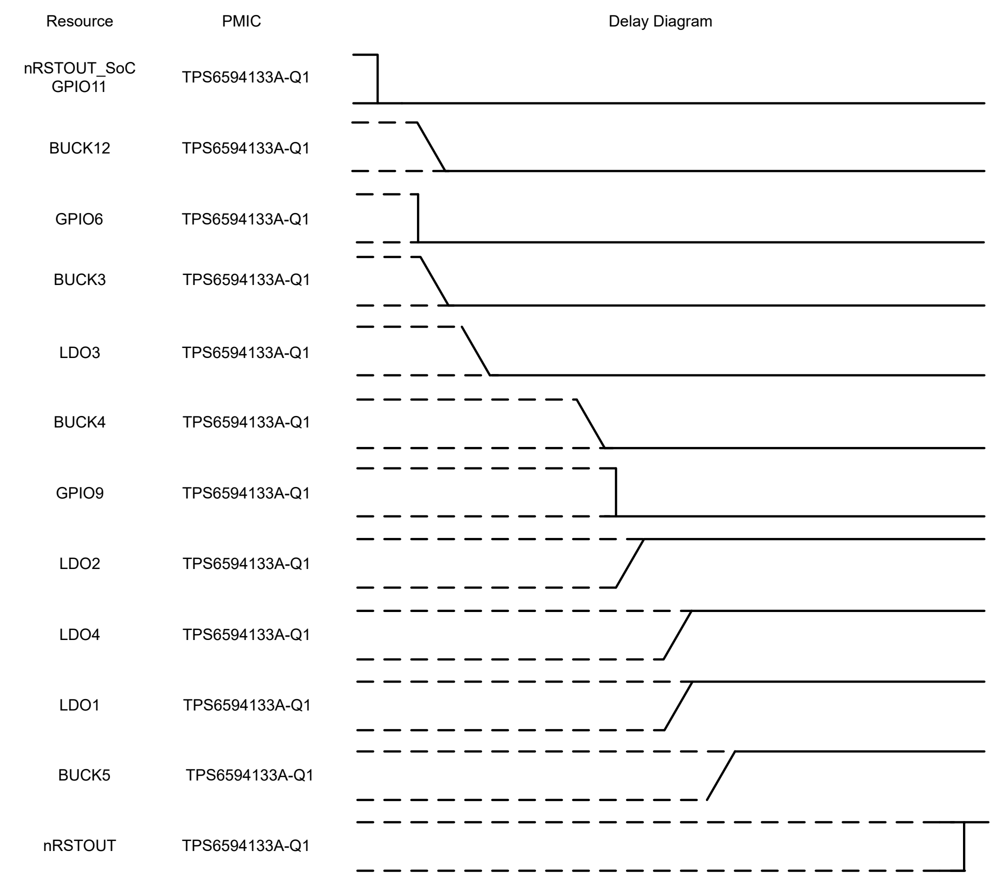


图 5-10. TO_MCU 序列，I2C_7 为低电平

在 TO_MCU 序列的最后一条指令中，PMIC 会在 PFSM_DELAY_REG_1 中定义的延迟之后，写入 MISC_CTRL 和 ENABLE_DRV_STAT 寄存器。

```
// TPS6594133A
SREG_READ_REG ADDR=0xCD REG=R1
DELAY_SREG R1
// Clear FORCE_EN_DRV_LOW
REG_WRITE_MASK_IMM ADDR=0x82 DATA=0x00 MASK=0xF7
// Set NRSTOUT (MCU_PORZ)
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x01 MASK=0xFE
```

备注

在 TO_MCU 序列后，MCU 负责管理 EN_DRV。

5.3.8 TO_ACTIVE

当触发条件导致 TO_ACTIVE 序列被执行时，所有电源轨都会按照建议的加电序列进行加电，如 图 5-11 所示。

在 TO_ACTIVE 序列开始时，PMIC 会清除 SPMI_LPM_EN 和 LPM_EN，并设置 AMUXOUT_EN 和 CLKMON_EN。

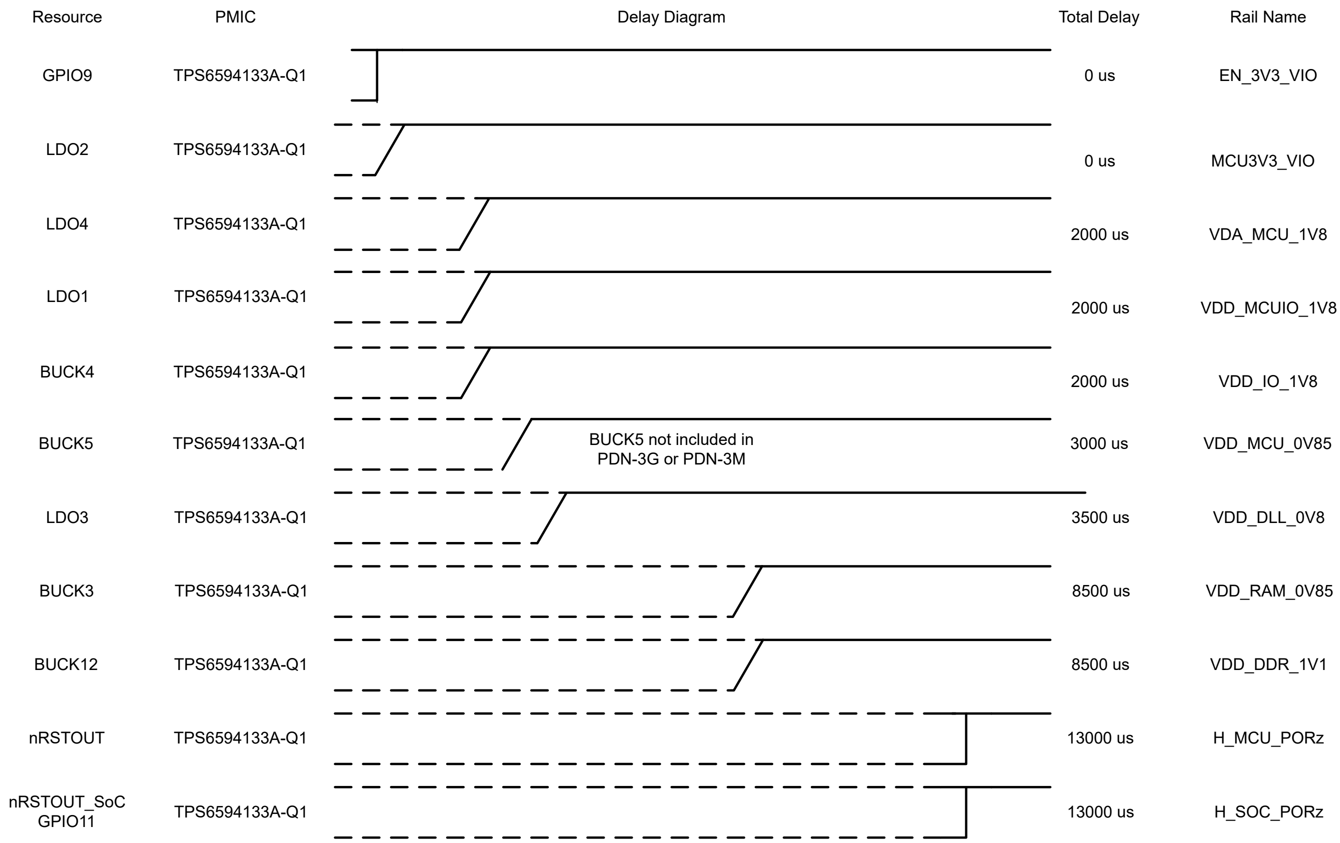


图 5-11. TO_ACTIVE 序列

在 TO_ACTIVE 序列结束时，FORCE_EN_DRV_LOW 位会被清零。

备注

在 TO_ACTIVE 序列后，MCU 负责管理 EN_DRV。

5.3.9 TO_RETENTION

由 NSLEEPx 位或引脚定义的 C 和 D 触发条件会触发 TO_RETENTION 序列。此序列会禁用所有不向固定轨供电的电源轨和 GPIO，如图 2-1 所示。可以使用寄存器 FSM_I2C_TRIGGERS 中的 I2C_5 和 I2C_7 位来修改此序列。在触发保持状态之前，需通过 PMIC 中的 I^{2}C 对这些位进行置位。如果 I2C_7 位设置为高电平，则 PMIC 进入 DDR 保持状态。如果 I2C_5 位设置为高电平，则 PMIC 进入 GPIO 保持状态。图 5-13 中显示了同时具有 GPIO 和 DDR 保持的 TO_RETENTION 序列。如果 I2C_5 和 I2C_7 设置为低电平，则与 DDR 和 GPIO 保持相关联的这些元件不会保持运行状态，如图 5-12 所示。

备注

在触发保持状态之前，需通过 PMIC 中的 I^{2}C 对 I2C_5 和 I2C_7 位进行置位或清零。触发条件不能自行清除，必须在运行期间进行维护。

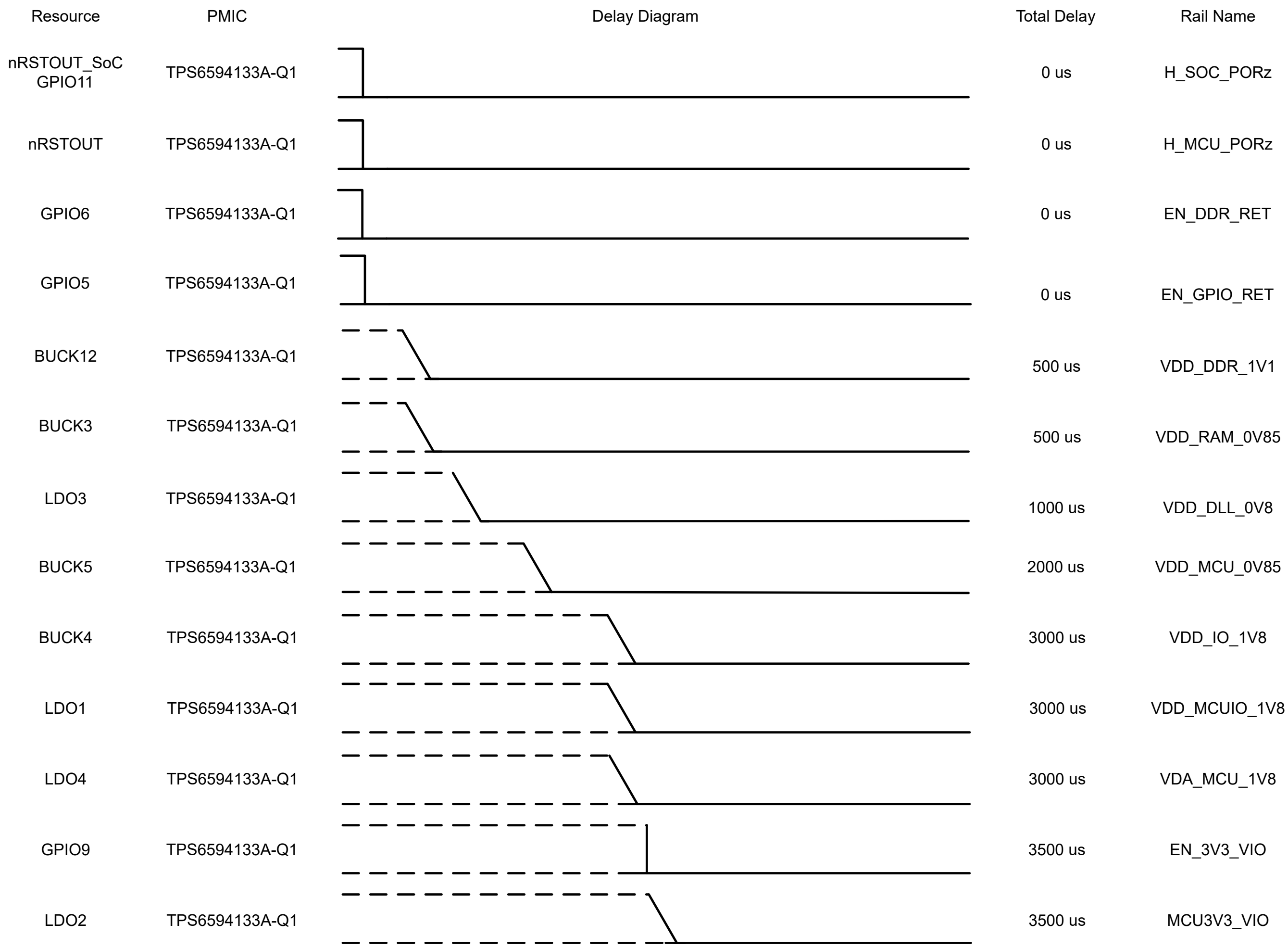


图 5-12. TO_RETENTION（当 I2C_5 和 I2C_7 为低电平时）

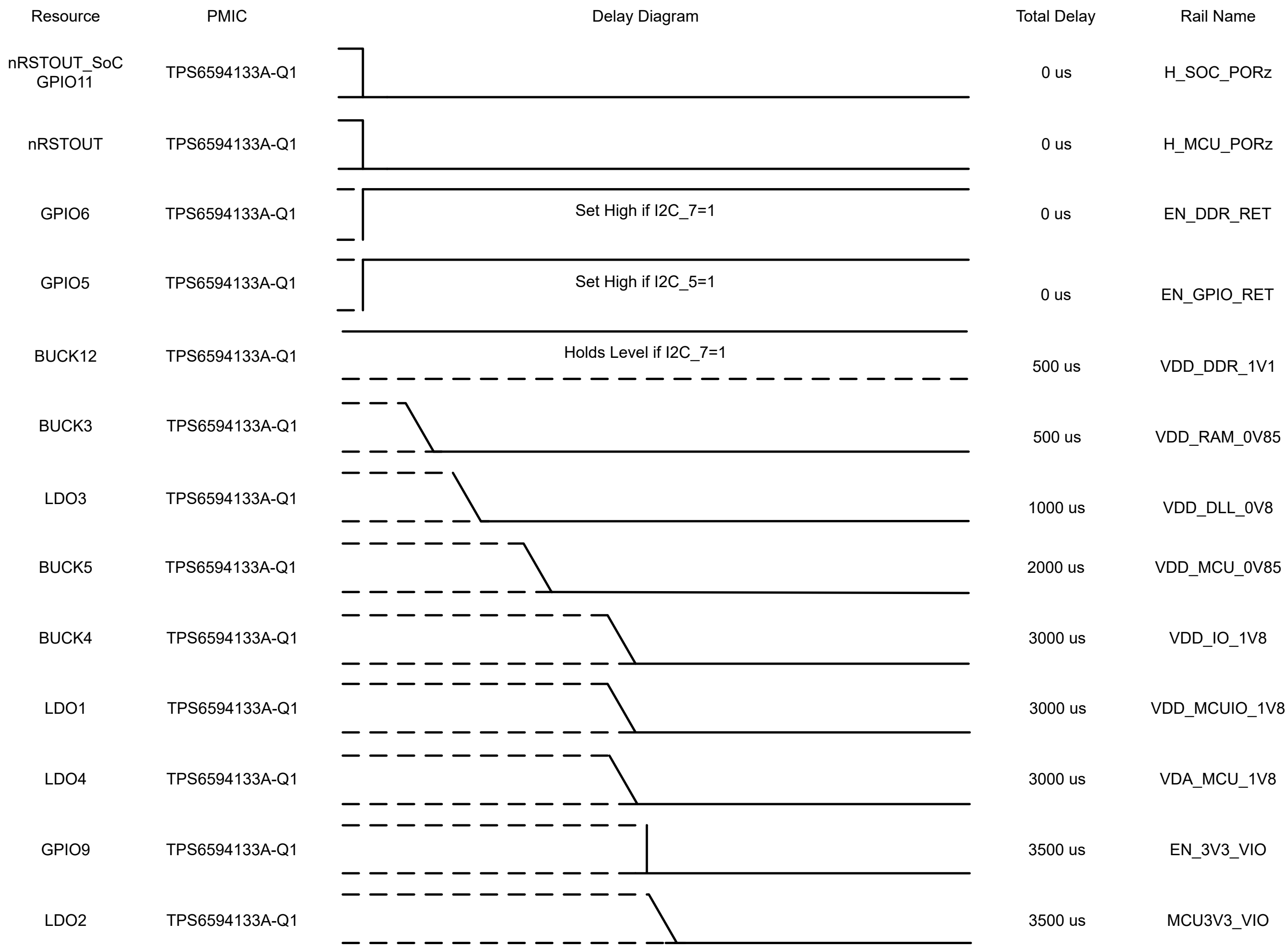


图 5-13. TO_RETENTION（当 I2C_5 和 I2C_7 为高电平时）

在序列结束时，PMIC 会设置 LPM_EN 并清除 AMUXOUT_EN。TPS6594133A 器件还会根据寄存器 PFSM_DELAY_REG_2 的内容执行额外的 16ms 延迟。

6 应用示例

本部分举例说明了如何从 MCU 的角度通过 I2C 与 PMIC 进行交互。表 6-1 展示了以下各节如何显示 I2C 命令。与数据表结合使用时，可以将这些示例推广运用到其他用例中。

表 6-1. I2C 指令格式

	I2C 地址	寄存器地址	数据	屏蔽
写入	0x48	0x00 - 0xFF	0x00 - 0xFF	0x00 - 0xFF
读取	0x48	0x00 - 0xFF	不适用	不适用

备注

当 MASK 不为零时，这假定已进行了读取，然后在写回数据之前应用逻辑操作以仅更改所需的位字段。

6.1 初始化

成功上电后，会设置 BIST_PASS_INT 和 ENABLE_INT 中断。任何其他中断都表明存在问题，但自动恢复尝试是成功的。建议的步骤如下：

1. 询问中断
2. 确定行动方案
3. 设置 NSLEEP 位
4. 清除中断

以下示例假设上电后，除了 BIST_PASS_INT 和 ENABLE_INT 之外没有中断，且使能引脚变为高电平。

```
Read  0x48:0x5A             // Read INT_TOP to determine errors
Read  0x48:0x65             // Read the STARTUP_INT register
Read  0x48:0x66             // Read the MISC_INT register
Write 0x48:0x86:0x03:0xFC   // Set NSLEEP1 and NSLEEP2 in the PMIC
Write 0x48:0x66:0x01:0xFE   // Clear BIST_PASS_INT
Write 0x48:0x65:0x26:0xD9   // Clear all potential sources of the On Request
```

6.2 在不同状态之间切换：运行、仅 MCU 和保持

当 TPS6594133A 上的 ENABLE 引脚变为高电平（上升沿触发）时，NVM 的默认配置会将 PMIC 转换为运行状态。nINT 引脚会变为高电平，以向 MCU 指示 PMIC 中发生了中断。在正常上电序列后，中断为 ENABLE_INT 和 BIST_PASS_INT。ENABLE_INT 会禁止 PMIC 处理表 5-1 中优先级低于“开启请求”的任何触发条件。即使 NSLEEP1 和 NSLEEP2 位都被清零，PMIC 也会处于运行状态，原因就在于阻止了较低优先级触发条件。在 ENABLE_INT 被清零后，状态由 表 6-2 定义。以下各节介绍了用于在不同状态之间转换的 I²C 命令。

表 6-2. 状态表

NSLEEP1	NSLEEP2	I2C_7	I2C_5	状态
1	1	不适用	不适用	运行
0	1	1	不适用	仅 MCU，具有 DDR 保持功能
0	1	0	不适用	仅 MCU，无 DDR 保持功能
无关位	0	1	不适用	DDR 保持
无关位	0	不适用	1	GPIO 保持

6.2.1 运行

在此示例中，正常上电事件后，PMIC 已经处于运行状态。通过在清除 ENABLE_INT 前设置 NSLEEP1 和 NSLEEP2 位，PMIC 可保持运行状态。

```
Write 0x48:0x86:0x03:0xFC   // Set NSLEEP1 and NSLEEP2 in TPS65951213
Write 0x48:0x66:0x01:0xFE   // Clear BIST_PASS_INT
Write 0x48:0x65:0x26:0xD9   // Clear all potential sources of the On Request
```

6.2.2 仅 MCU

若要从运行状态转换到仅 MCU 状态，需要在更改 NSLEEP 位之前配置 I2C_7 触发条件。

```
Write 0x48:0x85:0x80:0x7F   // Set I2C_7 Triggers on TPS6594133A
Write 0x48:0x86:0x02:0xFC   // Set NSLEEP2 to trigger TO_MCU power sequence
```

除了写入 NSLEEP 位以返回到运行状态，也可以使用 GPIO4 上的 WKUP1 引脚来使 PMIC 返回到运行状态。由于这种相似性，在保持状态下也是如此。

6.2.3 保持

如节 5.3.9 所示，MCU 已断电，因此必须在进入保持状态前配置从保持状态到仅 MCU 或运行状态的转换。与仅 MCU 状态类似，必须为 PMIC 设置 I2C_7 触发条件。本例中使用 TPS6594133A 上的 GPIO4 来从保持状态唤醒器件并进入运行状态。

备注

在进入保持模式之前，GPIO4 (WKUP1) 必须为高电平。PMIC 仅与下降沿触发器唤醒兼容。

```
Write 0x48:0x34:0xC0:0x3F // Set GPIO4 to WKUP1 (goes to ACTIVE state)
Write 0x48:0x64:0x08:0xF7 // clear interrupt of gpio4, write to clear
Write 0x48:0x4F:0x00:0xF7 // unmask interrupt for GPIO4 falling edge
Write 0x48:0x86:0x00:0xFC // trigger the TO_RETENTION power sequence
After the GPIO4 has gone low and the PMIC has returned to the ACTIVE state
Write 0x48:0x86:0x03:0xFC // Set NSLEEPx bits for ACTIVE state
Write 0x48:0x64:0x08:0xF7 // clear interrupt of gpio4
```

本例中使用 TPS6594133A RTC 计时器来从保持状态唤醒器件并进入运行状态。

```
Write 0x48:0xC3:0x01:0xFE // Enable Crystal
Write 0x48:0xC5:0x05:0xF8 // minute timer, enable TIMER interrupts
Write 0x48:0xC2:0x01:0xFE // start timer, if the timer values are non-zero clear before starting
Write 0x48:0x86:0x00:0xFC // trigger the TO_RETENTION power sequence
After the RTC Timer interrupt has occurred and the PMIC has returned to the ACTIVE state
Write 0x48:0x86:0x03:0xFC // Set NSLEEPx bits for ACTIVE state
Write 0x48:0xC5:0x00:0xFB // disable timer interrupt, clear bit 2
Write 0x48:0xC4:0x00:0xDF // clear timer interrupt, clear bit 5.
```

6.3 进入和退出待机状态

运行或保持状态均可转换为待机状态。若要保持在待机任务状态，而不进入硬件状态 LP_STANDBY，则必须将 LP_STANDBY_SEL 位清零。

与保持状态相似，待机状态会关闭为处理器供电的所有稳压器。运行状态是待机状态可返回的唯一目标状态。

当 ENABLE 引脚变为低电平时，TO_STANDBY 序列会被触发。当 ENABLE 引脚再次变为高电平时，PMIC 返回到 STARTUP_DEST 位中定义的运行状态。I2C_0 触发条件也会触发 TO_STANDBY 序列。从 I2C_0 触发时，可以通过 GPIO4、GPIO10 或/和 RTC 计时器或警报触发 PMIC 来返回到运行状态。本例中使用 I2C_0 触发条件来进入待机状态，并使用 GPIO4 来进入运行状态。

```
Write 0x48:0xC3:0x00:0xF7  // LP_STANDBY_SEL=0
Write 0x48:0x7D:0xC0:0x3F  // Mask NSLEEP bits
Write 0x48:0x34:0xC0;0x3F  // Set GPIO4 to WKUP1 (goes to ACTIVE state)
Write 0x48:0x64:0x08:0xF7  // clear interrupt of GPIO4
Write 0x48:0x4F:0x00:0xF7  // unmask interrupt for GPIO4 falling edge
Write 0x48:0x85:0x01:0xFE  // set I2C_0 trigger, trigger TO_STANDBY sequence
After the GPIO4 has gone low and the PMICs have returned to the ACTIVE state
Write 0x48:0x7D:0x00:0x3F  // unmask NSLEEP bits
Write 0x48:0x86:0x03:0xFC  // Set NSLEEPx bits for ACTIVE state
Write 0x48:0x64:0x08:0xF7  // clear interrupt of GPIO4
```

6.4 进入和退出 LP_STANDBY 状态

进入 LP_STANDBY 硬件状态就和进入待机状态一样。退出 LP_STANDBY 状态会有所不同，需要在进入 LP_STANDBY 状态之前完成不同的初始化。另外，当 PMIC 从 LP_STANDBY 状态返回时，PFSM 触发条件会由 ENABLE_INT 选通，而在待机状态下，触发条件由 GPIO 中断选通。

```
Write 0x48:0xC3:0x08:0xF7  // LP_STANDBY_SEL=1
Write 0x48:0x7D:0xC0:0x3F  // Mask NSLEEP bits
Write 0x48:0x34:0xC0;0x3F  // Set GPIO4 to WKUP1 (goes to ACTIVE state)
Write 0x48:0xC3:0x60;0x9F  // Set the STARTUP_DEST=ACTIVE
Write 0x48:0x64:0x08:0xF7  // clear interrupt of GPIO4
Write 0x48:0x4F:0x00:0xF7  // unmask interrupt for GPIO4 falling edge
Write 0x48:0x85:0x01:0xFE  // set I2C_0 trigger, trigger TO_STANDBY sequence
After the GPIO4 has gone low and the PMICs have returned to the ACTIVE state
Write 0x48:0x7D:0x00:0x3F  // unmask NSLEEP bits
Write 0x48:0x86:0x03:0xFC  // Set NSLEEPx bits for ACTIVE state
Write 0x48:0x64:0x08:0xF7  // clear interrupt of GPIO4
Write 0x48:0x65:0x02:0xFD  // clear ENABLE_INT
```

7 NVM 更改的影响

表 7-1. NVM 从修订版本 3 更改为修订版本 5

更改	更改的影响
NVM 修订版本更新为 5，请参阅表 4-2。	无。
默认情况下启用看门狗，窗口长度为 13 分钟。	MCU 软件必须在 nRSTOUT 变为高电平的 13 分钟内启动并配置看门狗。
将默认 GPIO9 功能从 GPIO 更改为 WD_DISABLE。	GPIO9 作为输入启动以设置 WD_PWRHOLD 位，然后更改为输出。 **开发中**：客户可以 *选择* 使用外部 PU 电阻器设置 WD_PWRHOLD =1 **在终端设备中**：对功能没有影响
TO_ACTIVE 序列在 LDO3 和 BUCK5 之间的延迟为 500us，请参阅图 5-11	在具有分离电源组的系统中，PMIC BUCK5 在 PMIC LDO3 之前完全上电。总序列时间保持不变。
LDO2 OV/UV 阈值从 5% 更改为 10%，请参阅 表 4-4	用作 3.3V 负载开关时，PG 窗口更改为 VCCA 窗口。客户可以在启动后拧紧。

8 参考资料

有关 PMIC 或处理器器件的其他信息，请查看以下内容：

- 德州仪器 (TI)，*J721S2 Jacinto™ 汽车处理器 数据表*
- 德州仪器 (TI)，*J721S2 技术参考手册*
- 德州仪器 (TI)，*TPS6594-Q1 具有 5 个 Buck 和 4 个 LDO 且适用于安全相关汽车类应用的电源管理 IC (PMIC) 数据表*
- 德州仪器 (TI)，TPS6594-Q1 安全手册（通过 mySecure 申请）
- 德州仪器 (TI)，*TPS6594-Q1 原理图 PCB 检查清单 应用手册*

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (March 2023) to Revision A (May 2025) **Page**

- 更新了摘要 1
- 添加了用于工业应用的 PDN-3A.I 的信息 2
- 将 TI_NVM_REV 更新为 0x5 14
- 将 LDO2_PG_WINDOW 从 ±5% 更改为 ±10% 16
- 更新了 GPIO9 默认设置，以反映 NVM 修订版本的更改 17
- 新增了 PFSM 使用 SCRATCH_PAD_1 和 SCRATCH_PAD_4 的注释 23
- 更新了最新 NVM 版本的看门狗设置。 25
- 更新了已配置通电状态列表，以包括 Wait4Enable 状态 25
- 更新了 PFSM 任务状态和转换图，以包括 Wait4Enable 状态 25
- 在 TO_ACTIVE 序列图中添加了 BUCK5 至 LDO3 的 500us 延迟 36
- 添加了退出保持模式的 WKUP1 信号的注释。 41
- 添加了描述 NVM 修订版本更改的影响的表 42

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265