



说明

数字波束成形通常每个天线需要一个数据转换器，每个转换器需要一个具有规定相位关系的时钟。此参考设计展示了如何生成超低噪声 MHz 至 GHz 时钟信号，这些信号具有规定的可调节相位关系，并支持 JESD204B 和 10ps 板对板偏斜。

资源

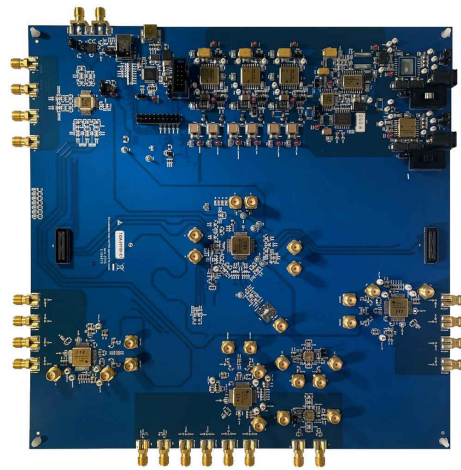
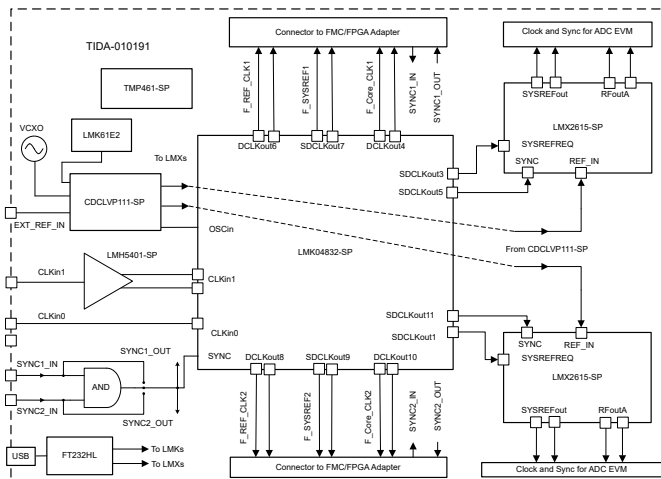
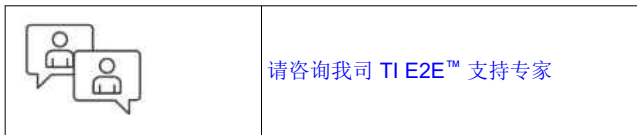
TIDA-010191	设计文件夹
ADC12DJ3200-SP	产品文件夹
ADC12DJ3200EVM	工具文件夹
LMK04832-SP	产品文件夹
LMX2615-SP	产品文件夹
TSW14J57EVM	工具文件夹

特性

- 高达 15GHz 的采样时钟生成
- 符合 JESD204B 标准的多通道时钟设计
- 通道间时钟偏斜小于 10ps
- 适用于射频采样 ADC 和 DAC 的低相位噪声 (< 100fs) 时钟
- 可配置相位同步，可在多通道系统中实现低偏斜
- 耐辐射高速 ADC、时钟、射频放大器和负载点功率器件

应用

- 通信负载
- 雷达成像有效载荷
- 命令和数据处理 (C 和 DH)



1 系统说明

相控阵天线和数字波束成形 (DBF) 都是卫星应用中的关键技术，能够提高星载雷达成像和宽带卫星通信系统等许多卫星应用的性能。与模拟波束成形不同，数字波束成形通常每个天线元件需要一组数据转换器，进而需要精确同步。数字波束成形可以提升性能并提高灵活性，从而支持新的工作模式。这方面的一个例子是高分辨率合成孔径雷达，这是一种新型雷达技术，最初由 NASA-ISRO 用在名为 SweepSAR 的 NISAR 项目内的航天类应用中。波束成形也是 5G 移动宽带领域的核心构建块。在这种情况下，5G 传输是地面传输还是星载传输几乎没有区别。与雷达应用类似，5G 中的波束成形也受益于数字化，这两个应用领域的时钟要求非常相似。

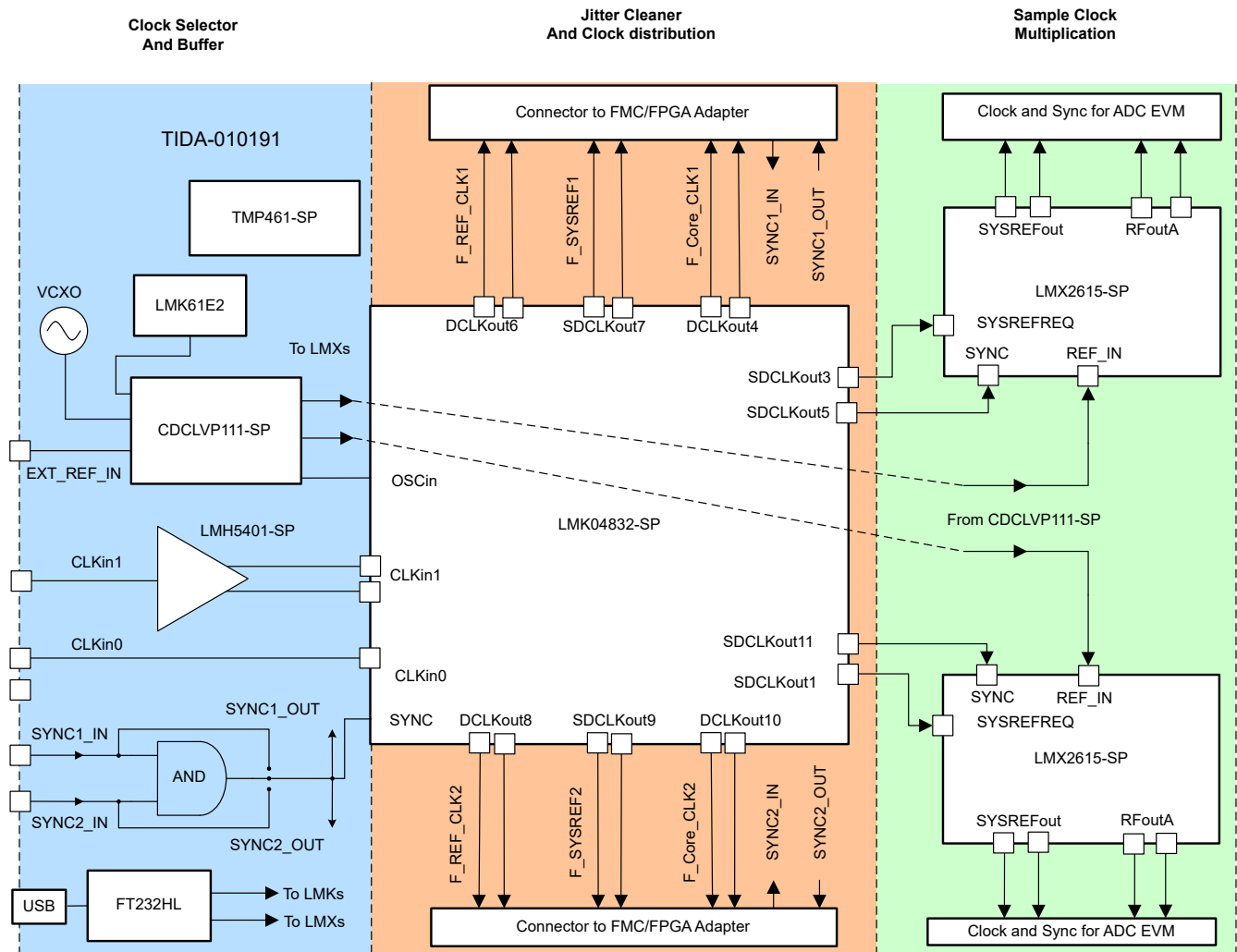


图 1-1. 时钟子系统

此参考设计侧重于支持 JESD204B 的高速 GSPS ADC12DJ3200QML-SP 数据转换器的时钟子系统。此设计展示了一个多通道相位同步时钟平台，可用于对各个元件具有精确同步要求的应用。在最基本的形式中，该设计有两个用于演示目的的高速通道。图 1-1 显示了设计的框图。时钟系统分为三个主要部分：输入时钟选择器和时钟基准缓冲器 CDCLVP111-SP、抖动消除器和时钟分配 LMK04832-SP，以及采样时钟倍频器 LMX2615-SP。该系统的核心是 LMK04832-SP。该器件消除了传入时钟的抖动并创建了稳定的时钟框架。LMK04832-SP 还提供 FPGA 时钟和 SYSREF 信号。对于 LMX2615-SP 时钟倍频器的输入时钟，该参考设计可以配置为使用 LMK04832-SP 的时钟输出或输入时钟基准缓冲器 CDCLVP111-SP 的输出。当传入时钟具有非常低的相位噪声时，将 LMX2615-SP 连接到 CDCLVP111-SP 可为 ADC 提供最低的输出相位噪声。然后，LMX2615-SP 可以采用此基本时钟并使用分数乘法技术来生成高达 15GHz 的采样时钟，该时钟可调至亚赫兹精度。系统还会将 SYSREF 路由到 ADC 子系统。

该设计采用三个 LMX2615-SP 器件，但本文档仅使用其中的两个进行技术分析。因此，图中也仅展示了两个射频 PLL 合成器。第三个 LMX2615-SP 可用作下变频器的本地振荡器输入源等，来支持更高的输入频段或其他超外差原理。

1.1 关键系统规格

此设计的目标是展示多通道射频采样接收器信号链的高速时钟设计。此设计侧重于基于 LMX2615-SP 和 LMK04832-SP 的航天级低噪声时钟设计性能及其对 ADC12DJ3200QML-SP 的多通道同步和 SNR 的影响。数据采集由 TSW14J57EVM 完成，TSW14J57EVM 使用 FMC+ 适配器卡与 ADC12DJ3200EVMCVAL 相连。表 1-1 从时钟设计角度列出了多通道信号链的关键系统级规格。

表 1-1. 关键系统参数

参数	规格	条件
Dev_Clk 相位噪声	10kHz 偏移时为 -111.5dBc/Hz 100kHz 偏移时为 -115.3dBc/Hz 1MHz 偏移时为 -121.9dBc/Hz 10MHz 偏移时为 -146.3dBc/Hz 40MHz 偏移时为 -150.9dBc/Hz	7GHz 时
	10kHz 偏移时为 -104.9dBc/Hz 100kHz 偏移时为 -111.4dBc/Hz 1MHz 偏移时为 -121.9dBc/Hz 10MHz 偏移时为 -146.0dBc/Hz 40MHz 偏移时为 -153.0dBc/Hz	9GHz 时
	10kHz 偏移时为 -100.8dBc/Hz 100kHz 偏移时为 -107.2dBc/Hz 1MHz 偏移时为 -114.3dBc/Hz 10MHz 偏移时为 -140.4dBc/Hz 40MHz 偏移时为 -151.0dBc/Hz	15GHz 时
SNR (dBFS) (双通道模式) (JMODE3)	55.5	997MHz ADC 输入信号时
	55	2482MHz ADC 输入信号时
	53	4997MHz ADC 输入信号时
多通道时钟时间偏差	< 10ps	997MHz ADC 输入信号时
		2482MHz ADC 输入信号时
		4997MHz ADC 输入信号时

2 系统概述

2.1 设计方框图

图 2-1 展示了测量设置的方框图，其中包括与 ADC12DJ3200EVMCVAL 评估模块和 TSW14J57EVM 采集卡的高速多通道时钟设计接口。ADC12DJ3200EVMCVAL 通过 FMC+ 适配器板与 TSW14J57EVM 数据采集板相连。TIDA-010191 时钟板通过长度匹配且带有 SMA 连接器的电缆直接提供 ADC DCLK 和 SYSREF。

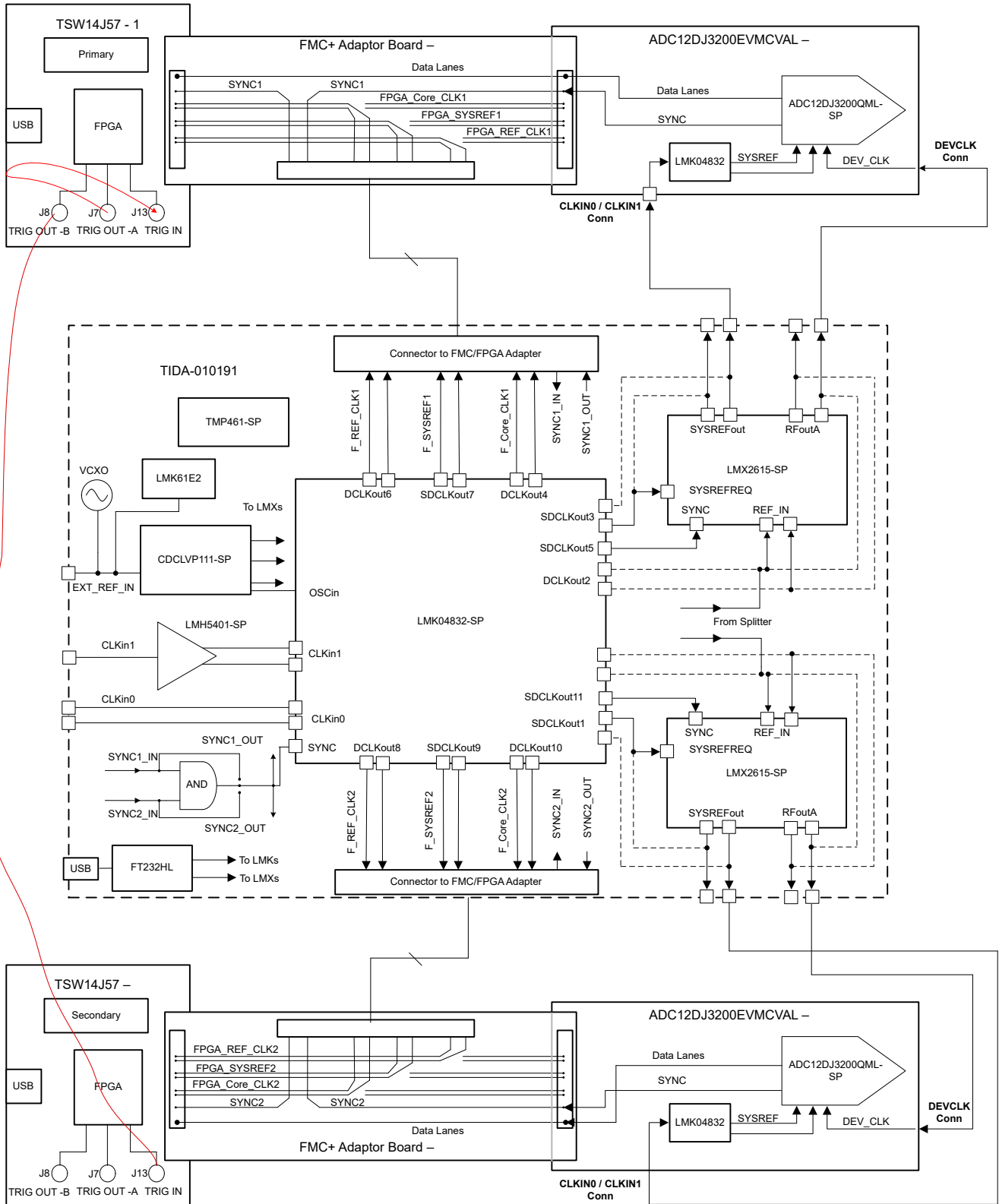


图 2-1. 测量系统设置

2.2 重点产品

2.2.1 LMK04832-SP

LMK04832-SP 是支持 JEDEC JESD204B 的高性能时钟调节器，适用于航天应用。PLL2 可以配置 14 个时钟输出以驱动 7 个 JESD204B 转换器或其他逻辑器件（使用器件和 SYSREF 时钟）。SYSREF 可以通过直流和交流耦合提供。14 个输出中的每一个输出都可以单独配置为用于传统计时系统的高性能输出（不限于 JESD204B 应用）。

LMK04832-SP 可以配置在双 PLL、单 PLL 或时钟分配模式下工作（使用或不使用 SYSREF 生成或重新计时）。PLL2 可以使用内部或外部 VCO 工作。高性能与多种特性（如功耗和性能权衡调节、双 VCO、动态数字延迟和保持）相结合，使 LMK04832-SP 能够提供灵活的高性能时钟树。LMK04832-SP 采用 10.9mm × 10.9mm、64 引脚 CFP 封装。

2.2.2 LMX2615-SP

LMX2615-SP 是一款集成有电压控制振荡器 (VCO) 和稳压器的高性能宽带锁相环 (PLL)，在无倍频器的情况，可输出 40MHz 至 15.2GHz 范围内的任意频率，从而无需使用 1/2 谐波滤波器。此器件上的 VCO 涵盖了整个倍频区间，因而频率覆盖度可完全低至 40MHz。品质因数为 -236dBc/Hz 的高性能 PLL 和高相位检测器频率可实现非常低的带内噪声和集成抖动。

LMX2615-SP 允许用户同步多个器件实例的输出。这意味着我们可从任意应用情形下的器件中获得确定性相位，包括采用分数引擎或启用输出分频器的情形。该器件还支持生成或重复 SYSREF（符合 JESD204B 标准），因此非常适合用作高速数据转换器的低噪声时钟源。该器件采用德州仪器 (TI) 先进的 BiCMOS 工艺制造，可提供 64 引线 CQFP 陶瓷封装。

2.2.3 CDCLVP111-SP

CDCLVP111-SP 时钟驱动器能够以最低时钟分配偏斜将 LVPECL 输入的一对差分时钟（CLK0 和 CLK1）分配至十对差分 LVPECL 时钟（Q0 和 Q9）输出。CDCLVP111-SP 可接受两个时钟源传入一个输入多路复用器。CDCLVP111-SP 专为驱动 50Ω 传输线路而设计。如果不使用某个输出引脚，建议将其保持断开，以便降低功耗。如果只使用差分对的其中一个输出引脚，那么另一输出引脚必须同样地端接至 50Ω。

如果要求单端输入运行，V_{BB} 基准电压输出被使用。在这种情况下，请将 V_{BB} 引脚连接至 CLK0 并通过一个 10nF 电容器旁通至 GND。如需实现高速性能，强烈建议采用差分模式。CDCLVP111-SP 的额定工作温度范围为 -55°C 至 125°C。

2.2.4 ADC12DJ3200QML-SP

ADC12DJ3200QML-SP 器件是一款射频采样千兆采样模数转换器 (ADC)，可对从直流到 10GHz 以上的输入频率进行直接采样。在双通道模式下，ADC12DJ3200QML-SP 的采样率高达 3200MSPS。在单通道模式下，该器件的采样率高达 6400MSPS。通道数（双通道模式）和奈斯特带宽（单通道模式）的可编程交换功能可用于开发灵活的硬件，以满足高通道数或宽瞬时信号带宽应用的需求。7GHz 的全功率输入带宽（-3dB），可用频率在双通道和单通道模式下均超过 -3dB，可对频率捷变系统的 L、S、C 和 X 带进行直接射频采样。

ADC12DJ3200QML-SP 采用具有多达 16 个串行信道和子类 1 合规性的高速 JESD204B 输出接口，可实现确定性延迟和多器件同步。串行输出信道支持高达 12.8Gbps 的速率，并可通过配置来进行位速率与信道数之间的折衷。无噪声孔径延迟 (t_{AD}) 调节和 SYSREF 窗口等出色同步特性，简化了合成孔径雷达 (SAR) 和相控阵 MIMO 通信的系统设计。采用双通道模式的可选数字下变频器 (DDC) 可以降低接口速率（实际和复杂抽取模式），支持数字化信号混合（仅复杂抽取模式）。

2.3 设计步骤

使用多个数据转换器的信号链必须具有同步的时钟，以便确保数据转换器的所有采样实例都一致。但是，对于基于 JESD204B 的数据转换器，以下器件同步要求对于性能至关重要：

- 低相位噪声 ADC 采样时钟 (DEVCLK) 生成
- 每个数据转换器的相位对齐器件时钟
- 以适当的时序裕量生成和捕捉 SYSREF 信号
- 通过适当的弹性缓冲器释放点实现确定性延迟

ADC 和 FPGA 之间无需长度匹配的 SERDES 通道。JESD204B 的同步方法会吸收延迟变化。

2.3.1 多种 JESD204B 同步要求

在 JESD204B 系统环境中，从 JESD204B TX 块到 RX 块的数据传输以多帧的形式进行。这些多帧与本地多帧时钟 (LMFC) 的边沿对齐，LMFC 位于 JESD204B RX 和 TX 块内部。在需要确定性延迟和多器件同步的应用中，LMFC 的概念和相关的对齐要求至关重要。为了实现确定性延迟和/或多器件同步，需要确保 JESD204B 系统环境中每个 JESD204B 器件的 LMFC 对齐。每个 JESD204B 器件的 LMFC 通过 SYSREF 信号对齐，而 SYSREF 信号是从整个 JESD204B 系统的公共源全局生成的。在系统中所有器件的 LMFC 对齐后，各个器件将同步，并且数据传输会以相同的速率同时进行。图 2-2 展示了多个 JESD204B 器件同步的典型设置。时钟源的这种同步需要：

1. 相位对齐器件时钟，每个 ADC12DJ3200-SP 器件上的采样时钟 (DCLK)
2. 到每个 DCLK 的同相 SYSREF，可满足 ADC 的 SYSREF 设置和保持时间
3. 同相 FPGA CLK 和 FPGA SYSREF，如果系统中使用多个 FPGA

在此设计中，ADC12DJ3200-SP 以 3.2GHz 的最高采样时钟在 JMODE3 中运行。根据 ADC12DJ3200-SP 数据表计算，所需的 FPGA 时钟为 160MHz，SYSREF 频率为 20MHz。这些数据均由建议的时钟设计 TIDA-010191 生成。

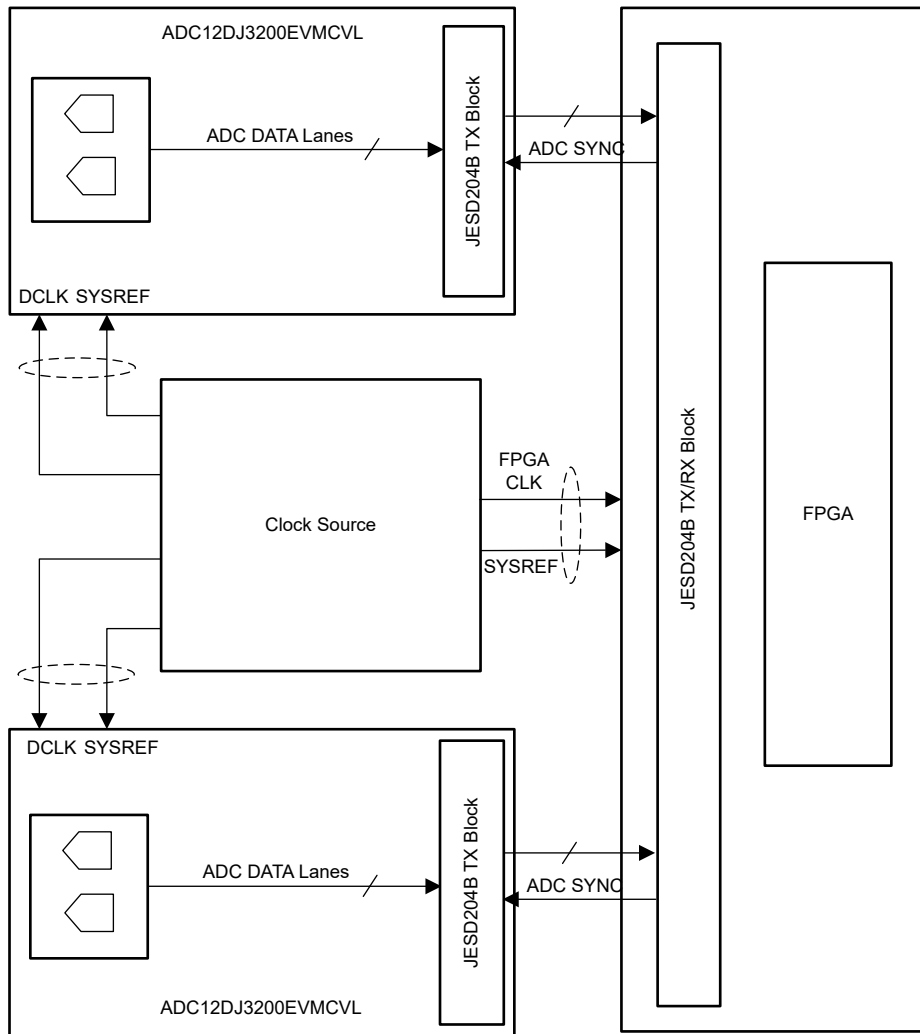


图 2-2. 多个 JESD204B 和 JESD204C 器件同步的典型设置

2.3.2 时钟树设计

2.3.2.1 时钟频率规划

该电路板上符合 JESD204B 标准的时钟输出将提供给 ADC12DJ3200QML-SP。由于 ADC 的 SNR 直接受时钟抖动的影响，因此使用 ADC 来分析时钟板的性能。ADC12DJ3200QML-SP 的时钟频率最高可达 3.2GHz。LMK04832-SP 配置为单 PLL 模式(PLL2)，可生成 SYSREF_REQ 和 SYNC 信号并提供给 LMX2615-SP 器件。此参考设计中的 LMK04832-SP 还用于通过 FMC+ 适配器板为 TSW14J57 采集卡提供 FPGA 参考时钟、内核时钟和 SYSREF。时钟基准和内核时钟频率均为 160MHz，SYSREF 频率为 20MHz。适配器板还提供数据转换器 EVM 和采集卡之间的接口，同时还将 ADC 数据通道连接到 FPGA。

ADC12DJ3200EVMCVL 在双通道模式 (JMODE3) 下运行，该模式下仅提供一个通道的输入，并捕捉来自相应 ADC 内核的输出。LMK61E2 通过 CDCLVP111-SP 向 LMX2615-SP 射频 PLL 时钟合成器器件提供 100MHz 的输入基准频率。相位检测器频率也更改为 100MHz。ADC 输入端提供了多种输入信号用于 SNR 测量，结果如节 4 “测试和结果” 中所示。

表 2-1. 环路滤波器配置

时钟基准	LMK04832-SP 时钟 PLL2 模式	LMX2615-SP PLL 合成器	ADC 时钟	FPGA 时钟
已选择时钟基准	列出时钟输入/输出	时钟输入和时钟输出	时钟输入/输出	时钟输入/输出
其他选项： 1. VCXO 2. 可编程振荡器 (LMK6E12) - 100MHz 3. 外部基准	输入 REF (OSCin) - 100MHz 输出时钟： CLKout1 - LMX2615-1 SYSREF_REQ1 (20MHz) CLKout3 - LMX2615-2 SYSREF_REQ2 (20MHz) CLKout4 - FPGA2 REFCLK CLKout5 - LMX2615-1 SYNC1 CLKout6 - FPGA2 CORECLK CLKout7 - FPGA2 SYSREF CLKout8 - FPGA1 CORECLK CLKout9 - FPGA1 SYSREF CLKout10 - FPGA1 REFCLK CLKout11 - LMX2615-2 SYNC2	LMX2615-1： 输入 REF (OSCin) - 100MHz SYNC - SYNC1 SYSREFREQ - SYSREF_REQ1 输出时钟： RFoutA1 - ADC1 CLK RFoutB1 - ADC1 SYSREF LMX2615-2： 输入 REF (OSCin) - 100MHz SYNC - SYNC2 SYSREFREQ - SYSREF_REQ2 输出时钟： RFoutA2 - ADC2 CLK RFoutB2 - ADC2 SYSREF	采样时钟：3.2GHz SYSREF - 20MHz	FPGA REFCLK - 160MHz FPGA CORECLK - 160MHz FPGA SYSREF - 20MHz

2.3.2.2 时钟树元件

图 2-3 展示了 TIDA-010191 时钟树在各种配置选项下的简化方框图。该时钟树包含参考生成、时钟基准缓冲器、时钟分配和 PLL 合成器等多个部分，用于生成符合 JESD204B 标准的低噪声高性能时钟。

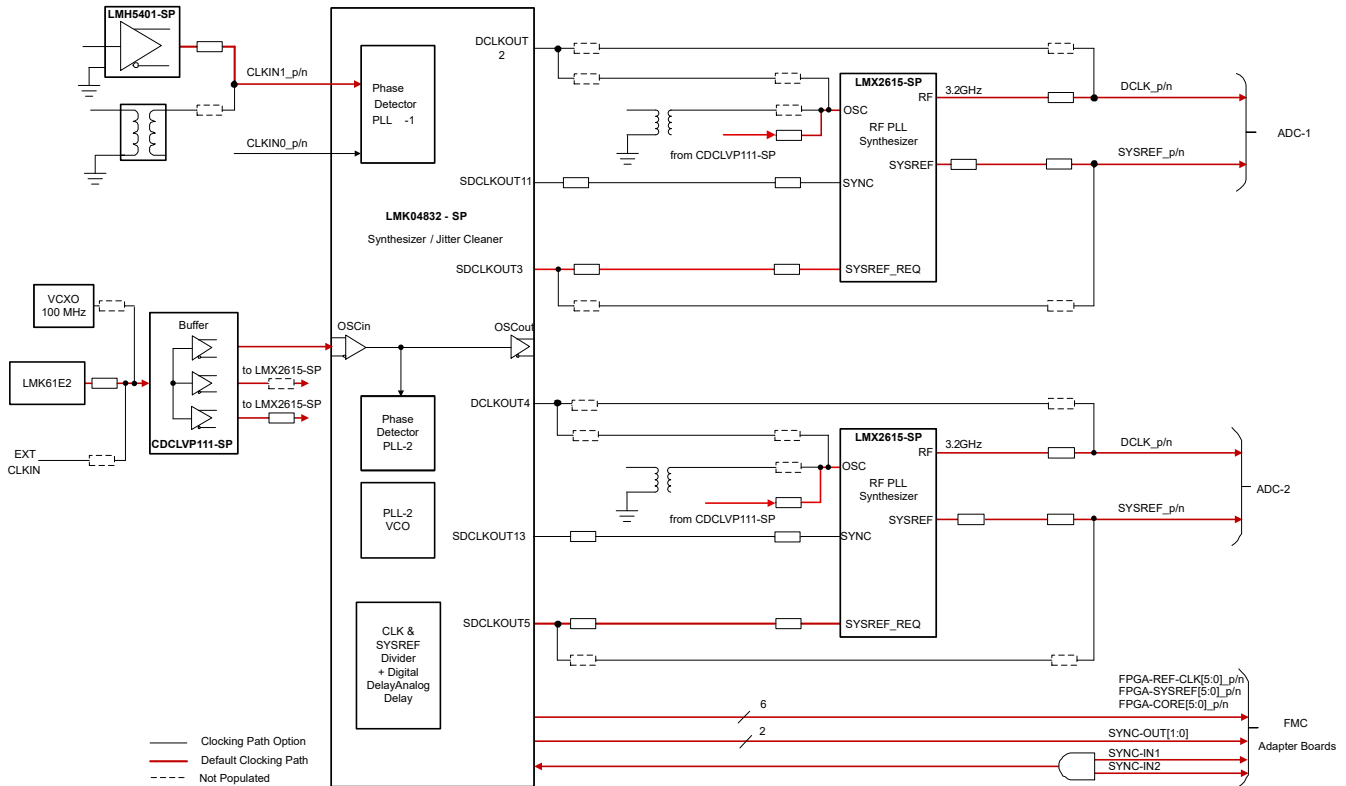


图 2-3. TIDA-010191 时钟路径配置选项

2.3.2.2.1 时钟基准

时钟基准输入有两个选项：

- 第一个也是首选的选项是外部时钟基准。外部时钟基准允许连接到最终设计所需的目标时钟，并且还可在时钟信号路径性能表征期间更大限度地减小时钟基准的潜在影响。本文档中的测试使用 Wenzel 的振荡器 (100MHz) 作为极低相位噪声的时钟源。
- 第二个选项是使用来自工业级振荡器的板载时钟基准。此设计使用可编程时钟发生器 LMK61E2。该器件可以帮助评估子系统，而无需使用大量测试设备。LMK61E2 仅用于测试目的，不具有规定的辐射性能。

2.3.2.2.2 时钟基准缓冲器

对于时钟分配，存在多种可能的拓扑来将主时钟分配给各个时钟器件和时钟倍频器。图 2-4 中以选项 A 和 B 展示了其中两种拓扑。在选项 A 中，主时钟在系统时钟器件中复制，然后扇出到各个倍频器中。在选项 B 中，扇出是在系统时钟之前完成的，所有时钟器件和倍频器都从此处获取其主时钟的单独副本。

该设计中选择了选项 B，因为时钟路径中的顺序站数量较少，因此预计噪声会更低。

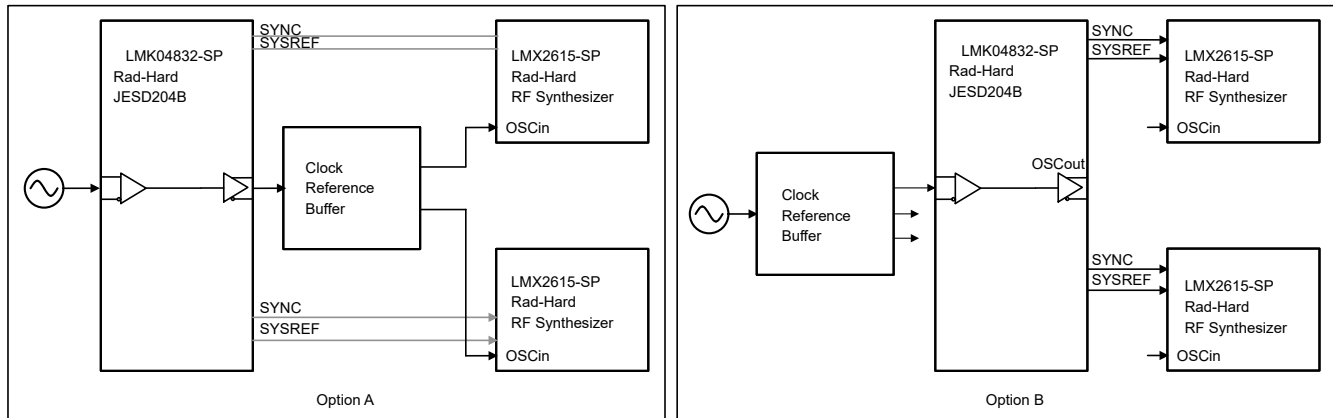


图 2-4. 时钟分配选项 A 和 B

对于时钟基准的缓冲，CDCLVP111-SP 是一个不错的选择，因为该器件具有数据表中描述和记录的所有重要参数。在各种备选器件中，该器件导致的增加极低。

该参考设计还通过使用 1:4 功率分配器为纯无源时钟分配提供了一些配置，如图 2-5 所示。然后可以比较这两种设计。这种比较不是本参考设计的测量范围内。

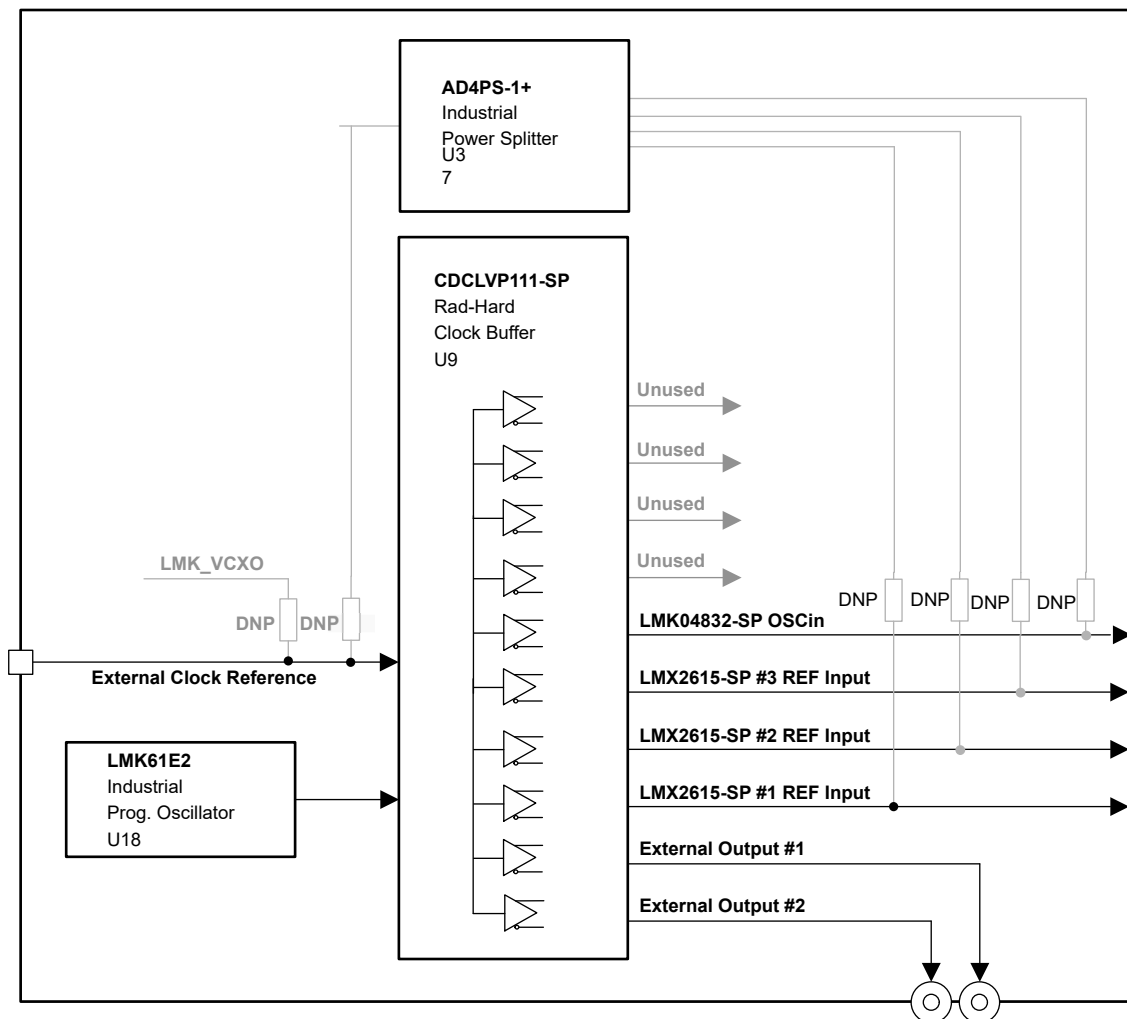


图 2-5. 使用功率分配器实现的无源时钟分配

2.3.2.2.3 时钟分配

多通道 JESD204B 设计需要各种低噪声和高速器件时钟，这些时钟用于为数据转换器、FPGA 时钟、SYSREF 和同步控制信号提供时钟，以便实现多个 PLL 合成器同步工作。在此设计中，系统时钟器件 LMK04832-SP 用于生成 FPGA 时钟、FPGA SYSREF 信号、数据转换器的主 SYSREF 信号以及多个 LMX2615-SP 器件的同步信号。主 SYSREF 信号馈送到 LMX2615-SP 器件的 SYSREF_REQ 输入，并充当通过 LMK04832-SP 控制的主 SYSREF。

LMK04832-SP 采用 PLL2 单环路模式运行，在 OSCin 上具有 100MHz 输入，并在内部 SYNC 和分频器复位后生成同相时钟。LMK04832-SP 使用工作频率为 3.2GHz 的内部 VCO 生成 160MHz 的 FPGA 时钟和 20MHz 频率的 SYSREF。

2.3.2.2.4 频率合成

此参考设计提供了两个选项，可根据抖动性能要求使用 LMK04832-SP 或 LMX2615-SP 生成高速时钟。与 LMK04832-SP 相比，LMX2615-SP 具有更好的相位噪声性能。因此，此设计中使用 LMX2615-SP 来生成 3.2GHz 的高频时钟。两个 LMX2615-SP 器件都通过时钟缓冲器 CDCLVP111-SP 接收 100MHz 的同相基准时钟，并在 VCO 同步模式下运行以同步其输出，而在 SYSREF 中继器模式下则通过 LMK04832-SP 路由控制信号。LMX2615-SP 需要同步输入的正边沿来将输出时钟相位与定义的位置对齐。该信号来自脉冲模式下 SDCLKout 上的 LMK04832-SP。与从 LMX 生成 SYSREF 类似，该器件以 SYSREF 中继器模式运行，并从 LMK 器件的 SYSREF_REQ 输入端获取输入。

2.3.2.3 相位延迟调整选项

时钟设计需要足够灵活，才能控制器件时钟之间的延迟，从而保持 **SYSREF** 设置和保持时间，并在通道之间提供一致的低偏斜。LMX2615-SP 提供 9ps 的 **SYSREF** 延迟步长，并具有 **MASH SEED** 功能，可在器件时钟上提供延迟。

要调整 **DCLK** 之间的延迟并具有确定性延迟，请使用 LMX2615-SP 中的 **MASH SEED** 功能。如果 **SYSREF** 时钟信号之间存在偏斜，则通过 **SYSREF** 延迟调整 **SYSREF**，以便尽可能地减小偏斜。

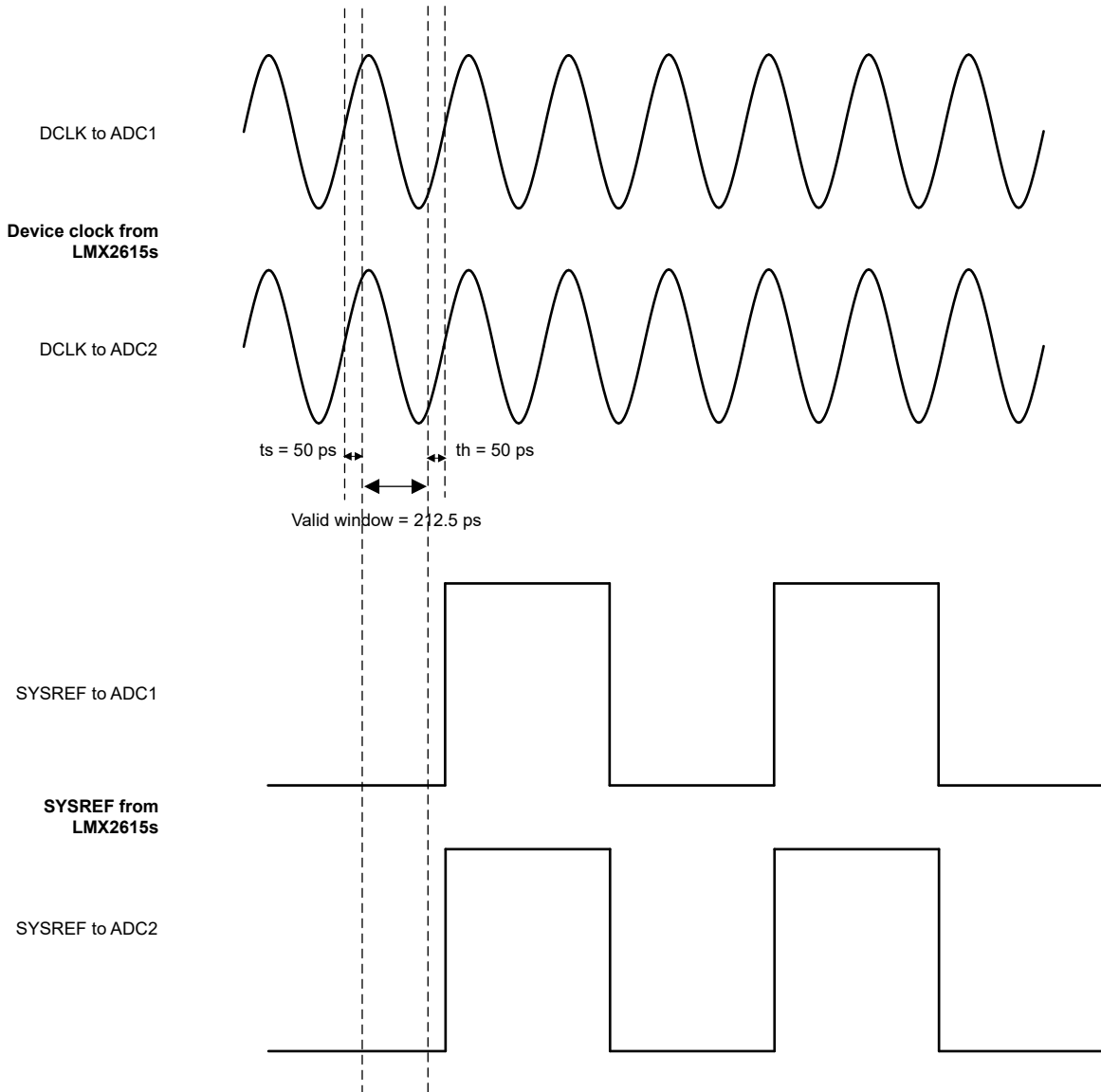


图 2-6. 时钟和 SYSREF 对齐

ADC12DJ3200-SP 具有孔径延迟 (**tad** 功能，该功能还可以在输入时钟处提供延迟并调节偏斜，但在本设计中，延迟由输入时钟本身进行调节。

2.3.2.4 相位噪声优化

模拟信号链性能取决于时钟的相位噪声和抖动性能，这会影响到数据转换器的 **SNR**、**ENOB** 和 **SFDR**。因此，应优化时钟的相位噪声以实现最低抖动。

可使用 PLLatinum™ 仿真工具对 LMX2615-SP 优化型环路滤波器进行编程，尽可能地降低相位噪声。在此设计中，环路滤波器与 LMX2615-SP EVM 元件保持相同。

表 2-2. LMX2615-SP 设计参数

参数	值
VCO 增益	132 MHz/V
环路带宽	285 kHz
相位裕度	65 度
C1_LF	390nF
C2_LF	68nF
C3_LF	进行中
C4_LF	1.8nF
R2	68Ω
R3_LF	0Ω
R4_LF	18Ω
电荷泵增益	15mA
相位检测器频率	200MHz
VCO 频率	为 15GHz 精心设计，但适用于整个频率范围

ADC SNR 性能会因外部时钟抖动和内部 ADC 孔径抖动而降低。ADC 的 SNR 受总抖动限制，计算公式如下：

$$\text{SNR(ADC)} = -20 \times \log(2 \times \pi \times f_{\text{input}} \times t_{\text{jitter}}) \text{dBc} \quad (1)$$

为了计算 ADC12DJ3200-SP 在时钟性能方面的 SNR 性能，TI 提供了一款工具，其中包含 ADC 的抖动和 SNR 计算器 (JITTER-SNR-CALC)。图 2-7 是包含计算结果的屏幕截图：

PLL					
Part#	Device Parameters				Notes
	LMX2594	LMX2615-SP			
Fo	3200	MHz			Select from list or input values
Fpfd	100	MHz			Will be set by ADC
NormInBand	-231	dBc/Hz	-231	MHz	
Noisefloor	-160	dBc/Hz		dBc/Hz	
Loop BW	1	MHz		MHz	
Fmin	10	kHz		kHz	Min integration limit
Fmax	3200	MHz		GHz	Max integration limit
PNrminBand	-61	dBc			[Fmin, BW]
PNrmsFloor	-65	dBc			[BW, Fmax]
PNrmsSSB	-59	dBc			Single Side Band
PNrms	-56	dBc			Dual Side Band
Φrms	1.5	mrad			
Tjclk	75	fs			
<i>Note: Bold is calculated value!</i>					

ADC					
Part #	Device Parameters				Notes
	ADC12DJ3200	Custom ADC Inputs			
# of bit	12				Select from list or input values
Fclk	3200	MHz	3200	MHz	Sample rate
FS	0.8	Vpp		Vpp	
Back-off	1	dB		dB	
Dec	1		1		Decimation
DR	3200	Msp/s			Data rate
SNR	56	dBFS		dBFS	
THD	80	dBFS		dBFS	
SINAD	56.0	dBFS			SNR+THD
ENOB	9.0				
Fin	4997	MHz	4997	MHz	
Tja	50	fs		fs	
Tj	90	fs			Tja+Tjclk
SNR*	50.5	dBFS			
SINAD*	50.5	dBFS			
ENOB*	8.1				

图 2-7. 抖动至 SNR 工具屏幕截图

图 2-8 和图 2-9 展示了相关的 SNR 图。

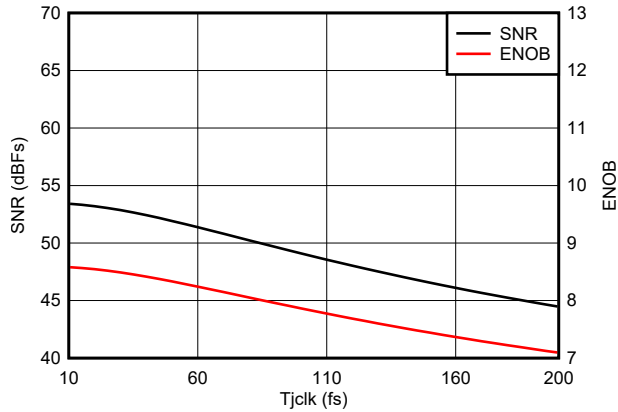


图 2-8. SNR 与 T_{jclk} 间的关系

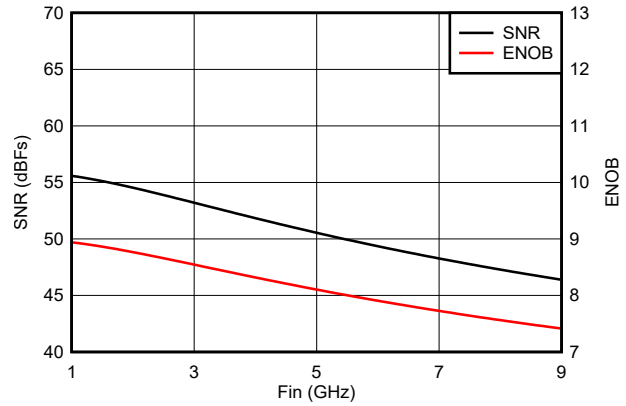


图 2-9. SNR 与 F_{in} 间的关系

2.3.2.5 单粒子效应 (SEE) 注意事项

在此参考设计中，ADC12DJ3200QML-SP 射频采样 ADC 是时钟树所用于的目标数据转换器。有关单粒子翻转 (SEU) 以及如何处理 SEUS 的更多信息，请参阅 ADCDJ3200QML-SP 数据表：[ADC12DJ3200QML-SP 6.4GSPS 单通道或 3.2GSPS 双通道、12 位射频采样模数转换器 \(ADC\)](#)。

JESD204B 概述了 SYSREF 可以配置为多种不同模式：连续（也称为周期性）模式、间隔周期性模式或一次性脉冲信号模式。连续模式支持连续输出，由于从 SYSREF 到器件时钟的串扰，设计人员有时需要避免这种情况。但是，ADC12DJ3200QML-SP 数据表建议始终使用连续 SYSREF 来快速恢复可能遇到 SEUS 的内部时钟和计数器。

为了尽可能地减少 SYSREF 与器件时钟之间的串扰问题，请将周期设置为足够长，来限制耦合导致的杂散性能下降，但又应足够短，以便在系统要求范围内恢复。SYSREF 有助于发送器 (ADC12DJ3200QML-SP) 和接收器 (FPGA 或 ASIC) 在 SEU 后恢复。如需更多建议，请参阅 [ADC12DJ3200QML-SP](#) 数据表的单粒子翻转 (SEU) 部分。

在该设计中，时钟树中的内核 (LMK04832-SP、LMX2615-SP) 以及目标数据转换器 (ADC12DJ3200QML-SP) 中没有针对 $LET \geq 80\text{MeV}\cdot\text{cm}^2/\text{mg}$ 的单粒子功能中断 (SEFI)。表 2-3 概述了这些器件的辐射性能。

表 2-3. 辐射性能总结

参数	ADC12DJ3200QML-SP	LMK04832-SP	LMX2615-SP	CDCLVP111-SP
TID LDR 表征 [krad(Si)]	不适用	100	100	75
TID HDR 表征 [krad(Si)]	300	100	100	100
TID RLAT/RHA [krad(Si)]	300	100	100	—
SEL 抗扰度 [$\text{MeV}\cdot\text{cm}^2/\text{mg}$]	120	120	120	69.2
SEFI 抗扰度 [$\text{MeV}\cdot\text{cm}^2/\text{mg}$]	120	120	120 (引脚模式)	—
SEE 表征 [$\text{MeV}\cdot\text{cm}^2/\text{mg}$]	120	120	120	65.3

有关特定于器件的其他信息，请参阅单粒子效应 (SEE) 报告，这些报告通常会在 TI.com 产品文件夹中提供。

2.3.2.6 扩展 MIMO 系统的时钟树

本参考设计的重点在于为两个 ADC12DJ3200QML-SP 射频采样 ADC 提供时钟和同步，但是大多数系统通常需要为多个高速数据转换器（许多情况下是多个 ADC 和 DAC 组合在一起）提供时钟和同步。

要为具有两个以上通道的多通道系统扩展时钟树，可以考虑多种时钟架构，例如树或菊花链配置，如图 2-10 所示。

在菊花链配置中，时钟板先接收来自外部时钟源的高频基准信号并生成同步高频时钟；然后将相同的基准信号以及同步信号一起分配到下一个时钟板，以便同步两个时钟板。而在时钟树配置中，一个主电路板（例如 LMK04832EVM-CVAL）接收来自外部时钟源的高频基准信号，该信号会与用于同步辅助器件的同步信号一起分配给辅助电路板（时钟板）。

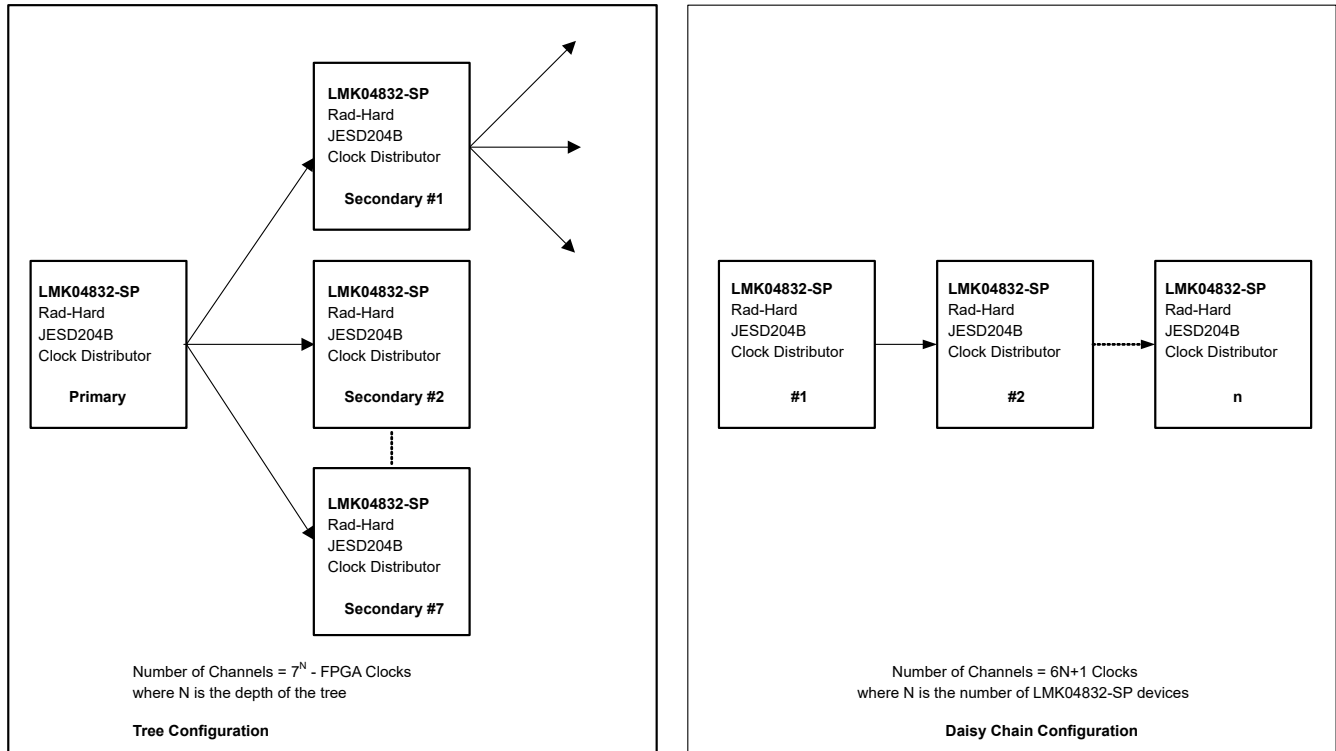


图 2-10. 时钟分配配置示例

以下工业级参考设计展示了这些配置的示例：

- 菊花链：适用于雷达和 5G 无线测试仪的高通道数 JESD204B 菊链时钟参考设计 (TIDA-01024)
- 树：适用于雷达和 5G 无线测试仪的高通道数 JESD204B 时钟生成参考设计 (TIDA-01023)

2.3.3 电源管理

作为该参考设计的一部分，我们开发了一个主要耐辐射的电源时钟树，用于为时钟树的关键元件供电。此外，树中的一部分使用工业级器件为编程接口供电，这并不意味着有任何辐射性能保证。以下各节介绍了产品选择和设计选择。

2.3.3.1 电源设计注意事项

低噪声电源对模拟前端的性能至关重要。图 2-11 展示了从电源到模拟前端的噪声耦合路径。图 2-11 还展示了电源噪声对数据转换器输出频谱的影响。如前所述，由于电源噪声，数据转换器频谱有两个分量：

- 直接耦合频率分量
- 调制频率分量

要实现稳健的设计，请考虑以下因素：

- 从源头上降低噪声
- 消除或尽量缩短耦合路径
- 降低负载对噪声的敏感度

在模拟前端中，数据转换器的时钟电源轨和模拟电源轨需要低噪声电源。因此，需要采取必要的预防措施，例如对直流/直流转换器使用后置稳压器或对直流/直流转换器输出进行适当滤波。

直流/直流转换器后跟 LDO 在尺寸和热性能方面进行了权衡。如果有多个开关模式电源同步，它们可以降低拍频和 EMI。

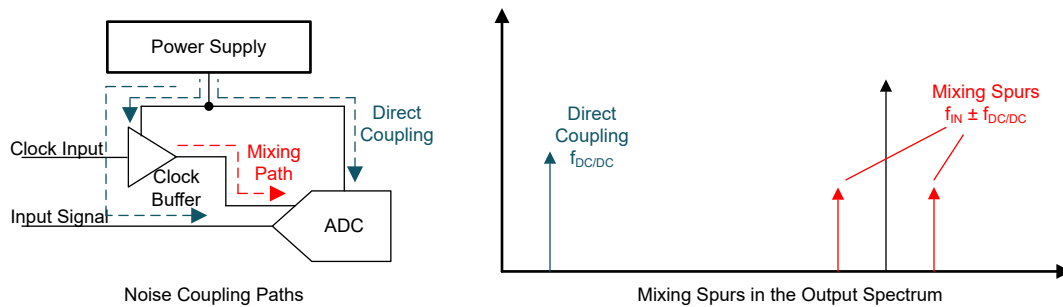


图 2-11. 噪声耦合

2.3.3.2 耐辐射 (防辐射) 电源树

本参考设计中使用的时钟器件主要需要 3.3V 电源电压。提供低噪声 3.3V 电源是电源树的一个重点 (请参阅图 2-12)。此外，电源需要满足 GEO 轨道中多年飞行任务的典型辐射要求。在这种特定情况下，所有电源树集成电路 (IC) 均为防辐射电路，并且符合或超过以下辐射规范：

- 电离辐射总剂量 (TID) = 100krad(Si)
- 耐辐射加固保障 (RHA)/RLAT = 100krad(Si)
- 中子位移损伤 (NDD) 规格 = 1×10^{13} n/cm² (等效于 1MeV)
- SEL、SEB 和 SEGR 抗扰度 LET = 75MeV/cm²/mg
- SET/SEFI 对于 LET 的额定值 = 75MeV/cm²/mg

备注

由于本参考设计侧重于选择合适的半导体器件，因此使用的是分立式元件 (例如电阻器、电容器、二极管、电感器等等)，而不考虑航空资质认证。

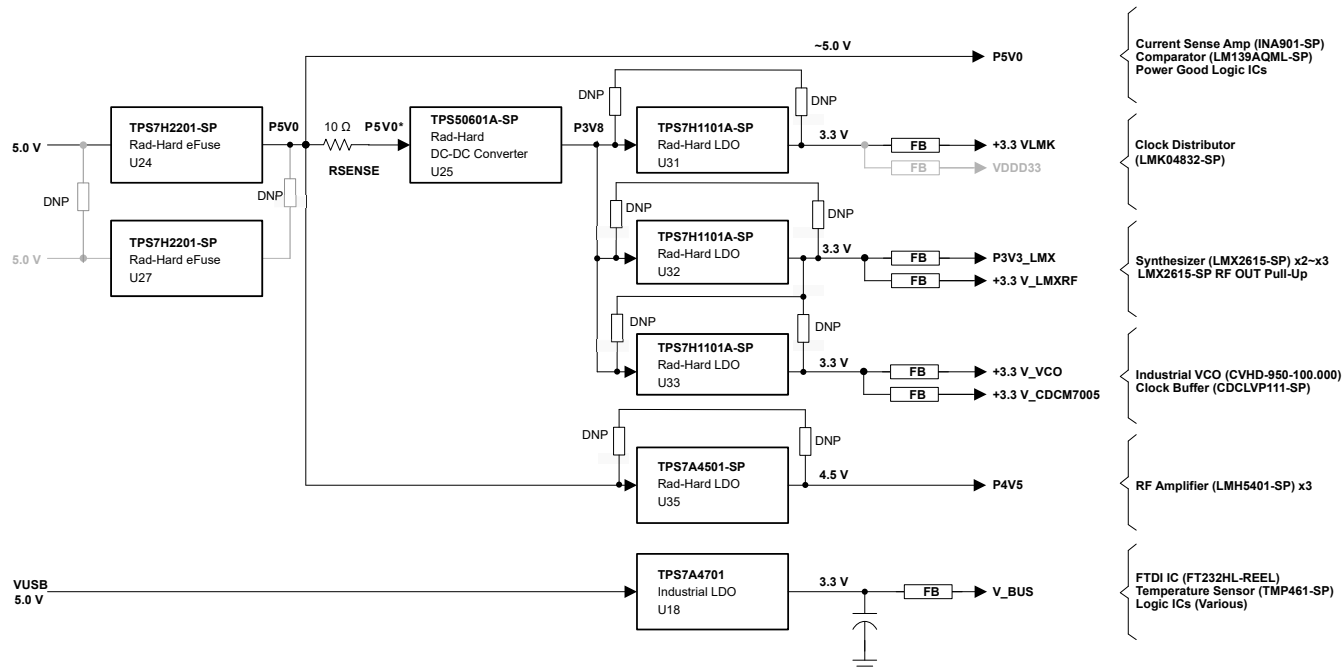


图 2-12. 电源树

图 2-12 展示了电源树。从左到右，电源树展示了三种防辐射功率器件。首先，TPS7H2201-SP 电子保险丝提供了一个集成选项来提供过流和过压保护功能。接着，TPS50601A-SP 直流/直流降压转换器进行 5.0V 至 3.8V 的高效转换。这为 3.3V LDO 留出了 500mV 的裕量，从而使 LDO 能够以出色的交流性能运行。然后，TPS7H1101A-SP 进行从 3.8V 到 3.3V 的转换。LDO TPS7A4501 负责为差分放大器提供 4.5V 电源，并直接由 5V 电源供电，因为在该低电流下不需要使用开关模式转换器。

2.3.3.2.1 耐辐射 (RHA) 负载开关

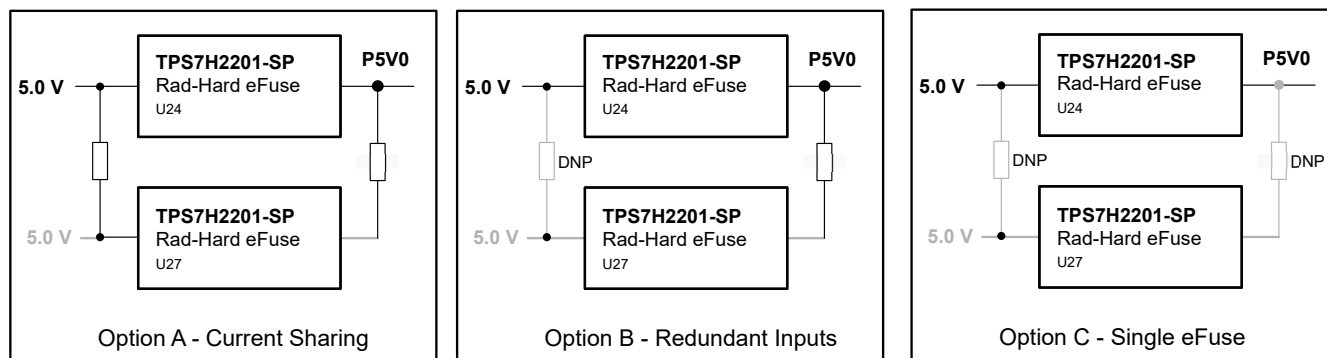


图 2-13. 电子保险丝配置选项

电子保险丝设计规范：

- 冗余架构
- $V_{IN} = 5V$
- $I_{outmax} = 6A$

$R_{IL} (\Omega) = 45500 / (I_L (A)) = 7.58k\Omega$; 标准值为 7.59k Ω

计算中还考虑了电源 (4.5V) 的 10% 压降。以下计算表明，当 R_{TOP} 为 $100k\Omega$ 时， R_{BOTTOM} 为 $11.66k\Omega$ ；修改为标准值后为 $11.5k\Omega$ 。

$$R_{BOT_EN} (k\Omega) \geq 47 / (V_{UVLO_TRIP} - 0.47) \quad (2)$$

其中

- $V_{UVLO_TRIP} = 4.5V$ ，因此 $R_{BOT_EN} = 11.66k\Omega$

所选的 R_{BOT_EN} 标准值 = $11.5k\Omega$

$$V_{IHEN} \times (R_{EN_TOP} + R_{EN_BOT}) / R_{EN_BOT} \geq V_{IN} \quad (3)$$

其中

- $V_{IHEN} = 0.61V$ ， $R_{EN_TOP} = 100k\Omega$ ， $R_{EN_BOT} = 11.5k\Omega$

结果得到： $5.914V \geq V_{IN}$ 。

该器件的过压保护 (OVP) 功能可通过从 V_{IN} 连接到 OVP 引脚的电阻分压器进行配置。OVP 的跳变电压必须小于绝对最大 V_{IN} 电压。OVP 引脚上的电压大于 V_{OVPR} 会触发 OVP 功能并关闭 FET，而该电压小于 V_{OVPF} 则会使 FET 导通。

$$R_{BOT_EN} (k\Omega) \geq 63 / (V_{OVP_TRIP} - 0.63) \quad (4)$$

其中

- $V_{OVP_TRIP} = 6.5V$ ，因此 $R_{BOT_EN} = 10.7k\Omega$

$$V_{OVPF} \times (R_{EN_TOP} + R_{EN_BOT}) / R_{EN_BOT} \geq V_{IN} \quad (5)$$

其中

- $V_{OVPF} = 0.5V$ ， $R_{EN_TOP} = 100k\Omega$ ， $R_{EN_BOT} = 10.7k\Omega$

结果得到： $5.17V \geq V_{IN}$ 。

该开关由一个开关输入 (EN) 控制。

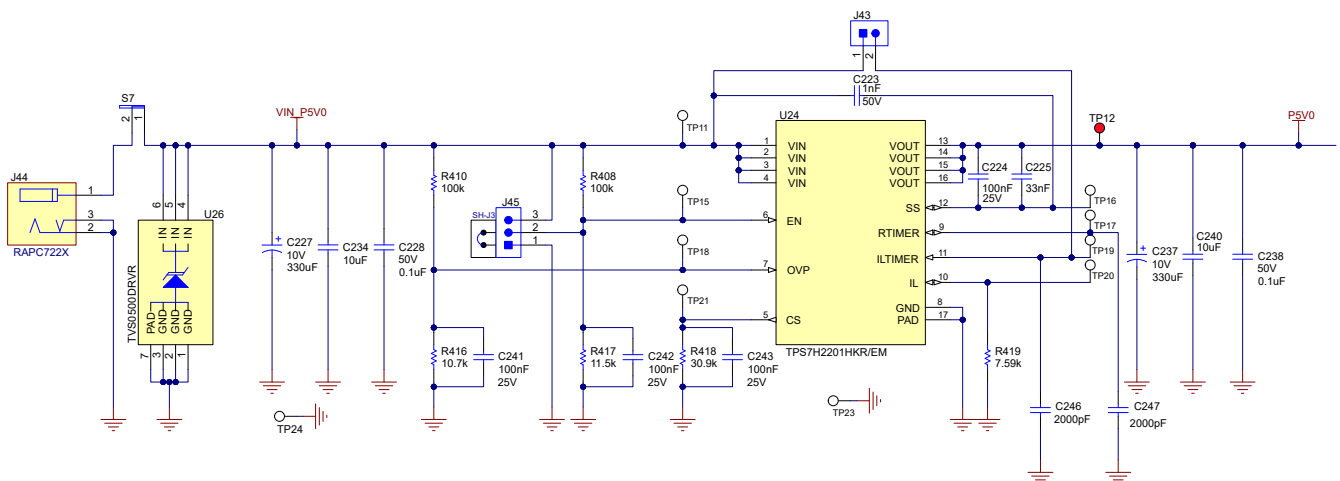


图 2-14. 冗余电子保险丝的一个分支

2.3.3.2.2 耐辐射 (RHA) 直流/直流降压转换器

为了向所有 3.3V 器件提供精确电源，这里使用一个降压转换器作为前置稳压器。这会通过降低电压来减少 LDO 中的发热。高度降噪的时钟生成需要低噪声电源，而级联降压转换器和 LDO 或一组 LDO 能够提供此功能。

转换器设计规范：

- $V_{IN} = 5V$
- $V_{OUT} = 3.8V$
- $I_{outmax} = 4A$
- $F_{sw} = 500kHz$
- $R_{TOP} = 10k\Omega$, $R_{BOT} = 2.64k\Omega$

$$R_{BOTTOM} = V_{REF} / (V_{OUT} - V_{REF}) \times R_{TOP} \quad (6)$$

其中

- $V_{REF} = 0.804V$
- $V_{OUT} = 3.8V$
- $R_{TOP} = 10k\Omega$
- $R_{BOTTOM} = 2.683k\Omega$
- 标准值 = $2.64k\Omega$

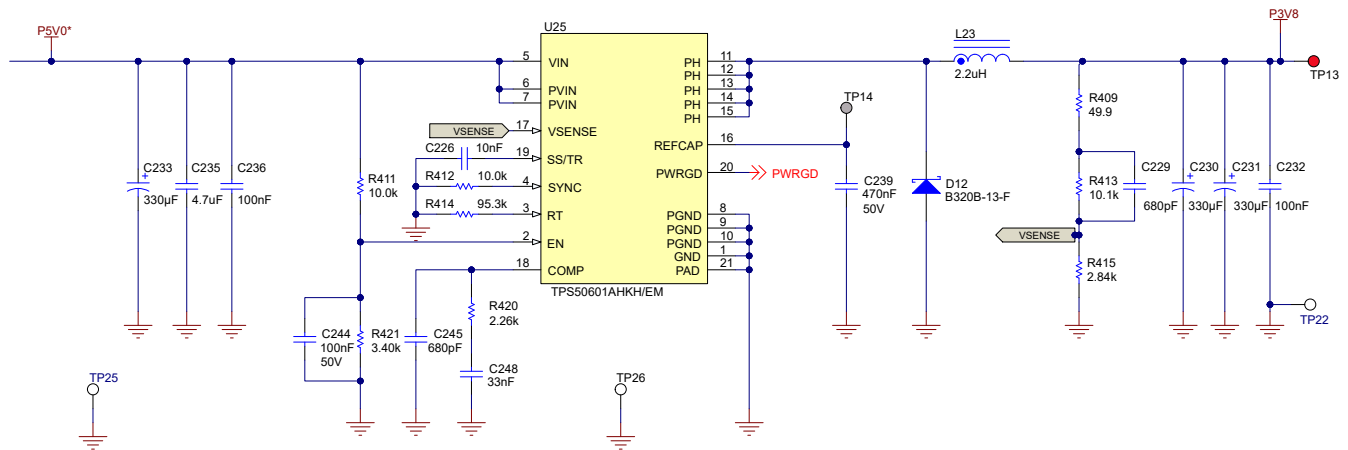


图 2-15. 降压前置稳压器

补偿值是在 WEBENCH® Power Designer 中确定的，并通过 TINA-TI 中的平均模型进行了仿真验证。

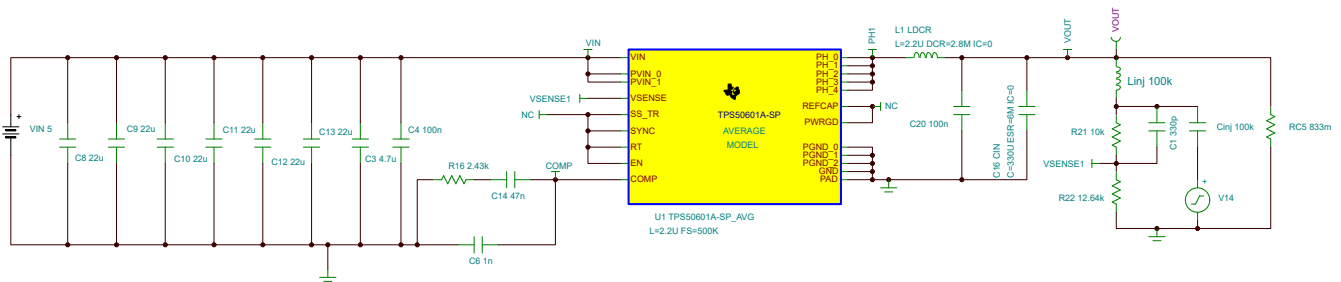


图 2-16. TPS50601A 降压稳压器的仿真平台

图 2-17 展示了仿真产生的相位裕度为 57.86°。

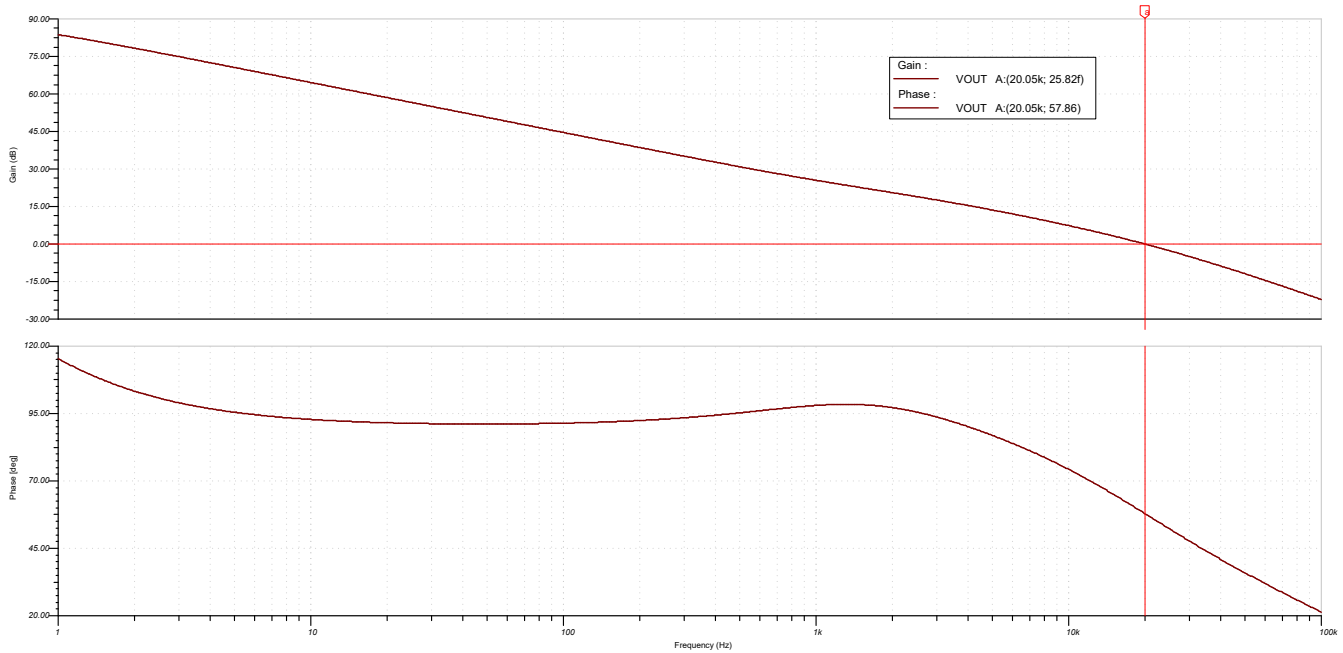


图 2-17. 带有所选无源器件时 TPS50601A 的相位和增益

使用 [TPS50601A-SP 耐辐射 3V 至 7V 输入电压、6A 同步降压转换器](#) 数据表中用于讨论频率补偿小信号模型部分中的公式，根据所需的规格重新计算器件环路补偿元件值。

2.3.3.2.3 耐辐射 (RHA) 低压降 (LDO) 稳压器

RHA LDO 产品系列中有两款专为此应用设计的器件：TPS7A4501-SP 和 TPS7H1101-SP。

在这两款器件中，TPS7A4501-SP 具有较小的电流能力（即 0.75A），但该器件提供了更好的电源纹波抑制性能。对于功耗较低且需要干净电源的器件，此设计中使用 TPS7A4501-SP 作为其稳压器。LMH5401-SP 全差分放大器通过该路径供电，并用作时钟缓冲器，而干净的电源会减少增加的时钟抖动。

TPS7H1101-SP 为时钟合成器 LMX2615-SP 的 3.3V 电源轨、中央时钟分配和抖动消除器电路 LMK04832-SP、CDCLVP111-SP 以及时钟端接电阻器网络供电。选择传输 3A 电流时，所需的电流超出 TPS7A4501-SP 和 TPS7H1101-SP 的能力。节 2.3.3.2.3.1 和节 2.3.3.2.3.2 给出了这两个 LDO 对应的计算方法。

2.3.3.2.3.1 3.3V 线性稳压器

LDO 设计规格：

- $V_{IN} = 3.8\text{ V}$
- $V_{OUT} = 3.3\text{ V}$
- $I_{outmax} = 2\text{ A}$
- $R_{TOP} = 51.1\text{ k}\Omega$ ， $R_{BOT} = 11.5\text{ k}\Omega$

$$V_{OUT} = ((R_{TOP} + R_{BOTTOM}) \times V_{FB}) / R_{BOTTOM} \quad (7)$$

其中

- $V_{FB} = 0.605\text{ V}$ ， $V_{OUT} = 3.3\text{ V}$ ， $R_{TOP} = 51.1\text{ k}\Omega$

$$R_{BOTTOM} = R_{TOP} / ((V_{OUT} / V_{FB} - 1)) = 11.47\text{ k}\Omega；\text{标准值} = 11.5\text{ k}\Omega$$

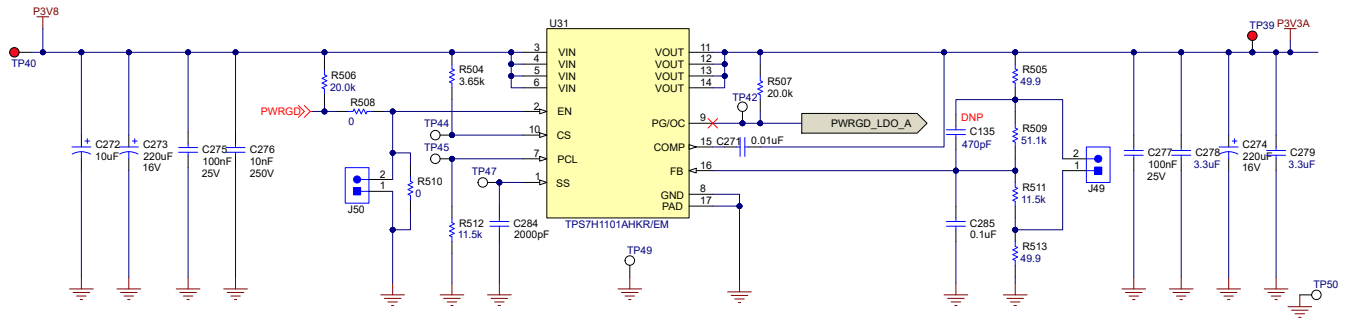


图 2-18. 采用 TPS7H1101 的 3A LDO 提供 3.3V 电压

LDO 的使能引脚连接到 TPS50601A-SP 电源正常引脚以进行电源时序控制。由于 LDO 的输出电流大于 1A，因此最小压降电压被确定为 500mV，从而使器件的频谱噪声保持相对较低。

2.3.3.2.3.2 4.5V 线性稳压器

LDO 设计规格：

- $V_{IN} = 5V$
- $V_{OUT} = 4.5V$
- $I_{outmax} = 0.75A$
- $R_{TOP} = 8.71k\Omega$ ， $R_{BOT} = 3.25k\Omega$

$$V_{OUT} = ((R_{TOP} + R_{BOTTOM}) \times V_{FB}) / R_{BOTTOM} \quad (8)$$

其中

- $V_{FB} = 1.21V$
- $V_{out} = 4.5V$
- $R_{BOT} = 3.25k\Omega$

$R_{TOP} = V_{out} / V_{FB} R_{BOT} - R_{BOT} = 8.84k\Omega$ ；减去 49.9Ω 的 R547 后，标准值为 8.66kΩ。

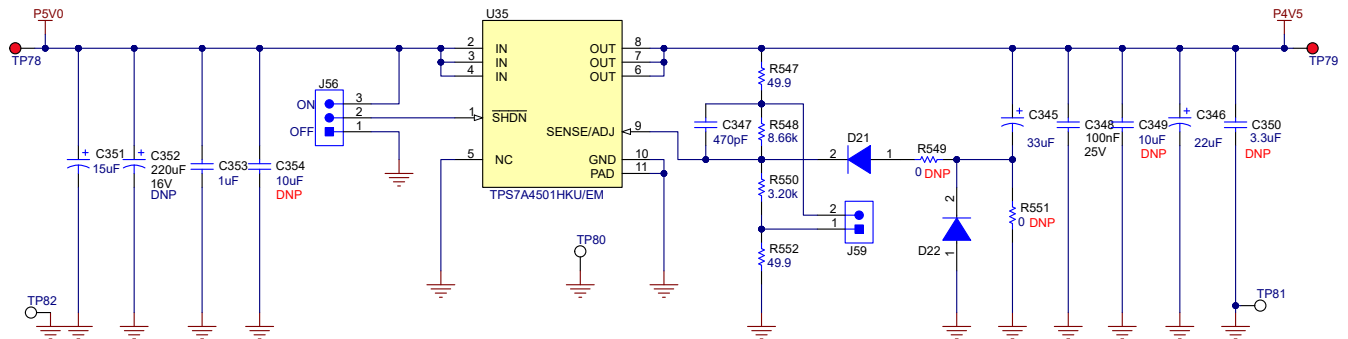


图 2-19. 采用 TPS7A4501 的 0.75A LDO 提供 4.5V 电源

2.3.3.3 过流检测电路

应用所需的总电流是可变的，具体取决于配置。为了预测误配置可能导致的欠压情况，该设计中安装了电流检测放大器和过流比较器。INA901-SP 旨在检测高侧（正电源轨）分流电阻器，并将电流转换为电压，以便进一步分析。该器件可在 TP37 上进行抽头。灵敏度为总系统电流的 1V/A。

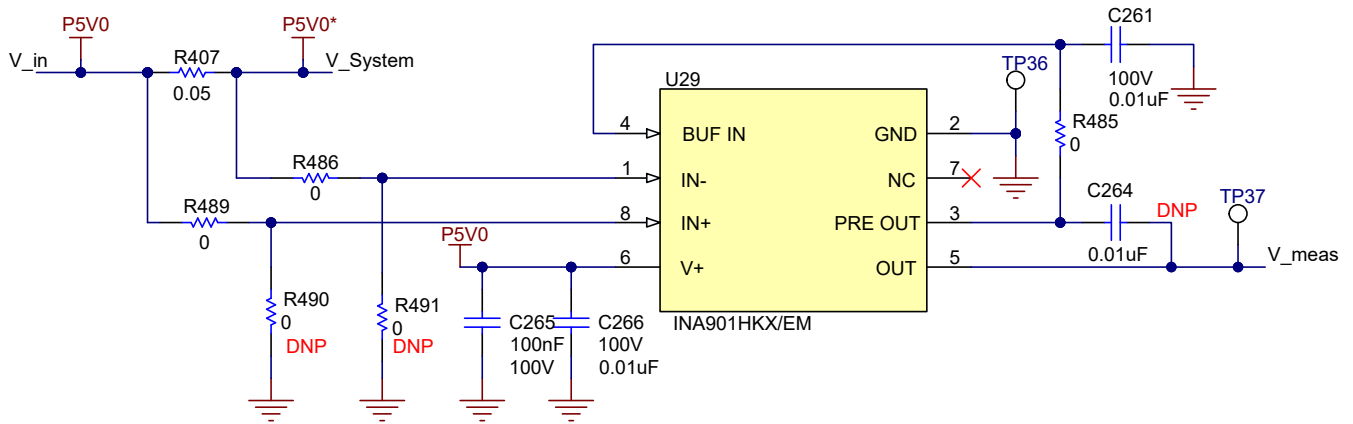


图 2-20. 电源电流检测

3 硬件和软件入门

3.1 硬件配置

3.1.1 时钟板设置

图 3-1 展示了多通道 TIDA-010191 时钟板。

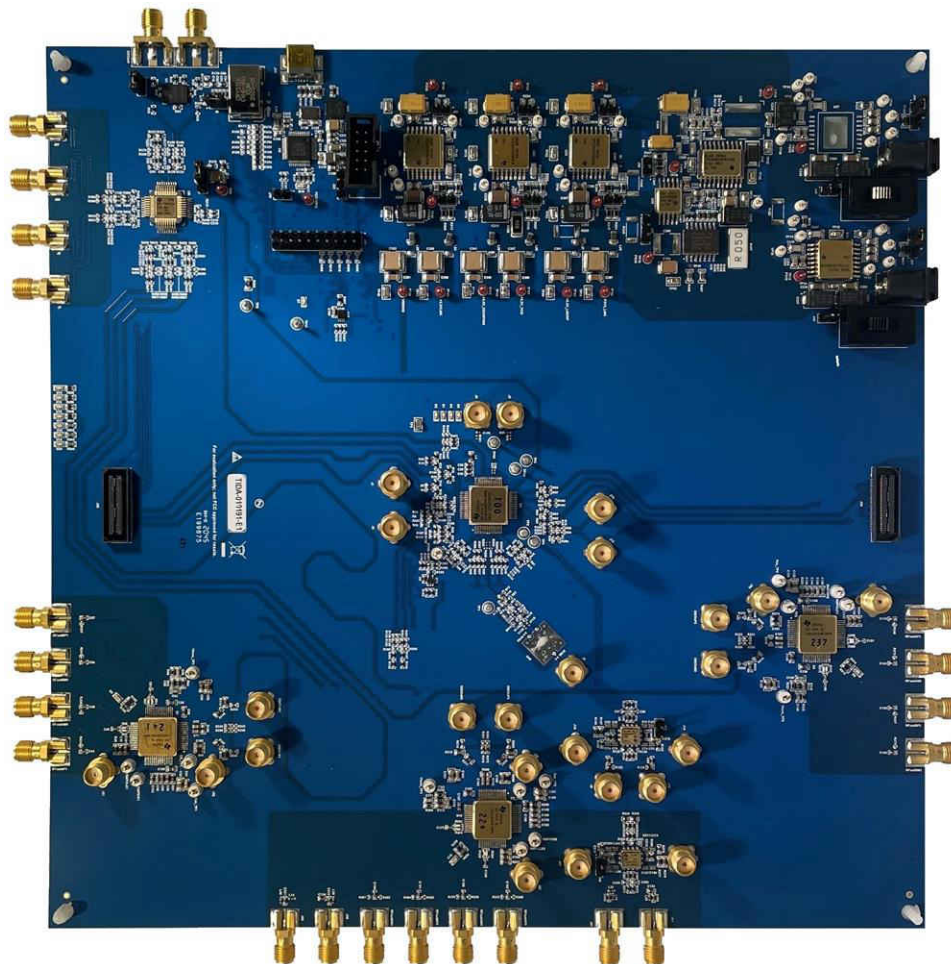


图 3-1. TIDA-010191 时钟板

3.1.1.1 电源

该电路板具有两个 +5V 电源选项。电源连接器 J44 是主电源输入，J47 是冗余电源输入。当前电路板中未实现冗余，U27（第二个电子保险丝）未安装。电源需要插入主连接器 J44。将电源设置为 +5V 并电流限制为 2A。

3.1.1.2 输入基准信号

设置输入基准信号时，请使用以下选项：

- 选项 1：板载基准 LMK61E2 (U2) 通过跳线 J16 加电，并在出厂时编程用于生成 156MHz LVDS 输出。U2 可以通过编程来使用 I2C 接口生成不同的时钟频率。该时钟板具有一个 CDCLVP111-SP 时钟缓冲器 (U9)，可从 U2 或外部基准 Y1 选择基准输入，并分配给板上的时钟器件。U9 可以使用跳线 J30 引脚 2 和 3 处的短跳线来选择 LMK61E2 基准。通过移除 J8 上的短跳线，将电源与 Y1 隔离。
- 选项 2：将外部基准信号连接到 OSCin_P 和 OSCin_N 连接器。连接外部基准时，通过移除 J8 上的短跳线并移除 C87 来关断 Y1。对于从基准缓冲器器件 U13 到时钟器件的外部基准使能，请将短跳线放置在 J30 的引脚 1 和 2 上。同时，通过移除跳线 J16 来隔离 U2 与电源。

- 选项 3：板载 VCXO Y1 通过跳线 J8 加电，并通过移除 R39 并在 OSCin_N 连接器处连接 50Ω，向时钟缓冲器 (U9) 的 CLK0_P 引脚输入输出 100MHz 信号。将短跳线放置在 J30 的引脚 1 和 2 上，并将基准分配给时钟器件。同时，通过移除跳线 J16 来隔离 U2 与电源。
- 选项 4：当 LMK04832-SP 在单 PLL 模式 (PLL2) 下工作时，请使用前面的选项之一。当 LMK04832-SP 在分配模式或双 PLL 模式下运行时，根据运行输入频率，将外部基准连接至 J6、J10 或 J5。接下来，在基于 LMH5401-SP 的有源平衡-非平衡变压器 (U6) 或板载无源平衡-非平衡变压器 (U40) 之间进行选择。最后，通过放置 C79 和 C80 或 C38 和 C3 来选择 U1 的 CLKin1 引脚的路径。在分配模式下运行时，通过移除跳线 J8 将 Y1 关断。在分配模式下，当输入频率高于 3GHz 时，通过 J5 连接器的外部时钟输入可以馈送到 LMK04832-SP 的 Fin0 引脚，然后通过 R553 和 R554 连接外部时钟，并移除 R555 和 R556。

3.1.1.3 输入同步信号

在外部 J2 和 J3 连接器处连接外部同步信号，以便复位 LMK04832-SP 分频器。相同的输入可用于 LMK04832-SP 的 PLL1 的附加参考。

3.1.1.4 输出信号

以下列表描述了输出信号连接器：

- RFoutAP1、RFoutAM1、RFoutAP2 和 RFoutAM2 连接器生成 DCLK 并连接到相位噪声分析器，来测量相位噪声，并作为外部时钟连接到 ADC EVM 并测量 SNR
- RFoutBP1、RFoutBM1、RFoutBP2 和 RFoutBM2 连接器生成与 ADC EVM 相连的低频 SYSREF 信号
- 连接器 J32 和 J33 为两个 TSW14J57 采集卡生成 FPGA CLK 和 SYSREF

3.1.1.5 编程接口

将 USB 微型电缆连接到板载 USB 连接器 J17，并测试 PC 以使用 TIDA-01019x 软件图形用户界面 (GUI) 对 TIDA-010191 时钟板器件进行编程。

3.1.1.6 FMC+ 适配器板设置

FMC+ 适配器板与 ADC12DJ3200EVMCVAL EVM 和 TSW14J57EVM 相连，通过数据通道传输数据，并具有从 TIDA-010191 时钟板或 ADC12DJ3200EVMCVAL EVM 获取 FPGA 时钟、FPGA SYSREF 和 SYNC 的连接。按照图 3-2 中的原理图连接时钟板上的 FPGA 时钟和 SYSREF。

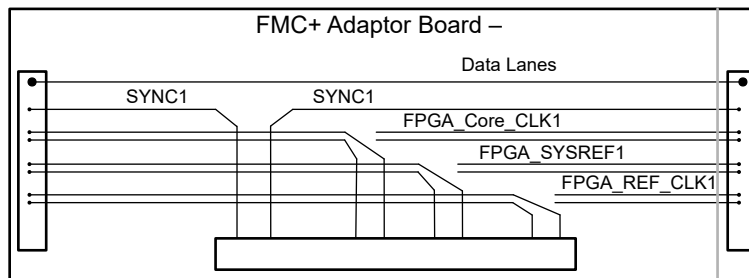


图 3-2. FMC 适配器

3.1.1.7 ADC12DJ3200 EVM 设置

如需了解 ADC12DJ3200EVMCVAL 硬件设置过程，请参阅 [ADC12DJ3200EVMCVAL 评估模块](#) 用户指南。

ADC12DJ3200EVMCVAL 具有内部和外部选项来为 ADC 提供时钟。选择 DEVCLK 的依据是电容器在共享焊盘上的放置位置。对于外部 DEVCLK，请连接 C49 和 C52 并移除 C50 和 C51。连接 ADC 的外部 SYSREF，移除 R67 并放置 R70，然后在 TIDA-010191 时钟板的连接器 J22 处提供 SYSREF。

3.1.1.8 TSW14J57EVM 设置

有关 TSW14J57 EVM 硬件设置过程，请遵循 [TSW14J57 JESD204B 高速数据采集和图形发生器卡](#) 用户指南。

3.1.1.9 多通道同步设置

图 3-3 展示了多通道同步设置，其中 TIDA-010191 时钟板通过 FMC+ 适配器与两个 ADC12DJ3200EVMCVL 和两个 TSW14J57EVM 连接。此设置需要 3 组长度匹配的电缆来连接它们。

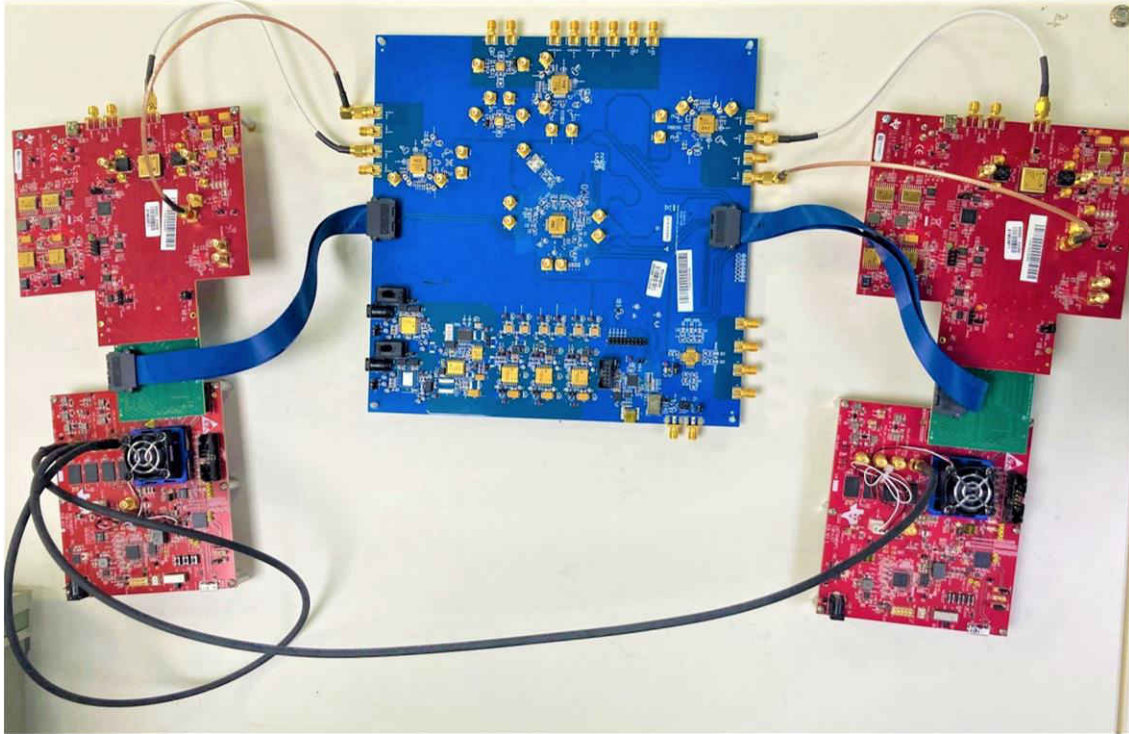


图 3-3. 设置照片

3.2 软件

3.2.1 所需软件

此参考设计使用以下软件：

- HSDC TIDA01019x GUI (用于对 TIDA-010191 时钟板进行编程)
- ADC12DJ3200EVM-CVAL GUI (用于对 ADC12DJ3200EVMCVAL 进行编程)
- HSDC Pro (TSW14J57EVM GUI)

3.2.2 时钟板编程序列

TIDA-010191 时钟板包括 FTDI 器件，该器件需要进行一次编程，才能支持软件 GUI。FTDI 实用程序 FT-prog 可从网站上安装。产品描述设置为 TIDA01019x，如图 3-4 所示。

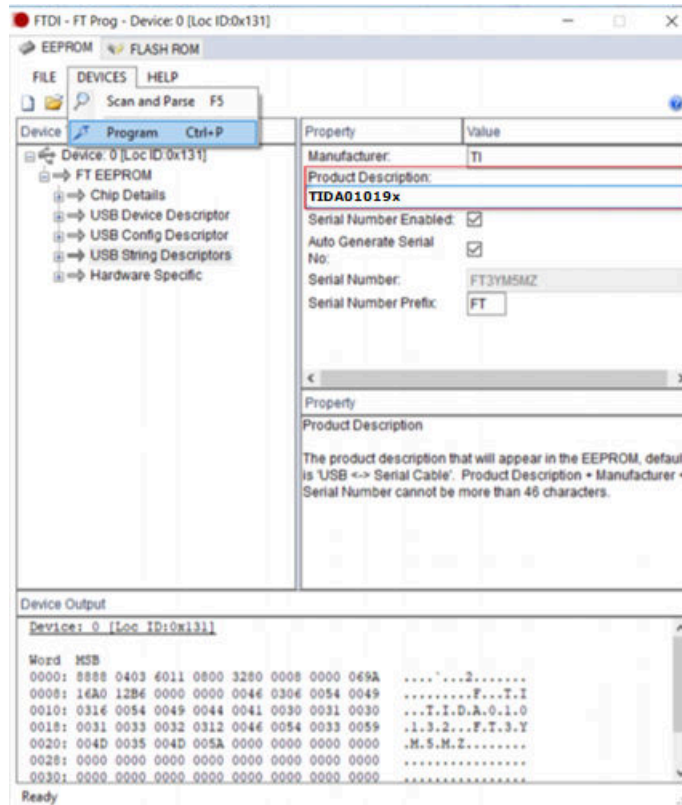


图 3-4. FTDI 设置的屏幕截图

时钟板器件由 HSDC TIDA01019x GUI 编程，该软件可从 [TIDA-010191](#) 工具页面下载。

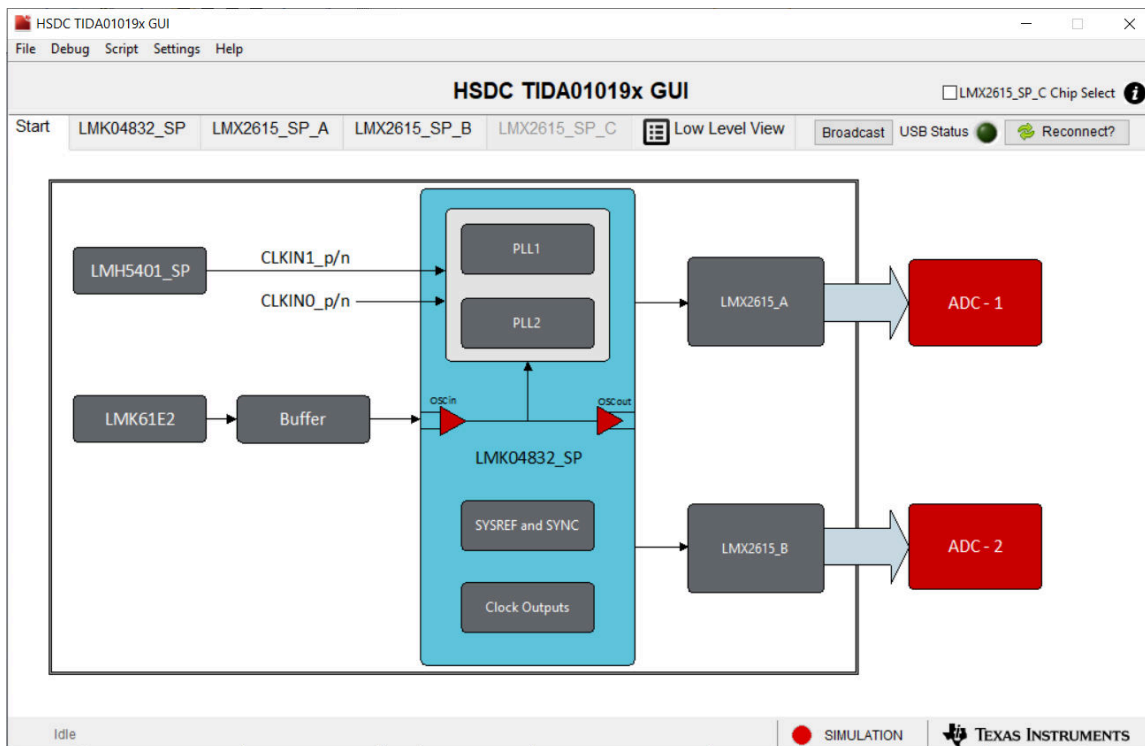


图 3-5. 时钟 GUI

所有器件均通过在“Low Level View”页面中加载配置文件来配置。

- 要测量 LMX2615-SP 相位噪声，请配置以下各项：
 - 通过 Wenzel 源提供的 100MHz 外部基准
 - LMX2615-SP 器件通过 CDCLVP111-SP 获取基准。LMX2615-SP 针对 100MHz 基准和 200MHz 相位检测器频率在各种频率下进行编程，可测量相位噪声
- 要测量时钟偏斜，请配置以下各项：
 - LMK61E2 编程为 100MHz。在“Low Level View”页面中配置文件
 - LMK04832-SP 编程为采用 100MHz 基准和单 PLL 模式，用于生成 20MHz SYSREF 频率，并为两个 LMX2615-SP 器件提供 SYSREFREQ 和 SYNC 信号
 - 两个 LMX2615-SP 器件都使用常用配置文件以 100MHz 相位检测器频率进行编程，并以中继器模式从两个器件的 20MHz SYSREFOUT (RFoutB) 生成 3.2GHz RFoutA 和 SYSREF
- 要测量 ADC12DJ3200-SP SNR 和多个 ADC EVM 之间的偏斜，请配置以下各项：
 - LMK61E2 编程为 100MHz。在“Low Level View”页面中配置文件
 - LMK61E2_100M.cfg
 - LMK61E2_EEPROM_Write.cfg
 - LMK04832-SP 编程为采用 100MHz 基准和单 PLL 模式，用于生成 20MHz SYSREF 频率，并为两个 LMX2615-SP 器件提供 SYSREFREQ 和 SYNC 信号。该器件还为 TSW14J57 采集卡生成 FPGA 时钟和 FPGA SYSREF
 - 加载 LMK04832-SP_160MFCLK_20MSYSREF_100MREF.cfg
 - 两个 LMX2615-SP 器件都使用常用配置文件以 100MHz 相位检测器频率进行编程，并以中继器模式从两个器件的 20MHz SYSREFOUT (RFoutB) 生成 3.2GHz RFoutA 和 SYSREF
 - LMX2615-SP_AB_3.2G_100MREF_SYSREF_Repeater.cfg

3.2.3 ADC12DJ3200CVAL EVM 编程序列

从 Ti.com 下载 ADC12DJ3200EVM-CVAL GUI，以便对 ADC12DJ3200EVMCVAL 进行编程。ADC12DJ3200-SP 和 LMK04832-SP 是在 ADC12DJ3200EVMCVAL 中配置用于 SNR 测量的器件，如图 3-6 所示。LMK04832 在分配模式下针对 CLKin1 驱动进行了编程，可直接配置 SYSREF。ADC12DJ3200EVMCVAL 进入 JMODE3 模式，以便在器件的全奈奎斯特区域内采用双通道模式工作。EVM 设置为外部时钟源选择模式，采样频率为 3200MSPS，并在 ADC12DJ3200EVM-CVAL 的“Low Level View”页面中加载配置文件。

从 HSDC TIDA01019x GUI 软件文件夹获取用于 ADC12DJ3200EVM-CVAL 同步测量的最新版 ADC12DJ3200EVM-CVAL 配置文件。

C:\Program Files (x86)\Texas Instruments\HSDC TIDA01019x GUI\Configuration Files\ADC12DJ3200EVM-CVAL GUI files

使用以下编程序列来在时钟板程序之后进行 ADC EVM 配置：

1. 加载 ADCEVM_LMK04832_CLKin1_SYSREF_bypass.cfg
2. 加载 ADC12DJxx00_JMODE3_SRC_EN.cfg
3. 在 HSDC TIDA01019x GUI 中加载 LMK_LMX_SYSREF_OFF.cfg
4. 加载 ADC12DJxx00_JMODE3_SRC_clear.cfg

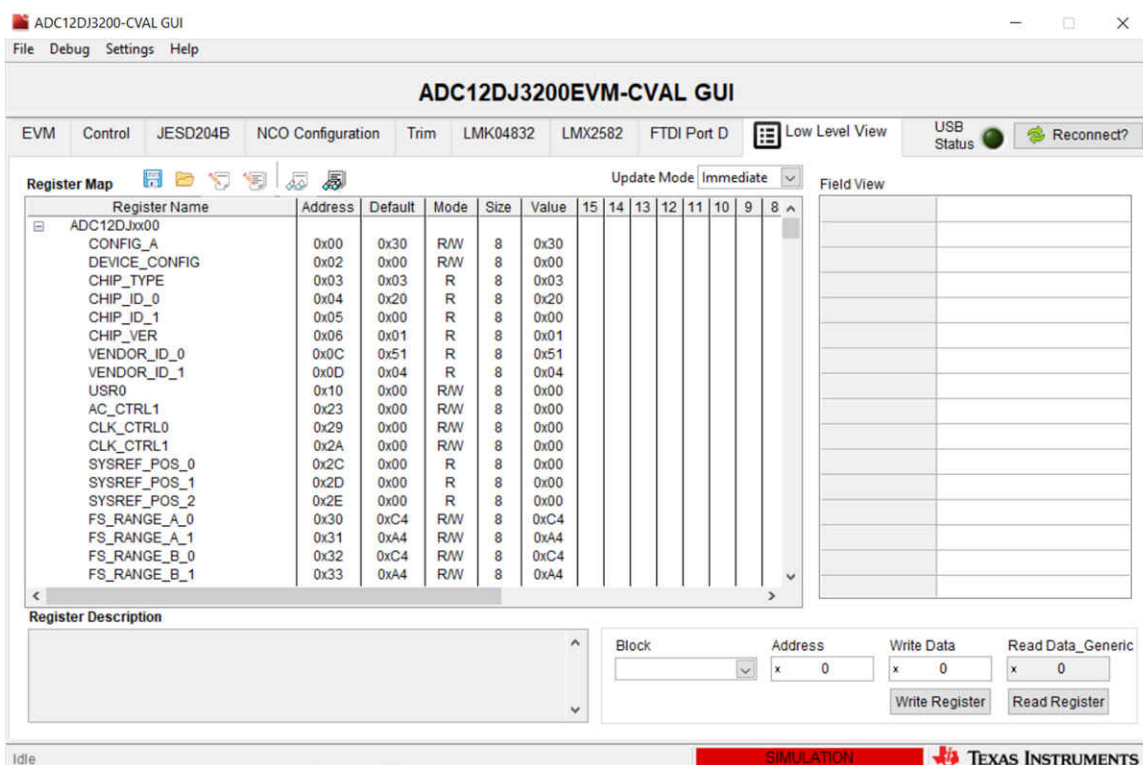


图 3-6. ADC12DJ3200 EVM 编程

3.2.4 TSW14J57EVM 评估编程序列

HSDC Pro 软件与 TSW14J57EVM 相连，可在 SNR 测量和偏斜测量中捕获和分析来自 ADC12DJ3200-SP 的数字数据。

要在主要模式和次要模式下操作 TSW14J57EVM 工具以进行偏斜测量，请遵循 HSDC TIDA01019x GUI 软件文件夹中提供的自述文件说明。接下来，在 HSDC Pro GUI 文件夹中包含更新的固件、.ini 文件和其他设置。

按照 [TSW14J57 JESD204B 高速数据采集和图形发生器卡](#) 用户指南进行 HSDC Pro 设置，并捕获和分析数据。以下步骤展示了如何配置 HSDC Pro GUI 以捕获数据并在主要模式和次要模式下运行。

1. 选择 ADC12DJxx00_JMODE3_F&K_1_32_sysref.ini 以连接 JMODE3 的 ADC12DJ3200EVM-CVAL GUI

2. 将 ADC 采样频率设置为 3.2GHz
3. 设置 ADC 输入目标频率
4. 对于 SNR 测量，点击 **Capture** 选项卡，屏幕上随即会捕获数据
5. 对于偏斜测量，请将一个 HSDC Pro 配置为主要模式（测试选项），并将另一个配置为次要模式。

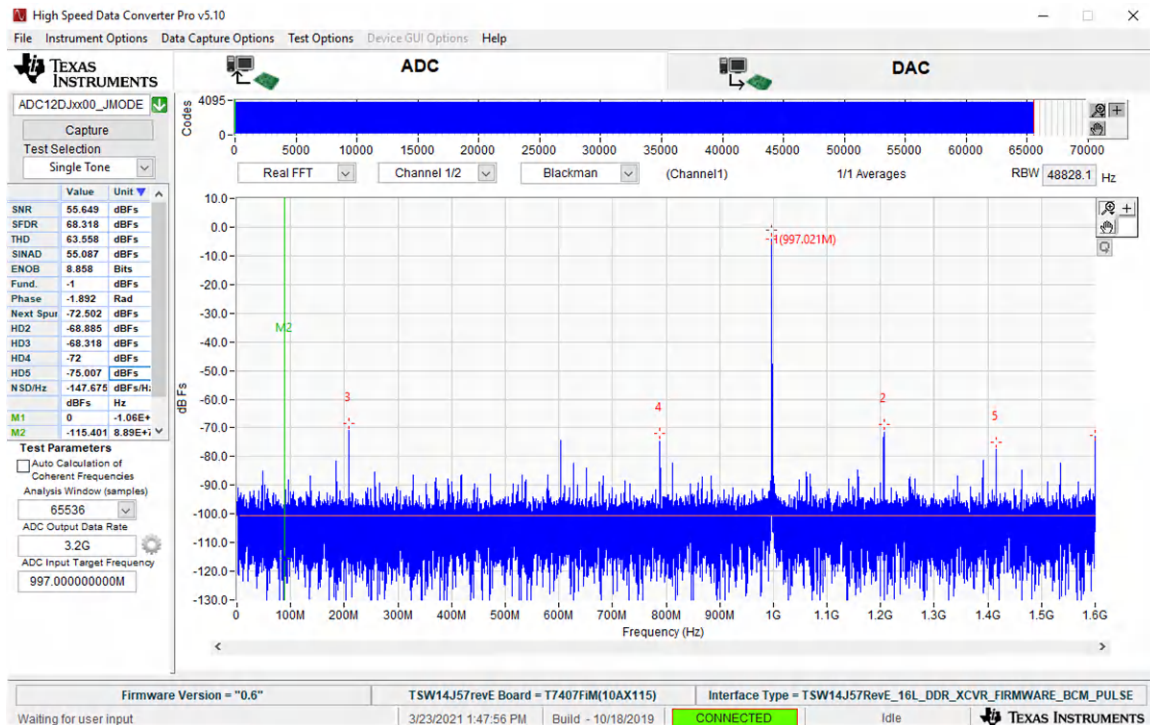


图 3-7. 通过捕获频谱对设置进行首次测试

4 测试和结果

4.1 测试设置

图 4-1 至图 4-4 分别展示了 LMX2615-SP 相位噪声、时钟偏差、SNR 测量和通道间偏斜测量的测试设置。

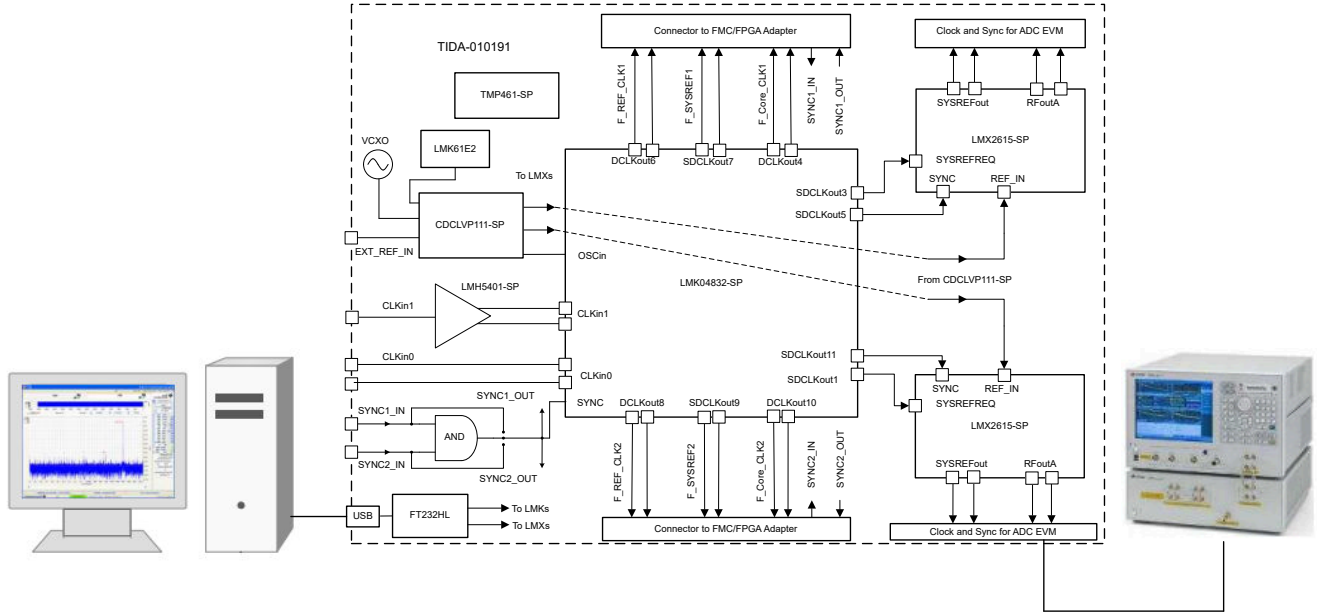


图 4-1. 相位噪声测量的测试设置

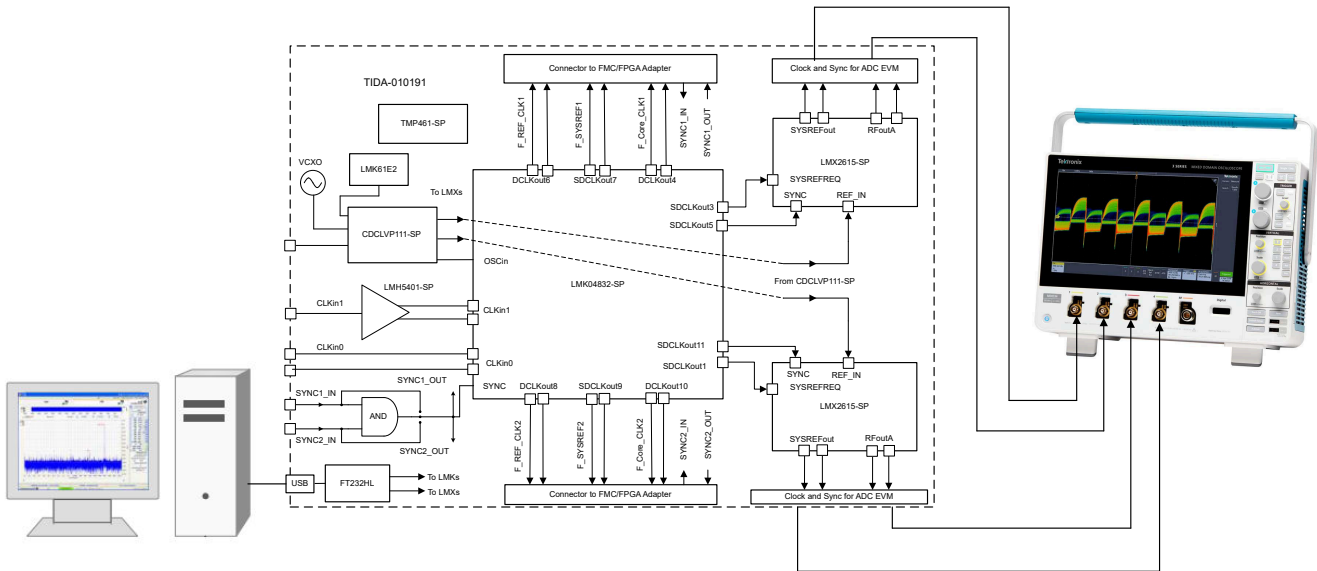


图 4-2. 多通道时钟偏斜测量的测试设置

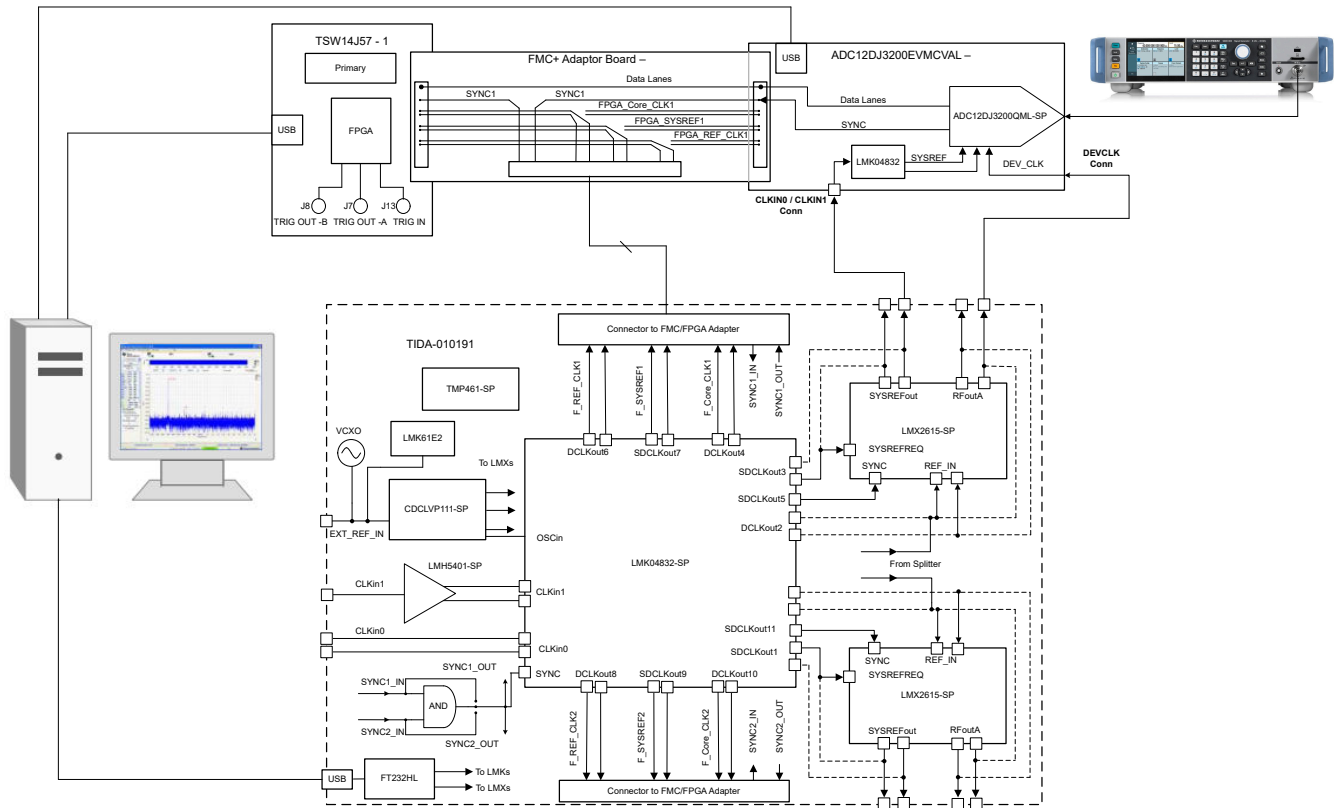


图 4-3. SNR 测量的测试设置

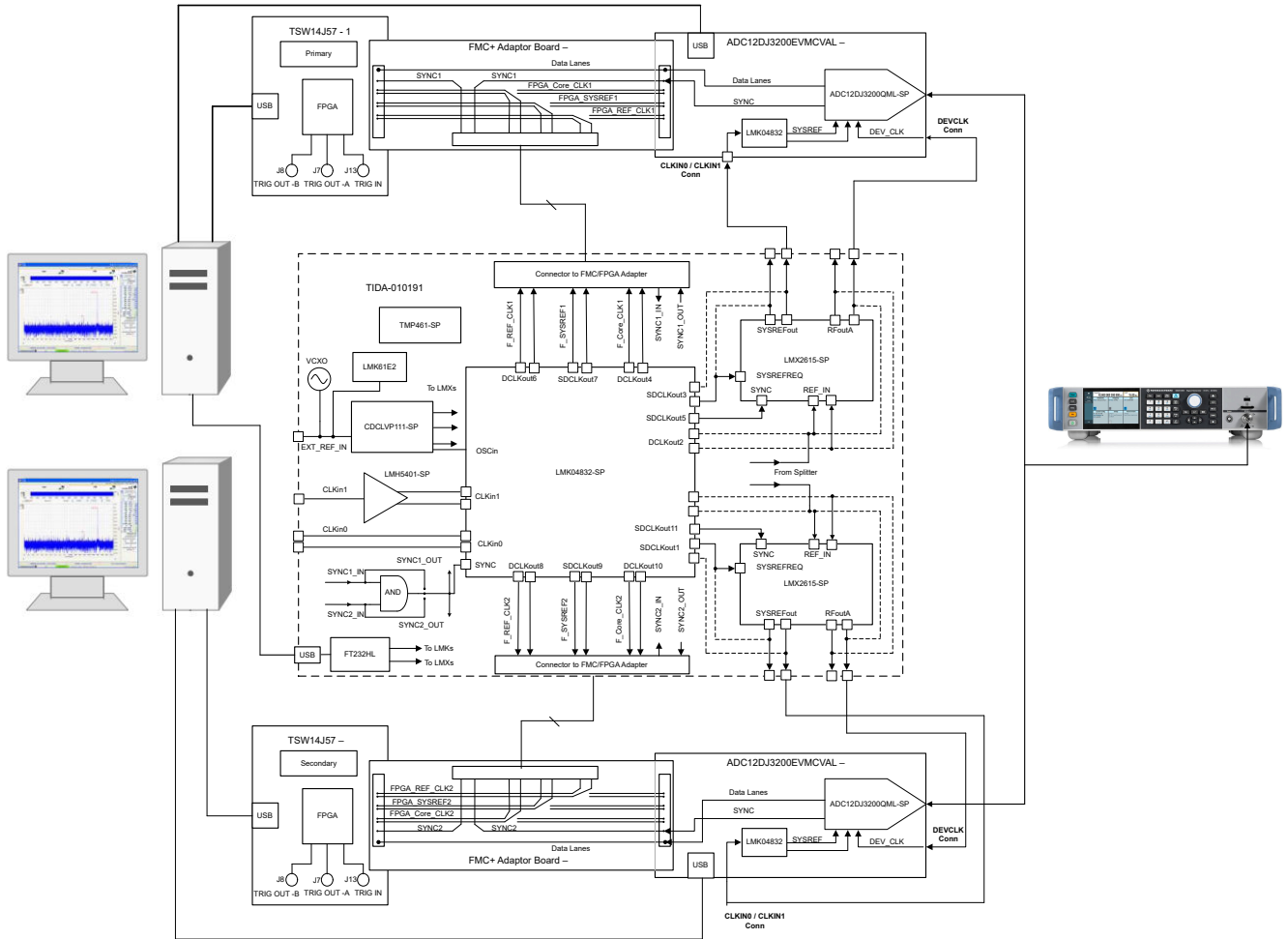


图 4-4. 通道间偏斜测量的测试设置

4.2 结果

4.2.1 相位噪声测量结果

TIDA-010191 时钟板 LMX2615-SP 器件展示了几乎相同的结果，因为板上的两个器件是相同的。表 4-1 展示了在时钟板中各种时钟频率下测得的 LMX2615-SP 相位噪声性能。图 4-5 至图 4-7 展示了测得的相位噪声图。

表 4-1. 测得的相位噪声

输出频率 (GHz)	条件	LMX2615-SP 数据表相位噪声 (dBc/Hz)	TIDA-010191 测量的相位噪声 (dBc/Hz)
3.5	10kHz 偏移	-111.5	-112.2
	100kHz 偏移	-115.3	-114.4
	1MHz 偏移	-121.9	-120.6
	10MHz 偏移	-146.3	-146.7
	40MHz 偏移	-150.9	-151.5
9.0	10kHz 偏移	-104.9	-110
	100kHz 偏移	-111.4	-111.8
	1MHz 偏移	-121.9	-122.3
	10MHz 偏移	-146	-147
	40MHz 偏移	-153	-154

表 4-1. 测得的相位噪声 (continued)

输出频率 (GHz)	条件	LMX2615-SP 数据表相位噪声 (dBc/Hz)	TIDA-010191 测量的相位噪声 (dBc/Hz)
15.0	10kHz 偏移	-100.8	-106.1
	100kHz 偏移	-107.2	-107.7
	1MHz 偏移	-114.3	-114
	10MHz 偏移	-140.4	-140.8
	40MHz 偏移	-151	-149

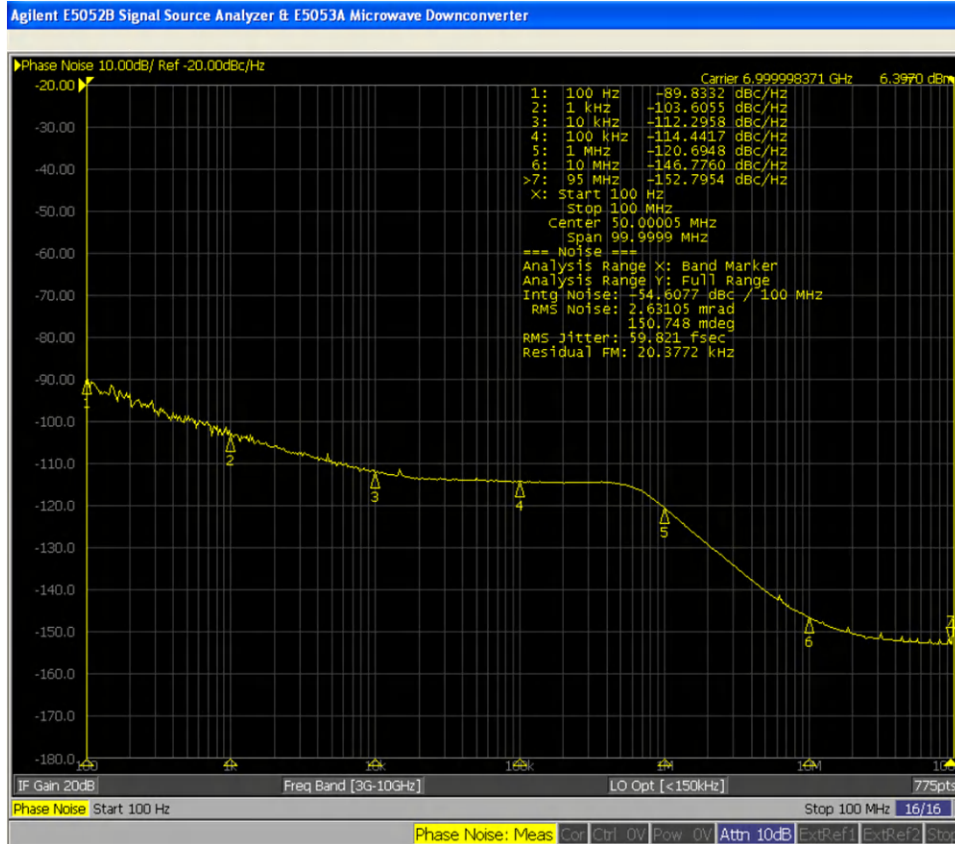


图 4-5. 7GHz 载波频率下的相位噪声

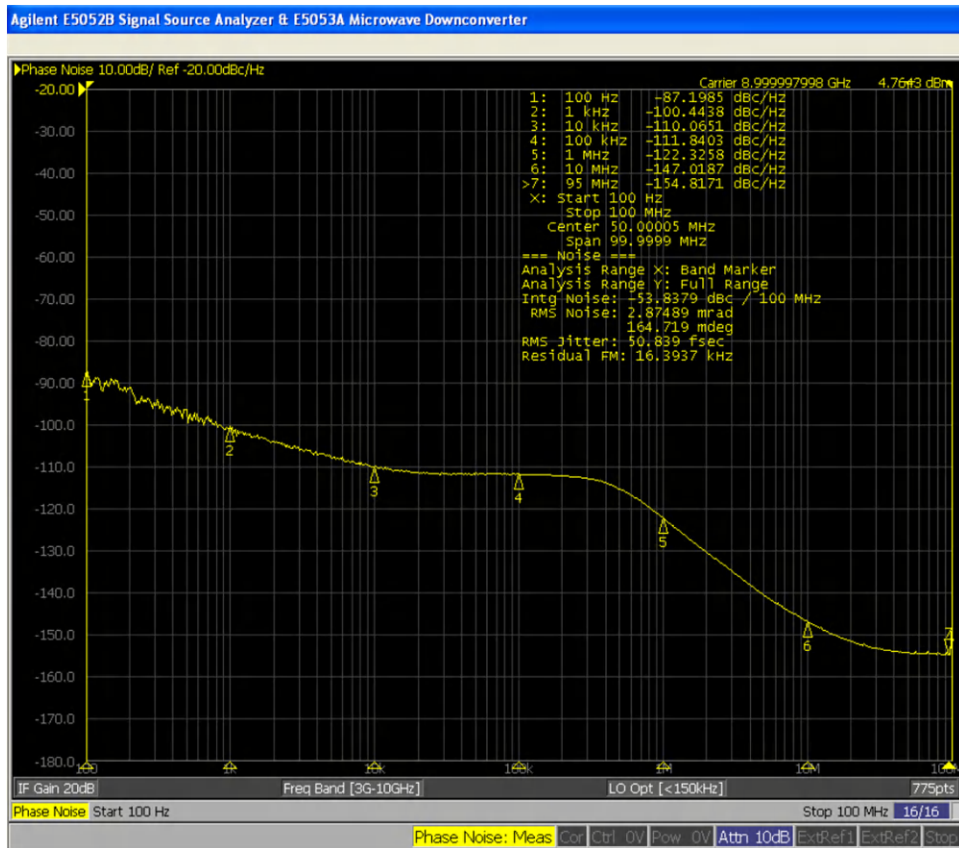


图 4-6. 9GHz 载波频率下的相位噪声

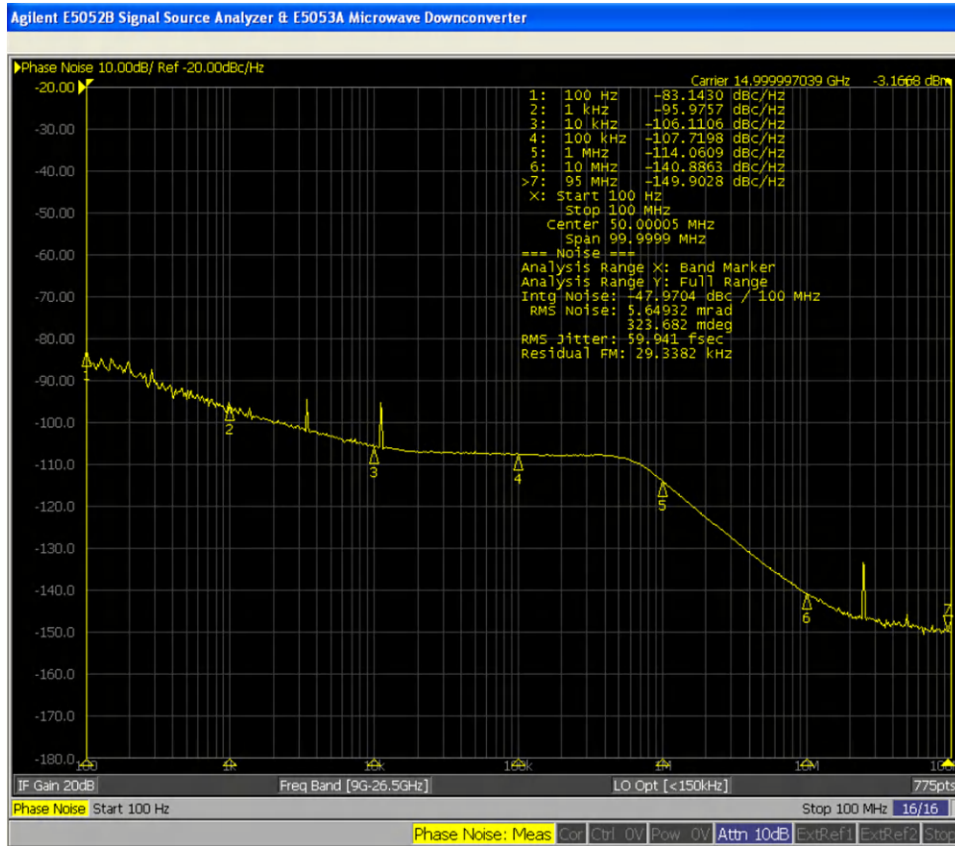


图 4-7. 15GHz 载波频率下的相位噪声

4.2.2 多通道时钟相位对齐

如节 3.2.3 所述，同步时钟对于多通道系统至关重要。本节介绍了测量的相位对齐时钟和 SYSREF，这些时钟和 SYSREF 由 LMX2615-SP 器件在 3.2GHz 器件时钟和 20MHz SYSREF 上生成。时钟之间的最小偏斜反映了多通道系统中的最小通道间偏斜。在此测试中，TIDA-010191 时钟板显示时钟偏斜小于 5ps。因此，可以减少多通道系统中的通道间偏斜。图 4-8 展示了两个 LMX2615-SP 器件在器件时钟和 SYSREF 信号处的多通道时钟偏斜测量结果。

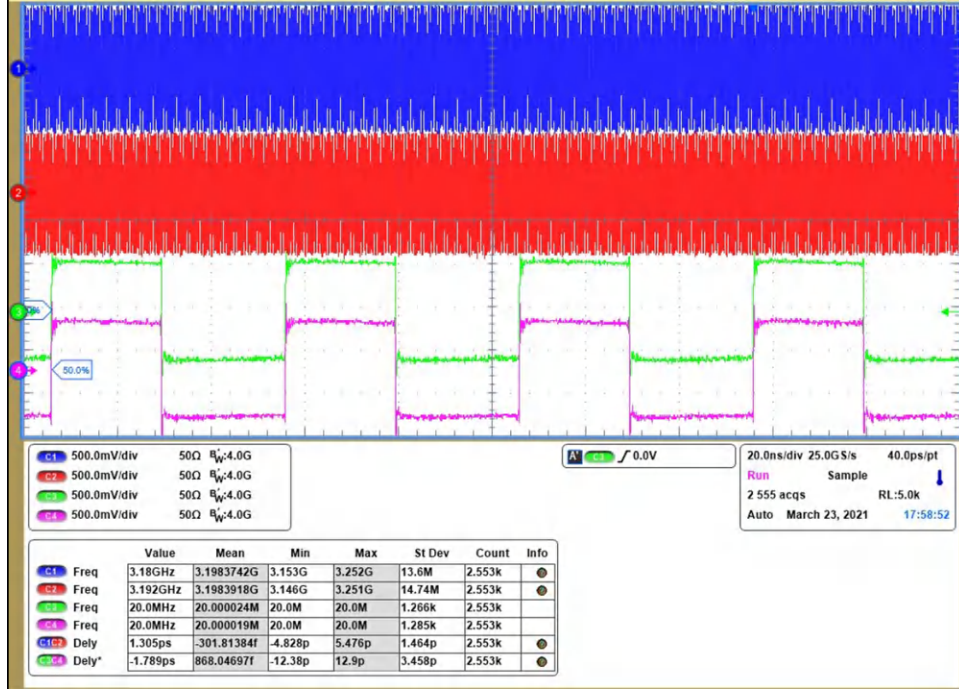


图 4-8. 示波器屏幕截图多通道时钟相位对齐

4.2.3 信号链性能

表 4-2 展示了 ADC12DJ3200-SP 采用 -1dBFS 差分输入和双通道模式 (JMODE3) 时在各种频率下测得的 SNR 性能。通过比较使用 ADC12DJ3200EVMCVAL 板载时钟时与使用 TIDA-010191 时钟时测得的 SNR 表明,这两种情况下具有几乎相似的性能。图 4-9 至图 4-11 展示了采用单通道模式时 3200MHz 采样频率下的频谱结果。

表 4-2. SNR 测量

输入频率 (MHz)	ADC 数据表 SNR (dBFS)	ADC12DJ3200EVM 板载时钟测量值 (dBFS)	TIDA-010191 测量值 (dBFS)
997	55.5	55	55.6
2482	55	53.4	53.9
4997	53	51.4	50.4

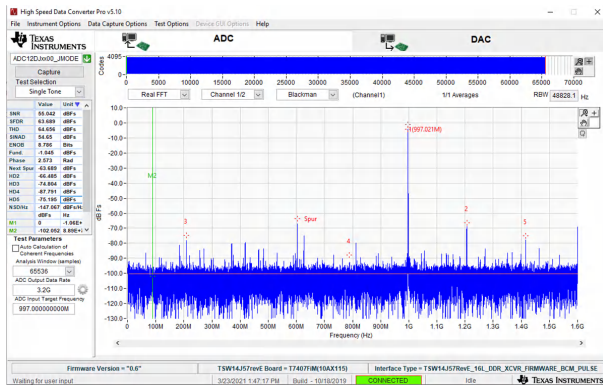


图 4-9. 载波频率为 99MHz 时的本底噪声



图 4-10. 载波频率为 718MHz 时的本底噪声

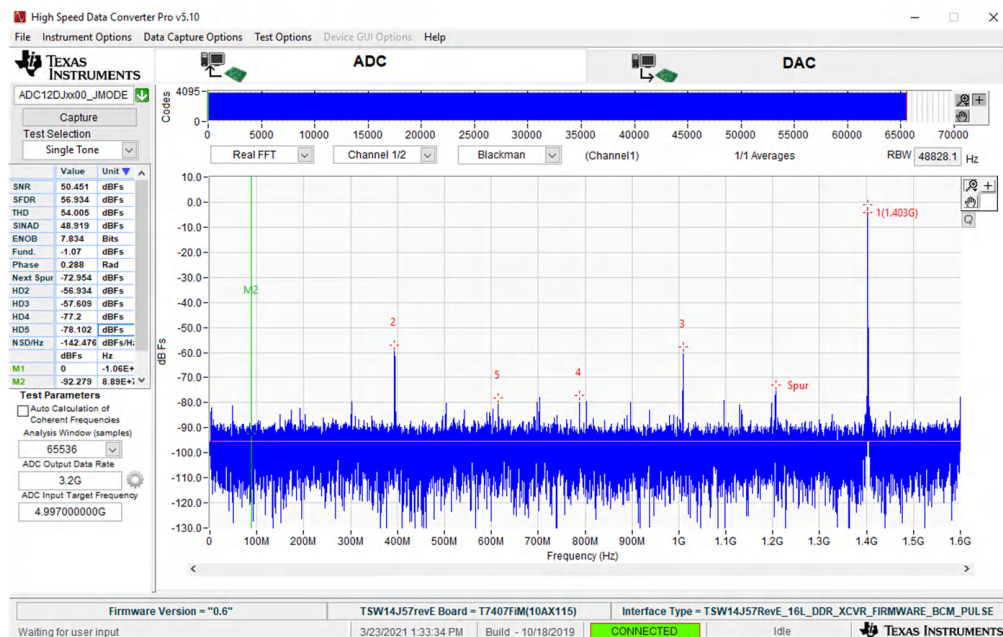


图 4-11. 载波频率为 1403MHz 时的本底噪声

4.2.4 通道间偏斜测量

图 4-12 和图 4-13 展示了两个 ADC12DJ3200EVMCVAL 通道在不同输入频率下的时间偏差。通过计算从每个 ADC 采集的信号之间的相位差，可以评估这种偏斜。这些测量是在 3.2GHz 采样频率下进行的，对于每个输入频率，测量的时间偏差均小于 5ps。

图 4-12 展示了两个 ADC 在 997MHz 输入条件下的输出样本图，该图位于 3200MHz 采样时钟的第一个奈奎斯特区域。图 4-13 是 2482MHz 输入的输出样本图，该图位于 3200MHz 采样时钟的第二个奈奎斯特区域。2482MHz 输入信号混叠至 882MHz。

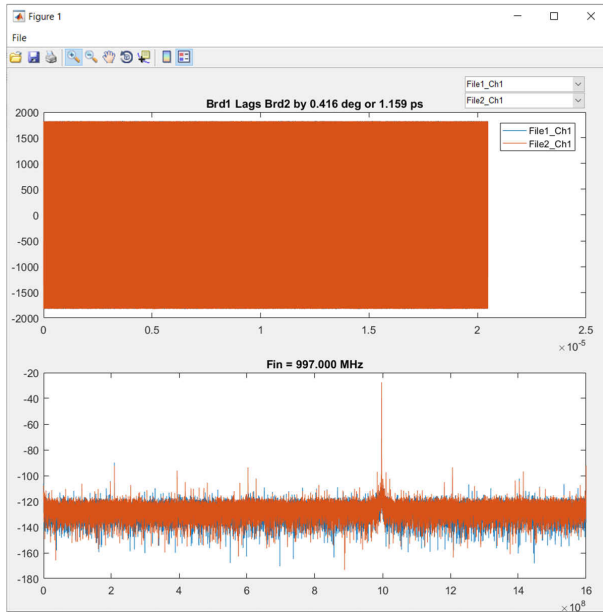


图 4-12. 997MHz 时的电路板偏斜

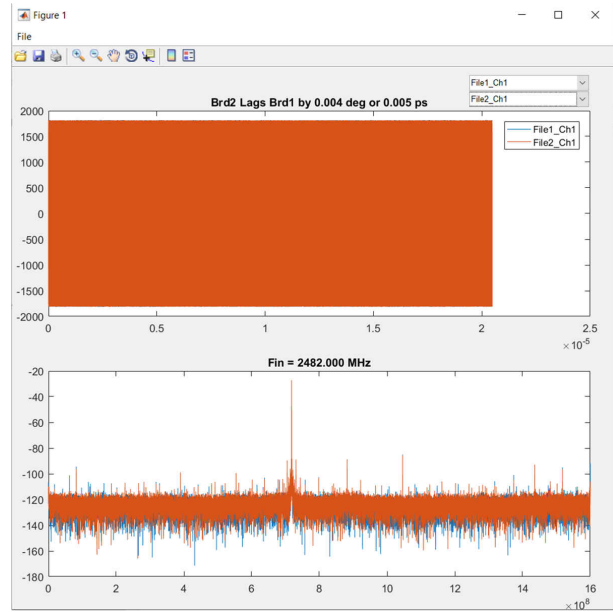


图 4-13. 2482MHz 时的电路板偏斜

4.3 总结与结论

TIDA-010191 设计是一种符合 JESD204B 标准的航天级多通道时钟参考设计，可用于星载雷达成像和宽带卫星通信系统。此 TI 设计演示了如何使用 LMX2615-SP 和 LMK04832-SP 器件生成高性能（低相位噪声）时钟。此设计还展示了偏斜小于 10ps 的多通道可配置相位同步时钟。最后，ADC12DJ3200EVMCVAL 板载时钟被替换为 TIDA-010191 输出，以此演示对系统性能的影响。系统 SNR 接近 ADC12DJ3200EVMCVAL 性能，时钟偏斜小于 5ps。该系统展示了每个上电周期的确定性延迟行为，其中模拟输入通道间偏斜小于 10ps。

5 设计和文档支持

5.1 设计支持

TI 通过向您提供完整设计来帮助您进行设计。Altium 设计文件 (完整项目)、原理图、Gerber 文件、物料清单 (BOM)、布局图和装配图都可以在 TI.com 上的 TIDA-010191 产品文件夹中找到。相应的工程支持可以在 TI 的 E2E 论坛上获得。

5.1.1 原理图

要下载原理图, 请参阅 [TIDA-010191](#) 中的设计文件。

5.1.2 物料清单

要下载物料清单 (BOM), 请参阅 [TIDA-010191](#) 中的设计文件。

5.2 文档支持

- 德州仪器 (TI), [ADCxxDJxx00 评估模块](#) 用户指南
- 德州仪器 (TI), [TSW14J56 JESD204B 高速数据采集和图形发生器卡](#) 用户指南

5.3 支持资源

[TI E2E™ 支持论坛](#) 是工程师的重要参考资料, 可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范, 并且不一定反映 TI 的观点; 请参阅 TI 的 [《使用条款》](#)。

5.4 商标

TI E2E™ and PLLatinum™ are trademarks of Texas Instruments.

WEBENCH® is a registered trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

6 关于作者

AJEET PAL 是德州仪器 (TI) 的系统设计工程师, 负责为航天与国防系统构建和开发系统级设计和仿真。Ajeet 在蜂窝和无线系统的射频、高速时钟和无线子系统设计方面拥有丰富经验。Ajeet 拥有印度瓜廖尔技术与管理 (ITM) 大学电子与通信工程专业的工程学士学位, 以及印度哈拉格普尔印度理工学院 (IIT) 射频和微波工程专业的硕士学位。

INGOLF FRANK 是德州仪器 (TI) 航天与国防系统工程与营销团队的系统工程师, 专注于高速通信系统。Ingolf 的工作涉及多个产品系列和技术, 能利用尽可能更佳解决方案来实现系统级应用设计。Ingolf 于 1991 年获得德国比勒费尔德应用科学大学信息技术专业的电气工程学士学位 (Dipl.Ing.(FH))。

6.1 鸣谢

本参考设计指南的作者谨此致谢: 感谢 Vibhu Vanjari、Jacob Mieso、Kirby Kruckmeyer、Derek Payne、Dean Banerjee、Noel Fung、Jason Clark、Bryan Bloodworth、Wade Vonbergen、Sarah Koch、Christian Yots、Victor Salomon、Daniel Hartung 和 Albert Lo 为本参考设计做出了技术贡献。特别感谢 Errol Leon 在耐辐射 (RHA) 负载点电源树方面的贡献。

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司