

Peter Xu

摘要

DS90UB936-Q1 是一款车载级 FPD-LINK III 摄像头端解串器芯片，其可支持两个串行器同时传输数据，每个端口最大支持 3Gbps 的传输速率。在汽车领域中，其被广泛应用于电子后视镜以及环视摄像头等相关应用上。本文主要针对在系统调试时无法正常看到显示的情况，从硬件设计、信号链路、电源管理及软件配置多维度排查，并提供对应的解决方法。

故障描述

在实际应用案例中，出现问题的状况主要表现为后级 SoC 无法正确显示摄像头端传输过来的画面。出现这个问题的情况应当从硬件方向和软件方向考虑，逐步排查并确认具体问题点。

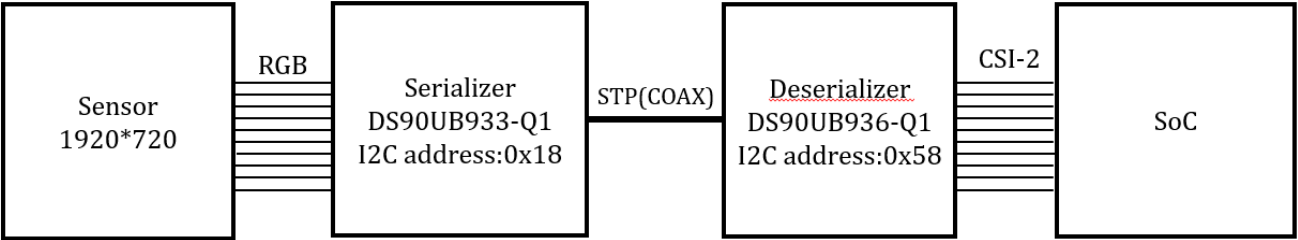


图 1. 系统框图

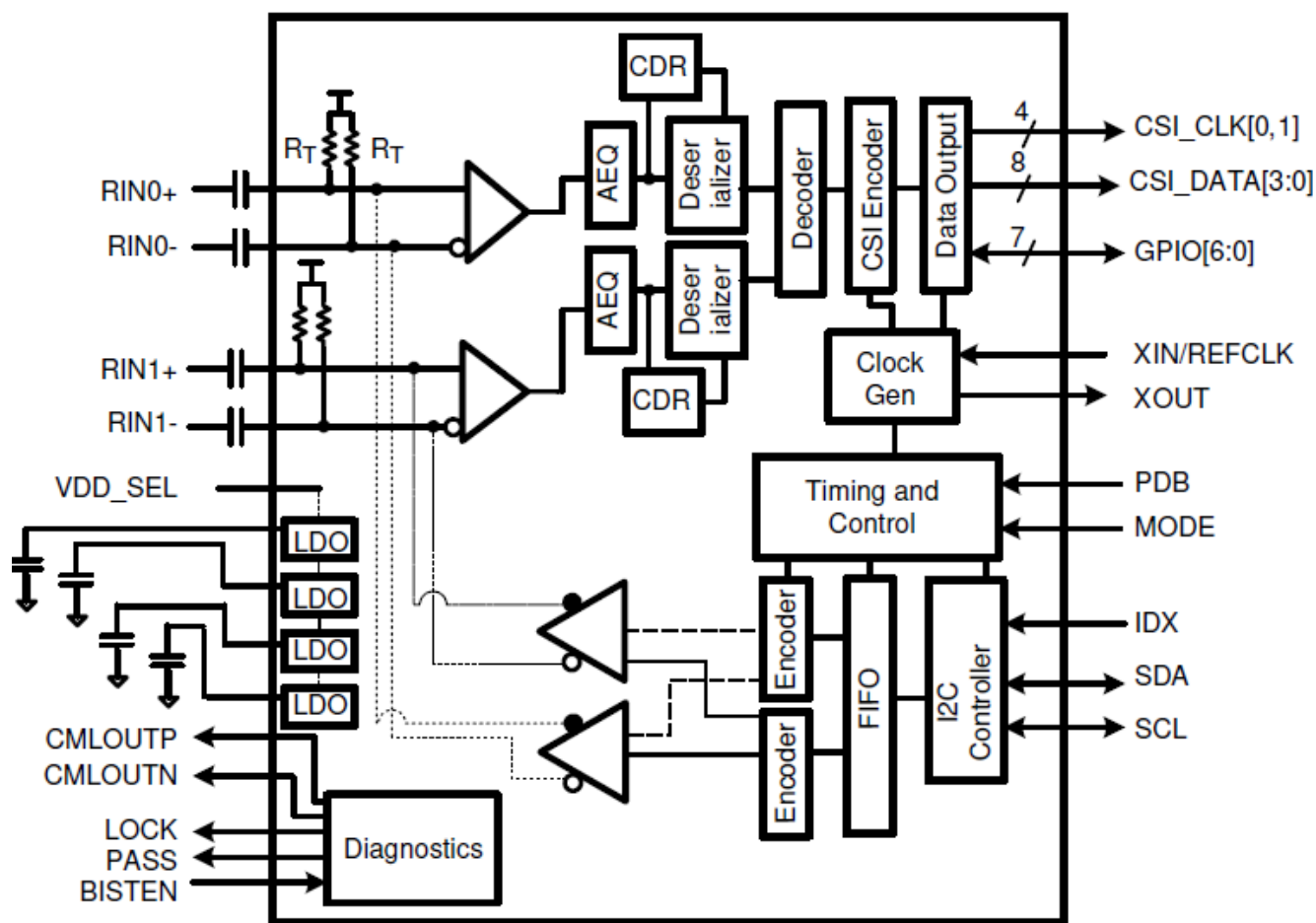


图 2. DS90UB936-Q1 框图

硬件方向

1. 上电时序以及电源稳定性

如下图所示，DS90UB936-Q1 对上电时序有详细要求。可通过示波器探测所有的供电是否符合时序要求。其中需要重点排查的是：PDB 是否在 VDD18/VDDIO 后上电。DS90UB936-Q1 有两种上电方式：

- a. VDD11 由内部 LDO 供电

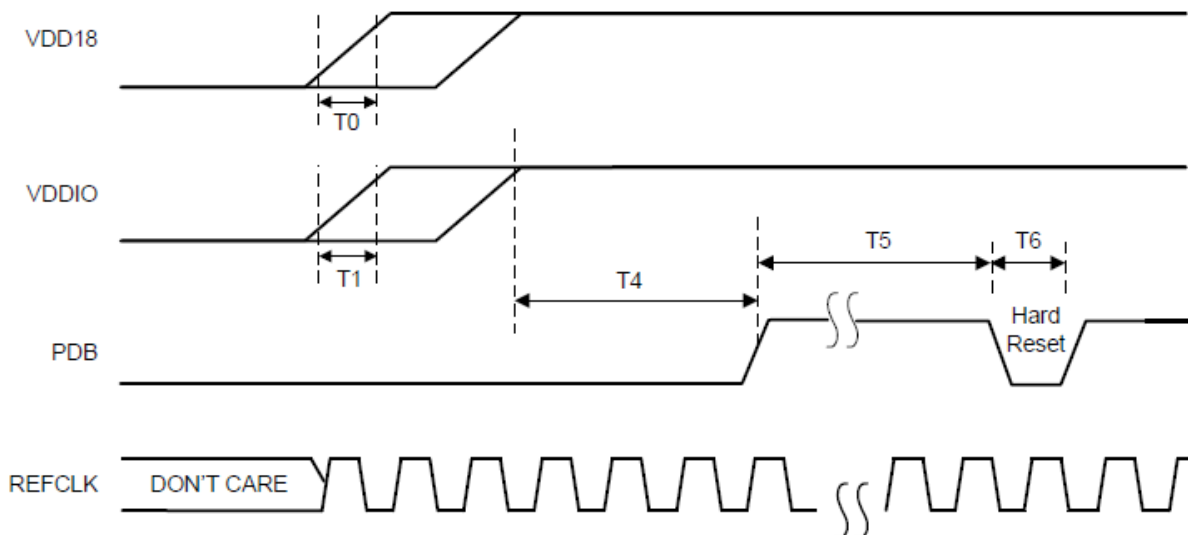


图 3. DS90UB936-Q1 上电时序 a

b. VDD11 由外部 LDO 供电

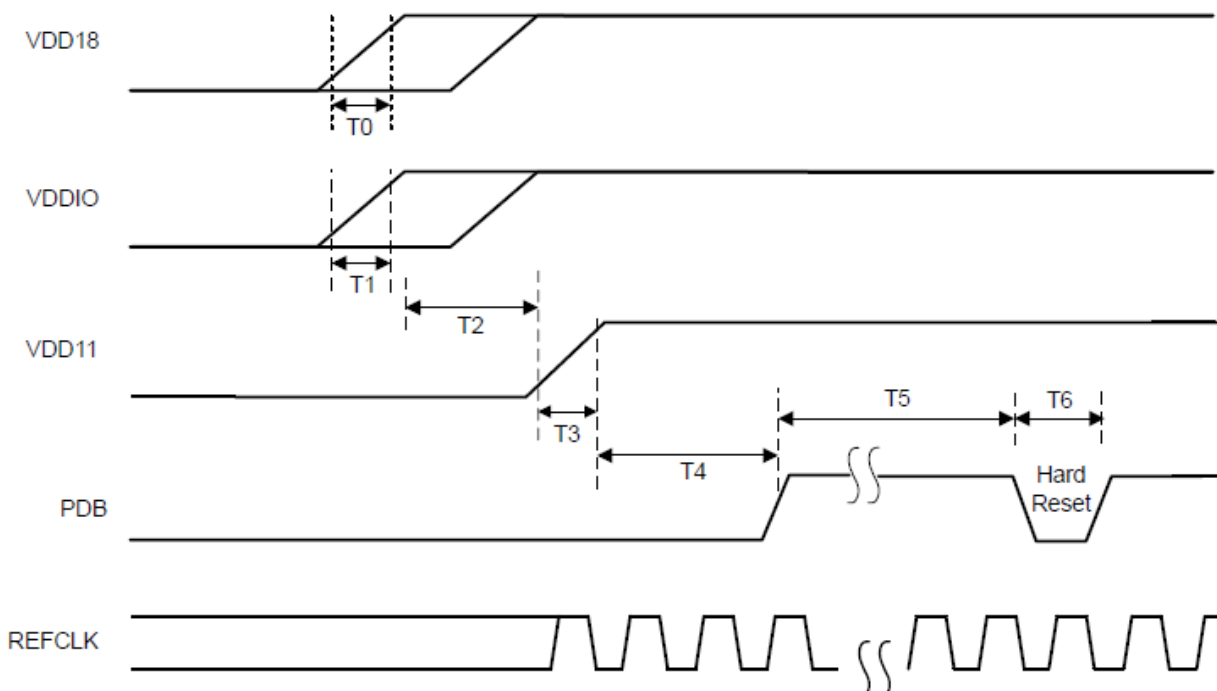


图 4. DS90UB936-Q1 上电时序 b

除了不同电压轨之间的时序，还需要注意每个电压轨的上电时间是否满足要求。如 VDD18 要求上电时间不得低于 0.05ms，过快的上电时间可能引起内部模块错误。

PARAMETER		MIN	TYP	MAX	UNIT	NOTES
T0	VDD18 rise time	0.05			ms	at 10/90%
T1	VDDIO rise time	0.2	1		ms	at 10/90%
T2	VDD18 High to VDD11 applied	0			ms	N/A when VDD_SEL = LOW
T3	VDD11 rise time	0.2	1		ms	at 10/90%
T4	VDD to PDB	0			ms	After all VDD are stable
T5	PDB high time before PDB hard reset	1			ms	
T6	PDB high to low pulse width	2			ms	Hard reset (optional)
T7	PDB to I2C ready (IDX and MODE valid) delay	2			ms	

图 5. DS90UB936-Q1 电源上电时序要求

排查时需要注意除了对应的时序，还需要检查各个电源轨是否电压工作正常，如 VDD18 是否达到 1.8V 或在要求的范围内。VDD18 主要为内部 LDO 及输出模块供电，因此 VDD18 的纹波要求是 50mV。VDD11 主要为数字模块供电，如果 VDD11 采用外部供电的方式，则要求 25mV 以内的纹波。在实际应用中，VDD18 最大需要 279mA，建议由 LDO 供电（如 TPS745-Q1）；为避免 VDD11 的纹波过大对数字模块造成影响，VDD11 建议由内部 LDO 供电。对应电源电压如表 3。

		MIN	NOM	MAX	UNIT
Supply voltage	$V_{(VDD18)}$	1.71	1.8	1.89	V
	$V_{(VDD11)}$ (VDD_SEL = HIGH ONLY)	1.045	1.1	1.155	V
Supply voltage offset	$V_{(VDD11)} - V_{(VDDIO)}$, $V_{(VDDIO)} = 1.8V$	-50		50	mV
LVCMOS supply voltage	$V_{(VDDIO)} = 1.8 V$	1.71	1.8	1.89	V
	OR $V_{(VDDIO)} = 3.3 V$	3	3.3	3.6	V
Open-drain voltage	$GPI03/INTB = V_{(INTB)}$, $I2C_SDA$, $I2C_SCL = V_{(I2C)}$	1.71		3.6	V
Supply noise ⁽¹⁾	$V_{(VDD11)}$			25	mV _{P-P}
	$V_{(VDD18)}$			50	mV _{P-P}
	$V_{(VDDIO)} = 1.8 V$			50	mV _{P-P}
	$V_{(VDDIO)} = 3.3 V$			100	mV _{P-P}
	RIN0+, RIN1+		10		mV _{P-P}

图 6. DS90UB936-Q1 电源电压及纹波要求

请通过示波器确认 VDD 供电均符合电压范围和纹波要求，当电压范围和纹波不符合要求时，内部模块可能会工作于不正常的状态，进而导致输出异常。

2. 时钟状态

DS90UB936-Q1 要求有稳定的时钟信号输入。时钟源可以选择有源晶振，也可以选择无源晶体。

DS90UB936-Q1 对于时钟信号有精准度和误差要求，如表 3 所示。如果时钟源是晶振，请注意晶振电路输出的高低电平。当 VDDIO 设置为 3.3V 时，要求时钟信号的高电平大于 2V，低电平小于 0.8V。且占空比应为 40%-60%之间。错误的时钟信号会导致 CSI 输出异常或没有输出。

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
REFERENCE CLOCK					
Frequency tolerance	$-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$			± 50	ppm
Frequency stability	Aging			± 50	ppm
Amplitude		800	1200	$V_{(VDDIO)}$	mVp-p
Symmetry	Duty Cycle	40%	50%	60%	
Rise and fall time	10% – 90%			6	ns
Jitter	200 kHz – 10 MHz		50	200	ps p-p
Frequency		23	25	26	MHz
Spread-spectrum clock modulation percentage	Center Spread	-0.5		+0.5	%
	Down Spread	-1		0	%
Spread-spectrum clock modulation frequency				33	KHz

图 7. DS90UB936-Q1 时钟信号要求

软件方向

1. 检查 pattern 模式是否有显示

当问题出现时，可以使用 DS90UB936-Q1 的 pattern 模式排查 DS90UB936-Q1 至 SoC 段的问题。请通过 DS90UB936-Q1 的上位机软件 ALP 开启 pattern 模式，如图 4 所示。当参数设置好以后，既可以通过 SoC 接收端确认信号是否正常，也可以通过专用的 CSI 软件监控信号流是否正常。

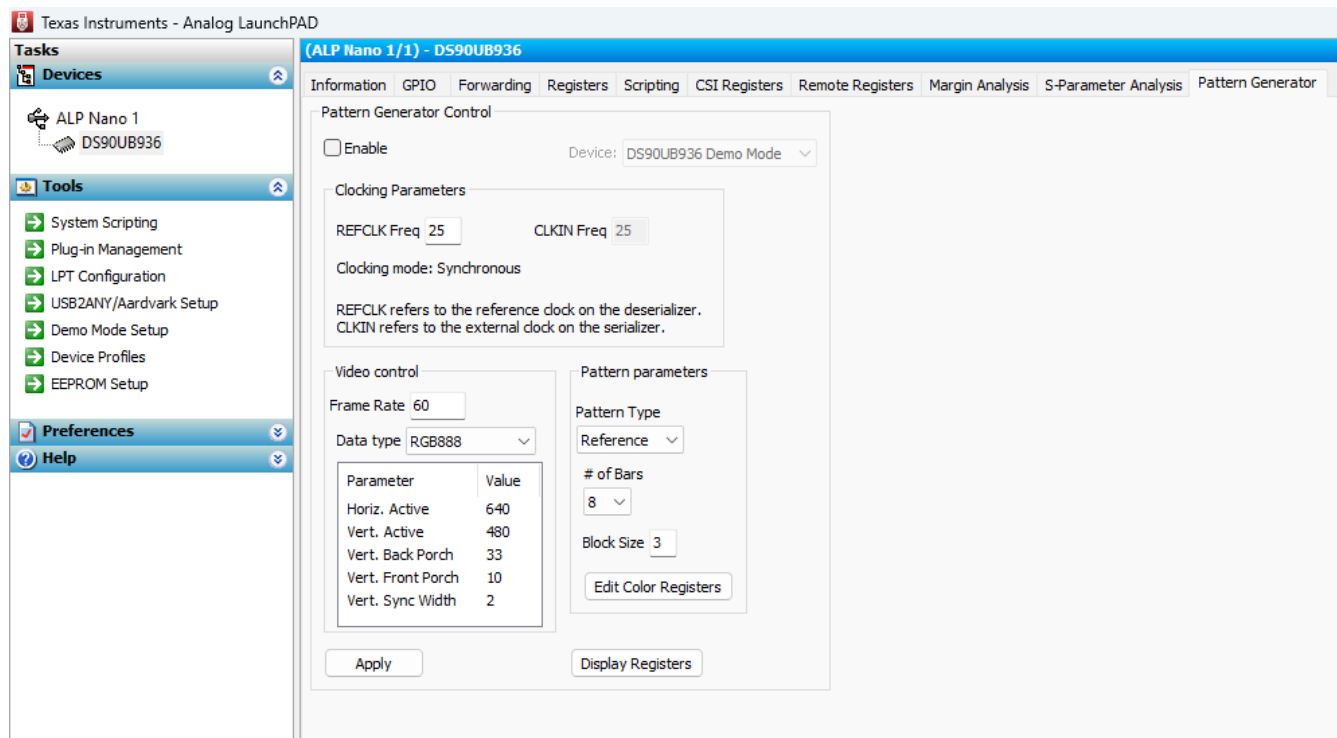


图 8. DS90UB936-Q1 上位机 ALP 进入 pattern 模式

如果 pattern 模式正常，应该能看到屏幕显示彩条画面。如果没有画面，请排查 SoC 接收端的设置是否与 pattern 的设置匹配。在硬件排查上，请使用高速示波器（带宽大于 2G）来测试 CSI 时钟信号（PIN11/ PIN12），若设置为 CSI 时钟为 800MHz，应在示波器中看到 400MHz 频率的时钟信号，如图 5 所示。如果没有类似的信号，请通过寄存器确认 DS90UB936-Q1 是否有接收到稳定的时钟信号，并排查时钟电路。

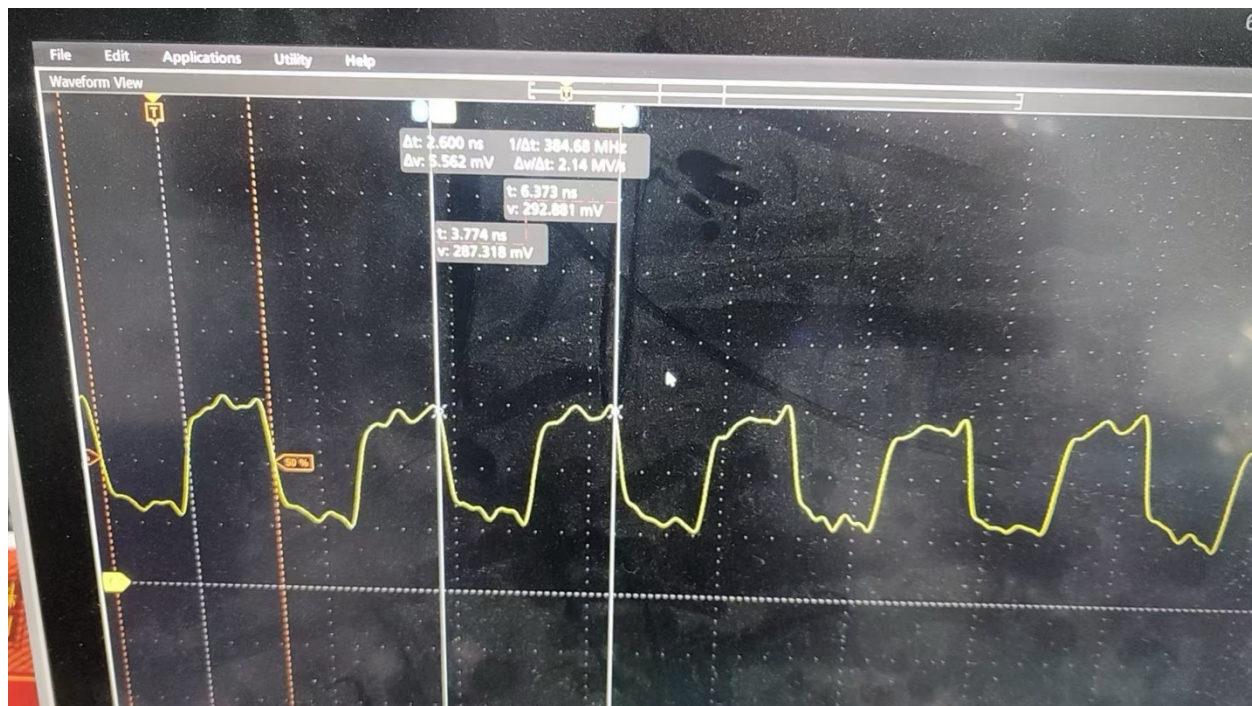


图 9. DS90UB936-Q1 CSI 时钟测试

2. DS90UB936-Q1 相关配置

在 **pattern** 模式正常显示以后，由于部分串行器本身不支持 **pattern** 模式，通常会直接接上摄像头进行完整测试。在文末附件中，给出一份 DS90UB936-Q1 的配置代码，可以根据实际需求调整代码参数。接下来主要介绍代码中的配置重点：

a. CSI 模式配置

从 **Sensor** 到串行器，以及从解串器到 **SoC** 都需要协商好协议后再进行数据传输，否则接收端无法正确接收数据。对于 DS90UB936-Q1 来说，则需要配置其与 **SoC** 之间的具体协议，图 6 中给出所有协议对应的数据格式。将该数据格式填入到图 7 当中的寄存器中，如果 **sensor** 和串行器的数据格式是 **RAW10**，则将图 6 的数据格式填入到 **RAW10** 寄存器中。如果是 **RAW12** 或 **CSI-2** 格式，则应分别填入到 **RAW12** 或 **CSI-2** 寄存器中，如图 7 所示。

举个例子，**Sensor** 通过 **RAW10** 格式将数据传输给 DS90UB933-Q1，再让 DS90UB936-Q1 通过 **YUV422 10BIT** 格式传输到 **SoC**，则应该在 DS90UB936-Q1 的 **0x70** 寄存器写入 **0x1F**。如果 **Sensor** 是通过 **CSI-2** 格式传输到 DS90UB935-Q1，则只需根据实际需求调整 **0x72** 寄存器。

错误的寄存器配置同样会导致 **SoC** 无法正常接收信号。

Table 19 YUV Image Data Types

Data Type	Description
0x18	YUV420 8-bit
0x19	YUV420 10-bit
0x1A	Legacy YUV420 8-bit
0x1B	Reserved
0x1C	YUV420 8-bit (Chroma Shifted Pixel Sampling)
0x1D	YUV420 10-bit (Chroma Shifted Pixel Sampling)
0x1E	YUV422 8-bit
0x1F	YUV422 10-bit

Table 25 RGB Image Data Types

Data Type	Description
0x20	RGB444
0x21	RGB555
0x22	RGB565
0x23	RGB666
0x24	RGB888

Data Type	Description
0x27	RAW24
0x28	RAW6
0x29	RAW7
0x2A	RAW8
0x2B	RAW10
0x2C	RAW12
0x2D	RAW14
0x2E	RAW16
0x2F	RAW20 CSDN @亦枫Leonlew

图 10. 图像传输数据格式

7.6.104 RAW10_ID Register

RX port specific register. The FPD-Link III Port Select register 0x4C configures which unique RX port registers can be accessed by I2C read and write commands.

RAW10 virtual channel mapping only applies when FPD-Link III operating in RAW10 input mode. See register 0x71 for RAW12 and register 0x72 for CSI-2 mode operation.

Table 7-122. RAW10_ID (Address 0x70)

BIT	FIELD	TYPE	DEFAULT	DESCRIPTION
7:6	RAW10_VC	R/W	<RX Port #>	RAW10 Mode Virtual Channel This field configures the CSI Virtual Channel assigned to the port when receiving RAW10 data. The field value defaults to the FPD-Link III receive port number (0 or 1)
5:0	RAW10_DT	R/W	0x2B	RAW10 DT This field configures the CSI data type used in RAW10 mode. The default of 0x2B matches the CSI specification.

7.6.105 RAW12_ID Register

RX port specific register. The FPD-Link III Port Select register 0x4C configures which unique RX port registers can be accessed by I2C read and write commands.

RAW12 virtual channel mapping only applies when FPD-Link III operating in RAW12 input mode. See register 0x70 for RAW10 and register 0x72 for CSI-2 mode operation.

Table 7-123. RAW12_ID (Address 0x71)

BIT	FIELD	TYPE	DEFAULT	DESCRIPTION
7:6	RAW12_VC	R/W	<RX Port #>	RAW12 Mode Virtual Channel This field configures the CSI Virtual Channel assigned to the port when receiving RAW12 data. The field value defaults to the FPD-Link III receive port number (0 or 1)

7.6.106 CSI_VC_MAP Register

RX port specific register. The FPD-Link III Port Select register 0x4C configures which unique RX port registers can be accessed by I2C read and write commands.

CSI virtual channel mapping only applies when FPD-Link III operating in CSI-2 input mode. See registers 0x70 and 0x71 for RAW mode operation.

Table 7-124. CSI_VC_MAP (Address 0x72)

BIT	FIELD	TYPE	DEFAULT	DESCRIPTION
7:0	CSI_VC_MAP	R/W	0xE4	CSI-2 Virtual Channel Mapping Register This register provides a method for replacing the Virtual Channel Identifier (VC-ID) of incoming CSI packets. [7:6] : Map value for VC-ID of 3 [5:4] : Map value for VC-ID of 2 [3:2] : Map value for VC-ID of 1 [1:0] : Map value for VC-ID of 0

图 11. 数据格式对应寄存器

b. 10bit 到 8bit 转换

在实际使用中，可能会有输入为 10bit 格式，而输出为 8bit 格式的可能。举个例子，如 Sensor 通过 RAW10 格式将数据传输给 DS90UB933-Q1，再让 DS90UB936-Q1 通过 YUV422 8BIT 格式传输到 SoC。此时输入格式是 10bit，而输出格式是 8bit，这意味着在 DS90UB936-Q1 需要将 10bit 格式转为 8bit 格式输出。在这种情况下，需要前级的 Sensor 确认传输的 10bit 中是高 8bit 有效还是低 8bit 有效，再对应去修改 DS90UB936-Q1 中的 0x7C 寄存器。设置为 10 是高 8bit 有效，设置为 11 是低 8bit 有效。

7.6.116 PORT_CONFIG2 Register

RX port specific register. The FPD-Link III Port Select register 0x4C configures which unique RX port registers can be accessed by I2C read and write commands.

Table 7-134. PORT_CONFIG2 (Address 0x7C)

BIT	FIELD	TYPE	DEFAULT	DESCRIPTION
7:6	RAW10_8BIT_CTL	R/W	0x0	Raw10 8-bit mode When Raw10 Mode is enabled for the port, the input data is processed as 8-bit data and packed accordingly for transmission over CSI. 00 : Normal Raw10 Mode 01 : Reserved 10 : 8-bit processing using upper 8 bits. When selecting this value, change CSI data type value RAW10_DT in register 0x70[5:0] 11 : 8-bit processing using lower 8 bits. When selecting this value, change CSI data type value RAW10_DT in register 0x70[5:0]
5	DISCARD_ON_PAR_ERR	R/W	0x1	Discard frames on Parity Error 0 : Forward packets with parity errors 1 : Truncate Frames if a parity error is detected
4	DISCARD_ON_LINE_SIZE	R/W	0x0	Discard frames on Line Size 0 : Allow changes in Line Size within packets 1 : Truncate Frames if a change in line size is detected
3	DISCARD_ON_FRAME_SIZE	R/W	0x0	Discard frames on change in Frame Size When enabled, a change in the number of lines in a frame will result in truncation of the packet. The device will resume forwarding video frames based on the PASS_THRESHOLD setting in the PORT_PASS_CTL register. 0 : Allow changes in Frame Size 1 : Truncate Frames if a change in frame size is detected
2	RESERVED	R/W	0x0	Reserved
1	LV_POLARITY	R/W	0x0	LineValid Polarity This register indicates the expected polarity for the LineValid indication received in Raw mode. 1 : LineValid is low for the duration of the video line 0 : LineValid is high for the duration of the video line
0	FV_POLARITY	R/W	0x0	FrameValid Polarity This register indicates the expected polarity for the FrameValid indication received in Raw mode. 1 : FrameValid is low for the duration of the video frame 0 : FrameValid is high for the duration of the video frame

图 12. x7C 寄存器

c. Hsync/Vsync 设置

串行器如果是 DS90UB933-Q1，Sensor 可能会输入 Hsync/Vsync 信号。部分 Sensor 的 Hsync/Vsync 是高有效，部分则是低有效。对于该设置，应该在 DS90UB936-Q1 的 0x7C 寄存器中进行设置，如图 7 所示。bit1/bit0 设置对应的有效电平。LV_POLARITY 对应 Hsync，FV_POLARITY 对应 Vsync，这两个位都是设置为 1 是低有效，设置为 0 是高有效。设置错误会导致无输出。

3. SoC 配置

当 DS90UB936-Q1 完全设置正确以后，可以检查 DS90UB936-Q1 的 LINE_COUNT 寄存器和 LINE_LEN 寄存器，如图 8 所示。LINE_COUNT 表示了 DS90UB936-Q1 接收到一帧内的有效行数，LINE_LEN 寄存器表示 DS90UB936-Q1 接收到一行内的有效长度。当这两个数与 Sensor 传过来的数据保持一致时，即证明 DS90UB936-Q1 能够接收到有效数据并进行输出。

如果此时还是没有看到正常画面，应排查 SoC 接收端的配置是否符合要求：接收端设置的长度和宽度应与实际值完全吻合，接收端设置的数据格式应与 DS90UB936-Q1 的设置完全一致。

7.6.107 LINE_COUNT_HI Register

RX port specific register. The FPD-Link III Port Select register 0x4C configures which unique RX port registers can be accessed by I2C read and write commands.

Table 7-125. LINE_COUNT_HI (Address 0x73)

BIT	FIELD	TYPE	DEFAULT	DESCRIPTION
7:0	LINE_COUNT_HI	R	0x0	High byte of Line Count The Line Count reports the line count for the most recent video frame. When interrupts are enabled for the Line Count (via the IE_LINE_CNT_CHG register bit), the Line Count value is frozen until read.

7.6.108 LINE_COUNT_LO Register

RX port specific register. The FPD-Link III Port Select register 0x4C configures which unique RX port registers can be accessed by I2C read and write commands.

Table 7-126. LINE_COUNT_LO (Address 0x74)

BIT	FIELD	TYPE	DEFAULT	DESCRIPTION
7:0	LINE_COUNT_LO	R	0x0	Low byte of Line Count The Line Count reports the line count for the most recent video frame. When interrupts are enabled for the Line Count (via the IE_LINE_CNT_CHG register bit), the Line Count value is frozen until read. In addition, when reading the LINE_COUNT registers, the LINE_COUNT_LO is latched upon reading LINE_COUNT_HI to ensure consistency between the two portions of the Line Count.

7.6.109 LINE_LEN_1 Register

RX port specific register. The FPD-Link III Port Select register 0x4C configures which unique RX port registers can be accessed by I2C read and write commands.

Table 7-127. LINE_LEN_1 (Address 0x75)

BIT	FIELD	TYPE	DEFAULT	DESCRIPTION
7:0	LINE_LEN_HI	R	0x0	High byte of Line Length The Line Length reports the line length recorded during the most recent video frame. If line length is not stable during the frame, this register will report the length of the last line in the video frame. When interrupts are enabled for the Line Length (via the IE_LINE_LEN_CHG register bit), the Line Length value is frozen until read.

7.6.110 LINE_LEN_0 Register

RX port specific register. The FPD-Link III Port Select register 0x4C configures which unique RX port registers can be accessed by I2C read and write commands.

Table 7-128. LINE_LEN_0 (Address 0x76)

BIT	FIELD	TYPE	DEFAULT	DESCRIPTION
7:0	LINE_LEN_LO	R	0x0	Low byte of Line Length The Line Length reports the length of the most recent video line. When interrupts are enabled for the Line Length (via the IE_LINE_LEN_CHG register bit), the Line Length value is frozen until read. In addition, when reading the LINE_LEN registers, the LINE_LEN_LO is latched upon reading LINE_LEN_HI to ensure consistency between the two portions of the Line Length.

图 13. LINE_COUNT 寄存器和 LINE_LEN 寄存器

总结

本文分析了 DS90UB936-Q1 在应用过程中出现黑屏的原因，并且从硬件和软件方向提出了故障排查指南，并给出相应的解决措施，有助于工程师更快排查问题。另外，给出一个实际配置代码供参考。

参考文献

[DS90UB936-Q1 Dual 3 Gbps FPD-Link III Deserializer Hub With MIPI CSI-2 Outputs datasheet \(Rev. C\)](#)

参考代码

```
//CSI setting
Board.writeI2C(DEsAddr, 0x4C, 0x01); //port0 select
Board.writeI2C(DEsAddr, 0x33, 0x00); //disable CSI
Board.writeI2C(DEsAddr, 0x1F, 0x0E); //CSI datarate: 800Mbps
Board.writeI2C(DEsAddr, 0x20, 0x20); //Enable RX port0; if both ports are used, set to 0x30;
Board.writeI2C(DEsAddr, 0x70, 0x1E); // CSI format setting: YUV422 8bit
Board.writeI2C(DEsAddr, 0x7C, 0xE3); // RAW10 to 8bit setting: lower 8 bits; LineValid(Hsync) low,
FrameValid(Vsync) low
//Framesync setting(unnecessary for only port0)
Board.writeI2C(DEsAddr, 0x4C, 0x01); //port0 select
Board.writeI2C(DEsAddr, 0x6E, 0xAA); //BC GPIO1/0 value 1
Board.writeI2C(DEsAddr, 0x4C, 0x12); //port1 select
Board.writeI2C(DEsAddr, 0x6E, 0xAA); //BC GPIO1/0 value 1
Board.writeI2C(DEsAddr, 0x4C, 0x01); //port0 select
Board.writeI2C(DEsAddr, 0x10, 0x1A); // GPIO0 setting
Board.writeI2C(DEsAddr, 0x19, 0x0A); //FS_HIGH_TIME
Board.writeI2C(DEsAddr, 0x1A, 0xD9); //FS_HIGH_TIME
Board.writeI2C(DEsAddr, 0x1B, 0x61); //FS_LOW_TIME
Board.writeI2C(DEsAddr, 0x1C, 0xA7); //FS_HIGH_TIME
Board.writeI2C(DEsAddr, 0x18, 0x01); //Enable Framesync
//GPIO setting
Board.writeI2C(DEsAddr, 0x0F, 0x0E); //GPIO0 output Enable;
Board.writeI2C(DEsAddr, 0x10, 0x01); //GPIO0 link to forward channel received GPIO0 from RX port0
SER;
//Enable CSI
Board.writeI2C(DEsAddr, 0x33, 0x03); //Enable CSI(remember to enable CSI even if you use pattern
mode)
```

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司