



Eric Feng

摘要

可编程逻辑器件 (Programmable Logic Device, PLD) 是一种可以通过用户编程实现自定义逻辑功能的半导体器件。[TI 可编程逻辑器件 \(TI Programmable Logic Device, TPLD\)](#) 将多个数字逻辑和模拟电路集成于单个封装中，可以有效提升设计集成度。本文主要介绍了 TPLD 的使用方法，帮助 TPLD 的使用者快速上手。

1. 引言

逻辑电路是数字电路的核心组成部分，用于处理和操作二进制信号（0 和 1）。通过逻辑门可以实现基本的布尔运算，如与（AND）、或（OR）、非（NOT）、异或（XOR）等。每个逻辑门根据输入信号产生特定的输出，组合起来可以构建复杂的逻辑功能。

TPLD 通过将多个数字逻辑和模拟电路集成于单个封装中，可以有效提升设计的集成度、节省 PCB 面积、降低 BOM 复杂度并适配多种应用场景。TPLD 与复杂可编程逻辑器件 (Complex Programmable Logic Device, CPLD)、现场可编程门阵列 (Field Programmable Gate Arrays, FPGA) 之间的区别如表 1 所示：

表 1. TPLD, CPLD, FPGA 的区别

	TPLD	CPLD	FPGA
逻辑资源	少	中等	丰富
设计复杂度	低	中等	高
功耗	低	适中	高

目前 TI 的可编程逻辑产品主要为 TPLD801(8 Pin)，TPLD1201 (12 Pin 无 I2C) 和 TPLD1202 (12 Pin 有 I2C)，其 IO、查找表等资源对比如表 2 所示。

表 2. 目前 TI.com 上主流 3 款 TPLD 的资源对比

Device Features	TPLD801 (Preview)	TPLD1201 (Active)	TPLD1202 (Preview)
Interface	-	-	SPI/I2C
GPIO	6	8	10
Look-up tables	10	10	18
Digital flip-flops	4	4	17
8-bit / 16-bit Counters	4 / 0	4 / 0	10 / 0
Analog comparator	-	2	4
Oscillators	1 (25kHz,2MHz)	1 (25kHz,2MHz)	2 (2/10kHz,25MHz)
State Machine (8 states)	-	-	Yes
Watchdog	-	-	Yes
PWM	-	-	4
Device pins	8	12/10	12
Packages	SOTA	QFN, VSSOPA	QFN, SOTA

本文介绍了 TPLD 的使用流程以及注意事项，包含 6 个章节：硬件环境、软件环境、电路设计、仿真测试、板上实测以及总结，帮助 TPLD 的使用者快速上手。

2. 硬件环境

硬件环境搭建方面，需要准备 1 个 **TPLD1201-DGS 评估板**（含芯片）（图 1 a）和 1 个 **TPLD 烧录器**（图 1 b）。

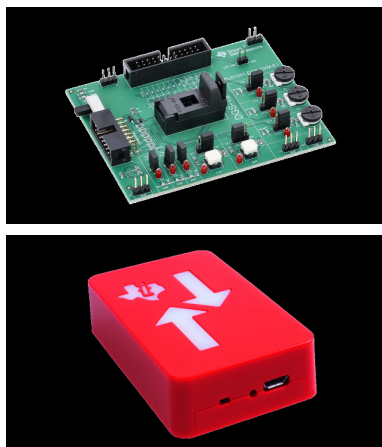


图 1. (a) TPLD1201-DGS 评估板 (b) TPLD 烧录器

将烧录器与评估板如图 2 方式连接 USB 端连接电脑，打开开关 SW3，PWR 灯亮说明电源供电正常。

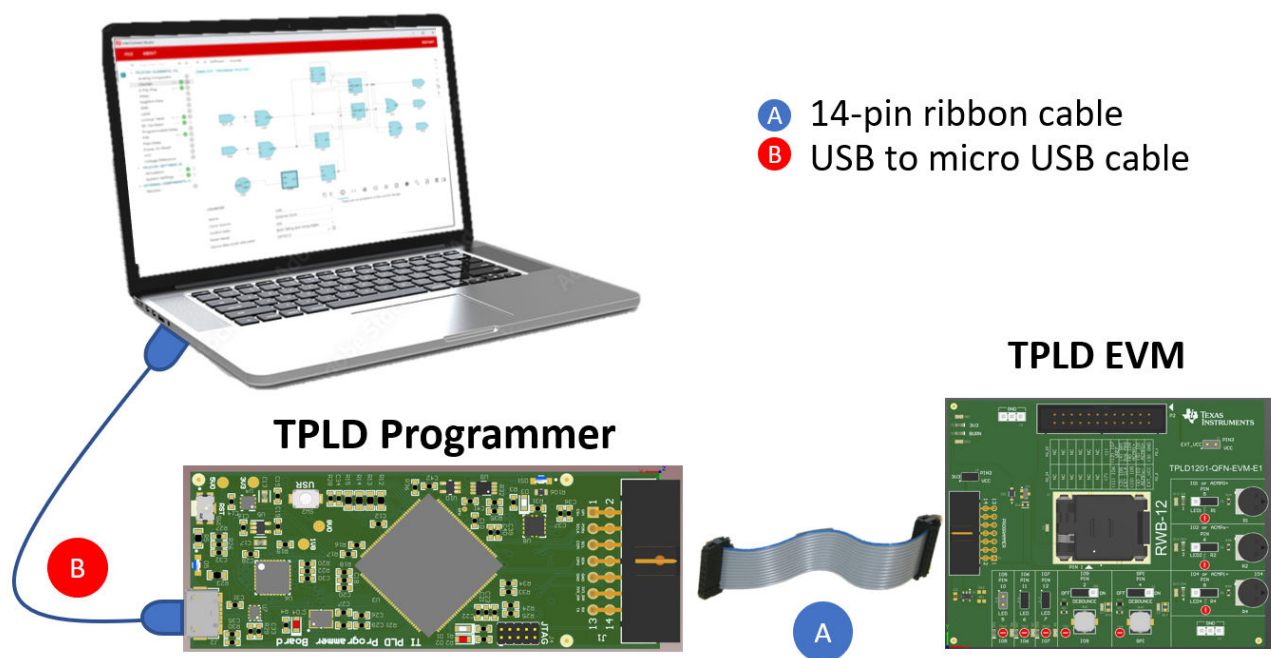


图 2. 硬件环境的搭建

TPLD1201-DGS-EVM 评估模块 (Rev. A)

3. 软件环境

首先下载 TI 的图形化编程软件 **InterConnect Studio (ICS)**，下载完成后默认安装即可。安装完成后打开界面如图 3 所示。

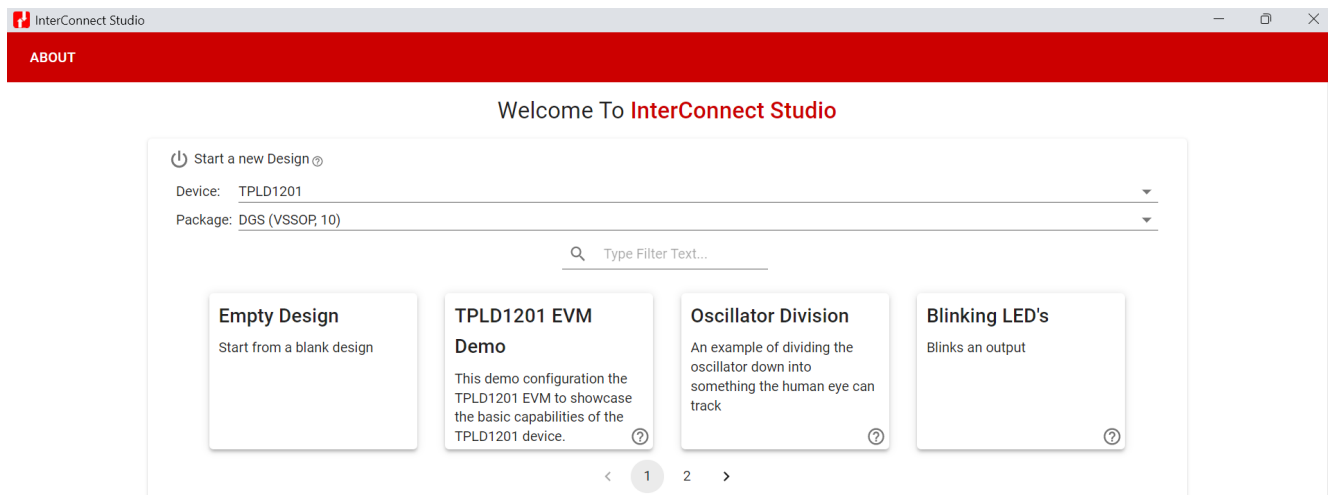


图 3. ICS 初始界面

选择对应型号的芯片以及封装，之后选择空白设计，可以看到图 4 的设计界面。

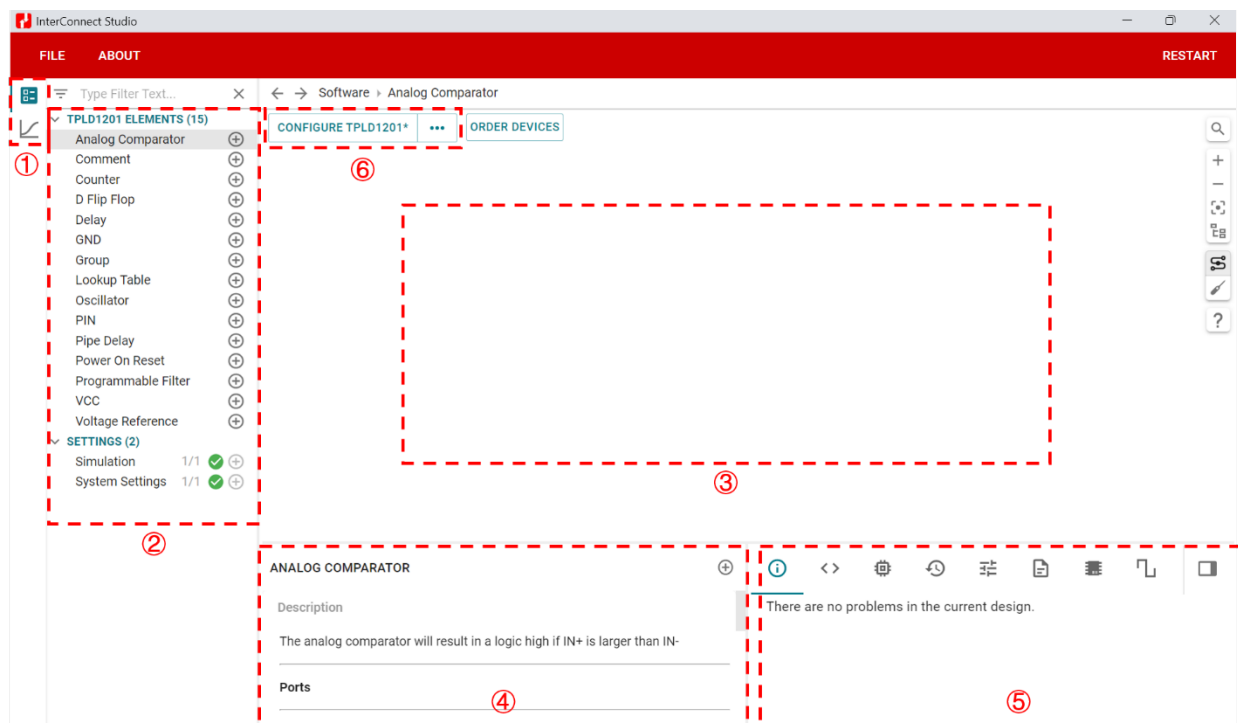


图 4. ICS 设计界面

1. 号区包含设计选项卡和仿真选项卡，通过切换可以查看当前设计的仿真结果。
2. 号区为设计资源区，会显示当前芯片可用资源，剩余资源等信息，同时可以修改仿真时间以及系统配置。有关资源的详细介绍可参考：[ICS 用户指南](#)。
3. 号区为设计布局区，显示整体系统设计，布局布线等情况。用户添加的 2 号区资源会在 3 号区显示，将资源根据用户所需的逻辑进行连线，即可实现用户所需的组合逻辑或时序逻辑，最后将 IO 与逻辑资源连线，即可与外部电路进行交互。
4. 号区为参数配置区，对 TPLD 内部的资源进行参数配置和调整。用户点击想要修改配置的资源块，在 4 号区会显示该资源当前的配置。通过修改对应条目下拉框、勾选框或空白框的值即可完成对应配置的修改。通过烧录即可完成对于 TPLD 中资源的重新配置。
5. 号区为信息显示区，包含报错信息、芯片引脚信息、历史记录、界面设置、引脚配置表、时钟配置表等。

6. 号区为芯片烧录区，可以配置芯片的烧录方式（临时烧录/永久烧录）、芯片供电来源（烧录器供电/外部供电）等参数。目前 TI 的 TPLD 均为 OTP (One-Time Programmable) 器件，只能进行一次永久烧录。永久烧录后的芯片支持板上临时烧录。

4. 电路设计

数字逻辑电路中，JK 触发器是一种常用的时序逻辑电路元件，属于双稳态触发器的一种。它具有两个输入信号（J 和 K）、一个时钟信号（CLK）以及两个输出信号（Q 和 Q'）。JK 触发器的特点是能够实现置位、复位、保持和翻转功能，因此在数字电路中应用广泛。

由于 TPLD 中没有 JK 触发器的资源，因此本例程通过 TPLD 的 D 触发器以及逻辑门资源实现 JK 触发器，实现的逻辑原理图如图 5 所示。通过原理图可以发现，实现 JK 触发器需要用到 1 个 D 触发器、2 个与门、1 个或门和 1 个非门。

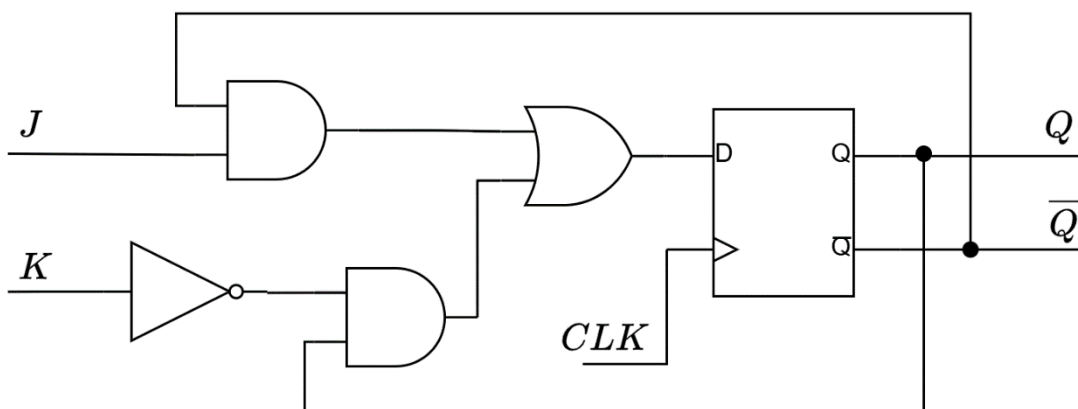


图 5. 通过 D 触发器以及逻辑门资源实现 JK 触发器

由于 TPLD 中拥有 4 输入可编程逻辑门资源，可以将图 5 中原理图的逻辑门部分进一步简化。通过计算，可以得出 D 触发器输入逻辑的表达式： $(J \& !Q) | (!K \& Q)$ 。由于 TPLD 的 D 触发器资源没有 !Q 输出，需要添加一个非门作为 !Q 输出，最终得到的电路如图 6 所示。

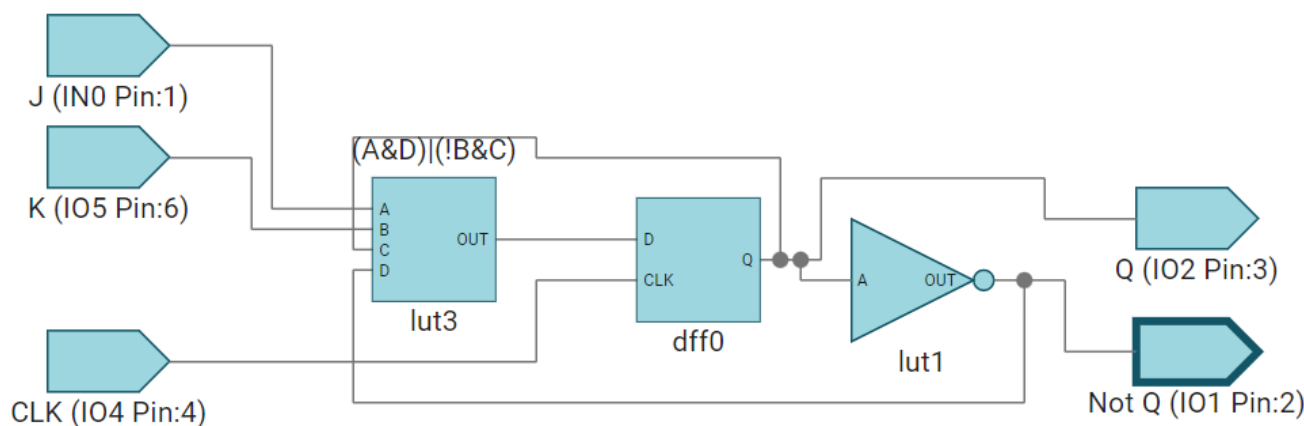


图 6. TPLD 内部资源实现 JK 触发器

其中 lut3 的配置方法如下：将“Number of Inputs”配置为“4”，“Boolean Function”配置为“Equation”，“Equation”一栏填入“ $(A \& D) | (!B \& C)$ ”，如图 7 所示。

LOOKUP TABLE ?



Name	lut3
Label	, +1 more lines
Number of Inputs	4 ▼
Boolean Function	Equation ▼
Equation	(A&D) (!B&C)
Disable Top Label Calculations	☐
Device MacroCell Allocated	Any(LUT4_0_CNTDLY2) ▼

图 7. 配置 lut3 为四输入组合逻辑

设计中将 IO 口配置为数字输入/输出；D 触发器默认配置即可；反相器通过新增 LUT，将“Boolean Function”配置为“INVA”即可实现。

5. 仿真测试

首先点击 CLK 输入，在参数配置区将“Simulated Input”选项设置为“Square (DIGITAL)”，然后在方波的参数配置中，设置周期为“8us”，占空比“50%”，延时为“0ms”，如图 8 所示。

PIN ?



Square wave clock (50% duty cycle square wave)



Period	8	us ▼
Duty Cycle (Percentage)	50	
Delay	0	ms ▼

图 8. 配置输入时钟仿真参数

接下来点击 J 输入，在参数配置区将“Simulated Input”选项设置为“Digital Pattern (DIGITAL)”，用户可以按测试需求设置数字序列以测试电路的逻辑特性。本例程将“Pattern”设置为“010110011101”，“Time Per Bit”设置为“8us”，如图 9 所示。

PIN ⓘ

Simulated Input: Digital Pattern (0101111101)

Device Pin Allocated: Any(IN0/1)

Digital pattern ^

Pattern: 010110011101

Time Per Bit: 8 **US**

图 9. 配置输入信号仿真参数

与 J 输入设置同理，本次例程将 K 输入的“Pattern”设置为“01011111101”，“Time Per Bit”设置为“8us”，设置方法同上。

仿真参数方面，点击左侧“Settings - Simulation”，修改结束时间为 200us，步进为 1us，如图 10 所示。

▼ **SETTINGS (2)**

- Simulation 1/1 ✓ (+)
- System Settings 1/1 ✓ (+)

SIMULATION

Supply Voltage: 3.3

Start Time: 0 **us**

End Time: 200 **us**

Minimum Step Time: 1 **us**

Simulate Startup Behavior: ☐

图 10. 仿真参数设置

接下来，点击最左侧的仿真选项卡，可以得到如图 11 仿真测试波形。

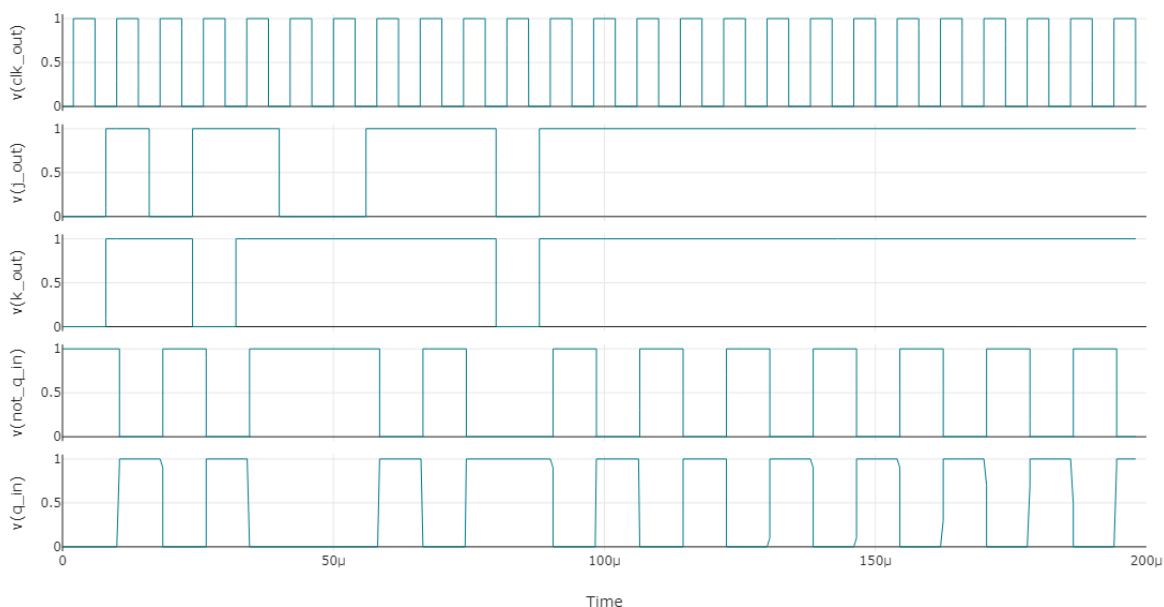


图 11. JK 触发器电路仿真波形

通过仿真测试结果可以发现，当 J、K 同时输入 0 时，为保持状态，Q 的输出不变；J 为 1、K 为 0 时，Q 输出置 1；J 为 0、K 为 1 时，Q 输出置 0；同时为 1 时，输出极性反转。符合 JK 触发器的真值表，电路工作正常。

6. 板上实测

首先是烧录流程。点击
烧录参数配置界面。



右侧的“...”图标，会弹出如图 12 的

Configure TPLD1201

Firmware Update Recovery

START

Serial Port

SELECT

Permanently Configure Device



Power Source

Programmer



BACK

OK

图 12. 烧录参数配置界面

其中，“Permanently Configure Device”为永久性烧录，TPLD 为 OTP (One time Programmable)，只允许一次永久性烧录，因此一般调试时，不需要勾选。**Power Source** 为芯片供电来源，若为外部电源供电需要选择“Target Board”，在烧录完成后会自动断开烧录器的供电，从而保护烧录器。本例程配置均为默认即可。

确认烧录配置后，点击“OK”按钮，选择对应的烧录串口，点击“Connect”按钮即可开始烧录程序。如图 13 所示。

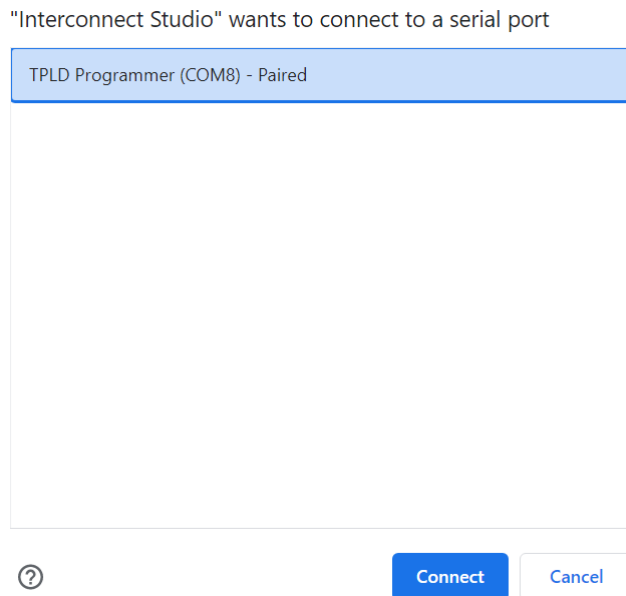


图 13. 选择烧录串口界面

烧录完成后，会提示“Programming Successful”。若出现报错，请检查芯片是否妥善放置在烧录槽内，引脚顺序是否正确对应等。

最后是板上实测环节，设置信号发生器输出两路 5kHz 3.3V 的方波，两个方波的相位差为 45°，分别连接 J，K 输入脚（参照图 6，分别对应 IN0 和 IO5）。CLK 输入设置为 25kHz，最终得到的实测波形图如图 14 所示。

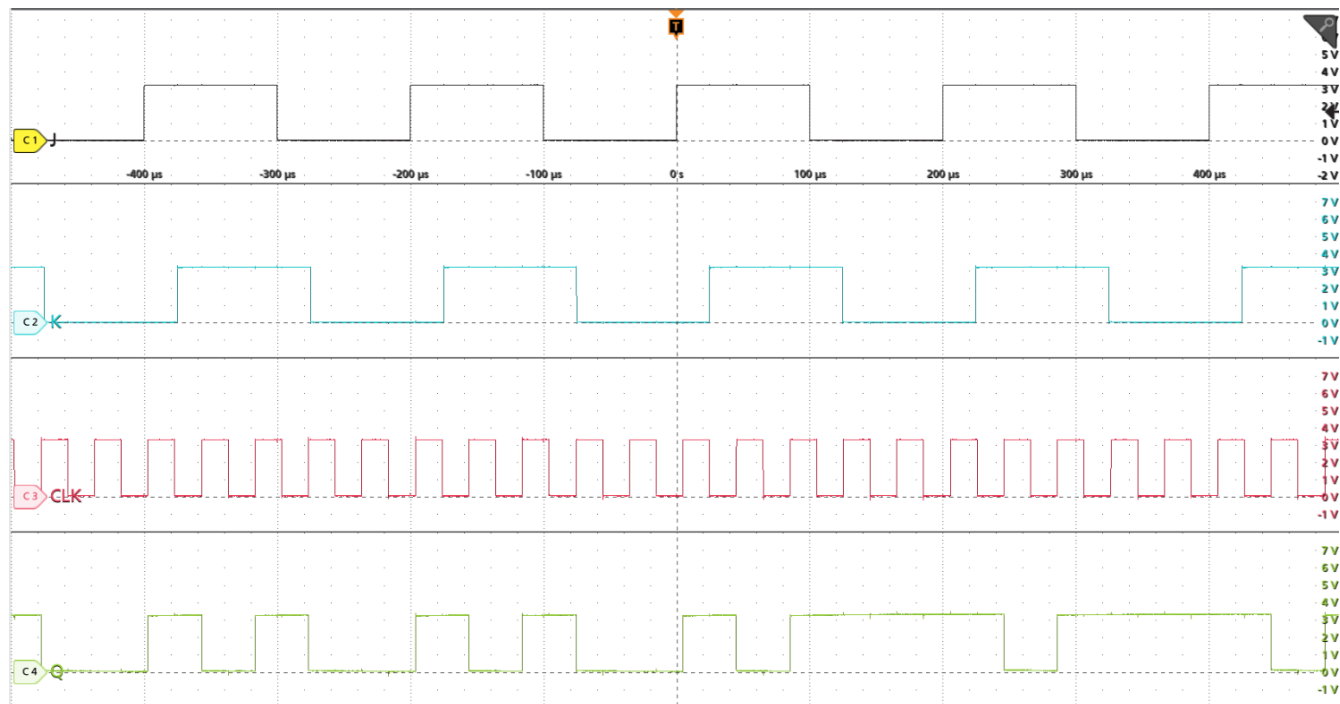


图 14. 实测波形图

通过对波形图分析，当 J、K 同时输入 0 时，为保持状态，Q 的输出不变；J 为 1、K 为 0 时，Q 输出置 1；J 为 0、K 为 1 时，Q 输出置 0；同时为 1 时，输出极性反转。符合 JK 触发器的真值表，逻辑实现完成。

7. 总结

TPLD 通过将多个数字逻辑和模拟电路集成到单个封装中，可以有效提升设计的集成度。通过使用 Interconnect Studio (ICS) 可以轻松配置 TPLD 的内部资源，更多技术细节请参考 TI 官网的 [ICS 用户指南](#)。

8. 参考资料

- 德州仪器 (TI), [TI 可编程逻辑器件](#)
- 德州仪器 (TI), [TPLD1201 产品文件夹](#)
- 德州仪器 (TI), [ICS 用户指南](#)
- 德州仪器 (TI), [TPLD1201-DGS-EVM 评估模块 \(Rev. A\)](#)

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司