

# 小封装运放的第二封装兼容设计

作者: Tim Claycomb

通用运放产品线资深应用工程师

## 简介

随着低成本终端产品需求不断增加,设计师需要设计出既能够满足产品的性能规格,又具有成本优势的创新方案。例如,设计人员除了要考虑放大器性能外,还必须考虑放大器的成本和封装尺寸等所有特性。

在低成本设计中考虑封装尺寸是很重要的,因为不同封装的运放,会带来不同的系统成本。新推出的许多器件均采用创新的小型封装,可帮助设计人员实现目标。然而,在很多情况下,尤其对于小封装器件,不同供应商提供的封装并非引脚兼容。如果供应商难以满足需求,那么替代零件通常需要防止产品制造过程复杂化。从供应和采购的角度来看,如果该封装过于独特,只有一家供应商,没有引脚兼容的可替代器件,采购的风险则大大增加。

本文讨论的是在运放引脚不直接兼容的情况下,如何为小封装运放提供可选的替代器件。同时介绍设计人员在印刷电路板(PCB)布局过程中可能遇到的制造和设计难题。

## PCB 布局的修改

修改运算放大器的 PCB 布局使之兼容两种不同的封装尺寸,并通过在包含小型封装的 PCB 上添加一个业界通用的第二常用封装,为采用小型封装的放大器提供替代零件。图 1 说明了此方案在 PCB 布局中的工作原理。

业内最常见的封装类型包括小外形集成电路封装(SOIC)、薄型紧缩小外形封装(TSSOP)和超小型小尺寸封装(VSSOP)。由于这些封装在市场上非常通用,因此这些封装可以很好的实现封装兼容,保证采购供应的便捷。本文重点介绍采用行业标准引脚封装(图 2)的双路放大器 PCB 布局以及与小封装双路放大器(如小外形无引线(SON)和小外形晶体管(SOT)封装)的关系。以此类推,设计人员可以将此方法用于任何通道数的封装。

## SOIC 封装布局

SOIC 封装的焊盘之间的间距可以放置许多小型封装放大器,这使得 SOIC 封装非常适合用作第二封装。图 3 展

示了适用于在 SOIC 封装内部兼容 SON 封装和 SOT 封装的 PCB 布局。

通过将 SOIC 封装的 1 到 8 号引脚连接到小型封装放大器的 1 到 8 号引脚,设计人员可轻松实现此布局。然而,设计人员在搭配使用 SOIC 封装和 SOT 封装时,应该考虑到一些限制和可能面临的制造方面的问题。

## TSSOP 封装布局

尽管 TSSOP 封装和 SOIC 封装具有相似的优点,但 TSSOP 封装可在封装的焊盘之间提供更大的间距。借助额外间距,可在设计中应用更宽的小型封装放大器,并消除搭配使用 SOIC 和 SOT 兼容布局所带来的限制和可能存在的制造问题。与 SOIC 封装相比,TSSOP 封装还具有更

图 1. 有关 PCB 布局的解决方案示例

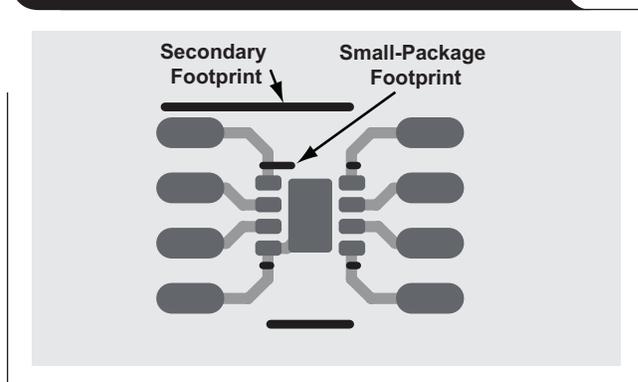
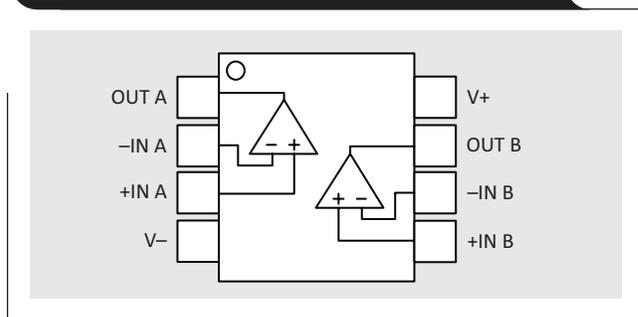


图 2. 符合行业标准的封装引脚



小的外形尺寸，而且所需的 PCB 面积更小，因此适用于空间受限的 PCB 布局。

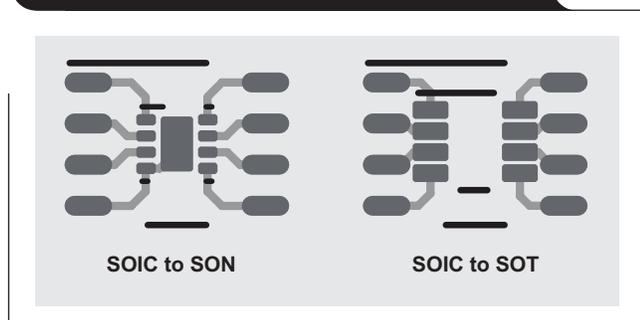
图 4 展示了适用于在业界通用的 TSSOP 封装内，兼容设计 SON 和 SOT 小封装的双封装 PCB 布局。PCB 布局与 SOIC 封装类似，即 TSSOP 封装的 1 到 8 号引脚连接到小型封装放大器的 1 到 8 号引脚。

### VSSOP 封装布局

与 TSSOP 和 SOIC 封装相比，VSSOP 封装具有更小的外形尺寸，因此 VSSOP 是以上兼容封装布局中最小的封装设计。VSSOP 封装的焊盘之间没有太多空间，减少了设计人员在 VSSOP 封装中能使用的小封装种类。然而，VSSOP 封装仍可与 SOT 封装一起使用，因为这两个器件有相同的间距，能对齐两个封装体的焊盘。

图 5 展示了在业界通用的 VSSOP 封装内部，兼容设计

图 3. SOIC 的双封装布局



SON 和 SOT 小封装的 PCB 布局。同样的，VSSOP 封装的 1 到 8 号引脚也应对应地连接至小封装的 1 到 8 号引脚。

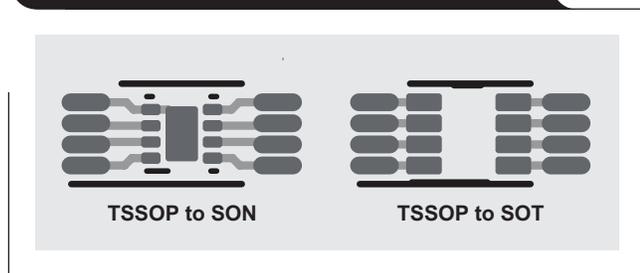
### 制造与设计考量

当包含第二封装时，需要考虑一些设计和生产制造中的限制和影响。制造中的主要问题是第二封装焊盘与小型封装放大器焊盘之间的间距不够。焊盘间距不足会导致缺少甚至没有阻焊层来填充两个封装体焊盘之间的空间。

在回流焊过程中，缺少阻焊层会导致放大器移动、短路或使器件引脚悬空。在器件焊盘之间留出至少四密耳的空间能最大限度减少这种情况的发生。四密耳空间是 PCB 制造商常用的设计规则，能为两个器件焊盘之间放置阻焊层提供足够的间距。图 6 展示了在没有保持适当阻焊层间隙的情况下器件在回流期间的移动过程。

设计人员还必须考虑到，在 PCB 布局中使用第二封装可能会在布线中产生额外的布线长度。例如，在最终产品

图 4. TSSOP 的双封装布局



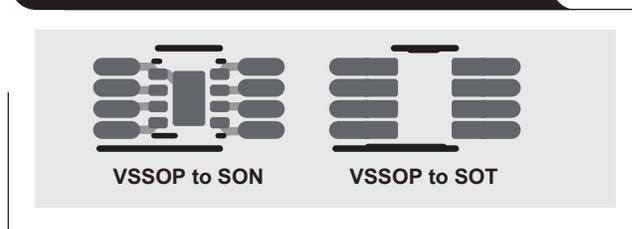
中加入小型封装放大器时，去耦电容器等组件和其他无源组件必须远离器件引脚放置。若不将去耦电容器放置在器件引脚旁边，在嘈杂环境中，很容易导致将噪声耦合到器件中。同样地，将调节放大器增益的无源器件远离小型封装放大器的反相引脚放置，也会使噪声耦合到电路中。图 7 展示了采用小型封装放大器时产生的额外布线长度。

### 结论

业界通用的 SOIC、TSSOP 和 VSSOP 封装使用较为广泛，为设计人员提供了多种替代方案。SOIC 封装外形尺寸足够大，能与大多数小封装配合使用，因此能提供最为丰富的兼容方案。TSSOP 封装的焊盘间距较大，能使用更宽的小型封装放大器，并大大减少了潜在的制造问题。VSSOP 封装能提供尺寸最小的第二封装，适用于空间受限型设计。

尽管修改 PCB 布局使之包含第二封装并不会减小 PCB

图 5. VSSOP 的双封装布局



总面积，但这仍是为小型封装放大器提供替代器件和降低最终产品成本的简单有效方法。

### 相关网站

产品信息：  
TI 运算放大器

图 6. 回流过程中的器件移动

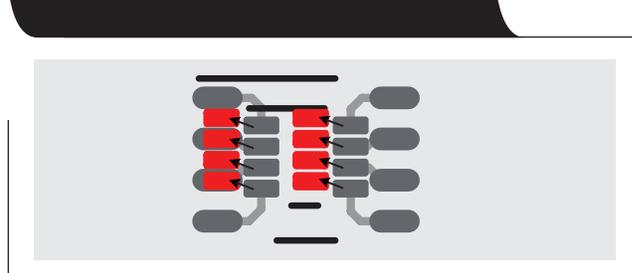
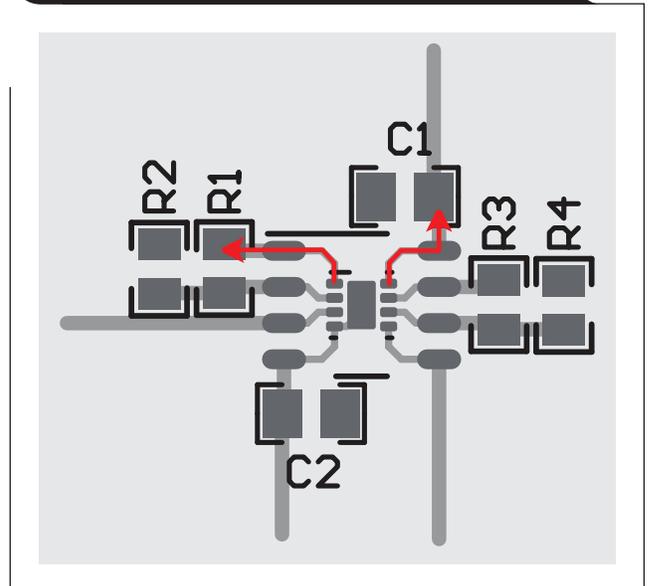


图 7. 布局中的额外布线长度



## TI 全球技术支持

---

### TI 支持

感谢您的订购。要查找有关您支持需求的答复或联系我们的支持中心，请访问

[www.ti.com.cn/support](http://www.ti.com.cn/support)

中国: <http://www.ti.com.cn/guidedsupport/cn/docs/supporthome.tsp>

日本: <http://www.tij.co.jp/guidedsupport/jp/docs/supporthome.tsp>

### 技术支持论坛

在 TI 的 E2E™ 社区（工程师对工程师）中搜索数百万个技术问题和答案，请访问

[e2echina.ti.com](http://e2echina.ti.com)

中国: <http://www.deyisupport.com/>

日本: <http://e2e.ti.com/group/jp/>

### TI 培训

从技术基础到高级实施，我们提供点播和直播培训以帮助您实现下一代设计。即刻体验，请访问

[training.ti.com](http://training.ti.com)

中国: <http://www.ti.com.cn/general/cn/docs/gencontent.tsp?contentId=71968>

日本: <https://training.ti.com/jp>

重要声明：本文所提及德州仪器（TI）及其子公司的产品和服务均依照 TI 标准销售条款和条件进行销售。TI 建议用户在下订单前查阅全面的全新产品与服务信息。TI 对应用帮助、客户应用或产品设计、软件性能或侵犯专利不承担任何责任。有关任何其他公司产品或服务的发布信息均不构成 TI 因此对其的批准、担保或认可。

A011617

E2E 是德州仪器（TI）的商标。所有其他商标均为其各自所有者的财产。

© 德州仪器（TI）公司 2018 年版权所有。  
保留所有权利。



ZHCT327

## 重要声明和免责声明

TI 均以“原样”提供技术性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证其中不含任何瑕疵，且不做任何明示或暗示的担保，包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的暗示担保。

所述资源可供专业开发人员应用TI 产品进行设计使用。您将对以下行为独自承担全部责任：(1) 针对您的应用选择合适的TI 产品；(2) 设计、验证并测试您的应用；(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。所述资源如有变更，恕不另行通知。TI 对您使用所述资源的授权仅限于开发资源所涉及TI 产品的相关应用。除此之外不得复制或展示所述资源，也不提供其它TI 或任何第三方的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，TI 对此概不负责，并且您须赔偿由此对TI 及其代表造成的损害。

TI 所提供产品均受TI 的销售条款 (<http://www.ti.com.cn/zh-cn/legal/termsofsale.html>) 以及ti.com.cn上或随附TI产品提供的其他可适用条款的约束。TI提供所述资源并不扩展或以其他方式更改TI 针对TI 产品所发布的可适用的担保范围或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122  
Copyright © 2019 德州仪器半导体技术（上海）有限公司