
模拟应用期刊

2015 年第 2 季度



德州仪器 2015年版权所有

目录

引言	3
汽车	
传感器信号调节器的两步校准	4
如今，面向传感器信号调节的混合信号集成电路 (IC) 在传感器应用中得到了广泛的使用。本文考察了在以模拟形式传输数据的信号调节器中执行的信号调节算法的校准。文中阐述的校准方案可消除由位于数字电路的前面和后面的模拟电路所引起的模拟信号链路误差。	
工业	
在频域中设计一款用于 ADC 的抗混叠滤波器	7
当开发数据采集 (DAQ) 系统时，常常需要在 ADC 之前布设一个抗混叠滤波器，以除去模拟系统的高频噪声和信号。通常，对此类系统的评估包括了失调、增益、线性度和噪声。本文从频率的角度评价了系统的信号路径，并说明了影响 DAQ 系统设计的六个频率之间的关系。	
针对高速、高电压测量的提示与技巧	10
采用氮化镓 (GaN) 和碳化硅 (SiC) 功率 FET 的高速、高电压电路对电源转换设计人员提出了测量挑战。本文说明了几种用于测量探针性能的探针电路和方法。其中包括一款嵌入式探针电路，其可最大限度地降低负载，并能够安全地测量高达 600 V 且上升时间短至 3.5 ns 的电压。	
通信	
JESD204B 多器件同步：分解要求	15
诸如相控阵雷达、分布式天线阵列和医学成像等众多的应用都运用了同步化信号链路。另外，大多数需要多个同步化信号链路的系统还要求实施 ADC 和 DAC 的同步。本文阐述了针对 JESD204B ADC 和 DAC 同步化的四项基本要求。文中介绍了两个计时实施方案示例，其说明了如何实现整体系统同步的条件。	
千兆位级系统中的高级线性均衡	20
在高速信号调节领域，在模拟域中使用线性均衡仍然起着重要的支持作用。本文评估了用于在各种不同的频率分量之间恢复平衡的均衡方法，其可确保在采用众多串行协议的情况下实现稳健的无差错运作，包括 10GbE 以太网、PCIe 和 SAS。另外，文中还说明了链路训练和自适应信号调节的概念。	
个人电子产品	
实现面向头戴式耳机应用的差动放大器的稳定	24
由于差动放大器拓扑以及要求低输出阻抗、低失真、低噪声和高 CMRR 的缘故，实现头戴式耳机放大器的稳定是一项独特的挑战。本文介绍了一款增强型放大器解决方案，其可为电容性负载提供稳定的操作，且不会在低频条件下增加输出阻抗，或者损害共模抑制性能。	
TI 全球技术支持	29

如需查阅《模拟应用期刊》
(Analog Applications Journal)
的过往期刊，敬请访问以下网址：
www.ti.com.cn/aaaj
通过下面的网址订阅 AAJ：
www.ti.com.cn/subscribe-aaaj

引言

《模拟应用期刊》是一本模拟技术文摘，由 TI 按季度发行。这些文章面向广大设计工程师、工程经理、系统设计师和技术员，旨在让他们了解如何运用 TI 模拟产品解决各种设计问题和满足设计要求。读者可以在文中找到一些指导性的内容、实际工程设计和详细的数学计算方法，其适用的产品类别如下：

- 汽车
- 工业
- 通信
- 企业系统
- 个人电子产品

《模拟应用期刊》文章包括许多有用的建议和经验法则，为广大年轻工程人员或者刚刚进入模拟行业的新手以及高级模拟技术工程师们提供指导。适当情况下，读者还会看到软件例程和程序结构相关内容，并且了解和学习设计工具。这些前瞻性的文章针对当前及未来的产品解决方案提供了有价值的见解。不过，针对许多涉及了作为当今产品之基础的传统技术和解决方案的文章，这份长期出版的精选文摘还为读者提供了档案查阅服务。这意味着 AAJ 可以作为一种适用于众多模拟产品、应用和设计工具的关联搜索工具。

传感器信号调节器的两步校准

作者: Arun T Vemuri

系统设计师

Javier Valle-Mayorga

应用工程师, 增强型工业产品

引言

如今, 面向传感器信号调节的混合信号集成电路 (IC) 在诸如压力、温度和位置监测的传感器应用中得到了广泛的使用。在此类信号调节器中, 对来自感测元件的输出信号的调节是利用混合信号电路来完成的, 这种电路是模拟电路与数字电路的组合。而且, 感测元件信号的实际调节是在数字域中执行的。经过调节的信号是传感器信号调节器的输出。传感器输出以模拟或数字的形式传输至控制或监测系统。如果采用的是模拟形式的传输, 则处理后的数字信号必须转换回模拟形式。

本文考察了在以模拟形式传输数据的信号调节器中执行的传感器信号调节算法的校准。请注意, 传感器校准包括了感测元件非理想效应和信号调节器非理想效应, 例如: 失调和增益误差。校准方案将处理位于数字电路前面和后面的模拟电路的模拟信号链路误差。

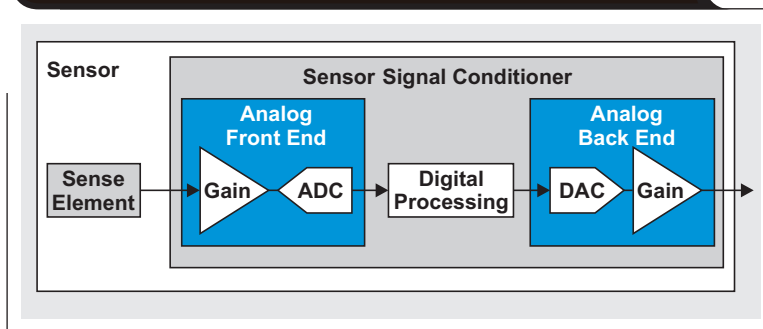
传感器信号调节器

感测元件的电输出在数值上通常很小, 而且存在非理想效应, 比如: 失调、灵敏度误差和非线性。这些非理想效应会在测量中引起误差。传感器信号调节器用于最大限度地抑制这些非理想效应。由德州仪器提供的 PGA400-Q1 便是此类调节器的一个实例。

混合信号调节器

图 1 示出了一款具有模拟输出的混合信号调节器的方框图。混合信号调节器运用了前端模拟电路以与一个感测元件相连。由于感测元件的输出往往非常小, 因此前端由一个增益级和一个跟随其后的模数转换器 (ADC) 组成。该 ADC 用于对感测元件的输出进行数字化, 这意味着可以采用灵活的数字信号处理方法来调节感测元件信号。增益级可以由单端差分放大器或仪表放大器构成, 这取决于感测元件的引出脚配置。

图 1: 混合信号调节器的方框图



在来自前端的数据由数字电路调节之后, 其被送至后端以传输至一个控制或监测系统。该已调节信号的传输可以采用模拟或数字形式。如欲以模拟形式传输经过调节的数字信号, 则采用一个具有缓冲器或增益级的数模转换器 (DAC) 将数字值转换为模拟形式。同样, PGA400-Q1 是此类信号调节器的一个例子。

模拟信号链路中的误差

感测元件输出通常是一个具有非常低范围的信号; 换句话说, 其输出信号的范围很小。由于这个原因, 感测元件输出的调节从一个增益级开始。所以, 感测元件输出容易遭受不同放大器误差源的影响, 例如: 输入失调、增益和非线性误差。除了这些误差之外, 感测元件本身也存在着固有的失调和非线性误差。

本文中所讨论的信号调节器还具有模拟输出, 其一般是由一个 DAC 和一个位于该 DAC 之后的增益级产生的。这意味着经过调节的信号也容易受到放大器误差的影响, 比如: 模拟输出级中的输入失调、增益和非线性误差。传感器调节器中的这些误差是由于 IC 内部的器件与组件之间的失配而引起的。此类误差有可能变得更加严重, 这要看给感测元件输出信号或已调节的输出信号 (在传输至控制或监测系统之前) 施加了多大的增益。

请注意，来自感测元件的信号具有非理想效应。于是，在传感器制造期间针对这些非理想效应进行了感测元件输出的校正，常常是借助信号调节器来完成这一工作。正是在此校准过程中需将模拟信号链路中的误差纳入考虑的范畴。

图 2 示出了未经校准的传感器信号调节器和经过校准的传感器调节器的期望输出（相对于感测元件输入信号）示例。请注意，未经校准的输出在信号调节器信号流中包括了感测元件和模拟电路的非理想效应。

两步校准过程

两步校准过程包括：

1. 后端模拟电路误差的校准

此校准负责对由数字电路进行调节并转换回模拟形式之后引入到信号中的误差进行校正。

2. 前端模拟电路误差的校准

此校准负责对数字化处理之前从感测元件引入到信号中的输入失调、增益和非线性误差实施校正。

图 3 示出了传感器调节器内部与该两步校准过程有关的部分。

校准过程的次序至关重要，因为后端模拟电路的校准提供了感测元件和前端模拟电路的校准所需的“期望”输出值。

后端模拟电路校准

后端和前端模拟电路的校准目的几乎是一样的，即：减少由模拟信号链路非理想效应所引起的误差，并由此改善传感器输出的准确度。然而，用于校准后端电路的数据点来自于传感器调节器的内部，而不是感测元件。

为了真正地校准后端电路，必须把 DAC 和其余的输出模拟电路与数字信号调节电路隔离开来。外部校准电路随后直接对 DAC 进行写操作并测量后端模拟电路的输出（信号调节器的输出引脚）。采用标准的曲线拟合算法对数据实施曲线拟合处理。该曲线用于确定感测元件输出校准中所需的 DAC 值。需注意的是，该校准所需的数据点的数量取决于后端模拟电路中存在的非理想效应。由于数据点受控于用户而不是感测元件，因此校准常常是仅采用少量数据点进行的。此外，如果后端模拟电路的运行方式随温度而改变，则必须在不同的温度条件下重复此校准过程。

一旦确定了后端模拟电路的转换函数和期望的 DAC 代码，则可在针对前端校准的计算中使用这些 DAC 代码。

图 2：经校准的传感器的理想输出与来自感测元件的信号比较

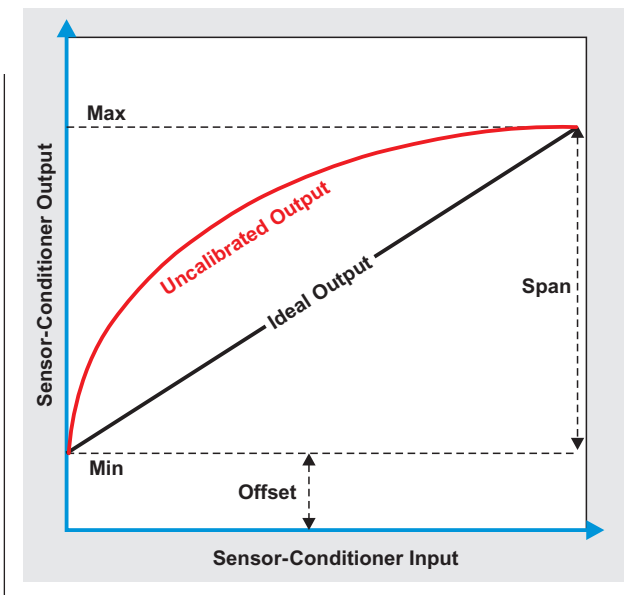
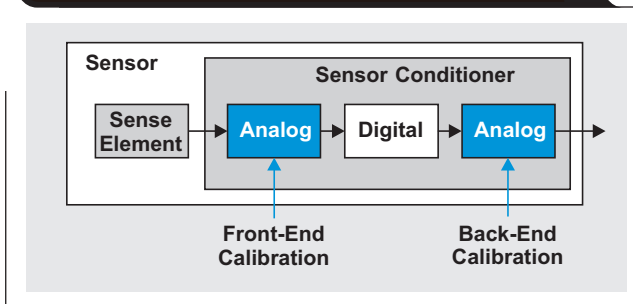


图 3：传感器校准要求前端和后端曲线拟合



前端校准

前端校准在很大程度上取决于感测元件的输出信号线性。而且，由于传感器的校准是由制造商完成的，因此时间和成本也是驱动因素。如前文所述，可以依据期望的传感器准确度实施不同的方法。

一般来说，当感测元件由与应用相关的特定刺激因素（比如：压力和温度）激励时，传感器调节器采用数学算法来校准传感器输出。测量的次数取决于传感器调节器处理数据的能力，以及完成传感器校准所需的时间。例如：可通过在三个输入信号点上测量 ADC 的输出来校准一个压力传感器的前端。标准的曲线拟合方法可用于确定从 ADC 输出至 DAC 输入的期望转移函数。（接下页）

（续上页）这是采用在后端电路的校准期间计算的 ADC 数据和 DAC 代码来实现的。然而，在三种不同的温度条件下可以取相同的三个压力点。这将产生总共 9 个测量结果 — 三种温度条件下的三个压力值。于是，用于传感器调节器输出的最终数学表达式是一个二次方程：（续

$$\text{Output} = (h_0 + h_1T + h_2T^2) + (g_0 + g_1T + g_2T^2)P + (n_0 + n_1T + n_2T^2)P^2 \quad (1)$$

式中的 h_0 、 h_1 、 h_2 、 g_0 、 g_1 、 g_2 、 n_0 、 n_1 和 n_2 是用于使感测元件的输出与传感器调节器的期望输出相匹配的系数。由于后端电路结果被用于计算这些系数，因此必须首先完成后端校准。

不难推断，相比于只在一种温度条件下进行所有的三个压力测量 (3P:1T)，在三种不同的温度下实施三个不同的压力测量 (3P:3T) 将会更加耗时和复杂。不过，采用 3P:3T 法可获得比 3P:1T 法更高的准确度。视应用和传感器调节器功能的不同，可以组合的方式来运用这两种方法，例如：在两种温度条件下进行两个压力测量 (2P:2T) 或在四种温度下实施四个压力测量 (4P:4T)。

结论

在具有模拟输出的混合信号传感器调节器中可以采用一种两步校准过程。一般而言，该过程可通过减轻模拟信号链路中的误差达到改善传感器准确度的目的。

相关网站

汽车解决方案：

www.ti.com/automotive

产品信息：

www.ti.com/PGA400-Q1

www.ti.com/PGA300

订阅 AAJ：

www.ti.com/subscribe-aaj

在频域中设计一款用于 ADC 的抗混叠滤波器

作者: Bonnie C. Baker

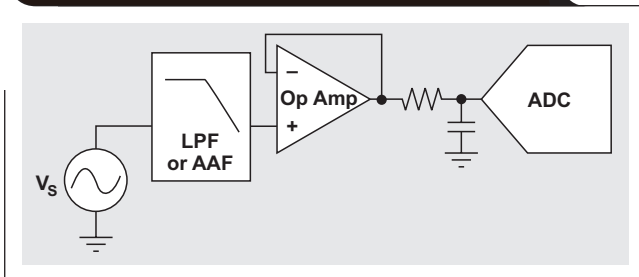
高级应用工程师

引言

在有兴趣对某种实际信号进行数字化处理的众多应用中都可以看到数据采集 (DAQ) 系统的身影。此类应用涉及的范围很宽泛, 从测量温度到感测光线等都在其列。当开发 DAQ 系统时, 常常需要在模数转换器 (ADC) 之前布设一个抗混叠滤波器, 以除去模拟系统的高频噪声与信号。图 1 示出了这类应用的一般电路示意图。

DAQ 系统以一个信号 (比如: 来自某个传感器的波形 V_s) 作为开始。接下去是低通滤波器 (LPF) 或抗混叠滤

图 1: DAQ 电路的基本拓扑



波器 (AAF) 以及被配置为一个缓冲器的运算放大器 (运放)。在缓冲放大器的输出端上是一对电阻器 / 电容器, 其负责驱动 ADC 的输入。该 ADC 是一个逐次逼近型转换器 ADC (SAR ADC)。

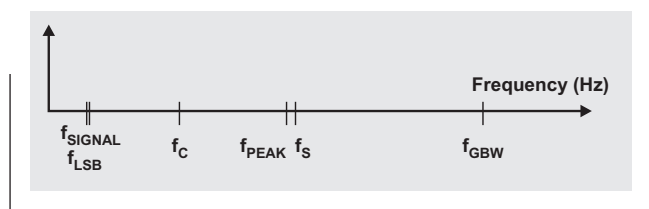
通常, 此类电路的评估包括了失调、增益、线性度和噪声。评估中的另一个角度则涉及频域中的事件布局。

有六个频率会影响该系统的设计:

1. f_{SIGNAL} — 输入信号带宽;
2. f_{LSB} — 具有容许的增益误差和一个期望的最低有效位 (LSB) 数量的滤波器频率。最好是让 f_{LSB} 等于 f_{SIGNAL} ;
3. f_c — LPF 转角频率;
4. f_{PEAK} — 与放大器最大全标度输出相对的频率;
5. f_s — ADC 采样频率;
6. f_{GBW} — 放大器增益带宽频率。

图 2 示出了这些频率之间的一般关系。

图 2: f_s 、 f_{GBW} 、 f_{PEAK} 和 f_c 之间的基本关系



对于下面的评估, 示例系统自始至终均采用了以下的配置:

- 1 kHz 的输入信号带宽 (f_{SIGNAL})
- 10 kHz 的低通滤波器转角频率 (f_c)
- 100 kHz 的 SAR-ADC 采样频率 (f_s)
- 单电源双通道运算放大器, OPA2314

确定最大信号频率 (f_{SIGNAL} 、 f_{LSB}) 及可接受的增益误差

第一个动作是确定输入信号的带宽 (f_{SIGNAL})。接着, 确定来自 LPF 或 AAF 的可接受增益误差的大小^[1]。该增益误差并不会在选择测量的频率上瞬间出现。实际上, 在 DC 时该增益误差为零。LPF 增益误差随着频率逐步地变大。一个以 dB 为单位的 LSB 误差等于:

$$20 \times \log [(2^N - \text{err})/2^N],$$

式中的 N 为转换器比特数, 而整数 err 是可容许的位错误。该错误通过检查 SPICE 闭环增益曲线找出。

在该例中, 信号带宽为 1 kHz, 可接受的增益误差等于一个代码, 这相当于 1 LSB。对于一个 err 等于 1 且 N 等于 12 的 12 位 ADC 来说, 增益误差等于 -2.12 mdB。

采用一个 TINA-TI™ SPICE 模型来分析一款四阶、10 kHz 低通巴特沃斯 (Butterworth) 滤波器，闭环增益响应示于图 3 和图 4。在这两幅图中，“b”光标的位置均标示了增益误差为 -2.12 m dB 的点 ($f_{1\text{-LSB}} = 1.04 \text{ kHz}$)。

在图 3 中，测量窗口显示：位于“b”处的标记对应的频率是 1.04 kHz 。另外，该窗口还显示：在 y 轴上，频率标记“a”和“b”之间的差异为 -2 m dB [2]。

图 4 在 y 轴上对巴特沃斯滤波器在通过其转角频率 (f_c) 之前的动作进行了放大。对该响应的初步观察发现：增益曲线在其向下倾斜之前出现了一个轻微的跃升。这个向上的尖峰达到了一个大约为 $+38 \text{ m dB}$ 的值。这是四阶巴特沃斯低通滤波器的一个基本特征。

如果可接受较高的增益误差，表 1 列出了 f_{LSB} 的变化与 LSB 值之间的关系。

表 1: LSB 误差与 f_{LSB} 的关系

LSB error (LSB)	LSB error (dB)	f_{LSB}
1	-0.002	1.04 kHz
2	-0.004	1.47 kHz
3	-0.006	1.82 kHz
4	-0.008	2.11 kHz

滤波器转角频率 (f_c)

请注意，低通滤波器的转角频率 (f_c) 位于闭环频率响应的衰减为 -3 dB 的频率上。如果选择了一个四阶 LPF，那么 f_c 大约比 $f_{1\text{-LSB}}$ 高 10 倍。运用 WEBENCH® Filter Designer 的 SPICE 仿真可快速地确定该数值。当采用 Filter Designer 来设计单电源滤波器时，应选择多重反馈 (MFB) 拓扑，其利用一个位于中间电源的静态 DC 共模电压来运作放大器。图 5 示出了这款四阶、10 kHz 巴特沃斯 LPF 的电路示意图。

图 3: 一个四阶、10 kHz 巴特沃斯 LPF 在 1.04 kHz 频率下的增益误差等于 -2.12 m dB

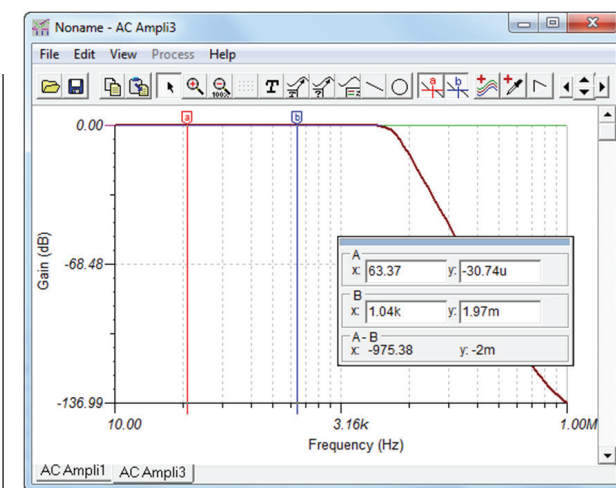


图 4: 一个四阶、10 kHz 巴特沃斯 LPF 的闭环增益响应

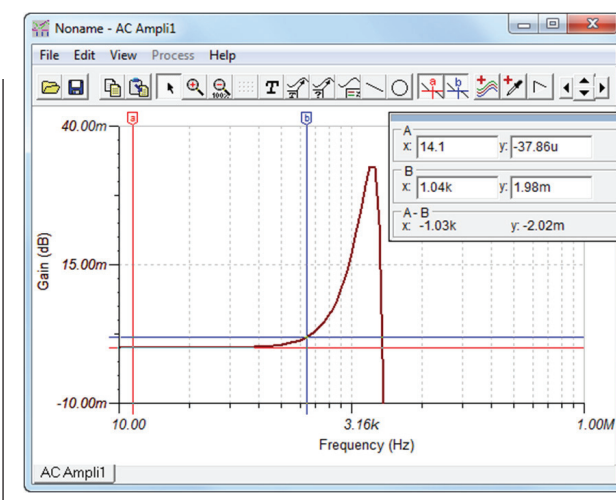
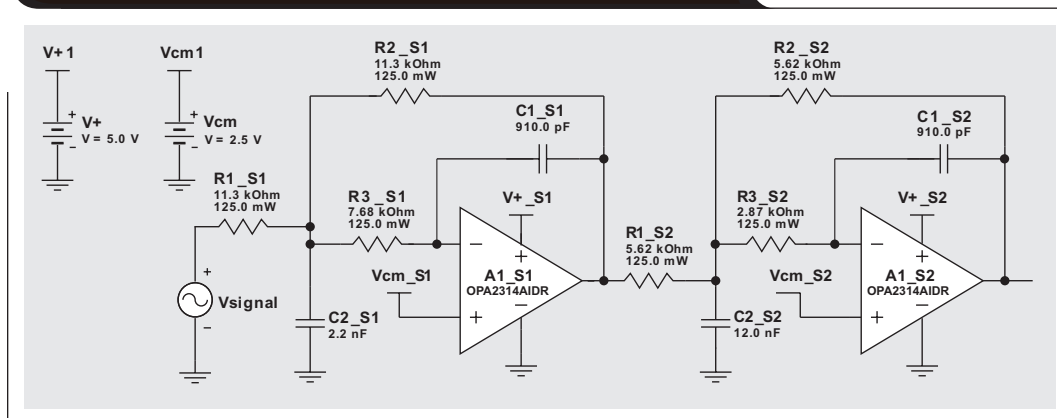


图 5: 具有 $f_c = 10 \text{ kHz}$ 的四阶、巴特沃斯 LPF



规定放大器的增益带宽频率 (f_{GBW})

低通滤波器的 Q 因数、增益 (G) 和转角频率 (f_c) 决定了放大器的最小可容许增益带宽 (f_{GBW})。当找出了 Q 因数时, 首先要做的就是确定滤波器近似的类型 (巴特沃斯、贝塞尔 [Bessel]、切比雪夫 [Chebyshev], 等等) 和滤波器阶数^[2]。如先前规定的那样, 转角频率为 10 kHz。在该例中, 滤波器近似为巴特沃斯, 而增益为 1 V/V。最后, 这是一个四阶滤波器。确定放大器增益带宽的公式为:

$$f_{GBW} = 100 \times Q \times G \times f_c \quad (1)$$

在该系统中, f_{GBW} 必须等于或大于 1.31 MHz (由 WEBENCH Filter Designer 进行验证)。OPA2314 双通道放大器的增益带宽为 2.7 MHz。

放大器的最大全标度输出

在大多数应用中, 放大器都必须能够提供其全标度输出。也许是这样, 也许不是。一种检查方法是通过放大器的转换速率规格来获得一个粗略的估计。

依据频率对放大器最大输出电压做出的保守定义大致等于 $f_{PEAK} = SR/(V_{PP} \times \pi)$, 其中的 SR 为放大器数据表中给出的转换速率, V_{PP} 是规定的峰至峰输出摆幅。需注意的是放大器的上升和下降时间也许并不完全相等。因此数据表中提供的转换速率规格是一个估计值。

OPA2314 放大器的数据表转换速率为 1.5 V/ μ s, 而且在 5.5 V 系统中 V_{PP} 等于 5.46 V。当放大器处在线性区时, 采用一个 5.5 V 电源时的轨至轨输出等于 5.46 V。图 6 示出了当输出范围超出了放大器的线性区时 OPA2314 的测试工作特性。

OPA2314 的最大输出电压计算值出现在约 87.5 kHz。然而在图 6 中, 采用基准数据时获得的最大值显示为 70

kHz 左右。存在这一偏差的原因是放大器的上升时间和下降时间之间不匹配, 以及放大器在正弦输入电压摆动曲线的峰值和谷值处的响应性不同。

SAR-ADC 采样频率

现在的难题是确定 SAR ADC 的采样频率。假设采用的是 1 kHz 的最大输入信号, 那么 SAR ADC 的信号采样速率必须高于每秒一个周期。实际上, 最好是每秒超过 10 次。这意味着 10 kHz 采样 ADC 将是胜任的。

此外, 在可能的情况下还应消除信号路径噪声, 这一点很重要。倘若 SAR ADC 以高于滤波器转角频率的频率执行转换操作, 则那部分噪声将不会折回到系统中。因此, 100 kHz 采样 SAR ADC 可满足要求。

如果采样频率为 100 kHz, 则奈奎斯特 (Nyquist) 频率为 50 kHz。在 50 kHz 频率下, 低通滤波器的频率响应下降大约 50 dB。这种衰减程度限制了对穿过系统的噪声的影响。

结论

在频域中进行 DAQ 的开发会带来有趣的挑战。由一个滤波器和一个 SAR ADC 构成的系统通常是利用 DC 和 AC 放大器以及转换器的性能指标来评估的。然而, 本文却从频率的角度评估了系统的信号路径。

重要的频率规格包括信号带宽、滤波器转角频率、放大器带宽和转换器采样速度。尽管信号带宽很小 (1 kHz), 但是所需的 AAF 转角频率应比信号带宽高 10 倍, 以求减少高频增益误差。此外, 转换器的采样频率也高于预期值, 旨在降低由噪声混叠引起的复杂性。

参考文献

- 1、作者: Bonnie Baker, 《模拟滤波器和规格指标纵览: 映射到您的 ADC》, On board with Bonnie, TI 博客, 2014 年 11 月 5 日。
- 2、作者: Bonnie Baker, 《模拟滤波器和规格指标纵览: 为您的滤波器选择合适的带宽》, On board with Bonnie, TI 博客, 2013 年 11 月 8 日。

相关网站:

TINA-TI™ WEBENCH® 工具:

www.ti.com/tina-ti

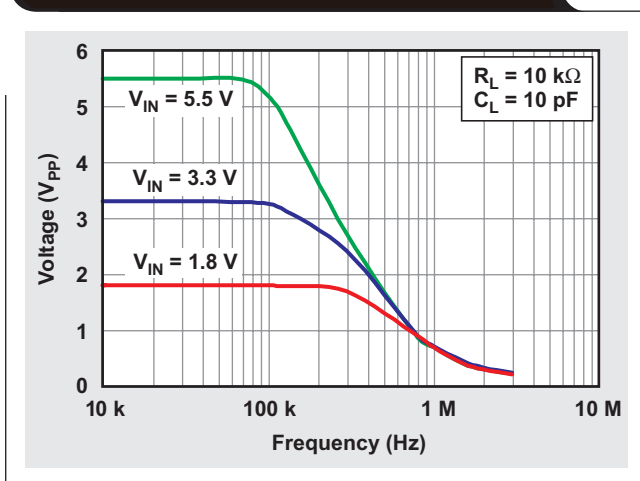
产品信息:

www.ti.com/OPA2314

订阅 AAJ:

www.ti.com/subscribe-aaaj

图 6: OPA2314 最大输出电压



针对高速、高电压测量的提示与技巧

作者：Grant Smith

业务发展经理

引言

那些同时也包含了高速器件（例如：近期推出的氮化镓 [GaN] 和碳化硅 [SiC] 功率 MOSFET）的高电压电路对电源转换设计师提出了挑战。当与低电感栅极驱动器正确地搭配使用时，较低电压 GaN FET ($< 100\text{ V}$) 可在最短 1 ns 的时间里完成开关切换。采用特殊低电感布局和高电流驱动器的高电压 600 V GaN FET、乃至更高电压的 1200 V SiC FET 也能够以 1 MHz 的速率执行开关操作（上升和下降时间低于 20 ns ）。在设计验证期间，遵照环境安全与健康 (ESH) 指引等标准来对此类高电压电路进行安全的手动探测是一个难题。另一个考虑因素是要求利用电介质安全隔板来避免测试人员意外触碰带电区域，以及使用诸如橡胶手套和护目用具等个人防护设备。这些安全性方面的问题使得探测变得更加困难。

本文介绍了几种用于测量探针性能的高速和高电压探针电路。目的是阐明如何将高电压降低至安全的水平，并提供优良的 DC 准确性和高 AC 保真度，随后就能够通过同轴电缆把这些信号传输至 $50\ \Omega$ 设备中。

测量概述

利用一个探针来测量电路的电压将同时给电路施加电阻性和电容性负载，而且在高频条件下甚至还包括电感性负载。给电路加载还会把失真和振铃添加到原始信号上。其概念类似于海森堡测不准原理 (Heisenberg uncertainty principle)，该原理涉及一个电子的位置和动量的量子本质，并揭示了一些有关电子测量的科学。基本的结论是：任何旨在测量电压和电流的尝试实际上都会改变这些物理量。

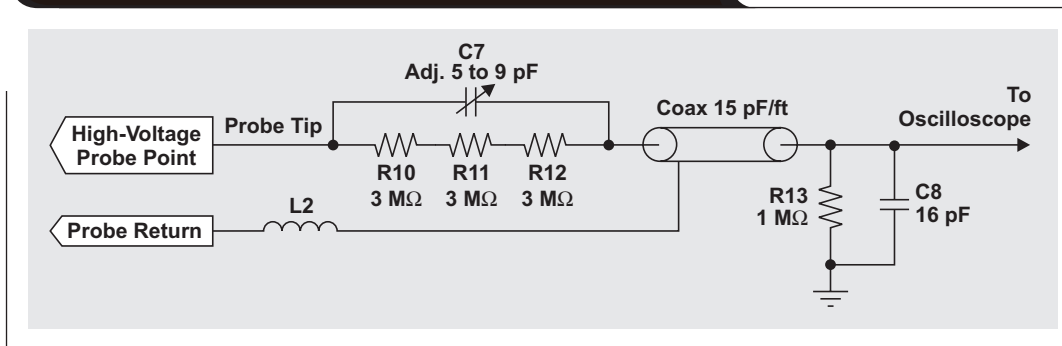
利用电流探针来测量电流将增加环路面积和电感，以及会导致瞬时功率耗散 ($V \times I$) 估计复杂化的失真和时间延迟。通过测量一个低值并联电阻器两端的电压来测量电流也是一种常用的方法。然而，当频率高于 10 MHz 或者存在低于 30 ns 的上升和下降时间时，必须考虑电阻器的电感。在开关频率达 MHz 级（宽带隙电源转换时可能出现）及存在短暂的上升和下降时间的情况下，重温一下探针电路及其某些局限性是很重要的。

图 1 示出了一个 $10:1\ 10\text{ M}\Omega$ 、 500 MHz 示波器探针的简化原理图。电阻器 R_{10} 、 R_{11} 和 R_{12} 在探针的尖端中提供了一个与可变补偿电容器 (C_7) 相并联的 $9\text{ M}\Omega$ 电阻。在 DC 条件下，利用示波器的 $1\text{ M}\Omega$ DC 输入电阻器 (R_{13}) 和探针尖端中的 $9\text{ M}\Omega$ 电阻来获得 $10:1$ 的分压比。为了在电压测量中实现 1% 或更好的准确度，被测量的电路必须具有一个 $100\text{ k}\Omega$ 或更小的源阻抗。有源探针可具有较高的输入阻抗，但电压通常被限制在几十伏^[1]。

宽带隙功率 FET

近期推出的宽带隙功率半导体器件（如 SiC 和 GaN FET）可帮助设计人员满足下一代的效率与功率密度要求。相比于传统的硅 (Si) 器件，这些宽带隙器件能在较小的面积内支持较高的击穿电压。此类器件的设计人员正逐步地减小电容和几何尺寸，以改善通过沟道的速度。与相同大小的 Si 器件相比，GaN 的高迁移性和 GaN 功率 FET 的横向结构可产生较高的载流子浓度能力和较低的导通电阻 ($R_{DS(on)}$) 值。（接下页）

图 1：示波器探针的简化原理图



(续上页) 这些特性使得 GaN FET 的尺寸可以为 Si FET 的大约三分之一, 然而却拥有与之相当的电压和电流传输能力。

反向恢复电荷 (Q_{rr}) 是 Si 功率 FET 开关操作的主要功率损失机理。GaN 和 SiC FET 均为多数载流子器件。GaN FET 没有体二极管, 这意味着它们没有反向恢复电荷 (Q_{rr})。SiC FET 确实具有一个体二极管, 这一点与 Si 器件相似, 但是存储的反向电荷较低。当验证采用了近期推出的 GaN 和 SiC 功率器件的设计时, 应对特定应用或电源转换器架构中的损耗进行量化, 这一点很重要。而且, 还应对那些需要采用不同的方法以满足驱动电路、控制器参数和系统性能目标的器件的优缺点进行评估。

必需以足够的准确度和带宽测量漏极、栅极和源极上的波形, 这是至关重要的。还有一点也很重要, 那就是应在整个温度范围内监视这些波形, 因为宽带隙器件的运行方式与 Si 器件是不同的。对于任何开关 FET 而言, $R_{DS(on)}$ 都是一个关键的参数。我们知道, 当温度从 25°C 升至 125°C 时, Si FET 的 $R_{DS(on)}$ 约增加一倍。SiC 器件在相同情况下的 $R_{DS(on)}$ 增加则小得多, 并指定可在 200°C 或更高的温度条件下操作。GaN FET 还具有温度相关性以及一种与断态电压有关的导通电阻机理, 被称为动态 $R_{DS(on)}$ 。未发现 Si 或 SiC FET 具有这种复杂的效应。据相关报告, GaN 的动态 $R_{DS(on)}$ 会在接通之后最短几百 ns 到几分钟 (取决于变化的起因) 发生改变^[2]。

图 2 示出了一种简单的功率因数校正 (PFC) 升压拓扑^[3]。对于通用的 85 VAC 至 270 VAC 应用, Q1 上的漏极信号可高达 400 V 或更高 (当存在线路电压浪涌时)。在基于 GaN FET 的设计中, OFF 至 ON 波形会具有一个 $> 150\text{ V/ns}$ 的 dv/dt , 以及一个大约 3.5 ns 的下降时间。信号带宽 (BW) = $0.35/t_{fall}$ 的简单关系可得出一个

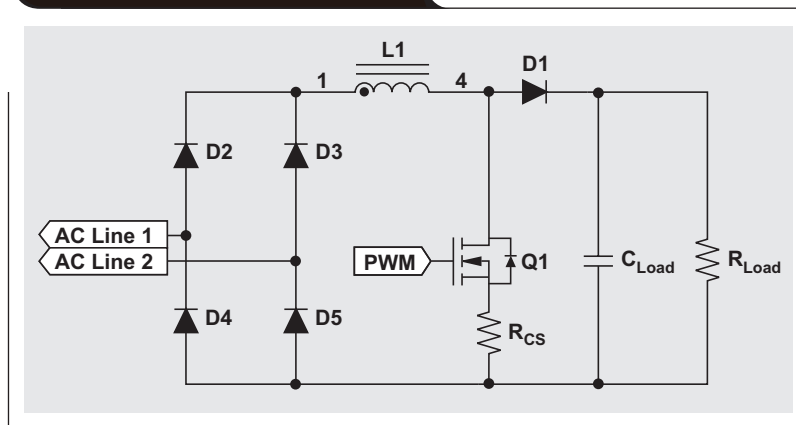
100 MHz 的估计值。为了实现小于 2% 的测量误差, 探针网络和信号链路应具有一个 5 倍于此的带宽, 即 500 MHz。

回顾一下图 1, 我们注意到: 如果没有补偿电容器 (C7), 那么位于约 50 pF 电缆电容之前 $9\text{ M}\Omega$ 探针尖端电阻与 16 pF 示波器输入电容相并联, 形成了一个具有仅 250 Hz 左右带宽的低通滤波器, 此带宽比所需要的低了 200 万倍。为了进行补偿, 对与 $9\text{ M}\Omega$ 电阻并联的 C7 进行调整以在频率响应中增添一个零点。该举措消除了极点并提供了平坦的频率响应。

从另一个方向来看这个问题那就是: C7 在一个的很宽的带宽内使探针尖端的阻抗与电缆和示波器输入的阻抗保持为 9:1 的阻抗比, 直到寄生电感和传输线效应开始起主导作用为止。不幸的是, 9 倍的阻抗比意味着在探针尖端与示波器输入之间将永远不存在阻抗匹配。如果您试图构建此电路 (就像我曾经做过的那样), 并使用市售的 $50\text{ }\Omega$ 同轴电缆作为连接线, 那么它的运行性能将非常差。在沿着电缆的大约 $1/(\text{往返行程时间})$ 处, 开始起作用的是由于 9 倍的阻抗失配所引起的非常强的反射或振铃。

我通过少量的研究 (包括拆开旧的探针和做一些老派的逆向工程设计) 揭示出了一个秘密, 这是我形成首个 “提示与技巧” 的基础。示波器探针电缆的中心导线是阻性的。我在探针尖端的输出与 BNC 适配器盒 (补偿实际上就是在这里进行的) 的输入之间测得的阻抗约为 $300\text{ }\Omega$ 。像魔术一样, 给探针尖端和示波器之间的路径增加损耗减低了反射并产生了平坦的响应。后来我发现 Tektronix 公司在 1956 年获得了有关于此的专利授权^[4]。由于专利权的有效期限为 20 年左右, 因此该技术早已过了专利保护期, 可以自由开放地重新使用了。

图 2: PFC 升压型转换器



回到电路负载

在 500 MHz, 如果没有有损传输线, 则在探针输出端的电缆输入阻抗仅为 $5\ \Omega$ 左右。如专利中说明的那样, 增加损耗将增大电缆输入阻抗, 并允许在补偿中使用一个较小的探针尖端电容值。把补偿电容器调节至大约 $7\ \text{pF}$ 可在用于接触电路的尖端上给探针提供一个约 $45\ \Omega$ 的阻抗。当由于负载的原因而具有大于几个 Ω 的串联阻抗时, 如此低的探针阻抗有可能降低信号的电压测量准确度。

与 Si FET 相似, GaN FET 也具有一个与漏极电压成某种函数关系的 C_{OSS} , 但通常要比 Si FET 的低 2~4 倍。一款市面上有售的 600 V、150 m Ω GaN FET 报告的 C_{OSS} 约为 40 pF (在 400 V 电压下), 而一款可在市场上购得的 600 V、190 m Ω Si 超结 FET 所报告的 C_{OSS} 为 100 pF (在 100 V), 这与 1200 V SiC FET 在 100 V 电压下的情形相似。

在图 1 所示的简单探针中, 当传输线路中无损耗时, 7 pF 的探针尖端电容应减小至 1 pF 或更小, 以提供用于 GaN 和 SiC FET 测试的最小信号负载。

减小探针电容

减小电容可采用多种方法来实现。一种诀窍是使用双股电缆并主动地驱动用于较低频信号的屏蔽。另一种选项是尽可能地缩短电缆的长度,然后增设一个具有高输入阻抗的低电容、宽带宽有源放大器。为了在使用有源放大器的情况下仍然保持高电压测量的能力,还需要增设一个宽带、低电容电压衰减器。由德州仪器提供的

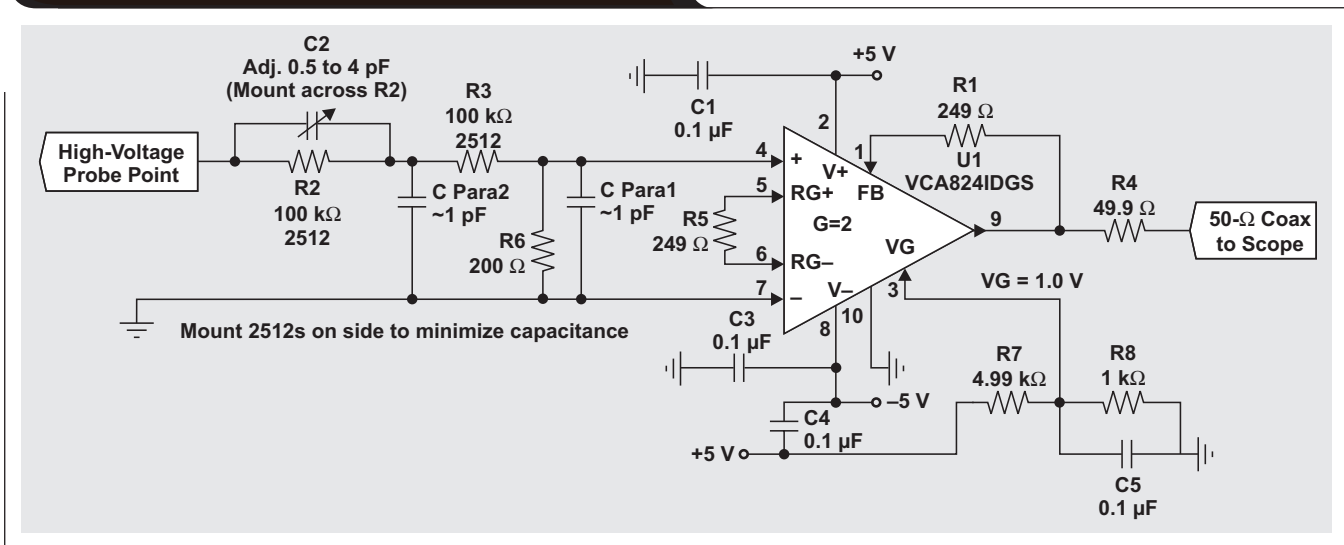
VCA824 便是一个例子，其是一款具有高输入阻抗的宽带、全差分放大器，能够驱动 $50\ \Omega$ 线路。该器件具有一个 $\pm 1.5\ \text{V}$ 的输入共模范围和一个 $> 700\ \text{MHz}$ 的小信号带宽，以及一个与 $1\ \text{M}\ \Omega$ 相并联的 $1\ \text{pF}$ 输入阻抗。把该放大器用于高达 $600\ \text{V}$ 的漏极电压将需要一个 1000:1 的电压衰减器（其在 DC 至 $> 500\ \text{MHz}$ 的范围内保持平坦）和一个小于 $2\ \text{pF}$ 的输入电容。

必需将该衰减器的阻抗和功率耗散考虑在内。这里是相互之间存在冲突的要求。理想的情况下, 该阻抗对于防止电路过载和降低功耗来说将是足够高了。当探测高达 600 V 的电压时, 利用一个 1 M Ω 阻性阻抗来实现该衰减器可把功率耗散保持在低于 400 mW。在驱动寄生电路板电容和放大器的输入电容时, 保持较低的阻抗可提供较宽的带宽。

图 3 示出了一款经过改进的探针电路，其可提供 1000:1 的分压比，且使用的信号路径长度仅为 1 英寸左右。免费的在线跟踪阻抗计算工具^[5] 可提供寄生电容的估计值。例如：位于采用 FR-4 (er 4.0) 材料的接地平面上方 4 密耳的一根 6 密耳宽的 1 盎司微带线的电容约为每英寸 2.7 pF。为了进一步减小来自电阻分压器的寄生电容，运用了一种 RF 工程设计技巧，即在它们的侧面安装能够耐受 2 W 功率的 2512 SMT 电阻器。这可最大限度地减小接地平面上方的信号路径传导面积。而且，1000:1 的分压比被分为两个部分：2:1 和 500:1。该嵌入式探针的输入电容约为 1.5 pF。

200 k Ω 的 DC 电阻 (R2 + R3) 虽然产生了相当高的功率耗散 (在 600 V 时为 1.8 W), 但其允许使用约 1 pF 的补偿电容, 并可获得高于 500 MHz 的频率响应。

图 3: 改进型高电压探针电路的原理图



在图 4 所示的电路板中，采用了表面安装型 2512 电阻器及与之并联的调谐电容器。

图 5 和图 6 中的两幅“至示波器的漏极电压输出”曲线图示出了性能结果。蓝色曲线取自一款 10:1 商用示波器探针。紫色曲线取自一个由 VCA824 和另一款 TI 宽带多路复用器（OPA4872，其负责驱动 10 英尺的 50 Ω 同轴电缆）实施缓冲的网络。图 5 中的曲线图反映的是调谐之前的情形，而图 6 中的曲线图则显示的是调谐之后的状况。

图 4：嵌入式高电压探针实施方案

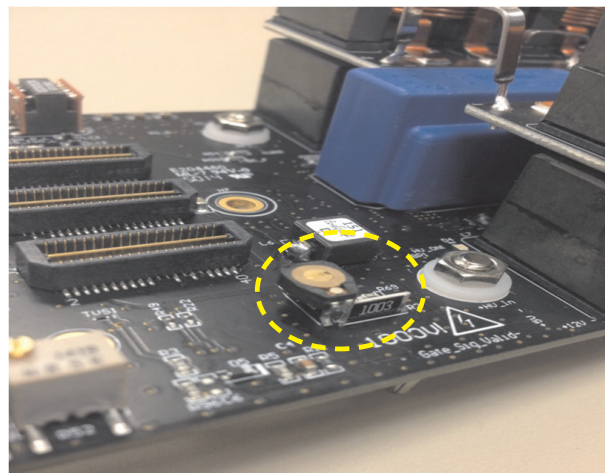


图 5：补偿 / 调谐之前的探针性能对比

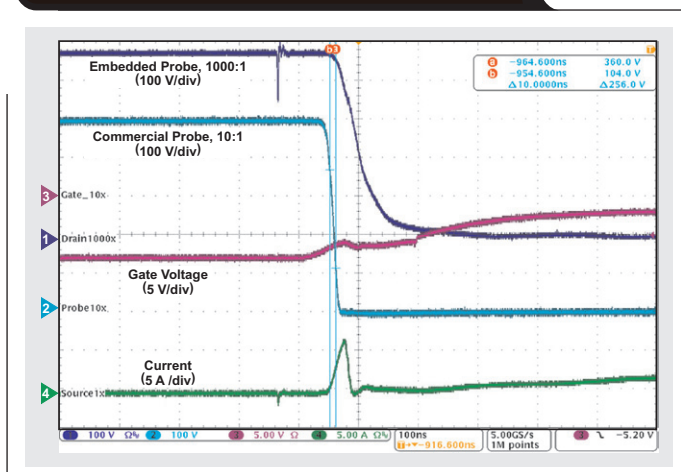
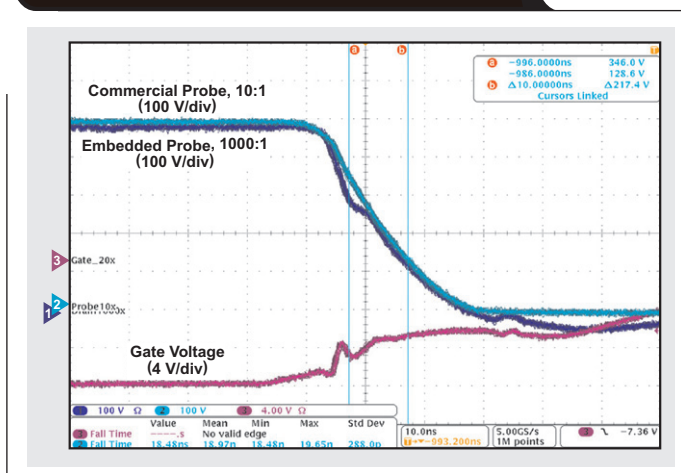


图 6：采用了调谐补偿电容器之后的探针性能对比



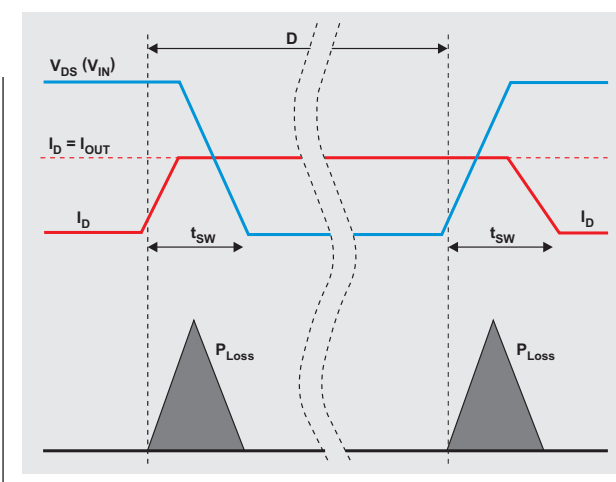
在补偿之后，采用来自漏极上的嵌入式探针的波形以估测开关损耗。图 7 示出了接通和关断损耗的计算方法。每个周期的总损耗是位于两个三角形 VI 曲线下方的面积。为了减小测量误差，必需拥有优良的电压准确度和良好的电流准确度，并在电压和电流波形之间实现上佳的时滞匹配 ($< 2 \text{ ns}$)，这是很重要的。

如欲准确地测量器件电流，则使用另一个 VCA824 放大器对位于 FET 源极和地之间的一个电流检测电阻器 R_{CS} 两端的电压进行差分测量（采用开尔文 [Kelvin] 连接）。使用一个具有 0.100Ω 阻值的宽体 6432、低电感 ($< 200 \text{ pH}$) 电阻器可提供 $\pm 15 \text{ A}$ 的电流测量范围。图 5 中的绿色扫迹示出的是从“差分测量结果 $\times 10$ ”获得的源电流波形。请注意，在 FET 接通时出现的三角形 6 A 电流尖峰是由于器件的栅极和漏极电荷所致。另外，图 5 还用红色扫迹示出了栅极至地波形。时滞匹配是通过采用从器件至缓冲放大器的等长布线以及随后至示波器的等长 50Ω 同轴电缆配线实现的。

结论

总之，本文介绍了一款易于实现的嵌入式探针电路，其能够测量高达 600 V 且上升和下降时间短至 3.5 ns 的电压。为了尽量地减小电容性负载，把一根 1 英寸的 50Ω 微带线与两个 $100 \text{ k}\Omega$ 、 2 W 电阻器和一个 200Ω 接地电阻器一起用来实现一个宽带 $1000:1$ 衰减器。这种配置可驱动全差分 VCA824 放大器，该放大器具有高输入阻抗、 $> 700 \text{ MHz}$ 带宽和 $\pm 1.5 \text{ V}$ 的输入共模范围。另外，文章还说明了如何借助差分 VCA824，通过在一个位于器件源极和地之间的 0.1Ω 电阻两端采用开尔文 (Kelvin) 连接来测量器件电流。对于时滞匹配的电压和电流波形，设计人员能够采用示波器的波形数学运算工具 (waveform math) 对其实施乘法和积分运算，从而提供准确的器件损耗估测。

图 7：开关功率损耗估计



参考文献

- 1、《探针的基本原理》，Tektronix，2009 年。
- 2、作者：Donghyun Jin 和 Jesús A. del Alamo，《影响 GaN 高电压 HEMT 动态导通电阻的机理》，2012 年 IEEE 第 24 届国际功率半导体器件与集成电路研讨会论文集，2012 年 6 月。
- 3、《一款面向 LCD TV 应用的 300 W 、通用输入、隔离式 PFC 电源》，参考设计，德州仪器。
- 4、电探针 US 2883619 A，美国专利。
- 5、微带阻抗计算器，Multi-Teknik。

相关网站

氮化镓 (GaN) 解决方案：

www.ti.com/gan

www.ti.com/lit/slyy070

www.ti.com/lit/slyy071

产品信息：

www.ti.com/vca824

www.ti.com/opa4872

订阅 AAJ：

www.ti.com/subscribe-aaaj

JESD204B 多器件同步：分解要求

作者：Matt Guibord

系统工程师，高速数据转换器

引言

诸如蜂窝通信系统等无线收发器的一个共同的趋势是采用波形形成技术来实现更好的系统灵敏度和选择性。这种趋势导致每个系统中的天线数量增加，并需要在各个天线之间实现同步，以在发送和接收期间提供精准的信号相位控制。然而，同步并不仅仅局限在通信系统。有许多利用了同步信号链路的应用，包括相控阵雷达、分布式天线阵列和医学成像设备。

另外，大多数需要多个同步信号链路的系统还要求实现模数转换器 (ADC) 和数模转换器 (DAC) 的同步。用于高速 ADC 和高速 DAC 的 JESD204B 串行化接口简化了此过程，以在实现同步的同时通过缩减布局尺寸和器件引脚数来实现较高的天线密度。所以，此类系统中的另一个趋势就是越来越多地使用 JESD204B 数据转换器，这一点不应让人感到意外。第一次使用该标准的人对于 JESD204B ADC 和 DAC 之同步的系统和器件要求会感到有点费解。本文的目的在于阐明在子类 1 JESD204B 器件之间实现同步的要求，并通过仅触及此标准的适用部分来简化讨论。

同步要求

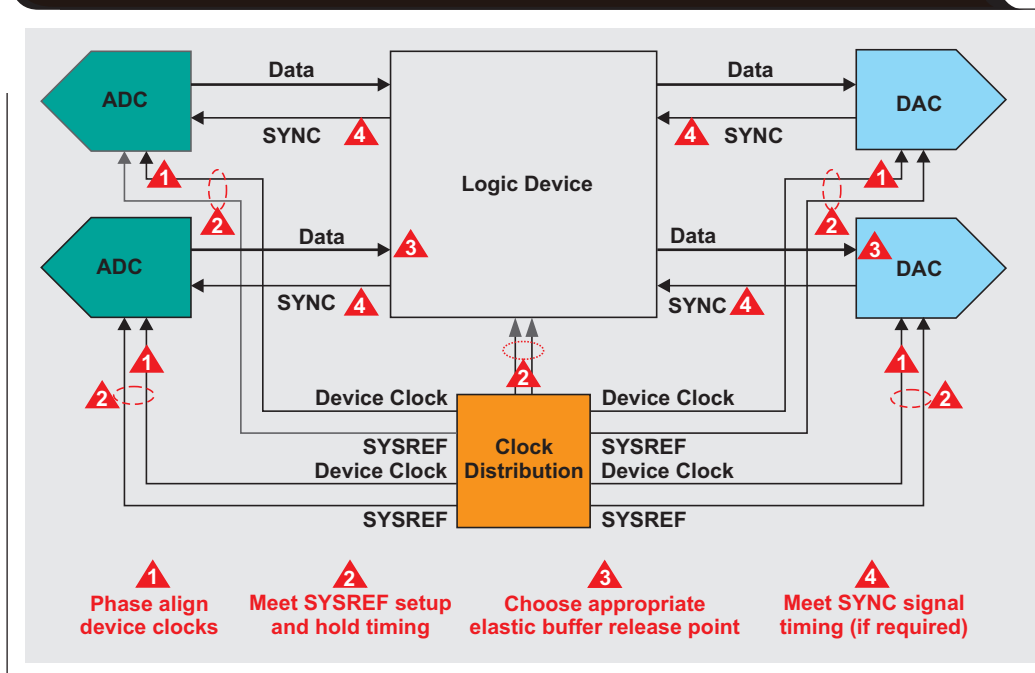
在 JESD204B 系统中实现数据转换器的同步可分解为四项基本要求，图 1 中形象化地描绘了这些要求。

- 1、在每个数据转换器上实现器件时钟的相位对准；
- 2、在每个数据转换器和逻辑元件上满足 SYSREF 的建立及保持时间（相对于器件时钟）；
- 3、在 JESD204B 接收器中选择适当的弹性缓冲器释放点 (elastic buffer release points) 以保证确定性延迟；
- 4、满足 SYNC 信号定时要求（如果需要的话）。

器件时钟的相位对准

在 JESD204B 系统中，器件时钟被用作转换器的采样时钟（带或不带分频器），或者用作锁相环 (PLL) 的基准（其负责生成采样时钟）。因此，每个转换器上的器件时钟相位对准对于保持每个转换器中的采样实例对准是至关重要的。（接下页）

图 1：针对 JESD204B 系统中的多器件同步的要求



(续上页) 器件时钟的对准取决于时钟分配路径上的传播延迟的控制情况, 包括整个温度变化范围内对准保持状况的好坏。

SYSREF 要求

对于实现可重复的系统延迟和同步而言, SYSREF 信号是最重要的。针对 SYSREF 信号的两个要求是: 其满足相对于器件时钟的建立及保持(setup-and-hold) 时间, 并且以一个适当的频率运行。请注意, 可以把 SYSREF 作为单个脉冲来实现, 从而取消频率要求; 然而, 这也需要进行 SYSREF 信号的 DC 耦合。在许多场合中, 由于输入共模电压要求的缘故, 不能实施 SYSREF 信号的 DC 耦合。

SYSREF 定时要求

对 SYSREF 最具挑战性的要求是建立及保持定时。对于较低速度的流水线型 ADC 和基带 DAC (< 1 GSPS) 来说, 建立及保持定时要求没有那么困难。然而就速度较快的器件(比如: 千兆采样 ADC 和 RF 采样 DAC) 而言, 较高的器件时钟速率减小了用于 SYSREF 的建立及保持窗口, 而且有可能必需进行动态延迟调节以在所有的条件下维持正确的定时。

JESD204B 在数据转换器的计时方法上提供了灵活性。例如: 有些器件包含了一个集成型 PLL, 因而允许使用一个频率较低的器件时钟, 然而对其进行倍频以创建转换器的采样时钟。器件时钟仍然捕捉 SYSREF, 但是较低的频率则极大地降低了建立及保持要求。此外, 器件也许还包含了可帮助满足定时要求或放宽要求的特性。如果不能满足正确的定时, 则很可能需要采用一种外部校准程序来实现同步。

选择 SYSREF 的频率

对可用于连续或间隙周期 SYSREF 信号的频率有一个限制。请注意, 这并不适用于单脉冲实施方案。主要的要求是 SYSREF 信号必须以一个等于本地多帧时钟(LMFC) 频率的频率运行, 或者以 LMFC 频率的一个整

数分频来运行。(1) 式中给出了该要求, 式中的 f_{BITRATE} 是串化器 / 解串器 (SerDes) 的接口位速率, F 为每帧的八位字节数, K 为每个多帧块的帧数, 而 n 则为任意正数。

$$f_{\text{SYSREF}} = \frac{f_{\text{BITRATE}}}{10 \times F \times K \times n} \quad (1)$$

需注意的是, 可通过调整 SYSREF 频率来改变 K 参数, 但是, 除了标准中规定的 $17 \leq F \times K \leq 1024$ 这一限制条件之外, 每个器件对于可行的 K 值或许都有其特定的限制。

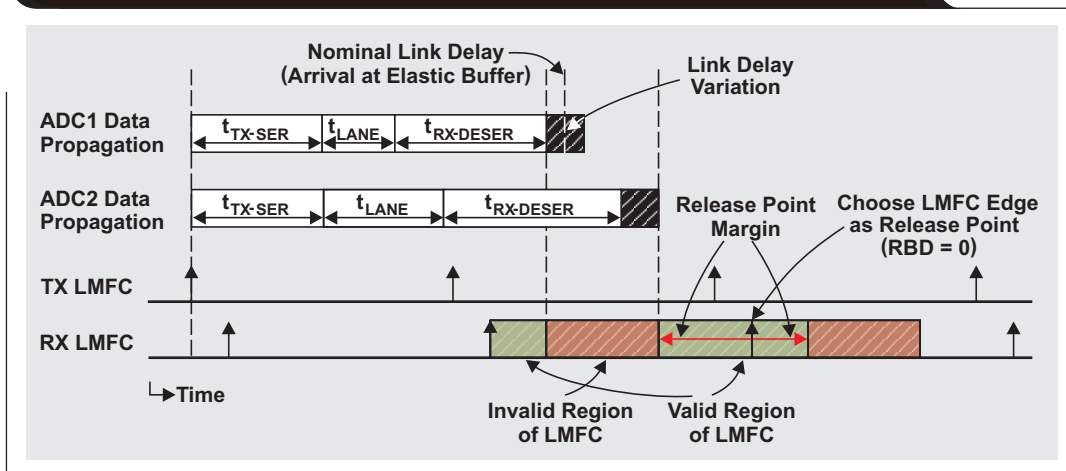
倘若器件采用内部时钟分频器或 SYSREF 来实现其他数字功能的同步, 那么对 SYSREF 的频率可能还有其他的要求。例如, 若某个器件采用一个内部时钟分频器来生成采样时钟, 则需实现分频器的同步以在所有的器件中保持采样时钟相位对准。这就给 SYSREF 频率设定了一项额外的限制, 因为它必须是 LMFC 频率和最低内部生成频率的一个整数分频。通常情况下这不是问题, 但应验证 SYSREF 频率计算值满足该要求, 并随后相应地对其进行调节。

弹性缓冲器释放点

针对同步的第三项要求是在 JESD204B 接收器中选择一个正确的弹性缓冲器释放点以实现确定性延迟。弹性缓冲器是实现确定性延迟的关键功能部件。它是通过在串行化数据从发送器行进至接收器的过程中吸收其传播延迟中的变化来做到这一点的。正确的释放点是一个可针对延迟变化提供充足裕量的点。错误的释放点将产生大小为一个 LMFC 周期的延迟变化。

选择一个正确的释放点需要了解数据在弹性缓冲器上的平均到达时间(相对于一个 LMFC 边沿)以及所有器件的总预期延迟变化。利用该信息即可确定 LMFC 周期内部的无效释放点区域(对于所有的线道其从最小延迟一直延伸到最大延迟)。基本上, 设计人员必须保证用于所有线道的数据都在释放点出现之前到达所有的器件。

图 2: 确定用于弹性缓冲器释放点的 LMFC 有效区域



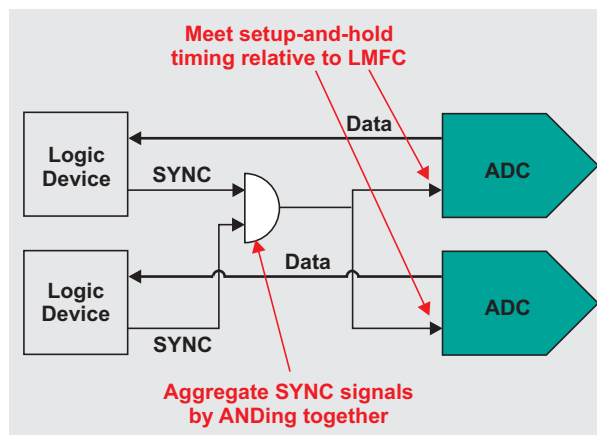
通过采用一幅用于显示两个 ADC 的数据的时序图（图 2），可以比较容易地说明该要求。第二个 ADC 具有较长的路由距离，因而导致链路延迟较长。首先，划线标明 LMFC 周期的无效区域（由所有器件的数据到达时间确定）。然后，通过采用释放缓冲器延迟（RBD）参数将释放点从 LMFC 边沿移动适当数量的帧时钟以使之出现在 LMFC 周期的有效区域之内，从而设定释放点。在图 2 中，对于释放点来说 LMFC 边沿（BRD = 0）是一个不错的选择，因为在每一边都具有足够的裕量。

SYNC 信号定时

由于数据转换器采样速率增加了，因此对于保持低接口速率的期望也有所提高。这常常是通过采用数字上变频器 DUC（在 DAC 中）或数字下变频器 DDC（在 ADC 中）来实现的。DUC 和 DDC 通常运用数控振荡器（NCO），在所有的器件中这些 NCO 都必须同步化以保持整体系统的同步。最常用的方法是通过采用 LMFC 上升沿和弹性缓冲器释放点来实施 NCO 的同步处理。在 ADC 中，可采用在 SYNC 信号被解除有效状态（其对应于初始信道对准序列 [ILAS] 传输的起点）之后出现的第一个 LMFC 边沿来对 NCO 进行同步化处理。在 DAC 中，常用的方法是在弹性缓冲器被释放时实施 NCO 的同步化。

为了在使用 NCO 的多个 ADC 或 DAC 之间实现多器件同步，对 SYNC 信号有一个定时要求。SYNC 信号必须由位于相同 LMFC 边沿上的所有接收器来解除有效状态，并在同一个 LMFC 周期中的发送器上接收。满足第一个要求的最简单方法是对来自所有接收器的 SYNC 信号进行“与”操作，然后把该聚合信号分配至每个发送器（图 3）。这也对 SYNC 信号设定了一个要求，即：其必须满足相对于发送器件中的 LMFC 边沿的建立及保持时间。如果在 ADC 或 DAC 中未使用 DDC 或 DUC，

图 3: 对 SYNC 信号进行聚合处理以实现 ADC 中的 NCO 的同步



则没有针对 SYNC 信号定时的要求，每个器件可在各自独立的时间起动，并且仍然能够实现同步。

对 SYNC 信号进行聚合处理以实现 ADC 中的 NCO 的同步

计时方案示例

最困难的同步要求是满足 SYSREF 至器件时钟定时关系。为了解决这些问题，我们来考察两个计时实施方案示例。

典型的 JESD204B 计时方案

对于保持正确的 SYSREF 建立及保持时间而言，最简易的方法是使用单个内置了器件时钟和 SYSREF 对的计时器件。由于具有的匹配输出，因此这些器件时钟-SYSREF 对可在所有条件下保持上佳的相位对准。由德州仪器提供的 LMK04828 便是一个例子，它具有 7 个器件时钟和 SYSREF 输出对。（接下页）

(续上页) 图 4 示出了一个系统实例, 该系统采用 LMK04828 对多个 ADS42JB69 ADC 进行计时。该方案可用于低采样速率转换器或具有内部 PLL 的千兆采样转换器。通过对 PLL 进行旁路 (以支持一个较高性能的输入时钟, 同时仍然保持匹配输出对的优点), 还可以把一个符合 JESD204B 标准的时钟抖动清除器 (如 LMK04828) 用作一个时钟分配器或 SYSREF 发生器。

千兆采样 ADC 和 DAC 计时方案

当器件不具备一个内部 PLL、或者 PLL 被旁路以实现某些性能目标时, JESD204B 千兆采样转换器的计时则更具挑战性。ADC12J4000 便是此类高速数据转换器的一个例子, 其能够以高达 4GSPS 的速率运作, 并需要一个 4 GHz 器件时钟。图 5 示出了一个计时树 (clocking tree) 实例, 其采用了 TRF3765 RF 合成器 (以生成 4 GHz 时钟) 和 LMK04828 (以生成基准时钟和 SYSREF 信号)。

在该场合中, 系统设计人员可利用时钟抖动清除器和数据转换器中的可编程延迟以在所有的条件下满足建立及保持时间。此外, ADC12J4000 还具有一种不干净 SYSREF 捕获 (dirty SYSREF capture) 功能, 可检查建立及保持时间问题。这些功能的组合使得可以在对系统中的延迟变化进行了少量的特性分析之后于所有的温度条件下实现 SYSREF 的正确捕捉。首先, 不干净 SYSREF 捕捉可用于找出最优的标称延迟设定值。其次, 当系统条件变化时, 可监视不干净捕捉位以找出建立及保持时间问题。当发现了定时问题时, 可采用时钟抖动清除器或数据转换器 SYSREF 延迟以把 SYSREF 信号移回到适当的区域之中。在对延迟进行了特性分析之后, 系统就能够监测温度并根据需要调节延迟。

图 4: 采用 LMK04828 来实现多个 JESD204B 数据转换器的同步

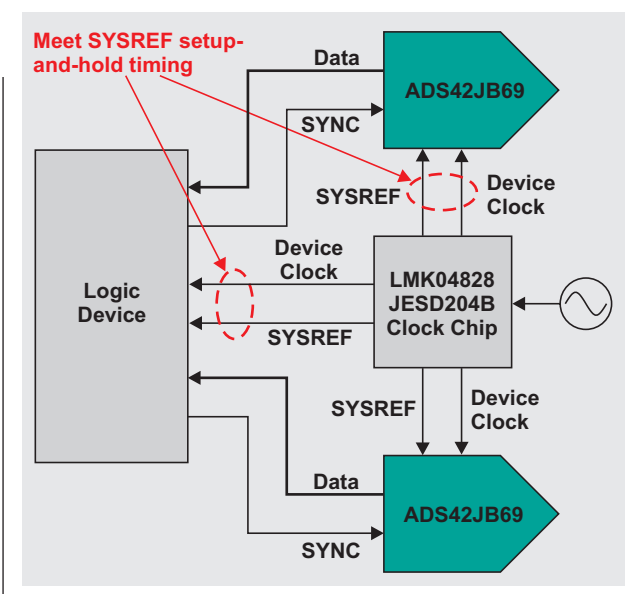
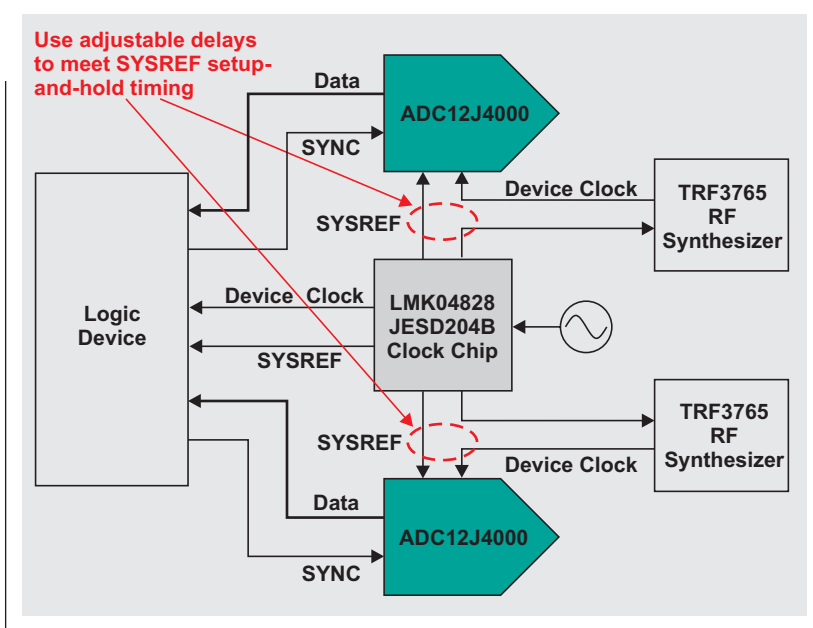


图 5: 采用 LMK04828 和 TRF3765 来实现多个千兆采样数据转换器的同步



结论

系统设计人员必须充分地了解针对 JESD204B ADC 和 DAC 同步的四个主要的要求。时钟分配路径要求对于保持器件时钟和 SYSREF 信号的相位控制是很重要的。而且, SYSREF 信号还必须满足相对于器件时钟的建立及保持时间并位于一个适当的频率。另一个同步要求是在 JESD204B 接收器中选择一个正确的弹性缓冲器释放点以实现确定性延迟。在采用 DDC 或 DUC 的系统中或许还需要额外的 SYSREF 定时。文中举了两个计时实施方案示例, 以说明如何实现针对整体系统同步的条件。

参考文献

- 1、作者: Joshua Carnes, 《采用一个高速 ADC 和 FPGA 的 JESD204B 链路延迟设计》, 德州仪器, 2014 年 2 月。
- 2、作者: Thomas Neu, 《做好跨越到 JESD204B 的准备好了吗? 》, 白皮书, 德州仪器, 2015 年 3 月。
- 3、作者: Thomas Neu, 《利用 JESD204B 来实现更大的相控阵雷达》, RF Globalnet, 2013 年 8 月 2 日。
- 4、作者: Ken Chan, 《JESD204B 博客系列》, TI E2E™ 社区模拟线路博客, 德州仪器。

相关网站

JESD204B 产品、工具和技术资源:

www.ti.com/jesd204b

产品信息:

www.ti.com/LMK04828

www.ti.com/ADC12J4000

www.ti.com/ADS42JB69

www.ti.com/TRF3765

订阅 AAJ:

www.ti.com/subscribe-aaaj

千兆位级系统中的高级线性均衡

作者: Lee Sledjeski

系统工程师

引言

尽管当今电子产品中对于信号均衡的广泛需求似乎是近来才有的现象,然而电信领域中的线性均衡事例却可以追踪到一个多世纪以前。事实上,连续时间线性均衡(CTLE)仅仅是信号调节生态系统的一个部分,此类系统专为在高速数字信号的传送和接收中提供帮助而设计。数字信号的这种补偿或调节常常被称为“加重”(在传输域中)和“均衡”(在接收域中)。

什么是线性均衡?为什么需要进行线性均衡?

均衡是一种用于在共同构成一个电信号的各种不同频率分量之间恢复平衡的过程或方法。有一个简单的类比,那就是音频均衡器,它常常被用来帮助提升那些扬声器难以再生或者我们上了年纪的耳朵不再能够有效听清的信号分量。把视线从音频扬声器转移到 PCB 上的信号或电缆中的信号,我们会遇到相似的问题。当高速信号穿过传输介质时,高频信号分量将由于导体和周围电介质的物理属性而快速衰减。

CTLE 性能

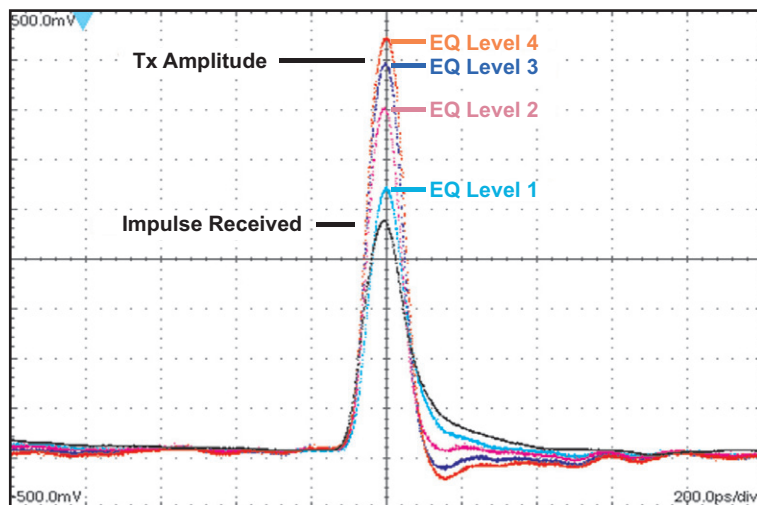
现代通信标准必须接纳和规定较快的数据速率,以帮助满足全球范围内对于即态访问信息不断增长的巨大需求量。这几乎肯定了在目前及未来开发的串行数据标准中将继续规定 CTLE。在概述的层面上,利用 CTLE 电路实现的线性增益或高通提升有助扩展信号包络。搭配诸如判决反馈均衡(DFE)等数字均衡方案,CTLE 能够跨多种介质实现稳健的信号接收,并具有仅靠 DFE 所无法获得的信号衰减水平。通过采用时域波形和频域曲线图来突出显示 CTLE 的一般特性及其对实际眼图的影响,可获得更加深入的信息。

在图 1 中,首先利用一个 $800\text{ mV}_{\text{pp}}$ 的输出差分电压使接收到的时域脉冲进入一个 10 英寸长的 FR4 传输介质中。在穿过了 FR4 传输介质之后,接收脉冲的幅度减半,而且后沿能量的传播远远超过了原始位宽度或单位区间(UI)边界。在该例中,由德州仪器提供的一

个 DS125BR820 均衡器被连接在 10 英寸走线的远端,以演示 CTLE 的功能及其在抑制由于通道损耗所引起的抖动上的有效性。随着 CTLE 的水平逐渐增加至与通道损耗相匹配,它就能够恢复脉冲幅度和相邻比特干扰。观察脉冲响应上的幅度与定时特性可深入了解针对伪随机二进制序列(PRBS)图形的系统响应。这种方法简单地把每个 PRBS 转换作为一个脉冲进行时移及求和操作。就严格的数学意义而言,图 1 中的脉冲不具有无限的幅度和零宽度,但它仍然是一种很好的研究 CTLE 性能的直观方式。

如果未采用 CTLE,那么即便是一个简单的数据模式也会在眼图的内部显现幅度减小和脉冲展宽对于单比特转换(single-bit transitions)的影响。采用了 CTLE 之后,其可均衡数据模式中所有转换的幅度并尽量地减小横跨位边界的脉冲展宽,从而抑制上述的影响。(接下页)

图 1: 10 英寸 FR4 之后的脉冲响应
(采用和未采用 CTLE 时)



（续上页）通过消除位之间的相互影响，最大限度地降低了符号间干扰 (ISI)，并改善了眼图开启度。这可以通过比较图 2 中的眼图看出来。

频域

考察 CTLE 的另一种方法是在频域中。可对在时域实验中所使用的 FR4 进行测量以确定其频域特性。相同的测量工具还可用于测量 CTLE 特性。通常，在一个很宽的频率范围内，当传输介质的衰减由 CTLE 增益匹配时（一直到一个接近于奈奎斯特频率的频率），可实现最佳的眼图结果。图 3 中的例子示出了与一个 12 Gbps 串行数据速率相关联的传输损耗及 CTLE 增益。对于一个 12 Gbps 信号，101010 的二进制符号重复模式产生一个 6 GHz 的基频。这种组合实现了“介质 + CTLE”的总系统响应，其在理想情况下为零（即响应曲线是平坦的）。

如果把这种方法应用到极端的衰减和高频增益水平，就会发现 CTLE 的一个局限。如频域曲线图所示，CTLE 电路能够为高频信号分量提供相当大的提升。在内部，CTLE 专为最大限度地减少添加到高速信号上的任何随机抖动 (RJ) 而设计。在外部，CTLE 增益无法区别信号和系统噪声。于是，输入数据的所有方面都接收到了一个提升，而且这种作用在较高的 CTLE 提升幅度下更加明显。

图 2：未采用 CTLE（上部）和采用 CTLE（下部）时的眼图

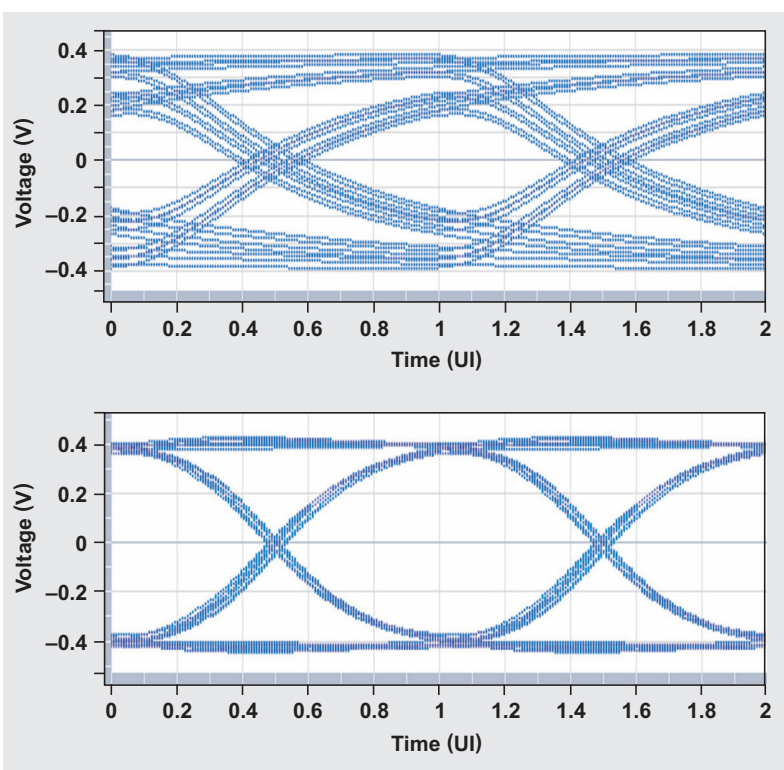


图 3：FR4 衰减和理想化的 CTLE 增益

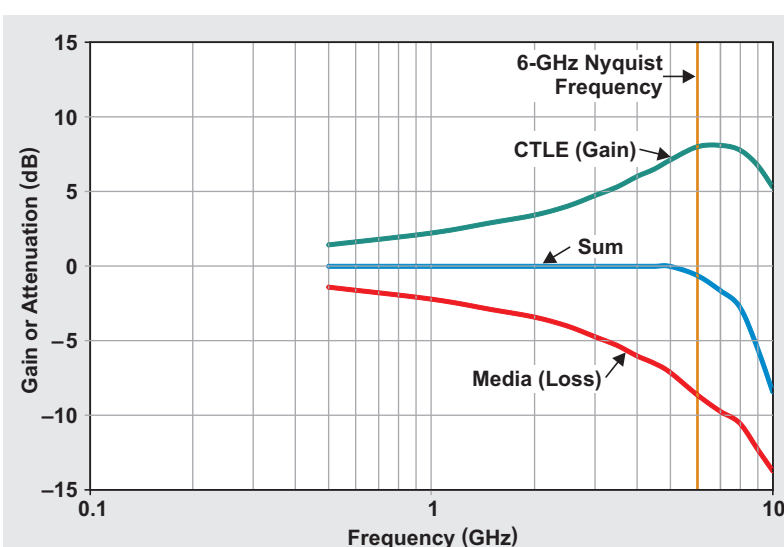
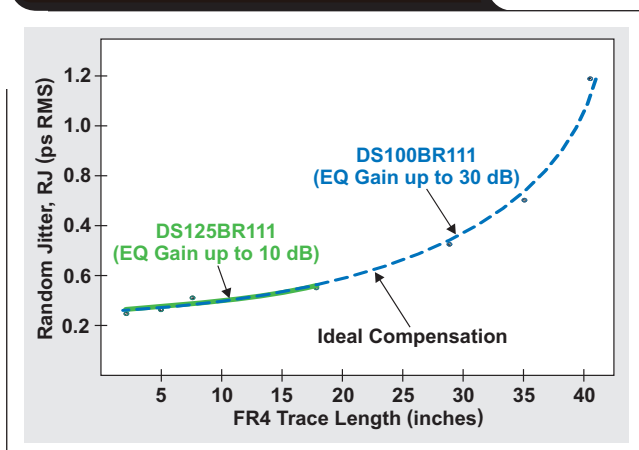


图 4: CTLE 增益与附加 RJ 的关系曲线



如图 4 所示, 当需要较高的 CTLE 增益水平以补偿传输损耗时, 抖动分解软件可察觉 RJ 程度的增加。较高程度的 RJ 会导致位错误。幸运的是, 可使用中低水平的 CTLE。这样实测的 RJ 就没有显著的增加。事实上, 在高于 25 Gbps 的数据速率下, 介质补偿仍将继续指定和使用 CTLE 解决方案。目前, 在整个接口市场上, 25 Gbps 接口仅限于其中非常小的一部分。多数设计人员仍有机会接触诸如 PCI Express® (PCIe)、10 千兆以太网 (10GbE) 和串行连接 SCSI (SAS) 等标准中规定的速度, 其范围介于 8 Gbps 和 12 Gbps 之间。

链路培训

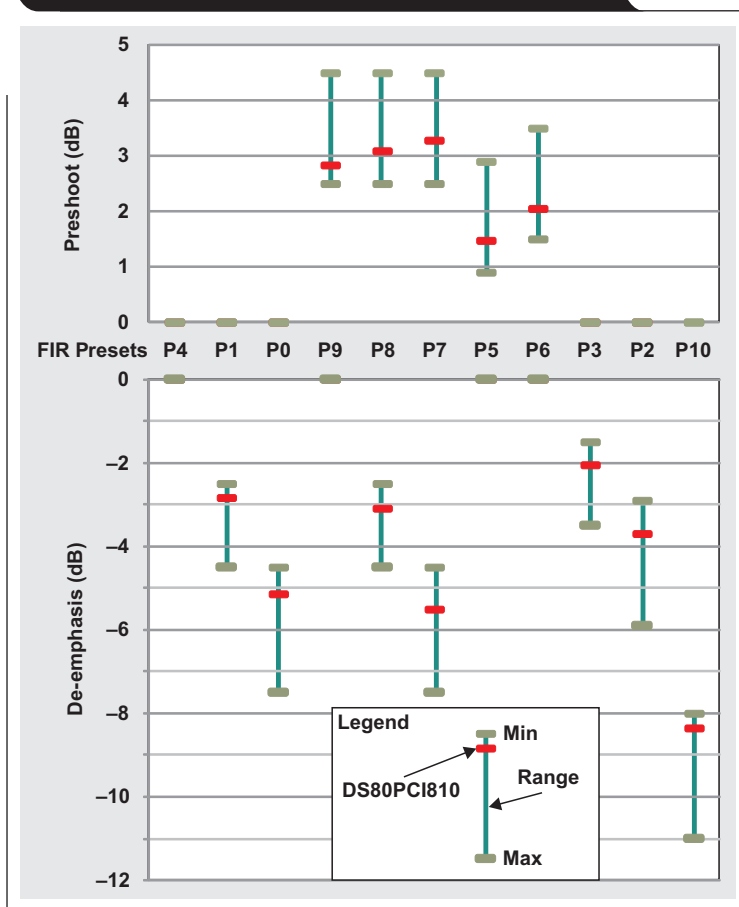
所有这些标准有一个共同点, 那就是链路培训和自适应信号调节的概念。虽然规范和算法将有所不同, 但是它们均运用了允许接收器 (Rx) 向发送 (Tx) 器件反馈或推荐有限脉冲响应 (FIR) 系数变化的方法。通过该过程可使 Rx/Tx 对形成一种用于信号补偿且无需外部干预的整体通道解决方案。被插入一个有损通道并专为使用链路培训而设计的线性均衡器必须保持和保存该通道的线性度, 同时提供充足的增益, 以有效地把一个长通道变为一个较短、损耗较小的通道。DS125BR820 具有足够的带宽与动态范围, 可适应来自业界标准发送器的最大幅度信号。

在 PCIe 应用中, 可以把一个线性均衡器安置在一个附加卡 (AIC) 连接器的近旁。采用基于标准的软件测试来操作主机发送器, 使之在具有不同 FIR 能量值的整个 Tx 预设值范围内进行排序。表 1 和图 5 中的比较说明了均衡器是如何在允许的 PCIe 标准裕量之内保持前导波能量 (pre-cursor energy) 和后续波能量 (post-cursor energy) 的。

表 1: 理想和实测 PCIe 发送预设值

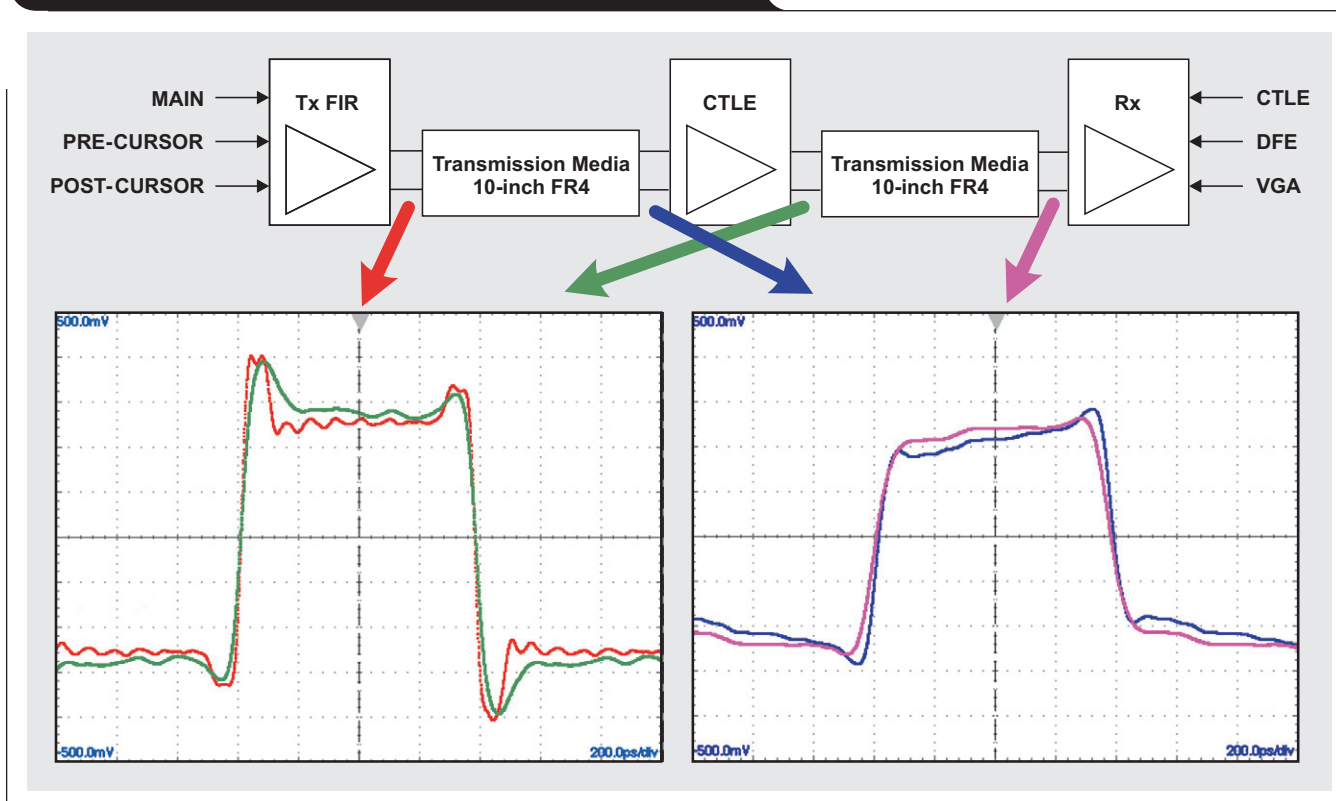
PCIe Tx Preset	Preset Binary Value	Ideal Vb	Measured Vb	Ideal		Measured	
				Post Cursor	Pre Cursor	Post Cursor	Pre Cursor
P4	0100'b	1000	1070	0	0	0	0
P1	0001'b	668	772	-3.5	0	-2.8	0
P0	0000'b	500	592	-6	0	-5.1	0
P9	1001'b	668	772	0	3.5	0	2.8
P8	1000'b	501	592	-3.5	3.5	-3.1	3.1
P7	0111'b	402	479	-6	3.5	-5.5	3.3
P5	0101'b	803	903	0	2	0	1.5
P6	0110'b	750	845	0	2.5	0	2.1
P3	0011'b	750	845	-2.5	0	-2.1	0
P2	0010'b	603	699	-4.5	0	-3.7	0
P10	1010'b	335	409	-9.5	0	-8.4	0

图 5: 实测 PCIe Tx 预设值的图解表示



线性均衡和输出驱动的组合创建了很高的 FIR 透明度。这使得均衡器能够再生并成功地在 AIC 连接器上传递所有的 PCIe 3.0 Tx 预设值。(接下页)

图 6: 采用线性均衡恢复的 TX FIR 能量



(续上页) 由德州仪器提供的 DS80PCI810 的 PCIe 3.0 性能已在近期举办的 PCI-SIG 相容性认证工作会上通过了验证。到本文发表时为止, 它是目前唯一一款上了 PCIe 3.0 集成商清单的线性均衡器。PCIe Tx 预置采用一种特定的相容性测试码型和示波器软件 (以提取和计算测量值) 来测试。该测试可帮助在符合 PCIe 标准的通道中确保稳健的运作。

虽然系统集成商会以一种非常挑剔的眼光来考察此类规范和实测数据, 但是利用在全比特率或全速条件下捕捉的波形可以较容易地对 CTLE 性能产生一种更加直观的感觉。在新式数字系统中, 应了解传输通道内部几个位置上的波形特征, 这一点很重要。图 6 中的波形序列示出了沿着通道的几个点上的 10GbE 波形 (使箭头颜色与波形颜色相匹配)。

采用 Tx 和 Rx 均衡的新式方法可容易地提供数据速率为 10 Gbps 的 20~30 英寸链路。在此距离上或许并不总是需要额外的线性均衡器, 但它却是一个可以说明线性均衡方案能有效地降低其他系统级组件之均衡要求的合适长度。如在图 6 中看到的那样, 线性均衡器能够恢复由于嵌入在波形转换中的高频分量而损失的幅度, 并同时保持低频幅度特性。通过把 CTLE 布设在 20 英寸通道的中间, 其允许将波形配对以显示 CTLE 输入和 Rx 输入端

上的相等波形。插入 CTLE 使有效通道长度缩减了 10 英寸 (几乎相当于 9 dB)。

结论

采用线性均衡只给串行链路增加了区区几 ps 的延迟和极小的附加抖动。这增加了用于高速信号的传输和接收的有效解决方案空间。显然, 数字信号处理和通信将继续主导新通信标准的基础架构。然而, 在模拟域中使用线性均衡在高速信号调节领域里仍然起着重要的支持作用, 借此可在采用广泛的串行协议时确保稳健的无差错操作, 包括 10GbE 以太网、PCIe 和 SAS。

相关网站

信号调节 — 中继器、重定时器和多路复用器-缓冲器 (Mux-Buffer): www.ti.com/sigcon

产品信息:

www.ti.com/DS80PCI810

www.ti.com/DS125BR111

www.ti.com/DS125BR820

订阅 AAJ:

www.ti.com/subscribe-aaaj

实现面向头戴式耳机应用的差动放大器的稳定

作者: John Caldwell

模拟应用工程师

引言

近期, 高保真度头戴式耳机和无损型音频格式的日趋流行导致许多个人电子产品制造商在其设备上添加高品质音频输出。因此, 曾经为家用高保真度系统预留的 24 位 / 192 kHz 音频数模转换器 (DAC) 如今逐渐地被蜂窝电话、平板电脑和便携式音乐播放器等移动设备所采用。这些 DAC 可提供极低失真的信号, 但不能直接驱动头戴式耳机。为了充分地利用此类高性能器件, 还必需给系统增添设计完善的头戴式耳机放大器。

传统的头戴式耳机放大器电路

DAC 输出常常是一个差分信号, 必须利用头戴式耳机放大器电路将其转换为一个单端信号。如图 1 所示, 传统的差动放大器由一个运放放大器 (运放) 和四个匹配电阻器组成, 其负责放大互补 DAC 输出之间的电压差。另外, 该放大器还用于抑制两个输出共有的信号, 比如偶次失真。放大器不得给信号增加有害的噪声或失真, 或改变系统的整体频率响应。也许最重要的一点是, 放大器必须在头戴式耳机连接至输出时保持稳定。尽管这最后一点是根本性的, 但在头戴式耳机放大器的设计中却常常被忽视。

头戴式耳机阻抗特征

头戴式耳机并非一个简单的电阻性负载, 但恰恰相反, 其标称阻抗规范 (通常介于 $16\ \Omega$ 和 $600\ \Omega$ 之间) 似乎给人这样的暗示。图 2 示出了一个 $64\ \Omega$ (标称值) 头戴式耳机在 10 Hz 至 10 MHz 频率范围内的实测阻抗 (示出了一个通道)。红色曲线给出了阻抗模值, 而蓝色曲线则为相位角。

两个谐振尖峰在阻抗曲线图是显而易见的。100 Hz 处的低频谐振是由头戴式耳机中的驱动器的机械特性和电特

图 1: 传统的差动放大器负责将差分输出转换为一个单端信号

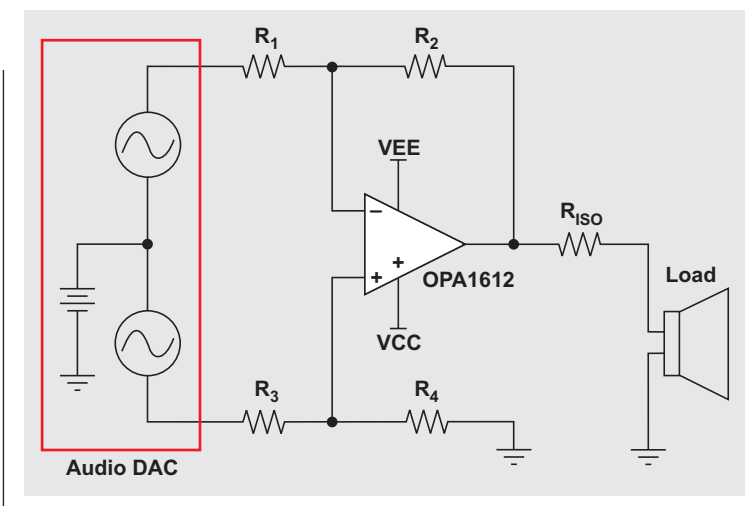
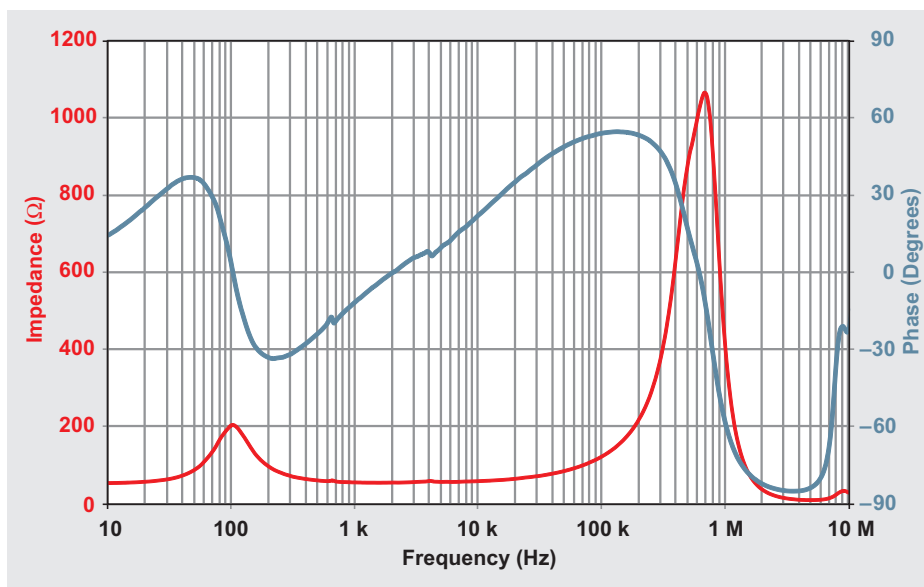


图 2: $64\ \Omega$ 头戴式耳机的实测阻抗



性产生的。高频谐振则是由电缆电容与电缆和驱动器音圈的电感的相互作用所产生。(接下页)

(续上页) 从稳定性的角度来看, 高频谐振有可能引起许多问题。在此谐振点以上, 头戴式耳机是一个电容性负载, 这一点从负的相位角可以清楚地看出来。电容性负载会把一个极点引入到放大器的开环增益曲线中, 从而减小相位裕量并有可能引发振荡。

针对此问题最常用的解决方案是增设一个与放大器输出串联的电阻器 (图 1 中的 R_{ISO}), 以把负载电容与反馈环路隔离开来并保留相位裕量。虽然这种解决方案在维持稳定性方面很有效果, 但是也由于几种原因而降低了系统的音频性能。首先, 放大器电路的输出电压不再独立于负载。应考虑到, 放大器的输出阻抗与负载阻抗形成了一个分压器。如图 2 所示, 由于负载不是电阻性的, 因此头戴式耳机放大器上的电压随频率而变化。

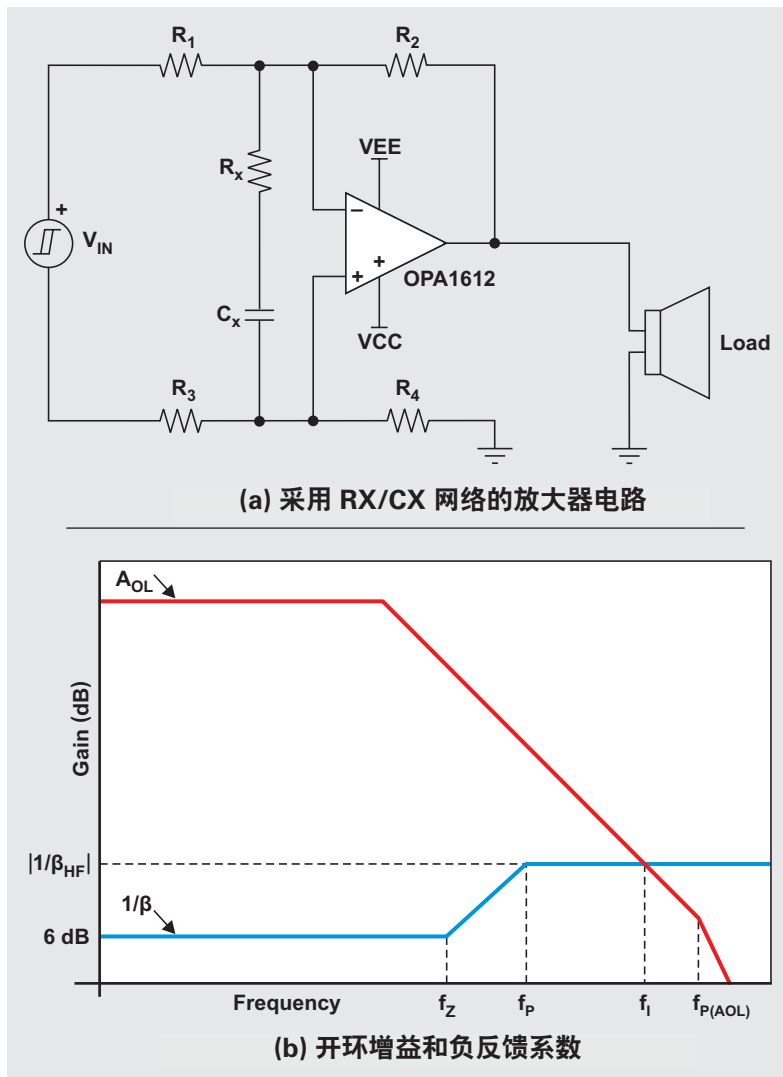
其次, 头戴式耳机驱动器吸收的电流并非完全线性。部分原因是驱动器阻抗会发生变化, 这种变化与纸盆和音圈组件在其活动范围中所处的位置之间具有某种函数关系。当纸盆在其活动范围内行进时, 阻抗曲线有可能发生巨大的变化, 因而使驱动器吸收的电流产生失真。如果放大器的输出阻抗不是零, 那么这个失真的电流还将使放大器输出端上的电压信号失真, 从而有可能降低音频质量^[1]。在头戴式耳机放大器电路中, 低输出阻抗对于实现高性能是至关重要的。

增强型头戴式耳机放大器电路

有一些放大器电路解决了在驱动大容量负载的同时保持低输出阻抗的问题, 采取的方法是封闭放大器反馈环路内部的隔离电阻器并使用一种双重反馈拓扑^[2]。然而, 在差动放大器电路中, 封闭反馈环路中的隔离电阻器会损害电路的共模抑制比 (CMRR), 而该性能对于消除来自 DAC 输出信号的失真是极为关键的。

图 3a 示出了针对该问题的一种解决方案。图 3b 给出了开环增益 (A_{OL}) 和负反馈系数 ($1/\beta$) 的响应曲线。在该拓扑中, 电阻器 R_x 和电容器 C_x 在 $1/\beta$ 曲线中引入了一个极点-零点对。通过增加 $1/\beta$ 在其与开环增益曲线相交之频率 (f_i) 上的幅值, 系统能够实现合理的相位裕量, 且不

图 3: 针对大容量负载的放大器解决方案



会增加音频频率下的输出阻抗或损害 CMRR 性能。此外, 给电路增设 R_x 和 C_x 并不会影响电路的闭环转移函数。

为了使图 3a 中的电路保持稳定, 交点频率 (f_i) 必须小于 A_{OL} 曲线中第二个极点的频率 ($f_{P(AOL)}$), 但大于 $1/\beta$ 曲线中的极点频率 (f_p):

$$f_{P(AOL)} > f_i > f_p \quad (1)$$

另一方面, 为了提供尽可能好的音频性能, f_z 和 f_p 高于音频带宽的幅度必须尽可能地大。以零点频率以上, 电路的噪声和失真将由于环路增益的下降而增加。(接下页)

（续上页）在设计过程中必需对稳定性和高性能要求进行权衡，这是常有的事情。

为了说明这款电路的设计，通过配置由一个 OPA1612 来驱动用于图 2 的头戴式耳机。图 4 示出了针对该设计过程的 TINA-TI™ 仿真电路原理图。为简单起见，差动放大器的四个电阻器是匹配的（R1、R2、R3、R4 = R）。

电感器 LT 用于断开放大器的反馈环路。电路的环路增益由标记为“AOLB”的电压探针来测量。反馈系数 β 由差分电压探针 B 直接在运放的输入端上测量。必须使用一个差分电压探针，因为此方法运用了正反馈和负反馈。净反馈系数是个别负反馈系数与正反馈系数之差^[2]。TINA-TI 中的后置处理器可用于从这些电压探针生成其他的曲线。例如，开环增益曲线就是用环路增益除以反馈系数生成的。 $1/\beta$ 曲线是通过取 β 探针的倒数产生的。

一个连接至输出的 400 pF 电容器 (CL) 代表头戴式耳机的高频阻抗。该数值是通过取相位最负时的头戴式耳机阻抗来确定的（图 2），它很好地代表了来自头戴式耳机的最坏情况电容性负载。在仿真中，由该负载电容引起的 A_{OL} 曲线中的第二个极点会出现在 5.7 MHz（此时 A_{OL} 的大小约为 25 dB）。为了满足 (1) 式中的标准，高频条件

下的负反馈系数大小 ($|1/\beta_{HF}|$) 必须大于 25 dB。这是采用下式来计算的：

$$\left| \frac{1}{\beta_{HF}} \right| = \frac{2R}{R_X} + 2 > 25 \text{ dB} \quad (2)$$

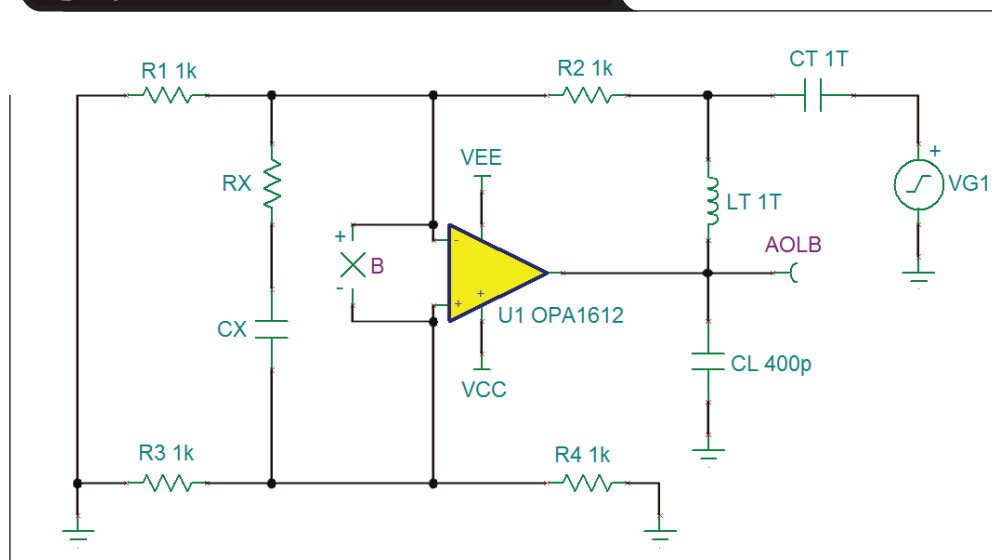
当所有差动放大器电阻均采用 1 k Ω 阻值时，可计算 R_X 的阻值：

$$\begin{aligned} \left| \frac{1}{\beta_{HF}} \right| &> 10^{\left(\frac{25 \text{ dB}}{20} \right)} = 17.78 \\ &= \frac{2(1 \text{ k}\Omega)}{R_X} + 2 \rightarrow R_X < 126.7 \Omega \end{aligned} \quad (3)$$

118 Ω 的 R_X 阻值可确保实现稳定操作的充足噪声增益。接着，选择合适的 C_X 以使极点频率远远低于 5.7 MHz。保守的设计规则是把极点置于交点频率的 1/10，只要最终产生的零点不靠近音频带宽即可。在该例中，把极点频率置于 570 kHz 将把零点定位在 57 kHz 附近，这对于高性能音频系统来说有点太低了。作为一种折衷方案，可将极点置于交点频率的 1/5 处：

$$\begin{aligned} f_p &= \frac{5.7 \text{ MHz}}{5} = 1.14 \text{ MHz} \\ &= \frac{1}{2\pi C_X R_X} \rightarrow C_X = 1.183 \text{ nF} \end{aligned} \quad (4)$$

图 4：用于确定环路稳定性的 TINA-TI™ 仿真电路原理图



1.2 nF 的数值非常接近 C_X 的计算值。最终产生的零点频率为：

$$f_Z = \frac{1}{2\pi C_X (R_X + R)} = 118.6 \text{ kHz} \quad (5)$$

118.6 kHz 的零点频率高于音频带宽的幅度足够大，因而可避免损害电路的性能。

实施了一项 AC 传输特性仿真，仿真结果示于图 5。开环增益和 $1/\beta$ 曲线示于幅值曲线图（上部）。 $1/\beta$ 曲线在 5.4 MHz 处与 A_{OL} 曲线相交。在该点上，环路增益的相位（ A_{OLB} ，下部）显示 47.35° 的相位裕量。去除 R_X 和

C_X 网络将造成 $1/\beta$ 曲线在低于电容性负载所产生的第二个极点的频率上与 A_{OL} 曲线相交。在该场合中，相交点处的相位变成 -52.37° ，这表示系统是不稳定的。

构建了一个采用先前计算的 R_X 和 C_X 值的差动放大器电路，并将其实测性能与采用一个 47.5Ω 隔离电阻器的传统差动放大器进行了比较。这些测试采用相同的 64Ω 头戴式耳机（图 2）作为负载。采用真实的头戴式耳机来测试头戴式耳机放大器电路是极其重要的，因为简单地使用一个电阻器将无法揭示输出阻抗的不利影响。

图 5：采用 TINA-TI™ 模型生成的环路稳定性曲线图

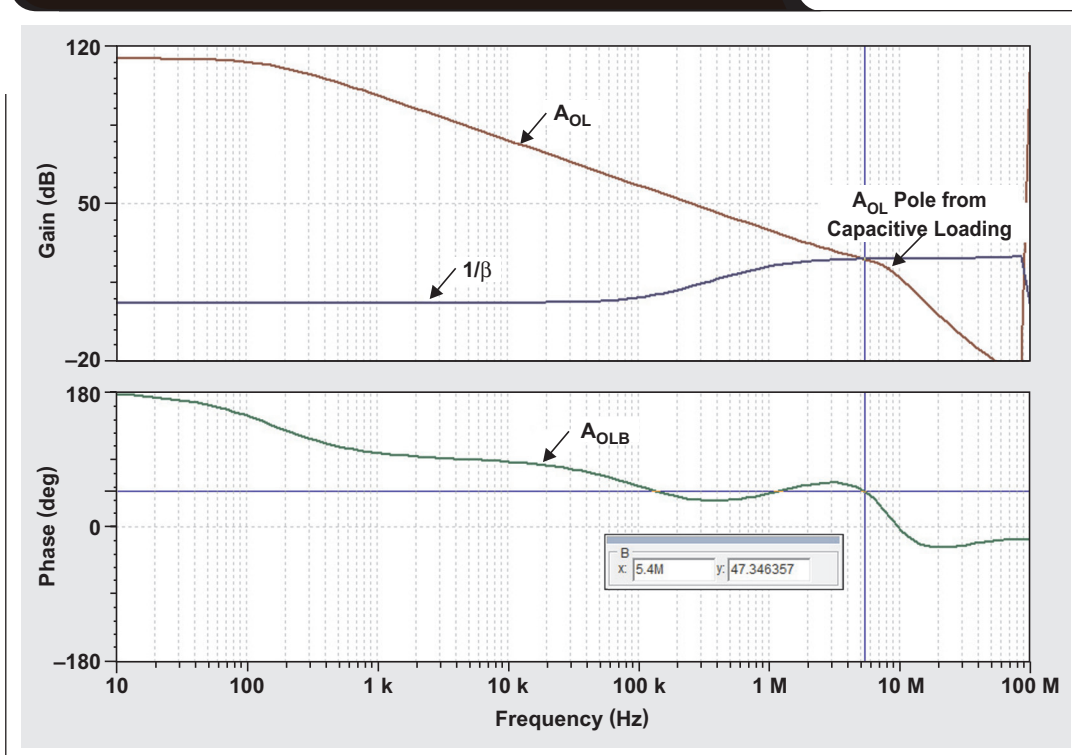


图 6 示出了两种电路的闭环增益。如前文提到的那样，用于实现稳定性的串联电阻器与头戴式耳机的阻抗形成了一个分压器。结果是：传统放大器电路的增益在整个测量带宽内变化了 4.13 dB。与此相反，采用 R_X / C_X 网络的电路则具有极低的输出阻抗，而且其增益基本上与负载阻抗无关。 R_X / C_X 电路在整个测量范围内的增益变化为 0.03 dB。

当驱动 64 Ω 头戴式耳机时，串联输出电阻器的影响在实测的总谐波失真 (THD) 中也是很明显的。图 7 示出了两种解决方案的“实测 THD 与频率的关系”曲线图（在输出电平为 300 mV_{RMS} 时）。由于从头戴式耳机吸收的非线性电流的缘故，增设一个串联电阻器将极大地降低 THD 性能。在低频条件下（此时头戴式耳机驱动器的纸盆偏移最高），采用串联输出电阻器的传统放大器的 THD 性能指标下降的幅度超过 55 dB。

结论

由于差动放大器电路拓扑以及要求低输出阻抗、低失真、低噪声和高 CMRR 的原因，实现头戴式耳机放大器的稳定是一项独特的挑战。本文提出的增强型放大器解决方案可在驱动电容性负载的情况下实现稳定的操作，并且不会增加低频条件下的输出阻抗或降低共模抑制性能。通过运用这种方法，可设计出能在驱动典型头戴式耳机负载时保持稳定，同时提供出色音频性能的头戴式耳机放大器电路。

参考文献

- 1、作者：John Siau，《低阻抗头戴式耳机放大器的声音优势》，2011 年。
- 2、作者：J. Graeme，《优化运算放大器性能》，纽约麦格劳希尔出版公司，1997 年。印刷版。

图 6：两种放大器的实测闭环增益

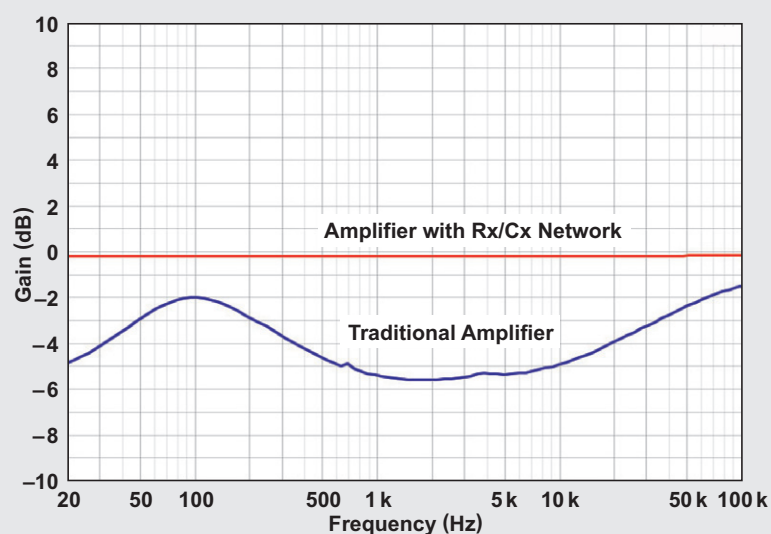
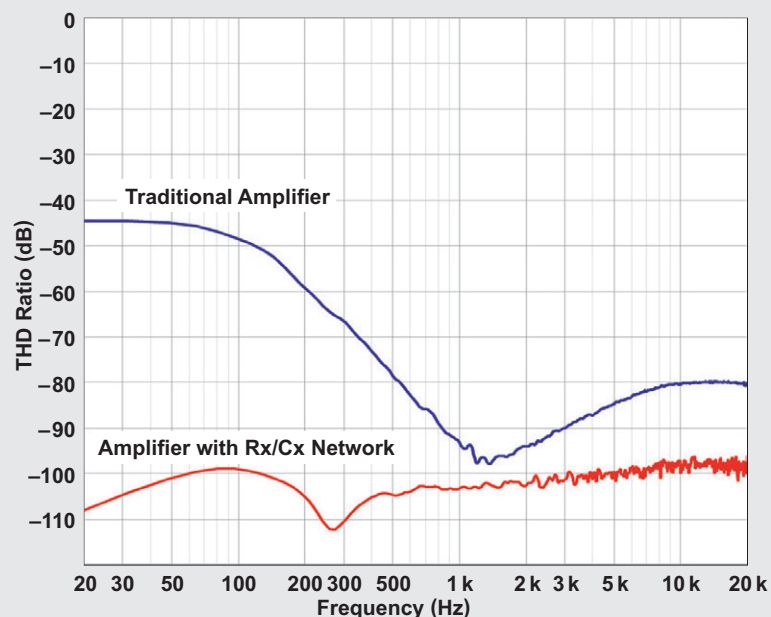


图 7：两种解决方案的实测 THD



相关网站

TINA-TI™ 仿真软件：

www.ti.com/tina-ti

产品信息：

www.ti.com/OPA1612

订阅 AAJ：

www.ti.com/subscribe-aaj

TI Designs 参考设计库提供完整的设计方案，由资深工程师团队精心创建，支持汽车、工业、医疗、消费等广泛应用的设计。在这里，您能找到包括原理图、物料清单、设计文件及测试报告的全面设计方案。登陆TI Designs，找寻更多适合您的参考设计！简单设计，从TI起步。

马上登录 ti.com.cn/tidesigns
查询最适合您的设计文档。



WEBENCH®
Design Center



WEBENCH® 设计中心: 易于使用且可提供定制结果的设计工具。
PowerLab™ 参考设计库, 包含了近千个适用于所有应用的参考设计。
电源在线培训课程

www.ti.com.cn/webench
www.ti.com.cn/powerlab
www.ti.com.cn/powertraining

WEBENCH® Designer *My Designs*

Clocks	Filters	传感器
电源	FPGA/μP	LED

输入您的供电要求:

☒ 直流 ☐ 交流

最小 最大

输入电压 V V

输出电压 V A

输出 V A

环境温度 °C

多负载 单输出

Power Architect **开始设计**

WEBENCH® Designer *My Designs*

最小 最大

输入电压 V V

输出电压 V A

输出 V A

环境温度 °C

SIMPLE SWITCHER®

开始设计 ▶

德州仪器在线技术支持社区

www.deyisupport.com

中国产品信息中心 免费热线:

800-820-8682

TI新浪微博



weibo.com/tisemi

热门产品

DAC8760	用于 4-20mA 电流回路应用的单通道、16 位、可编程电流/电压输出 DAC
DAC7760	单通道、12 位可编程电流输出和电压输出 DAC
ADS1247	极低噪声、精密 24 位 模数转换器
ADS1120	具有串行外设接口的低功耗、低噪声、16 位 ADC
ISO7242	四通道 2/2 25Mbps 数字隔离器
ISO7631FM	4kV _{PK} 低功耗三通道、150Mbps 数字隔离器
TPS54062	4.7V 至 60V 输入、50mA 同步降压转换器
TLK105L	工业温度、单端口 10/100Mbps 以太网物理层
SN65HVD255	CAN 收发器具有快速循环次数, 可用于高度已加载网络

了解更多, 请搜索以下产品型号:

DAC8760



重要声明

德州仪器及其下属子公司 (TI) 有权根据 JESD46 最新标准, 对所提供的半导体产品和服务进行修改、增强、改进或其它更改, 并有权根据 JESD48 最新标准终止提供任何产品和服务。客户在下订单前应获取最新的相关信息, 并验证这些信息是最新且完整的。所有半导体产品 (本文也指“组件”) 的销售都遵循在确认订单时 TI 的销售条款与条件。

TI 确保其销售的组件性能符合产品销售时 TI 半导体产品销售条件与条款的适用规范。TI 仅在认为有必要时才采用测试或其它质量控制技术。除非相关法律有强制规定, 否则 TI 没有必要对每种组件的所有参数进行测试。

TI 没有义务承担应用帮助或客户产品设计。客户应对其使用 TI 组件的产品和应用自行负责。为尽量减小与客户产品和应用相关的风险, 客户应提供充足的设计与操作安全保障措施。

TI 不对任何 TI 专利权、版权、屏蔽作品权或使用了 TI 组件或服务的任何产品组合、机器或流程相关的其他 TI 知识产权中授予的直接或隐含权限做出任何担保或解释。TI 所发布的与第三方产品或服务有关的信息, 不能构成从 TI 获得使用这些产品或服务的许可、担保或认可。使用此类信息可能需要获得第三方的专利权或其他知识产权方面的许可, 或 TI 的专利权以及 TI 其他知识产权的许可。

如需复制 TI 产品手册或数据表中 TI 信息的重要部分, 不得对内容进行任何篡改, 且须带有相关授权、条件、限制和声明。TI 对此类篡改过的文件不承担任何责任或义务。复制第三方的信息可能需要遵从其他限制条件。

经销 TI 组件或服务时, 如果经销商对该组件或服务参数的陈述与 TI 标明的参数之间存在差异或存在虚假成分, 则相关 TI 组件或服务的所有明示或暗含的保修将作废, 且此行为被视为不正当的欺诈性商业行为。TI 不对任何此类虚假陈述承担任何责任或义务。

客户认可并同意, 尽管任何应用相关信息或支持可能仍由 TI 提供, 但其将自行负责符合与其产品及其在其应用中使用 TI 组件相关的所有法律、法规和安全方面的要求。客户声明并同意, 他们具备制定与实施安全措施所需的所有专业技术和知识, 可预见故障的危险、监测故障及其后果、降低可能造成人身伤害的故障的发生机率并采取适当的补救措施。客户将全额赔偿因在此类安全攸关的应用中使用任何 TI 组件而对 TI 及其代理造成的任何损失。

在某些情况下, TI 可能进行特别促销推进安全应用的发展。TI 的目标是利用此类组件帮助客户设计和创立其特有的可满足相关功能安全标准和要求的终端产品解决方案。尽管如此, 此类组件仍然受这些条款约束。

TI 组件未获得用于 FDA 三级 (或类似生命攸关的医疗设备) 的授权许可, 除非各方授权官员已经达成了专门管控此类使用的特别协议。

只有那些 TI 特别注明属于军用等级或“增强型塑料”的 TI 组件才是专门设计用于军事/航空应用或环境的产品。客户认可并同意, 如将不带有该标识的 TI 组件用于军事或航空航天应用, 则风险由客户自行承担, 客户自行负责满足与此类使用相关的所有法律和法规要求。

TI 特别标示了符合 ISO/TS16949 要求的特定组件, 这类组件主要用于汽车。在任何情况下, TI 均不因使用非指定产品而无法达到 ISO/TS16949 的要求而承担任何责任。

产品

音频	www.ti.com/audio
放大器	amplifier.ti.com
数据转换器	dataconverter.ti.com
DLP® 产品	www.dlp.com
DSP	dsp.ti.com
时钟与定时器	www.ti.com/clocks
接口	interface.ti.com
逻辑	logic.ti.com
电源管理	power.ti.com
微控制器	microcontroller.ti.com
RFID	www.ti-rfid.com
OMAP 应用处理器	www.ti.com/omap
无线连接	www.ti.com/wirelessconnectivity

应用

汽车与运输	www.ti.com/automotive
通信与电信	www.ti.com/communications
计算机及外设	www.ti.com/computers
消费电子	www.ti.com/consumer-apps
能源和照明	www.ti.com/energy
工业控制	www.ti.com/industrial
医疗	www.ti.com/medical
安防	www.ti.com/security
空间、航空和国防	www.ti.com/space-avionics-defense
视频和影像	www.ti.com/video
TI E2E 社区	e2e.ti.com

邮寄地址: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

© 2014 年德州仪器公司版权所有

重要声明

德州仪器(TI) 及其下属子公司有权根据 JESD46 最新标准, 对所提供的产品和服务进行更正、修改、增强、改进或其它更改, 并有权根据 JESD48 最新标准中止提供任何产品和服务。客户在下订单前应获取最新的相关信息, 并验证这些信息是否完整且是最新的。所有产品的销售都遵循在订单确认时所提供的TI 销售条款与条件。

TI 保证其所销售的组件的性能符合产品销售时 TI 半导体产品销售条件与条款的适用规范。仅在 TI 保证的范围内, 且 TI 认为 有必要时才会使用测试或其它质量控制技术。除非适用法律做出了硬性规定, 否则没有必要对每种组件的所有参数进行测试。

TI 对应用帮助或客户产品设计不承担任何义务。客户应对其使用 TI 组件的产品和应用自行负责。为尽量减小与客户产品和应用相关的风险, 客户应提供充分的设计与操作安全措施。

TI 不对任何 TI 专利权、版权、屏蔽作品权或其它与使用了 TI 组件或服务的组合设备、机器或流程相关的 TI 知识产权中授予 的直接或隐含权限作出任何保证或解释。TI 所发布的与第三方产品或服务有关的信息, 不能构成从 TI 获得使用这些产品或服务 的许可、授权、或认可。使用此类信息可能需要获得第三方的专利权或其它知识产权方面的许可, 或是 TI 的专利权或其它 知识产权方面的许可。

对于 TI 的产品手册或数据表中 TI 信息的重要部分, 仅在没有对内容进行任何篡改且带有相关授权、条件、限制和声明的情况 下才允许进行复制。TI 对此类篡改过的文件不承担任何责任或义务。复制第三方的信息可能需要服从额外的限制条件。

在转售 TI 组件或服务时, 如果对该组件或服务参数的陈述与 TI 标明的参数相比存在差异或虚假成分, 则会失去相关 TI 组件 或服务的所有明示或暗示授权, 且这是不正当的、欺诈性商业行为。TI 对任何此类虚假陈述均不承担任何责任或义务。

客户认可并同意, 尽管任何应用相关信息或支持仍可能由 TI 提供, 但他们将独力负责满足与其产品及其应用中使用的 TI 产品 相关的所有法律、法规和安全相关要求。客户声明并同意, 他们具备制定与实施安全措施所需的全部专业技术和知识, 可预见 故障的危险后果、监测故障及其后果、降低有可能造成人身伤害的故障的发生机率并采取适当的补救措施。客户将全额赔偿因 在此类安全关键应用中使用任何 TI 组件而对 TI 及其代理造成的任何损失。

在某些场合中, 为了推进安全相关应用有可能对 TI 组件进行特别的促销。TI 的目标是利用此类组件帮助客户设计和创立其特 有的可满足适用的功能安全性标准和要求的终端产品解决方案。尽管如此, 此类组件仍然服从这些条款。

TI 组件未获得用于 FDA Class III (或类似的生命攸关医疗设备) 的授权许可, 除非各方授权官员已经达成了专门管控此类使 用的特别协议。

只有那些 TI 特别注明属于军用等级或“增强型塑料”的 TI 组件才是设计或专门用于军事/航空应用或环境的。购买者认可并同 意, 对并非指定面向军事或航空航天用途的 TI 组件进行军事或航空航天方面的应用, 其风险由客户单独承担, 并且由客户独 力负责满足与此类使用相关的所有法律和法规要求。

TI 已明确指定符合 ISO/TS16949 要求的产品, 这些产品主要用于汽车。在任何情况下, 因使用非指定产品而无法达到 ISO/TS16949 要 求, TI 不承担任何责任。

	产品		应用
数字音频	www.ti.com.cn/audio	通信与电信	www.ti.com.cn/telecom
放大器和线性器件	www.ti.com.cn/amplifiers	计算机及周边	www.ti.com.cn/computer
数据转换器	www.ti.com.cn/dataconverters	消费电子	www.ti.com.cn/consumer-apps
DLP® 产品	www.dlp.com	能源	www.ti.com.cn/energy
DSP - 数字信号处理器	www.ti.com.cn/dsp	工业应用	www.ti.com.cn/industrial
时钟和计时器	www.ti.com.cn/clockandtimers	医疗电子	www.ti.com.cn/medical
接口	www.ti.com.cn/interface	安防应用	www.ti.com.cn/security
逻辑	www.ti.com.cn/logic	汽车电子	www.ti.com.cn/automotive
电源管理	www.ti.com.cn/power	视频和影像	www.ti.com.cn/video
微控制器 (MCU)	www.ti.com.cn/microcontrollers		
RFID 系统	www.ti.com.cn/rfidsys		
OMAP应用处理器	www.ti.com.cn/omap		
无线连通性	www.ti.com.cn/wirelessconnectivity	德州仪器在线技术支持社区	www.deyisupport.com

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2015, Texas Instruments Incorporated