

Yuki Guo, Aki Li

Sales and Marketing / SZ AA2

ABSTRACT

在移动储能应用中，设备往往会搭载多个光伏板串联的阵列作为电压输入，其电压往往会高达数百伏。此外，随着汽车供电场景的逐渐普及，设备的输入电压范围往往还需要兼容汽车 12V 电池的低压输出。在实际应用中，辅源往往需要从主功率回路的输入端取电，这意味着辅源设计需要同时兼容超过数百伏的高压输入和宽输入电压范围。目前市面上没有集成的 Buck 芯片可以直接兼容 150V 以上的高压输入。为了在 150V 以上的应用中也能实现 Buck 辅源的设计，本应用手册将对宽输入电压范围高压 Buck 辅源设计及其常见问题进行分析。

Contents

1	引言	2
2	宽输入电压范围高压 Buck 辅源设计	3
2.1	外置电流采样回路的设计	3
2.2	自举型反馈回路的设计	4
2.3	启动回路的设计	4
2.4	软启动回路的设计	5
2.5	斜坡补偿回路的设计	5
3	常见问题及其分析	5
3.1	芯片旁路电容过小导致的反复掉电	5
3.2	占空比过大导致的反复掉电	6
4	参考原理图	7
5	总结	8
6	参考文献	8

Figures

Figure 1. 基于 UCC28C53 的宽输入电压范围高压 Buck 辅源方案简图	2
Figure 2. 自举电容在开关关断时的充电回路	4
Figure 3. 放置于高边开关处的 Buck 芯片供电回路简图	6
Figure 4. 占空比过大导致的反复掉电	7
Figure 5. 基于 UCC28C53 的宽输入电压范围高压 Buck 辅源方案参考原理图	7

1 引言

在移动储能应用中，设备往往会搭载多个光伏板串联的阵列作为电压输入，其电压往往高达数百伏。此外，随着汽车供电场景的逐渐普及，设备的输入电压范围往往还需要兼容汽车 12V 电池的低压输出。在实际应用中，辅源往往需要从主功率回路的输入端取电，这意味着辅源设计需要同时兼容超过数百伏的高压输入和宽输入电压范围。

在一类宽输入电压范围的高压辅源设计中，反激辅源方案较为常见。但反激辅源设计中会涉及到复杂的变压器设计，这增加了系统的整体设计难度；大部分反激芯片并没有集成的自偏置功能，需要在反激变压器中设计额外的辅助绕组来为反激芯片提供自偏置电压；另外随着移储设备的小型化趋势，反激辅源的变压器需要更加扁平化以实现整板高度的优化，扁平变压器较高的成本也限制了反激辅源在高度受限但成本敏感的场景中的应用。高压 Buck 辅源只需要不大的电感而非复杂的变压器，设计相对简单，成本也较低，但目前市面上的 Buck 芯片并不能直接兼容超过 150V 的高压输入。

在输入电压大于 150V 的应用中，我们可以使用外置续流二极管的异步 Buck 方案，将 Buck 芯片放置于高边开关处，对高边开关进行控制以实现对输出电压的调节。本应用手册将以 UCC28C53 为例，介绍宽输入电压范围的高压 Buck 辅源设计思路，并对相关设计中常见的问题进行深入讨论和分析。Figure 1 为基于 UCC28C53 的宽输入电压范围高压 Buck 辅源方案简图。

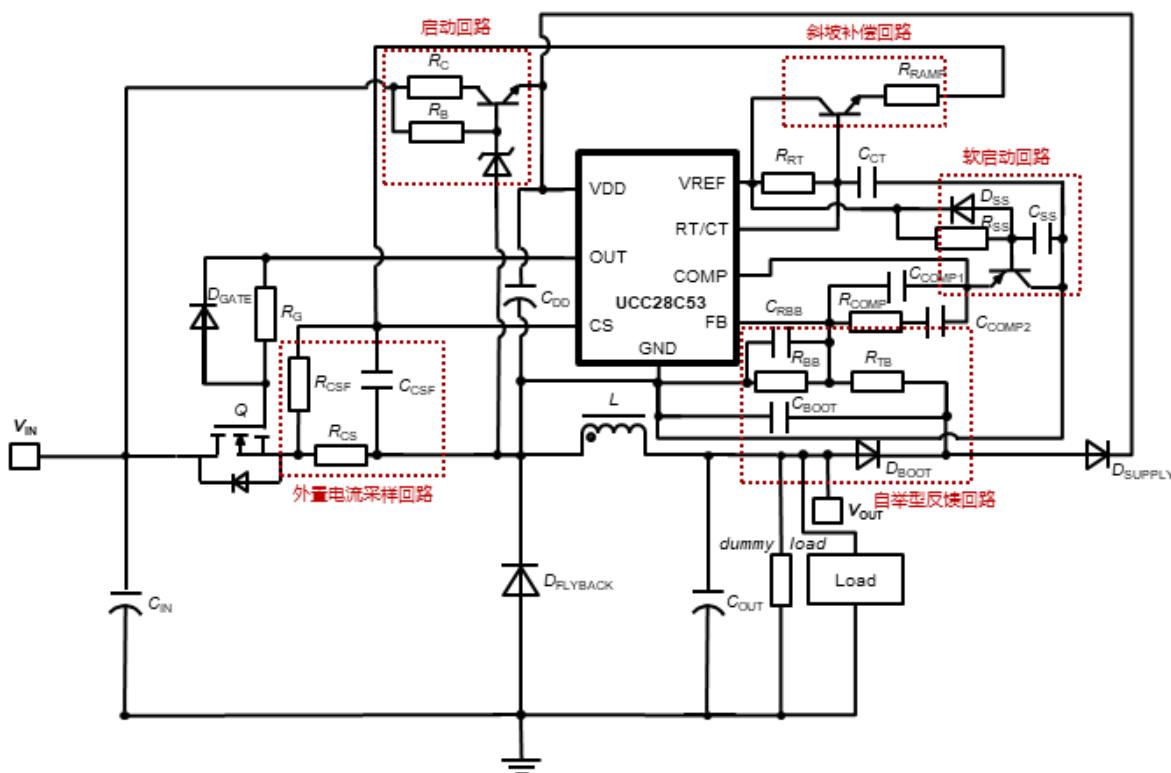


Figure 1. 基于 UCC28C53 的宽输入电压范围高压 Buck 辅源方案简图

2 宽输入电压范围高压 Buck 辅源设计

本应用手册以基于 UCC28C53 的宽输入电压范围高压 Buck 辅源为例。其输入电压 V_{IN} 范围为 12V~150V，额定输入电压 V_{IN_nor} 为 53V，输出电压 V_{OUT} 额定值为 12V（输入电压小于 14V 允许输出电压范围降至 10V 至 12V），最大输出功率 P_{OUT} 为 8W，开关频率 f_{SW} 为 130kHz。

2.1 外置电流采样回路的设计

在使用外置采样电阻的电路中，采样电阻两端的电压会被加到 Buck 芯片的 CS 脚和 GND 脚之间。CS 脚的输入将与内部误差放大器的输出进行比较，实现电流峰值控制。一般而言，TI 的 Buck 芯片会对 CS 脚的输入信号幅值进行限制，记为 V_{CS_max} 。在 UCC28C53 中， V_{CS_max} 的典型值为 1V。为了对主功率回路的电感电流峰值进行限制，并实现对最大负载下电感电流峰值的采样，采样电阻 R_{CS} 的阻值可以设计为：

$$R_{CS} = \frac{V_{CS_max}}{I_{Load_max} + 0.5(1 - D_{min})\frac{V_{out}}{f_{SW}L}}$$

式中， I_{Load_max} ——最大负载电流

D_{min} ——最小占空比

L ——功率回路电感 (H)

在案例中，考虑辅源高压输入下效率为 0.8，当输入电压 V_{IN} 为 150V 时会有最小占空比 D_{min} 为 10%。为了尽可能增大辅源工作在额定输入电压时在 CCM 下的负载范围，设计 L 为 68μH，所对应的 R_{CS} 约为 0.78Ω。适当减小 R_{CS} 可以提高主功率回路的载流能力，还可以降低其对应的线路损耗，这对于长期工作于较大占空比下的电路尤为关键。但过小的 R_{CS} 会导致开关噪声的影响增大，且主功率回路的电流峰值过大，相关的开关管会存在应力风险。

另外在完成 R_{CS} 的阻值设计后，需要对其损耗进行评估，并根据损耗大小选择合理的电阻选型方案。在 Buck 电路中 R_{CS} 的损耗 P_{RCS} 为：

$$P_{RCS} = I_{Load_max}^2 R_{CS} D_{max}$$

式中， D_{max} ——最大占空比

在案例中，考虑辅源低压输入下效率为 0.9，当输入电压 V_{IN} 为 12V 时会有最大占空比 D_{max} 为 93%， P_{RCS} 约为 0.46W。采样电阻 R_{CS} 可以选用 3 个 1210 封装的 2.2Ω 电阻并联组成。

当主功率回路中下管存在较大的反向恢复时， R_{CS} 两端压差会在上管导通时出现一个较大的电压尖峰，这可能会导致上管误关断。为此， R_{CS} 两端的电压信号需要经过一个小的 RC 低通滤波器再进入芯片的 CS 脚和 GND 脚。该滤波器的时间常数应远小于开关周期，其值可以设置为开关周期的 1% 左右，可以在充分滤除电压尖峰的同时还能避免引入过大的延时。

2.2 自举型反馈回路的设计

由于 Buck 芯片被放置于高边开关处，其 GND 脚是连接到开关节点的，进入芯片 FB 脚的反馈信号应当以开关节点电压为基准。为了实现反馈信号从主功率回路输出端到芯片的隔离转换，PMP31288 中采用了 TL431 配合光耦的隔离方案，但光耦隔离器的封装一般都较大，有限的带宽也导致其无法有效传输高频信号。而 PMP23397 中自举型的反馈回路仅使用一个自举二极管 D_{BOOT} 和一个自举电容 C_{BOOT} 。记 V_{F1} 和 V_{F2} 分别为主功率回路中续流二极管 $D_{FLYBACK}$ 和自举二极管 D_{BOOT} 的导通压降。在电路正常工作的情况下，当主功率回路上管关断时，开关节点电压会被 $D_{FLYBACK}$ 拉至 $-V_{F1}$ 。若自举电容的两端电压 V_{CBOOT} 小于 $V_{OUT} - (V_{F2} - V_{F1})$ ，自举二极管 D_{BOOT} 便会导通，主功率回路的输出电容向自举电容 C_{BOOT} 充电。显然，在稳态下 $V_{CBOOT} = V_{OUT} - (V_{F2} - V_{F1})$ ，采样电阻应当满足：

$$\frac{R_{BB}}{R_{TB} + R_{BB}} = \frac{V_{FB}}{V_{out} - (V_{F2} - V_{F1})}$$

式中， R_{BB} ——低边采样电阻 (Ω)

R_{TB} ——高边采样电阻 (Ω)

V_{FB} ——内部误差放大器的参考电压 (V)

自举二极管的反向恢复会导致 V_{CBOOT} 出现振荡，进一步导致进入 FB 脚的反馈信号出现了失真。为此，自举二极管应当选取低正向导通压降和低结电容的快恢复二极管或肖特基二极管，并在低边采样电阻 R_{BB} 的两端并联一个小电容，可以有效抑制自举二极管反向恢复特性对控制环路的影响。

为了抑制自举电容充电对主功率回路的干扰，自举电容的容值应当控制在主功率回路输出电容的 10% 以内。另外，适当地增大自举电容容值也可以有效抑制自举二极管反向恢复的影响。

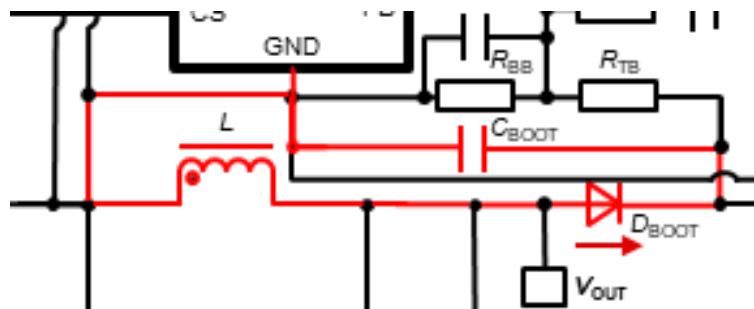


Figure 2. 自举电容在开关关断时的充电回路

2.3 启动回路的设计

由于此时主功率回路的输出电压尚未建立，启动回路只能取电自功率回路的输入电压。纯电阻方案中，主功率回路的输入电压经过电阻直接连接到芯片的 VDD 脚。这一方案结构简单，但无法很好地适配宽输入电压范围的应用场景。当输入电压为低压时，为了满足芯片快速启动的需求，启动电阻需要选用阻值较小的电阻；但当输入电压为高压时，小电阻会流经相当大的启动电流，这意味着启动电阻需要选用非常规的大封装电阻。

三极管方案中，功率回路的输入电压会在基极电阻上产生较小的基极电流，经过三极管的放大作用，三极管的发射极可以输出一个较大的启动电流。为了实现对启动回路的有效关断，需要在三极管基极和芯片 **GND** 脚之间并联一个稳压管，其稳压值应当低于芯片供电电压 V_{DD} 的稳态值但应高于 **UVLO** 的启动阈值 V_{DDON} 。另外为了限制启动电流的大小，在功率回路的输入电压和三极管集电极之间应当串联阻值为几十欧姆的限流电阻。

2.4 软启动回路的设计

对于没有内部软启动功能的 **Buck** 芯片，直接限制芯片内部误差放大器的输出，可以有效限制主功率回路的峰值电流，从而实现软启动。外置的软启动回路由 R_{SS} 和 C_{SS} 以及一个 **PNP** 管构成，其中 C_{SS} 应当选择 $1\mu F$ 以上的大电容。 R_{SS} 和 C_{SS} 的值根据所期待的软启动时间进行选择。在软启动结束之后， C_{SS} 会被继续充电至 **VREF**，保证 **PNP** 管能被有效关断，芯片内部误差放大器的输出不再受到软启动回路的影响。

为了在芯片掉电快速重唤醒时电路仍能实现软启动，应当在 R_{SS} 的两端并联一个二极管。当芯片掉电时，**VREF** 会被拉低， C_{SS} 通过二极管可以迅速释放储存的电荷，保证了 C_{SS} 的两端电压可以在芯片重唤醒之前被拉低至零附近。

2.5 斜坡补偿回路的设计

当主功率回路的输入电压为低压时，上管的占空比会较大，可能会超过 50%。若没有设置斜坡补偿，电流峰值控制的电路在占空比超过 50% 时会出现次谐波振荡的现象。为了实现有效的斜坡补偿，可以将晶振的波形按一定比例叠加在初始的电流检测值上，他们共同注入到电流检测的滤波电容 C_{CSF} 中。为了避免对晶振正常工作产生影响，可以使用一个 **NPN** 三极管，其集电极连接到 **VREF**，基极连接到晶振，发射级连接到斜坡补偿注入电阻 R_{RAMP} 。适当地减小 R_{RAMP} 可以增大斜坡补偿的程度，但过大的 R_{RAMP} 会导致主功率回路带载能力受限。

3 常见问题及其分析

3.1 芯片旁路电容过小导致的反复掉电

当芯片的供电电压 V_{DD} 大于 **UVLO** 启动阈值 V_{DDON} 后，芯片开始正常发波，主功率回路的输出电压开始建立。芯片旁路电容 C_{VDD} 需要将 V_{DD} 维持在 **UVLO** 关断阈值 V_{DDOFF} 以上，直至主功率回路的输出电压满足 $V_{OUT} = V_{DD} + V_{F2} + V_{F3}$ ，其中 V_{F3} 为供电二极管 D_{SUPPLY} 的导通压降。当 C_{VDD} 容值不足够大时， V_{DD} 会下降至 V_{DDOFF} 导致芯片掉电停止发波，主功率回路的输出电压也会迅速跌落。此时芯片会出现反复掉电的情况，开关管驱动电压波形则呈现“打嗝”的现象， V_{DD} 的幅值也将在 V_{DDON} 和 V_{DDOFF} 之间反复升降。

首先，我们要估算的 V_{OUT} 的软启动时间 t_{ss} ，这个软启动时间包括 **COMP** 脚电压从 0V 上升至 PWM 开关阈值的时间（UCC28C53 中 **COMP** to **CS** 典型值为 1.15V）和 V_{OUT} 从 0V 上升至 $V_{DD} + V_{F2} + V_{F3}$ 的时间。软启动时间 t_{ss} 的大小与实际设计有关，需要考虑软启动回路的影响以及控制环路的动态性能，其实际大小需要测试得出。对于 UCC28C53，这两个时间的典型值为 1~2ms 和 10~14ms，在计算时可以以 $t_{ss}=16ms$ 来估算。而 C_{VDD} 容值大小应当满足：

$$C_{VDD} > \frac{(I_{VDD_max} + 1.25f_{SW}Q_{GATE})t_{ss}}{(V_{DDON} - V_{DDOFF})}$$

式中， I_{VDD_max} ——最大工作电流 (A)

Q_{GATE} ——开关管的栅极电荷(C)

在 C_{VDD} 电容选型时，应当考虑其容值偏差的影响并以额外的 20% 容值裕度去做容值设计，以工作电压的两倍以上做耐压设计。在实际设计中，我们还需要避免 C_{VDD} 的设计容值过大导致芯片启动缓慢的问题。

3.2 占空比过大导致的反复掉电

对于放置于高边开关处的 Buck 芯片，其 GND 脚是连接至开关节点的。当开关开通时，开关节点的电压会被拉高至输入电压 V_{IN} 附近，这会导致二极管 D_{BOOT} 和 D_{SUPPLY} 关断，此时芯片的供电回路会被切断，芯片的供电电流由 C_{VDD} 提供；当开关关断时，主功率回路向芯片和 C_{VDD} 提供的电流只能流经主功率回路的电感 L 形成回路。Figure 3 中红色部分为放置于高边开关处的 Buck 芯片供电回路。

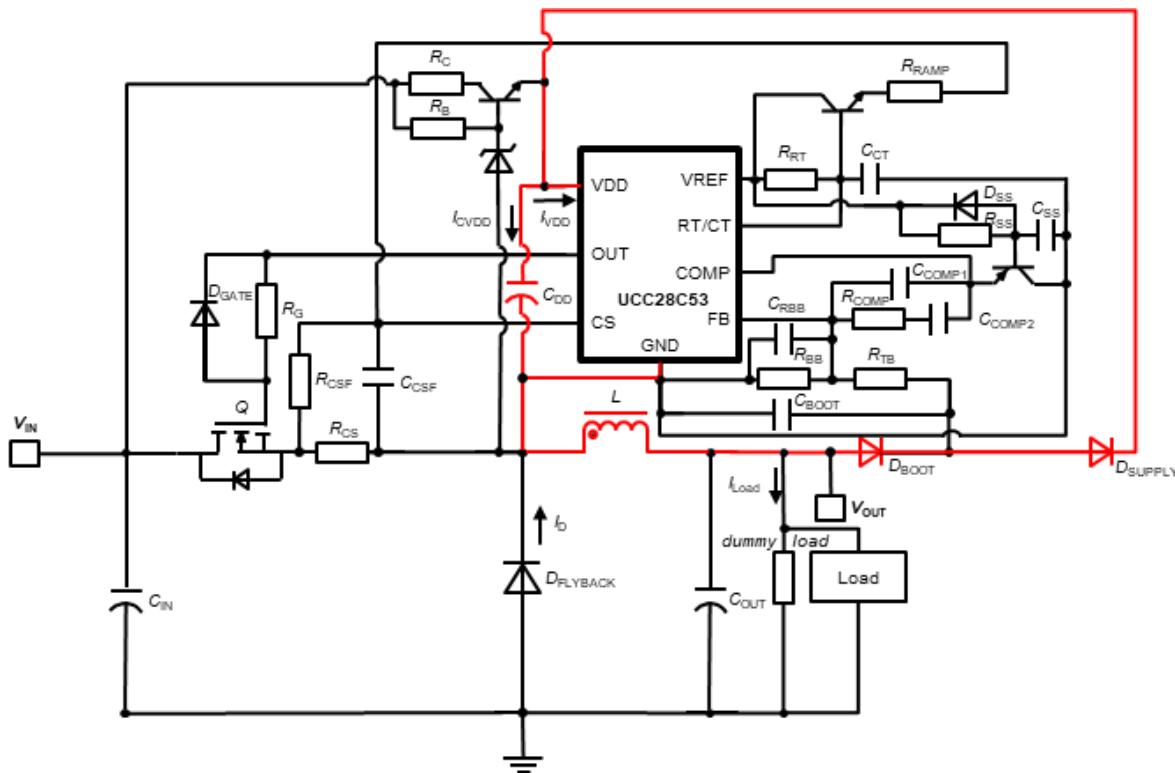


Figure 3. 放置于高边开关处的 Buck 芯片供电回路简图

在一个稳定的系统中，当开关关断时， C_{VDD} 的充电电流应当满足 $I_{CVDD} = I_{VDD}D/(1-D)$ ，以补充开关开通时 C_{VDD} 消耗的能量。为了保证主功率回路的续流二极管能正常导通，主功率回路的负载电流 I_{Load} （电感电流平均值 I_L 由 I_{Load} 决定）应当满足 $I_{Load} > I_{VDD}/(1-D)$ 。当负载 $I_{CVDD} < I_{VDD}/(1-D)$ 时， C_{VDD} 的能量无法得到足够补充， V_{DD} 会不断下降直至低于 V_{DDOFF} ，芯片掉电停止发波。Figure 4 展示了占空比过大导致的反复掉电波形，其中 CH1 为输出电压 V_{OUT} 波形，CH2 为 V_{DD} 波形。

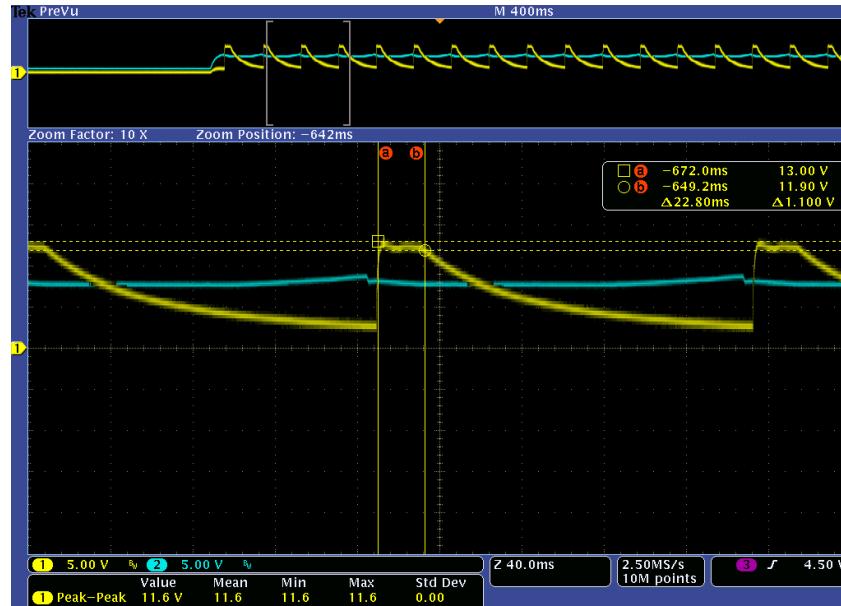


Figure 4. 占空比过大导致的反复掉电

当主功率回路的占空比接近 100%时， $I_{DD} / (1-D)$ 的值会很大，导致主功率回路在空载和轻载的情况下芯片反复掉电。因此在实际设计中，开关的最大占空比不应当接近 100%，负载测还需要添加额外的假负载，保证电感平均电流不为零。

需要注意的是，在 Buck 辅源应用中，当输入电压降至与输出电压相近的值时，Buck 芯片会处于一种开环运行的状态，会持续以最大占空比来进行发波。在案例中，当输入电压低于 14V 时，受限于线路损耗和最大占空比，Buck 辅源输出无法再维持 12V 电压，此时电路开环运行，实际输出电压与线路损耗大小有关。当实际应用中包含这种工况时，辅源设计时尤其需要限制最大占空比的大小以保证电路稳定运行。

4 参考原理图

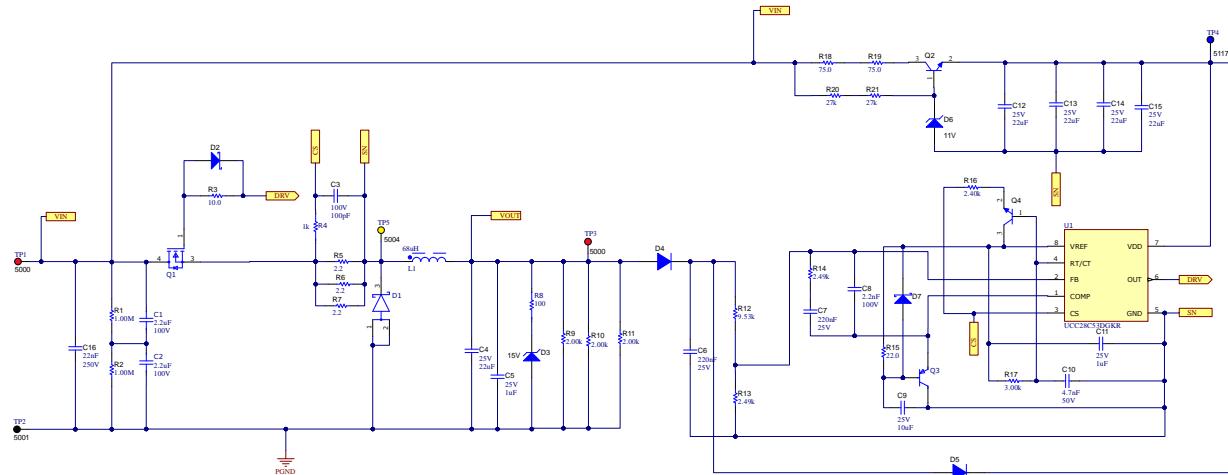


Figure 5. 基于 UCC28C53 的宽输入电压范围高压 Buck 辅源方案参考原理图

5 总结

本应用手册介绍了宽输入电压范围的高压 Buck 辅源设计思路，对电压电流采样，启动回路和环路的设计进行了深入讨论和分析。另外，本应用手册分别对芯片旁路电容过小和占空比过大导致的芯片反复掉电问题进行了具体分析，并提供了解决思路。

6 参考文献

- [1] UCC28C53 Datasheet

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#))、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025 , 德州仪器 (TI) 公司

最后更新日期 : 2025 年 10 月