

## Application Note

## AM62x 音频系统设计指南



## 摘要

适用于优质音频应用的德州仪器 (TI) 音频 DSP SoC 具有多通道音频串行端口 (McASP)。McASP 的配置选项非常灵活，可实现各种多区域和多通道音频系统。本文档概述了数字音频格式、McASP 配置选项及常见系统实现。

## 如何使用本文档

本文档旨在基本了解音频数据传输、TI 音频外设以及如何将这些外设用于多区音频系统。本文档介绍了音频系统设计的基础知识，首先详细介绍了如何发送或接收数字音频，并将其应用于 McASP 配置，以支持各种不同的系统用例。

章节概述	章节链接
McASP 支持的数字音频格式的基本说明	<a href="#">节 1</a>
McASP 外设及可用的各种配置选项的基本概述	<a href="#">节 2</a>
针对不同用例，McASP 实例的 AM62x 特定实现的详细说明	<a href="#">节 3</a>
重点介绍了 McASP 布局设计的两大注意事项	<a href="#">节 4</a>
针对涉及外部元件的实际用例的不同 McASP 配置的示例	<a href="#">节 5</a>
音频系统设计要点	<a href="#">节 6</a>

## 内容

如何使用本文档.....	1
1 数字音频格式.....	2
1.1 I <sup>2</sup> S.....	3
1.2 TDM.....	3
2 McASP 概览.....	4
3 AM62x 器件的 McASP 连接.....	6
3.1 McASP 常见配置.....	7
3.1.1 McASP 作为时钟控制器.....	7
3.1.2 McASP 作为时钟外设.....	9
4 McASP 布局注意事项.....	11
4.1 与引导模式逻辑共享的 McASP 信号.....	11
4.2 单时钟域中多个器件的 McASP 拓扑.....	12
5 McASP 实际示例.....	13
5.1 对两个时钟域使用 AUDIO_EXT_REFCLK 的音频播放.....	13
5.2 使用外部时钟源及 McASP 同步模式进行音频播放.....	14
6 音频系统设计要点.....	15
7 参考资料.....	16

## 商标

所有商标均为其各自所有者的财产。

## 1 数字音频格式

数字音频数据以三线制格式传输。音频传输所需的三个信号是位时钟、帧同步及串行音频数据。一个数据帧中含有多个音频时隙。音频通道被分配到唯一的时隙，以便通过单个总线发送多通道音频。单个音频数据帧包含每个要传输的通道的单一样本。各种数字音频格式将定义如何在器件之间组织及传输音频数据帧。通常，所有音频帧格式均由以下特性定义：

- 帧同步的下降沿或者上升沿表示帧开始
- 帧同步边沿和数据传输之间的延迟
- 帧同步宽度
- 每帧唯一音频通道的数量
- 每个通道的时隙大小，以位为单位
- 每个时隙的字深度，以位为单位
- 位流顺序 (MSB 或 LSB 在前)
- 用于对音频数据进行采样的位时钟极性

### 备注

数字音频信号具有许多通用名称。帧同步 (FS) 也可称为 LRCLK、WCLK 或者字选择。位时钟也可称为串行时钟或者音频时钟。在本文档中采用了帧同步和位时钟的标准命名。

音频时隙的字可能小于时隙位总宽度。当字深度小于时隙大小时，字可以与时隙的左侧或右侧对齐。由于不同的对齐选项，务必要完全了解如何填充位以解释音频数据。

图 1-1 展示了一个示例音频时隙，其具有最高有效位优先串行位流、24 位字深度 (左对齐) 和 32 位时隙大小。

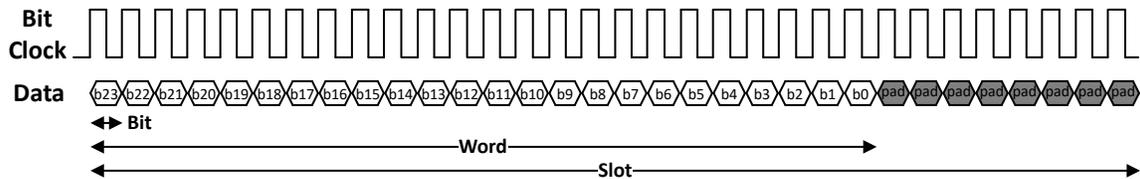


图 1-1. 帧中的位、字及插槽

## 1.1 I<sup>2</sup>S

Inter IC Sound (I<sup>2</sup>S) 是专为立体声音频定义的标准数字音频协议。立体声音频意味着每个数字音频帧由两个通道组成：左通道和右通道。I<sup>2</sup>S 帧由以下特性定义：

- 帧同步的下降沿表示帧开始
- 帧同步下降沿及数据传输之间的 1 位时钟周期延迟
- 单字帧同步宽度
- 每帧两个通道
- 最高有效位优先串行位流顺序
- 在位时钟的下降沿上移出数据
- 在位时钟的上升沿上对数据进行采样

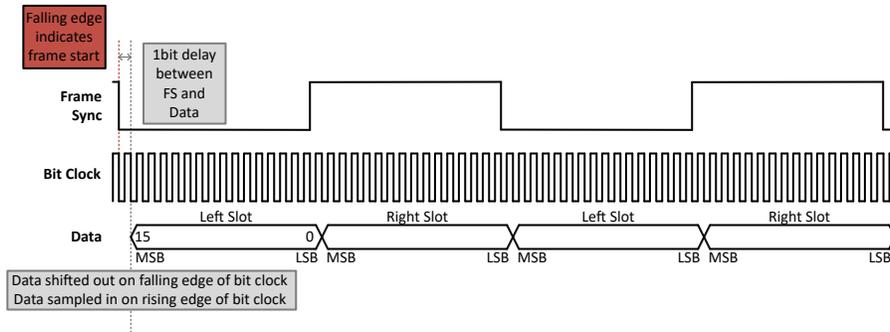


图 1-2. I<sup>2</sup>S 时序图

## 1.2 TDM

时分多路复用 (TDM) 是用于多通道音频传输的标准数字音频协议。通常 TDM 后跟一个指示每个音频帧通道数的数字，例如 TDM4。TDM 没有标准化格式，但典型的 TDM 帧由以下特性定义：

- 帧同步的上升沿表示帧开始
- 帧同步上升沿及数据传输之间的 1 位时钟周期延迟
- 单位帧同步宽度
- 最高有效位优先串行位流顺序
- 在位时钟的下降沿上移出数据
- 在位时钟的上升沿上对数据进行采样

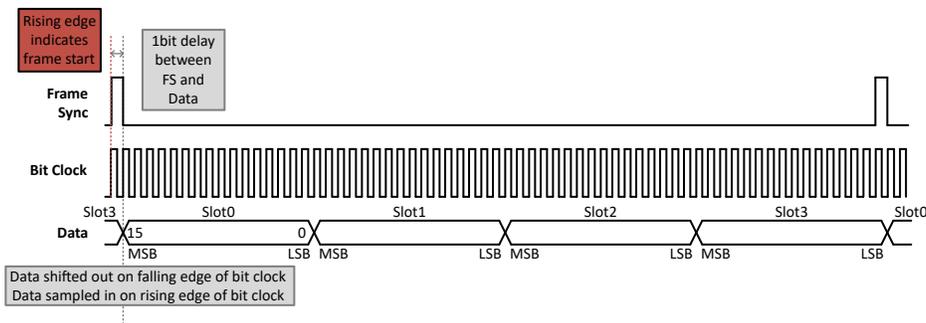


图 1-3. TDM4 时序图

## 2 McASP 概览

多通道音频串行端口 (McASP) 旨在优化多通道及多区域音频通信。McASP 外设由用于发送和接收位时钟 (ACLK[X/R])、发送和接收帧同步 (AFS[X/R]) 以及多达 16 个音频发送/接收串行器 (AXR) 的信号构成。McASP 还具有用于提供根时钟和可编程分频器的内部路径, 可用于生成适当的位时钟和帧同步频率。McASP 有一个 AUXCLK, 可用于生成内部发送和接收高频时钟 (AHCLK[X/R])。高频时钟用于在内部生成位时钟及帧同步。或者 McASP 可配置为从外部源接收位时钟和/或帧同步。

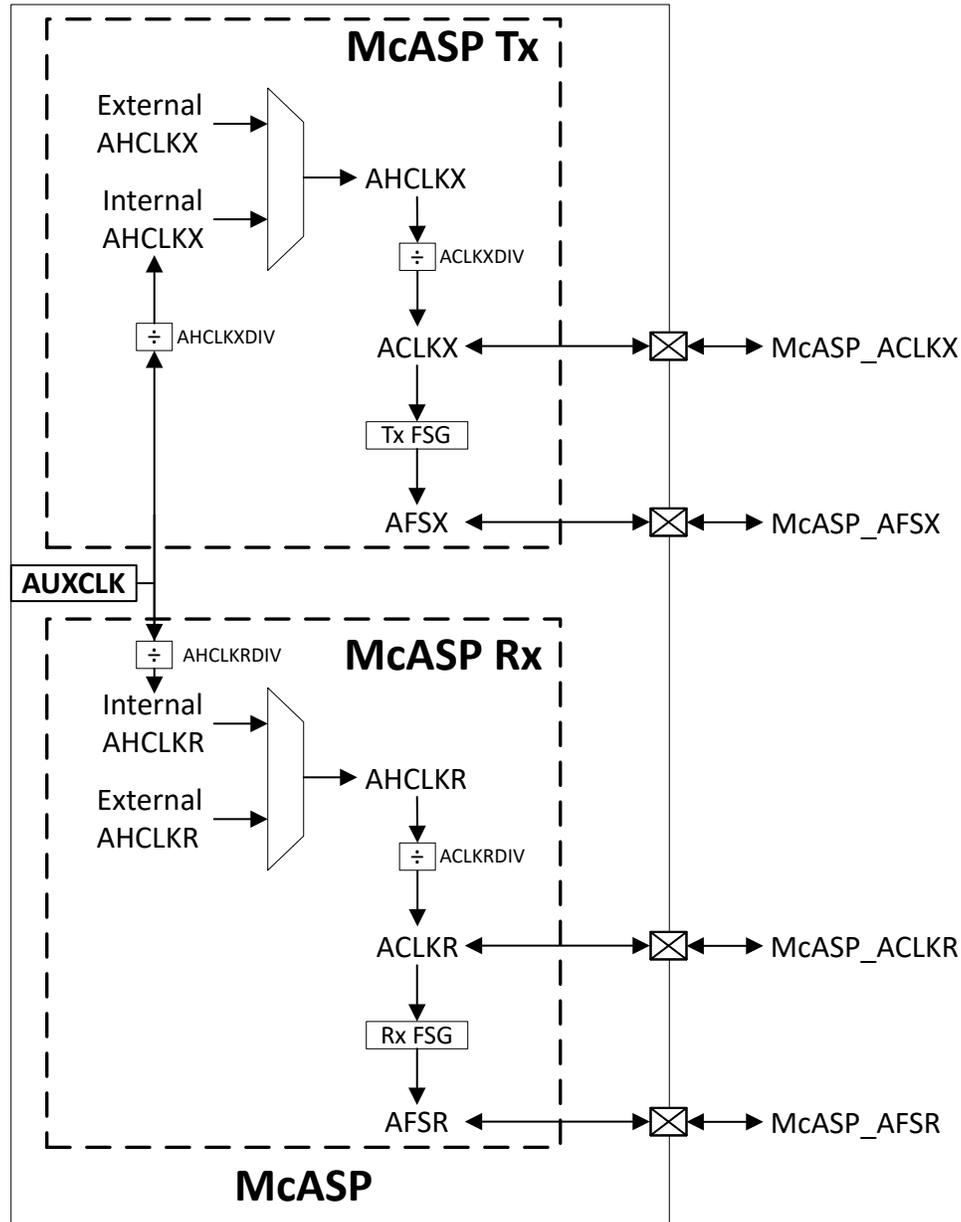


图 2-1. McASP 一般概览

每个 McASP 支持以下特性：

- 具有独立时钟区域的音频数据发送和接收

- 最多 16 个用于音频发送及接收的串行器 (AXR)
  - 每个 McASP 实例的串行器数量因 SoC 实现而有所不同。
  - 例如，在 AM62x 上，McASP2 提供全部 16 个串行器，而 McASP0 仅提供四个串行器。
- 每个串行器 32 位缓冲器，用于发送和接收操作
- 时钟丢失检测
- 音频帧格式的配置选项
  - 时隙数
  - 时隙大小 (以位为单位)
  - 小于时隙大小的活动字深度的位屏蔽
  - 活动时隙屏蔽
  - 帧同步到数据延迟 (依据位时钟周期)
  - 帧同步极性与宽度
  - 位时钟极性
  - 串行数据位流顺序

每个 McASP 也可以在同步模式下运行，在该模式下，ACLKX 和 AFSX 在内部路由到 ACLKR 和 AFSR。同步模式支持编解码器等用例，该编解码器具有一个用于数据发送和接收的时钟域。

如果 McASP 处于异步模式，则串行器 IO 方向确定用于解释音频数据帧的位时钟和帧同步。

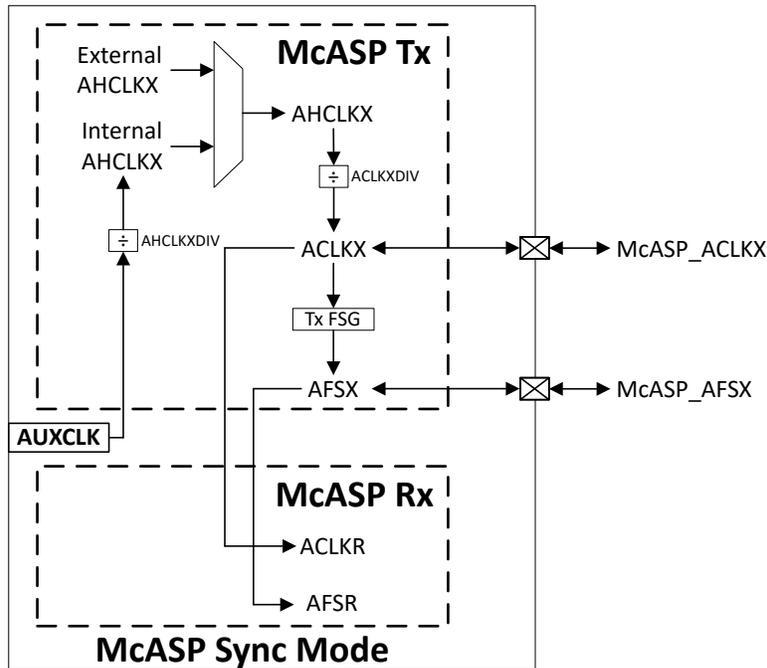


图 2-2. McASP 同步模式

### 3 AM62x 器件的 McASP 连接

AM62x 是基于 Arm 的处理器系列，具有三个适用于音频应用的独特 McASP。AM62x 器件上 McASP 内部连接的完整映射如图 3-1 所示。

#### 备注

每个 McASP 都有一个用于发送和接收时钟区域的独立 ACLK 和 AFS，但只有一个 AUXCLK。

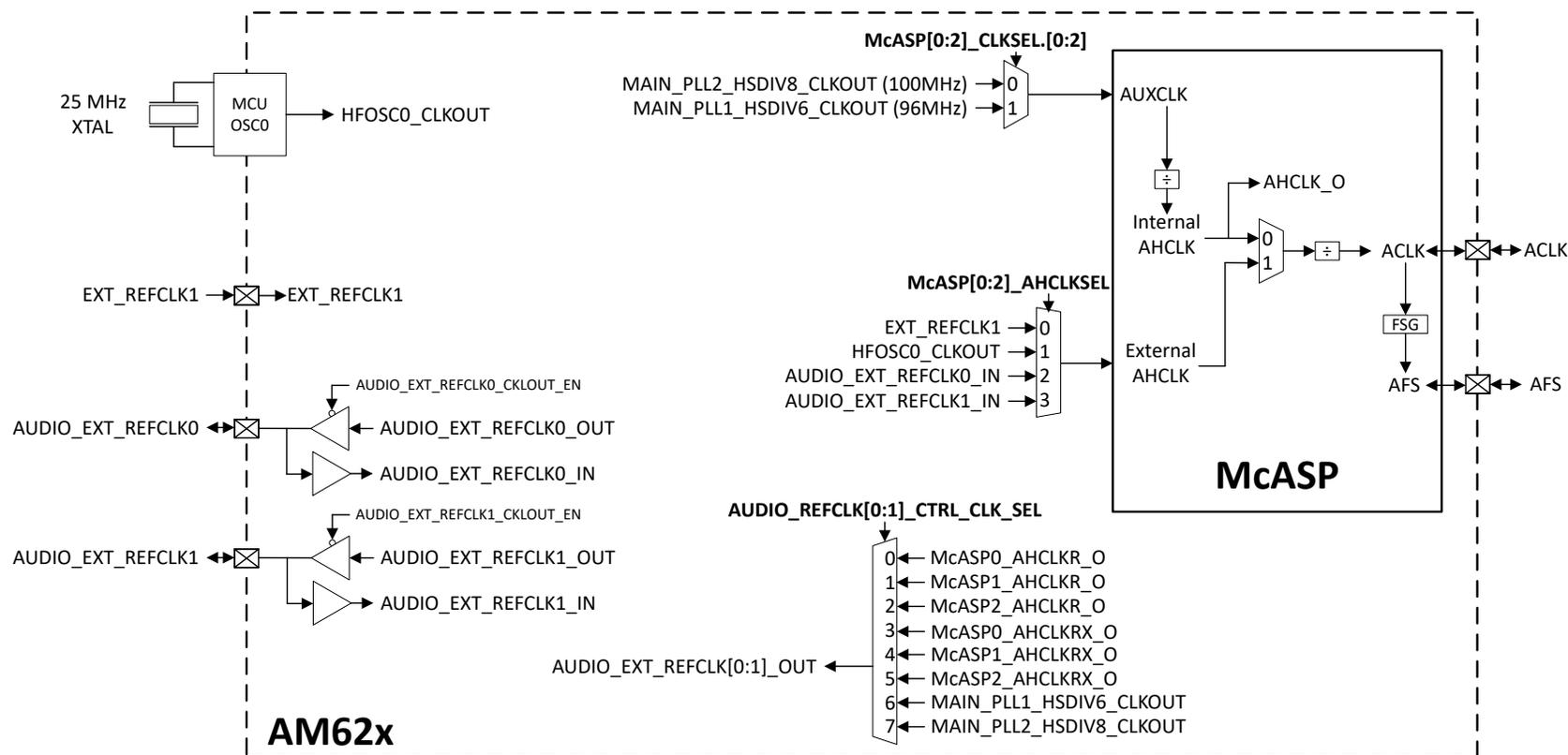


图 3-1. AM62x McASP 连接

### 3.1 McASP 常见配置

McASP 位时钟 (ACLK) 和帧同步 (AFS) 均为双向，因此 McASP 可以是时钟控制器或时钟外设。以下各节详细介绍了每种时钟配置的全部可用选项。

表 3-1 列出了配置 McASP 的常见用例。AM62x SoC 具有许多选项，用来生成、提供和接收音频数据帧格式的时钟。

#### 备注

对于位时钟和帧同步，**内部生成**是指在 McASP 时钟控制器应用的 SoC 级别输出的内部基准信号，而**外部生成**则意味着对于 McASP 时钟外设应用，这些信号将配置为 SoC 级别的输入。

表 3-1. McASP 用例矩阵

说明	AHCLK	位时钟	帧同步	McASP	示例
带有内部音频 PLL 基准的 McASP 时钟控制器	AM62x 器件不具备用于生成音频位时钟和帧同步频率的内部音频 PLL 基准。				
具备外部 AUXCLK 基准的 McASP 时钟控制器	AM62x 器件不提供将外部时钟源路由至 McASP AUXCLK 的选项				
具备外部 AHCLK 基准的 McASP 时钟控制器	外部生成	内部生成	内部生成	节 3.1.1.1	图 5-1
McASP 时钟外设		外部生成	外部生成	节 3.1.2	图 5-2

图 3-2 展示了可用选项的更详细视图。

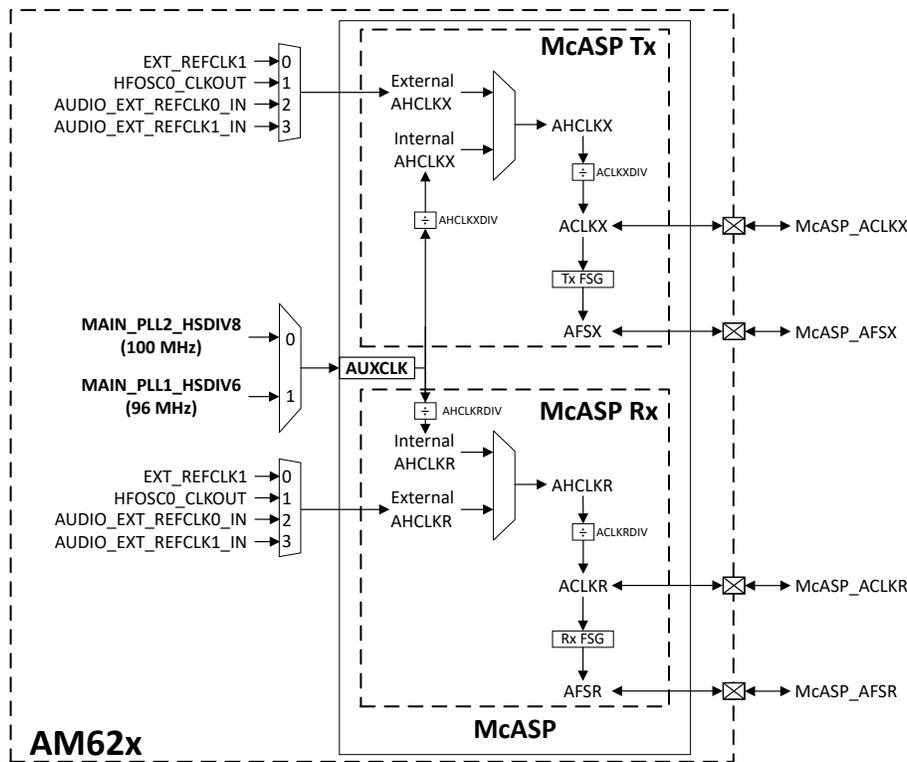


图 3-2. McASP 详细概览

#### 3.1.1 McASP 作为时钟控制器

如果 McASP 配置为时钟控制器，则位时钟和帧同步信号将配置为输出。当源设置为**内部生成**时，SDK 驱动程序将位时钟及帧同步定义为输出。这意味着位时钟由高电平时钟在内部生成，基于位时钟生成帧同步。TX 或 RX 域的高时钟具有许多选项，可更好地满足音频系统要求。

AUXCLK 是单个时钟基准，可以同时提供给 TX 和 RX 域。AM62x 器件的 McASP AUXCLK 输入连接到 100MHz 及 96MHz 的内部 PLL 输出。

**备注**

由于 AM62x AUXCLK 输入不具备音频频率输入，因此不应在 AM62x 器件上使用 AUXCLK (和内部生成的 AHCLK)。

当 AHCLK 在内部生成时，AHCLK 可以作为任何 AUDIO\_EXT\_REFCLK 引脚上的输出路由，以提供高频基准。

**备注**

AHCLK 必须配置为基准 AUXCLK 以在内部生成 AHCLK，从而将 AHCLK 用作 AUDIO\_EXT\_REFCLK 上的输出。因此，对于大多数应用，在 AM62x 器件上不能选择 AHCLK 作为 AUDIO\_EXT\_REFCLK 上的输出。

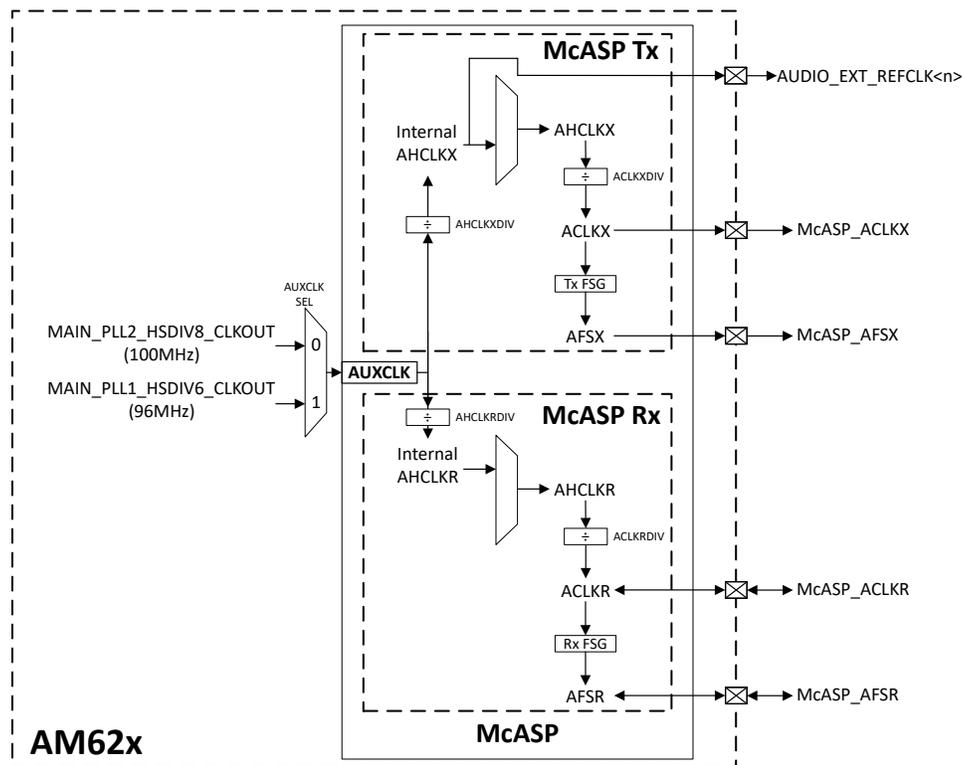


图 3-3. 具备 AUXCLK 源的 McASP 控制器

### 3.1.1.1 使用 AUDIO\_EXT\_REFCLK AHCLK 源生成的时钟

以下部分详细介绍了 McASP 的示例设置，其中位时钟和帧同步配置为输出，并使用外部源通过 AUDIO\_EXT\_REFCLK 作为直接连接到 AHCLK 的时钟基准生成。

说明	AHCLK	位时钟	帧同步
具备外部 AHCLK 输入基准的 McASP 时钟控制器	外部生成	内部生成	内部生成

在本例中，McASP 配置为具有 32 位字的 48kHz 帧同步和 TDM8 帧格式，从而使位时钟频率为 12.288MHz。当 AHCLK 配置为外部生成时，不考虑 AUXCLK。每个 AHCLK 都有一个唯一多路复用器来选择不同外部源。AHCLK 多路复用器配置为指向来自外部驱动器的 AUDIO\_EXT\_REFCLK0 源，即 24.576MHz。SDK 驱动程序会根据时隙数、帧同步频率以及帧同步与 AHCLK 之间的比率来设置 ACLK 分频器。

当从外部生成 AHCLK 时，无法在 AUDIO\_EXT\_REFCLK 上输出 AHCLK。

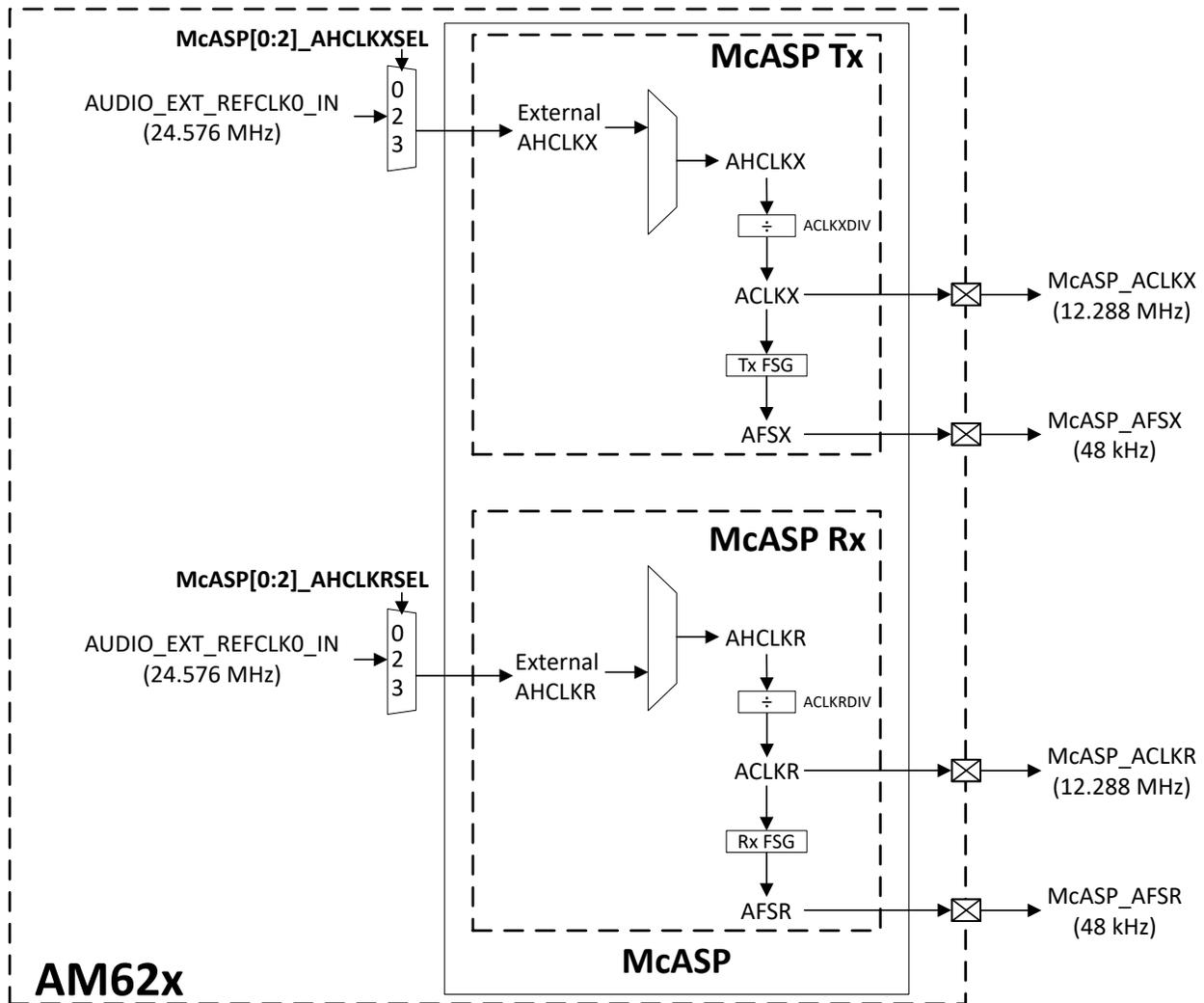


图 3-4. 具备 AUDIO\_EXT\_REFCLK0 AHCLK 基准的 McASP 时钟控制器

### 3.1.2 McASP 作为时钟外设

以下部分详细介绍了 McASP 的示例设置，其中位时钟和帧同步配置为输入。

说明	AHCLK	位时钟	帧同步
McASP 时钟外设		外部生成	外部生成

在本例中，McASP 配置为具有 32 位字的 48kHz 帧同步和 TDM8 帧格式，从而使位时钟频率为 12.288MHz。在这种情况下，AHCLK 设置无关紧要。为了实现正确的音频数据传输，SDK 驱动程序必须配置为表示位时钟和帧同步的预期频率。

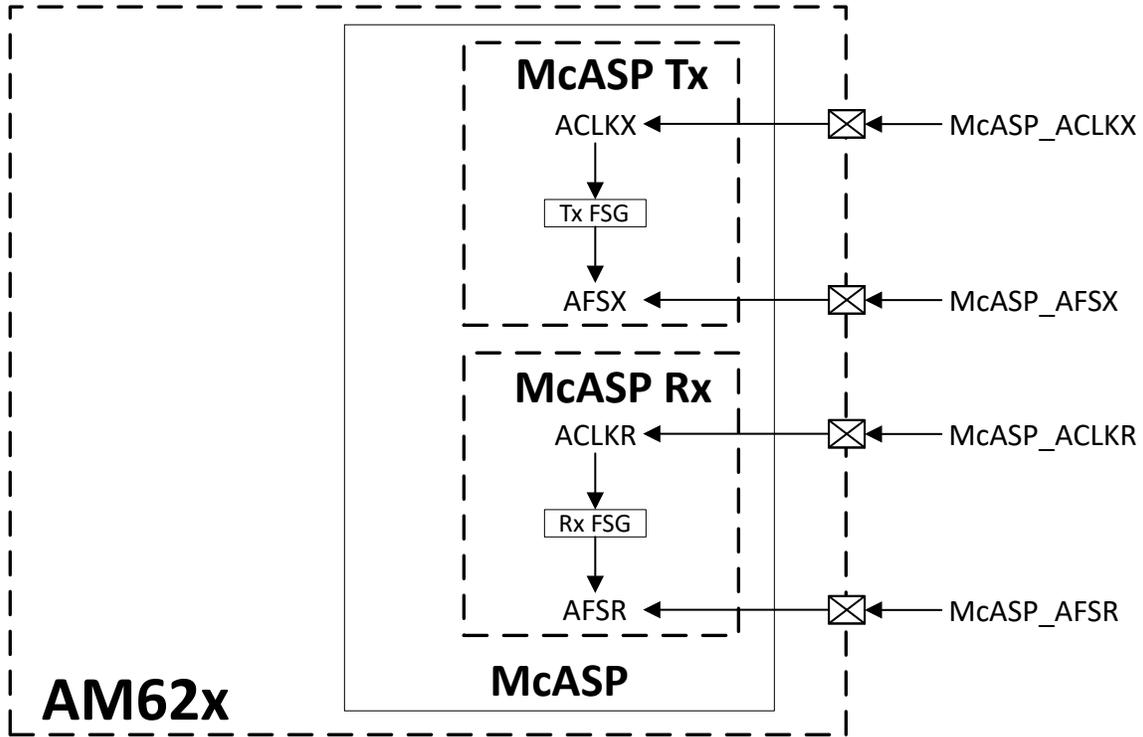


图 3-5. McASP 时钟外设

## 4 McASP 布局注意事项

McASP 能够使用单个时钟域同时和多个音频器件连接。但是，时钟和数据信号的信号完整性可能会受到影响，具体取决于布局实现。本章重点介绍了 AM62x 器件上 McASP 的两个最重要布局注意事项。

### 备注

无论布局实现参数如何，都始终应模拟 McASP 信号布局，以确保时钟和数据信号满足数据表时序要求。

### 4.1 与引导模式逻辑共享的 McASP 信号

AM62x 具有 16 个引导模式信号，由 ROM 用于确定将哪个外设用于引导和其他引导配置参数。16 引导模式信号连接到 SoC 的特定焊盘，AM62x 将大多数 McASP2 接口焊盘用于引导模式焊盘。

每个引导模式焊盘都需要一个外部上拉或下拉电阻，以便在上电序列期间为相关的引导模式信号定义数字逻辑高电平或低电平状态。

由于 McASP2 信号与引导模式逻辑共享，因此检查并确保以下各项非常重要：

- 在初始上电或复位期间，连接到 McASP2 接口的音频器件无法驱动引导模式信号。例如，若 PORz 对 AM62x 生效，则 McASP2 音频器件也应保持复位状态，直到引导序列完成。
  - 上电或复位期间，引导模式逻辑上的外部驱动器将导致不可预测的引导模式状态。
- 外部拉电阻器应与信号迹线成一条直线放置，以使其不会引入桩。图 4-1 展示了带和不带迹线桩的拉电阻器示例，其中应该为设计复制绿色实现。
  - 信号迹线上的桩（尤其是位时钟上的桩）将影响音频数据的可靠性，因为桩引起的信号反射可能会导致时序错误和信号失真。

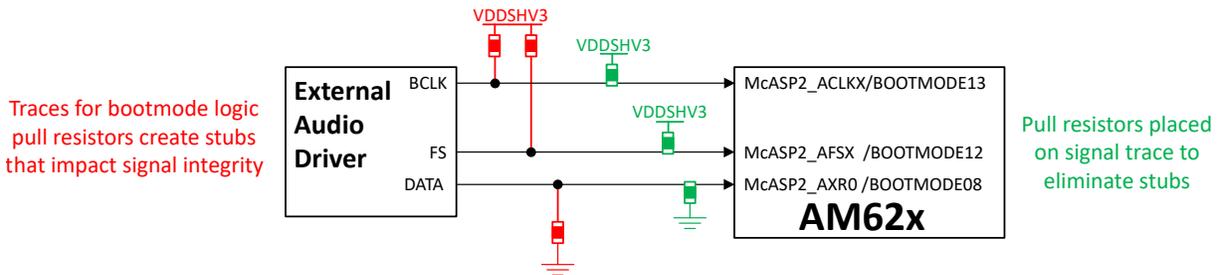


图 4-1. McASP 信号迹线桩

## 4.2 单时钟域中多个器件的 McASP 拓扑

McASP 通常设计成许多音频器件共享单个时钟域的系统。例如，TAS6754 是一款可支持 TDM16 的 4 通道放大器。这意味着单个 McASP 的位时钟、帧同步和数据引脚可以由多达 4 个放大器共享。这三个信号的布局设计会影响接口的性能及可靠性。

图 4-2 展示了将位时钟信号连接到四个不同放大器的三种不同信号拓扑。

- 如果使用飞越式拓扑，则总线上每个压降产生的迹线桩应具有一致的长度并尽可能短，以减少反射。根据时钟频率和迹线长度，这种拓扑可能会导致信号完整性问题
- LMK1C1104 等的时钟扇出缓冲器是在多个器件之间共享时钟信号的推荐方法。通过重新驱动时钟，扇出缓冲器可产生信号完整性与点对点迹线性能接近的时钟信号。
- 在平衡 T 型或星形拓扑中，单个总线被拆分成各器件长度上等效的分支。创建的分支应尽可能短，其中为器件创建的每个桩长度一致。

### 备注

无论采用何种拓扑，始终建议在靠近驱动器的所有 McASP 信号上都包含一个串联端接电阻，以抑制信号反射并保持信号完整性。

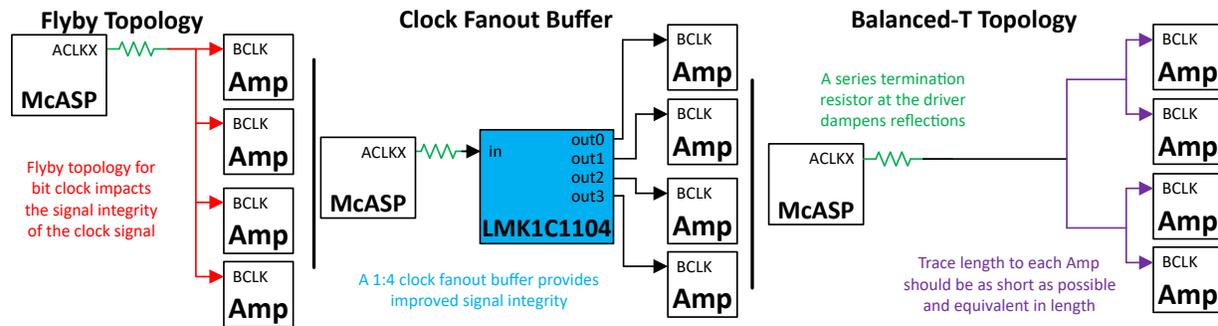


图 4-2. 多器件音频系统的时钟拓扑

## 5 McASP 实际示例

### 5.1 对两个时钟域使用 AUDIO\_EXT\_REFCLK 的音频播放

图 5-1 展示了一个简单的示例，说明 McASP 如何使用一个内部基准在多个域之间发送和接收音频数据。McASP 以异步模式运行，但由于发送和接收域的根时钟源相同，因此不存在缓冲器溢出或欠运转的风险（只要输入和输出的音频数据帧格式相同）。

对于该系统，使用外部 LVCMOS 振荡器（例如 LMK6CE024576）生成 24.576MHz 的音频时钟速率频率。在这种情况下，TX 域和 RX 域都将 AHCLK 配置为外部生成（来自 AUDIO\_EXT\_REFCLK0），而 ACLK 和 AFS 配置为内部生成。

音频数据帧是单个 TDM4 流的四个音频通道，假设字深度为 32 位，那么位时钟可以根据以 48kHz 采样的 4 个通道的 32 位字的乘积来计算，即  $4 \times 32 \times 48,000 = 6.144\text{MHz}$ 。

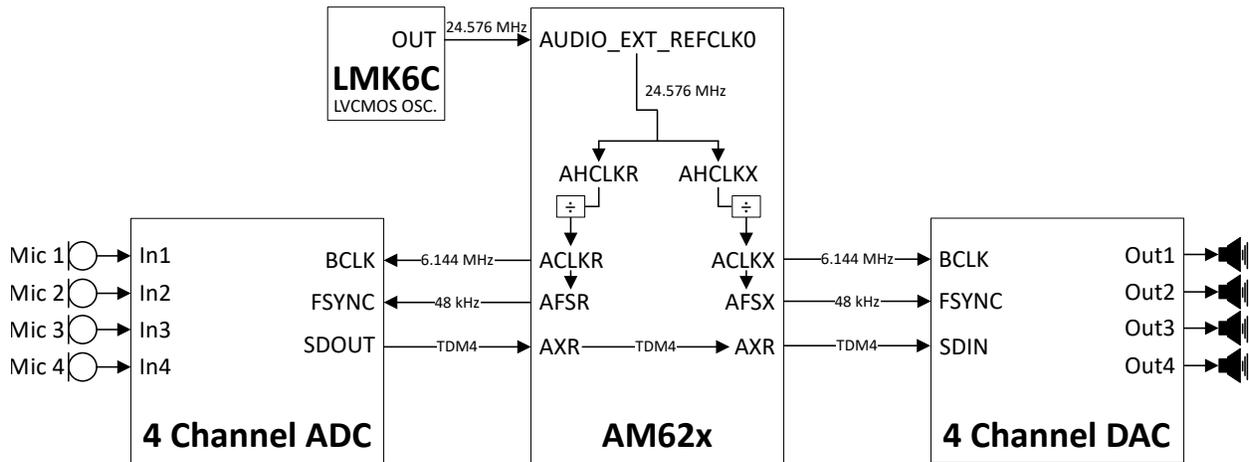


图 5-1. ADC DAC 音频播放

## 5.2 使用外部时钟源及 McASP 同步模式进行音频播放

图 5-2 展示了一个简单的示例，说明 McASP 如何仅使用单个时钟基准发送和接收音频数据。McASP 在同步模式下运行，这意味着发送位时钟和帧同步分别在内部路由到接收位时钟和帧同步。RX 域的内部路由允许单个 McASP 实例拥有用于输入和输出音频数据的串行器，前提是所有音频数据流都具有相同的帧格式。

对于此系统，4 通道编解码器是用于位时钟和帧同步的时钟控制器。TX 和 RX 域处于同步模式，并将 ACLK 和 AFS 配置为在外部生成。如果在外部生成位时钟和帧同步，则 AHCLK 不是运行所必需的，可被视为“无关”值。

音频数据帧是单个 TDM4 流的四个音频通道，假设字深度为 32 位，那么位时钟可以根据以 48kHz 采样的 4 个通道的 32 位字的乘积来计算，即  $4 \times 32 \times 48,000 = 6.144\text{MHz}$ 。

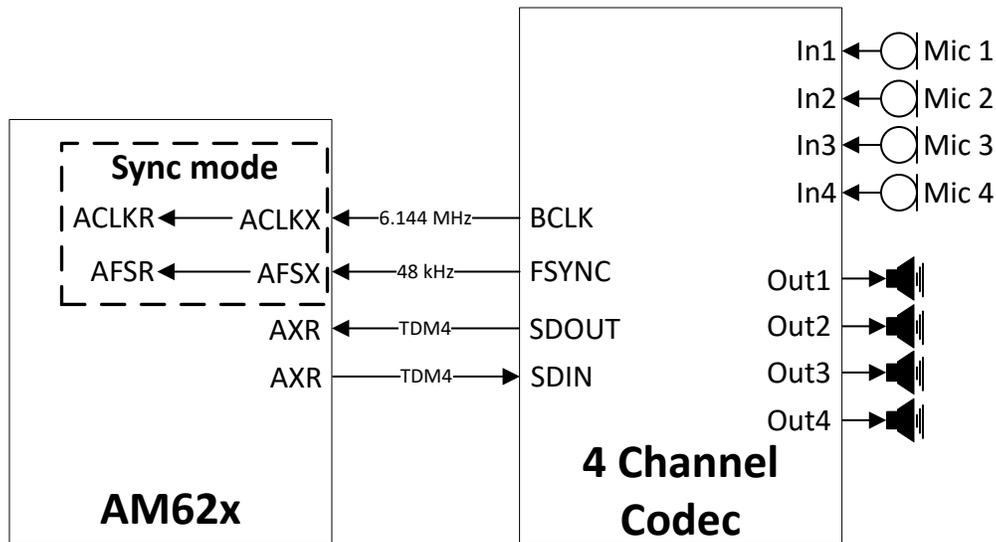


图 5-2. McASP 作为时钟外设在同步模式下的编解码器播放

## 6 音频系统设计要点

- McASP 具有两种用于时钟同步的工作模式：
  - 同步模式：其中 ACLKX 和 AFSX 信号在内部路由到 ACLKR 和 AFSR，所有音频数据通过单个时钟域进行发送和接收。
  - 异步模式：TX 和 RX 时钟域相互独立，音频数据时钟域由串行器 IO 方向决定。
- 为了避免音频数据缓冲问题，理想情况下，多区域音频系统对于所有生成的位时钟和帧同步都具有一个时钟基准。对于 AM62x 器件，时钟基准必须由外部源提供。
  - 要么需要将 McASP 配置为在内部将 AUDIO\_EXT\_REFCLK 输入作为基准，要么需要将位时钟和帧同步配置为在外部生成。
    - 如果外部源没有器件级高频基准，则位时钟还必须路由到 AUDIO\_EXT\_REFCLK 输入，以启用具有相同基准的其他 McASP 实例。
- 仔细检查与 McASP 信号共享的所有引导模式信号，以确保时钟或数据信号线上不会引入任何不必要的迹线桩。
- 对于在多个器件之间共享的时钟和数据信号，确保布局拓扑不会影响信号性能。
  - 始终使用建议的布局拓扑对信号进行模拟，以确保音频数据传输的可靠性和完整性。

## 7 参考资料

- [AM62D-Q1 信号处理微处理器](#)
- [AM62D-Q1 信号处理微处理器数据表](#)
- [AM62D-Q1 信号处理微处理器技术参考手册](#)
- [AM620-Q1 信号处理微处理器](#)
- [AM620-Q1 信号处理微处理器数据表](#)
- [AM620-Q1 信号处理微处理器技术参考手册](#)

## 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月