

## Application Note

## 处理器高速并行接口的定制电路板设计与仿真指南



## 摘要

本应用手册阐述了适用于高速并行接口定制电路板设计与仿真工作的指南。

## 内容

摘要.....	1
1 简介.....	2
2 电路板设计和布局指南.....	2
2.1 通用板设计指南.....	2
2.2 可提高信号完整性的电路板设计指南.....	2
2.3 定制电路板的设计仿真示例说明.....	4
3 定制电路板的设计仿真.....	5
3.1 提取电路板模型.....	5
3.2 仿真设置.....	6
4 定制电路板设计示例 (含电路与示例).....	7
4.1 模拟术语.....	7
4.2 不同用例的 OSPI 接口仿真示例.....	7
4.3 不同用例下发送数据信号的 RGMII 接口仿真示例.....	12
5 总结.....	14
6 参考资料.....	14
7 修订历史记录.....	14

## 商标

所有商标均为其各自所有者的财产。

## 1 简介

本文档阐述了适用于高速并行接口的定制电路板设计仿真的设计指南。这些接口支持与端子（引脚）相关的各种不同缓冲器类型（例如：LVCMOS、SDIO、eMMC PHY 或其他缓冲器类型，确定电气特性）。有关所支持的缓冲器类型，请参阅处理器特定数据表的引脚属性部分；有关所支持的速度，请参阅时序和开关特性部分。

该指南适用于常用仿真外设，包括 eMMC（高达 HS200）、MMC SD 卡、MMC SDIO、OSPI、QSPI 和 RGMII（以太网接口）。仿真方法可扩展到 DPI、GPMC、SPI 或其他板载外设接口。许多外设的高速并行接口规格基于 JEDEC 标准。

## 2 电路板设计和布局指南

### 2.1 通用板设计指南

为实现出色的信号（信号完整性）性能，请遵循以下列出的通用电路板设计指南：

- 所有信号都需要接地基准（强烈建议在两侧都实现）。
- 避免在信号参考平面中出现穿过平面分割点的情况。
- 在去耦电容器和电源引脚之间尽可能使用最宽的布线。
- 通过匹配布线阻抗来更大限度地减少码间干扰（ISI）（请参阅 SoC 或所连接器件的有关建议）
- 通过隔离时钟和选通信号等敏感信号以及选择 PCB 层叠结构，更大限度地减少串扰。
- 每当信号改变层和参考平面时，通过添加过拼接孔来避免信号返回路径不连续。
- 通过隔离信号布线和电源布线以及使用去耦电容器，最大限度地降低电源轨噪声。
- 保持信号连接残桩长度尽可能短。
- 请遵循时钟和选通信号间距指南以最大限度地减少串扰。
- 为所有信号和电容器（旁路电容器和去耦电容器）保持一个公共接地（通常称为 GND）基准。
- 微带线布线与带状线布线之间存在传播延迟差异。建议定制电路板设计人员在执行时序分析或布线时考虑传播延迟差异。
- 过孔间耦合是造成 PCB 级串扰的一个重要因素。过孔尺寸与过孔间距至关重要。对于高速接口，请考虑使用接地屏蔽过孔以尽可能减少过孔耦合。
- 过孔残桩会影响信号质量。根据用例，可以考虑使用过孔背钻来提高信号质量。

### 2.2 可提高信号完整性的电路板设计指南

诸多因素会导致信号完整性相关问题。建议通过系统级分析与优化来提升定制电路板的信号完整性。

可考虑多种方案来改善定制电路板的信号完整性（信号质量）。下面列出了建议采用的部分选项。

**表 2-1. 信号质量优化方案选项**

选项	建议	该建议对您有何帮助？
A	添加一个串联电阻器	能减少信号反射并提高信号质量
B	添加一个电容器（靠近负载）	这有助于减少返回信号反射。两端新增的平衡电容器可减少整体反射。
C	延长信号走线长度	能在信号持续转换的过程中，减少相位错位反射对入射信号的影响。
D	配置快速驱动强度并使用 A、B、C 组合	改善信号上升/下降时间，并优化整体眼图（同时 A、B、C 的组合能减少信号反射）。

下图是改善信号完整性的一般指南：

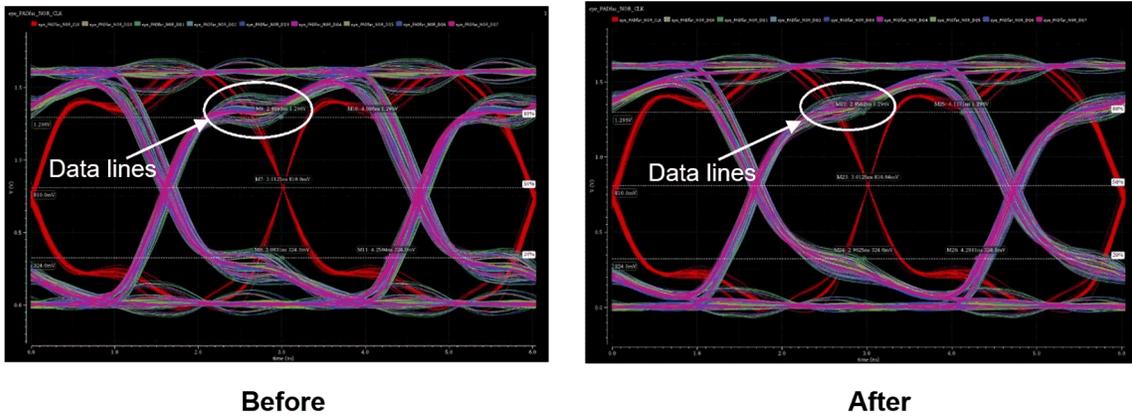


图 2-1. 数据线上添加了串联电阻器

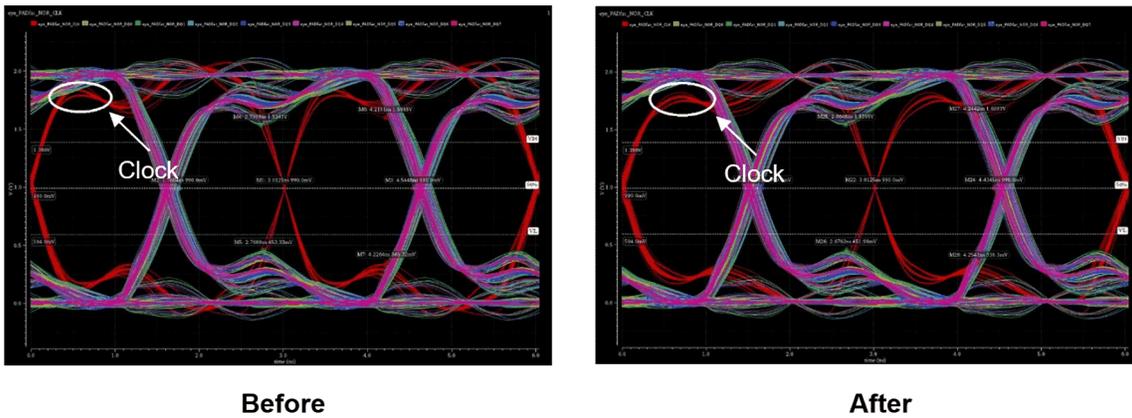


图 2-2. 时钟线上添加了负载电容器

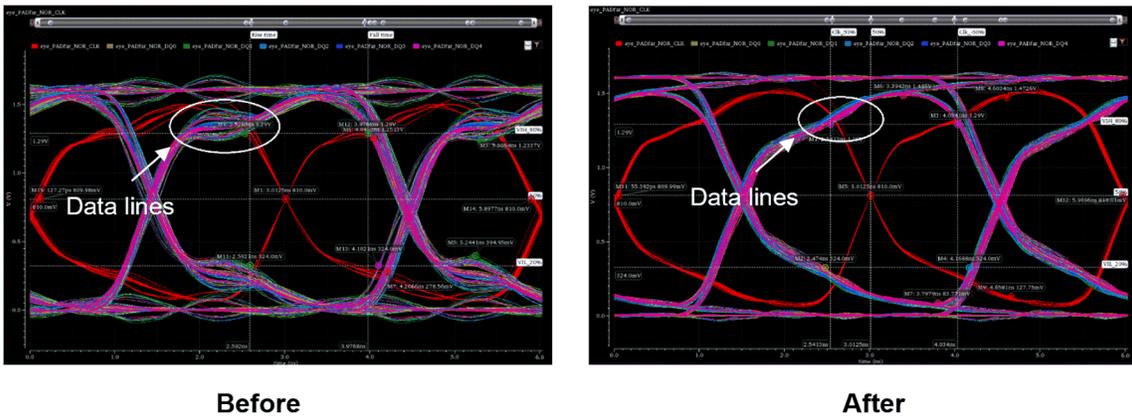


图 2-3. 数据线上 A 选项和 B 选项的组合

设置和测量说明：

- 处理器及外接器件（亦称为器件）所使用的 IBIS 模型
- .SNP 文件（使用提取工具从定制电路板提取以执行 SI 仿真）
- 信号完整性分析工具 (2.5D)
- 眼图绘制工具

---

### 备注

示例中所示的眼图是在外接器件的 BGA PAD 上测量并绘制的。

所示的分析和示例适用于写入操作。相同的指南也适用于仿真读取操作。

---

## 2.3 定制电路板的设计仿真示例说明

本节阐述了一些指南，有助于定制电路板设计人员提升信号质量：

$C_{LOAD}$  表示外接器件的总容性负载（在被仿真外设的输入引脚上测量写操作，在 SoC 输入引脚上测量读操作）。

示例：针对  $\sim 3\text{pF}$  的  $C_{LOAD}$ ：

选项 1：保持较短的布线长度（约 0.5 英寸 - 0.6 英寸），并在信号布线的中点增设（插入）一个低值（ $10\ \Omega$  或  $22\ \Omega$ ）串联电阻器。

选项 2：如果布线长度  $>1$  英寸但  $<5$  英寸，请考虑以下选项：

A：按选项 1 所示在布线中点增设一个电阻器。

B：添加一个靠近外接器件 BGA 焊盘的低值集总电容器（使用  $2\text{pF}$  和  $3\text{pF}$  等不同值（选择最接近所需电容的可用标准电容值））。

选项 3：如果选项 1 和 2 不可行，请将布线长度增加到外接器件规格允许的最大长度（例如：6 英寸）除了增加布线长度外，还可以使用类似于选项 2-B 的小型集总电容器。

---

### 备注

上面列出的选项是提高信号质量的一些可能建议。选项 1 有望提供更好的整体信号质量。定制电路板设计人员需要执行仿真，并评估哪一个所述选项最适合特定的系统级用例。

---

## 3 定制电路板的设计仿真

### 3.1 提取电路板模型

以下电路板模型提取指南适用于任何 EDA 提取工具 ( 非特定工具 ) 。在完成 **s** 参数的提取后，执行 [节 3.2](#) 中概述的步骤。建议在运行仿真之前按照以下列出的步骤确认定制电路板的设计：

- 可以使用 2.5D 提取工具，提取信号
- 请遵循所建议的层厚度和 PCB 基础材料进行定制电路板层堆叠。
- 若需在提取前对定制电路板布局的指定区域进行裁剪 ( 以缩短仿真时间 ) ，建议将裁剪边界定义为距离信号线和电源线 >0.25 英寸的位置。
- 使用 **s** 参数或 RLC 封装模型 ( 由供应商提供 ) 并继续仿真。

#### 3.1.1 使用 IBIS 模型和已提取的电路板模型进行仿真

以下各部分概述了对高速并行接口执行仿真的指南：使用 IBIS 模型和已提取的电路板模型对通道 ( 组 ) 进行仿真 ( 示例：数据线 ) ，通过定向数据攻击位模式，生成信号波形与眼图。建议验证建立时间/保持时间、压摆率、时钟高电平和低电平以及外接器件数据表中定义的其他参数的仿真结果。建议根据 VIH/VIL 电压电平执行其他回铃检查。

### 3.2 仿真设置

按照以下步骤设置 IBIS 仿真：

- 获取并使用 TI.com.cn 上 SoC 特定产品页面下的 SoC IBIS 模型，并向供应商（存储器，EPHY）申请外接器件的 IBIS 模型。IBIS 模型应包含封装 RLC 模型。
- 提取定制电路板上信号的 S 参数文件。
- 最好使用 3D 提取工具。由于仿真期间的运行时间限制，可能无法使用 3D 提取工具。如果需要考虑运行时间，建议使用 2.5D 提取工具。
- 按照所用仿真工具中的指导原则，构建仿真网表
- 设置 SoC IBIS 模型、电路板模型和外接器件 IBIS 模型（仿真平台）
- 配置需要仿真的过程、电压、温度角。

建议针对 SoC IBIS 模型支持的所有过程、电压和温度进行仿真：

- 典型值
- 最小
- 最大
- 使用波形分析工具分析仿真结果，并使用外接器件数据表中的合格/不合格标准（规格）。

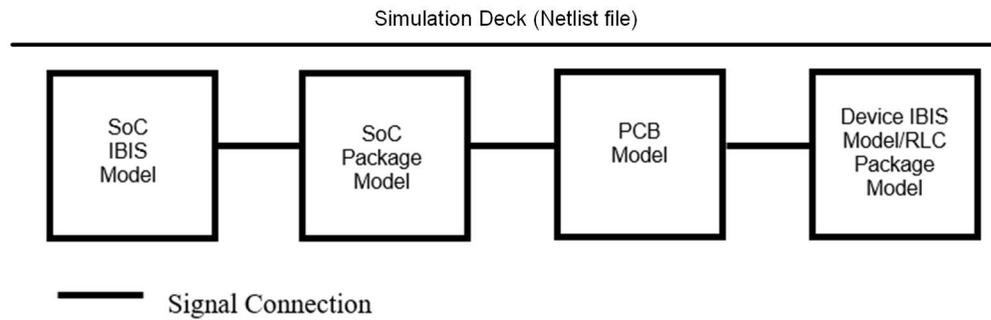


图 3-1. 系统级仿真设置序列

## 4 定制电路板设计示例 (含电路与示例)

电路板修改内容包括：在数据信号和时钟信号上增设额外的接地电容器，此类电容器也称为  $\Delta$  电容器。在 SoC 及其外接器件的 IBIS 模型中，C\_Comp 值之和与 SoC 及外接器件引脚电容值的差值即为  $\Delta$  电容值（计算方法见下表）。在信号线和时钟线上添加  $\Delta$  电容器可以减少信号反射并最大限度地减少回铃违规现象。

使用 C\_Comp (典型 (Typ) 值) 的  $\Delta$  电容值计算示例：

SoC IBIS 模型			连接器件 (器件) IBIS 模型			
C_pin (pF)	C_Comp (典型值) pF	总 C 的 pF	C_pin (pF)	C_Comp (典型值) pF	总 C 的 pF	C $\Delta$ pF
1.582	4.812	6.394	1.076	1.72	2.796	3.598

### 4.1 模拟术语

C\_COMP - 每种缓冲器类型均独有的缓冲器裸片引脚电容

回铃 - 波形振铃、过冲/下冲

### 4.2 不同用例的 OSPI 接口仿真示例

**示例 1：**下图展示了基线系统的分析情况。基线系统不符合外接存储器器件数据表中规定的建立时间和保持时间（时序）要求，且数据线和时钟线上存在回铃现象。

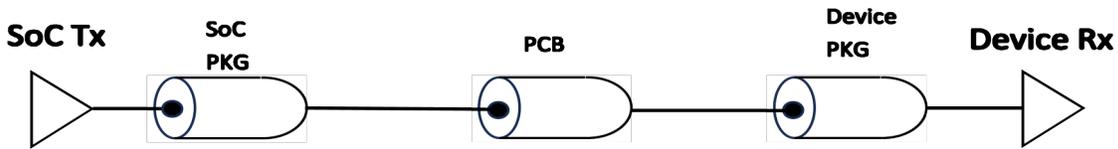


图 4-1. 基线系统电路

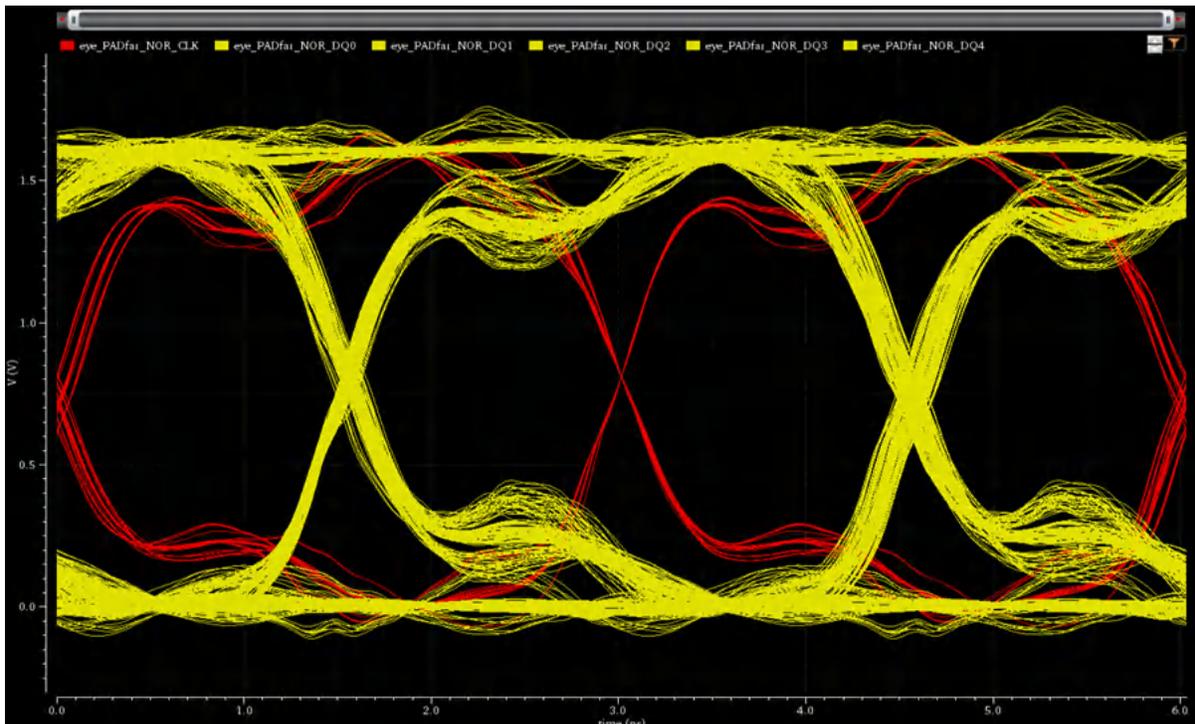


图 4-2. 基线系统分析波形

**示例 2：**下图展示了在 SoC 与邻近 SoC 的外接存储器器件之间的数据接口信号上添加一个  $10\ \Omega$  串联电阻器后的分析结果。数据线上的回铃现象有所减少，从而提高了信号质量。

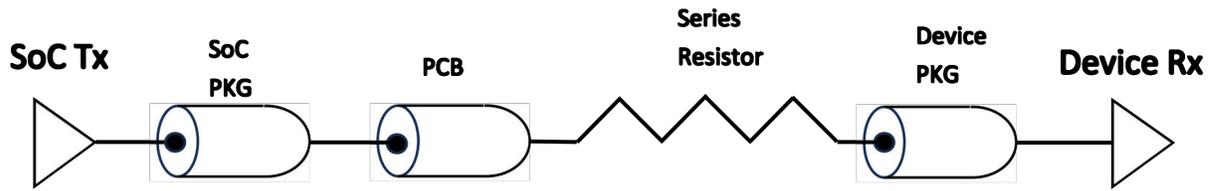


图 4-3. 在基线系统的数据线上增设有串联电阻器的电路

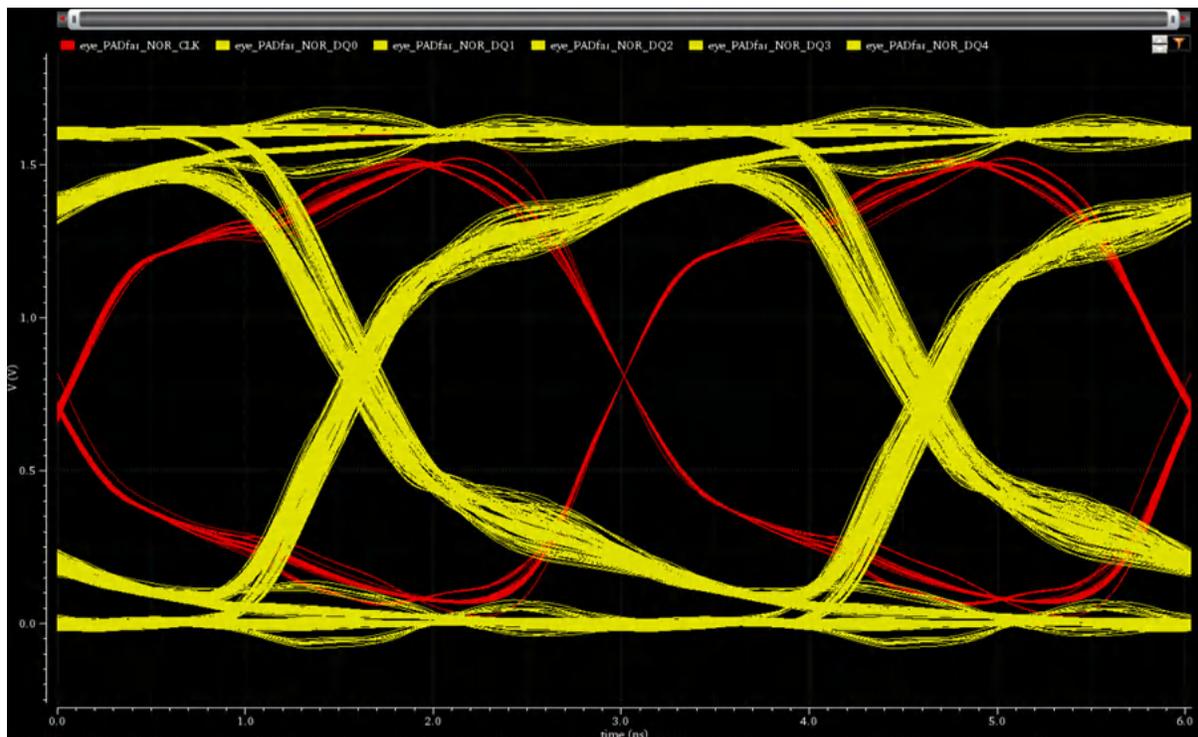


图 4-4. 在基线系统数据线上增设串联电阻器后的波形

示例 3：下图展示了在 SoC 与邻近 SoC 的外接存储器器件之间的时钟信号上添加一个  $10\ \Omega$  串联电阻器后的分析结果。时钟信号上的回铃现象有所减少，从而提高了信号质量。

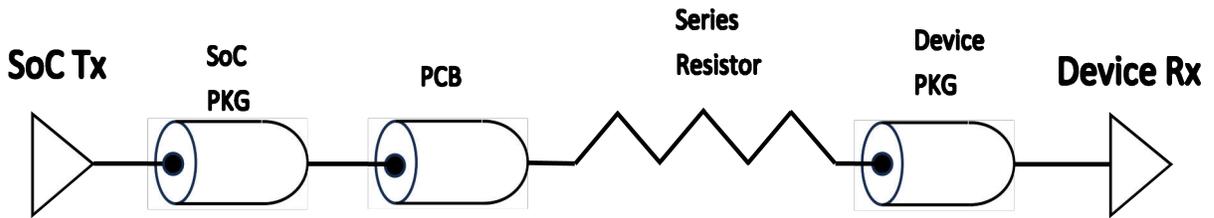


图 4-5. 在基线系统的时钟线上增设有串联电阻器的电路

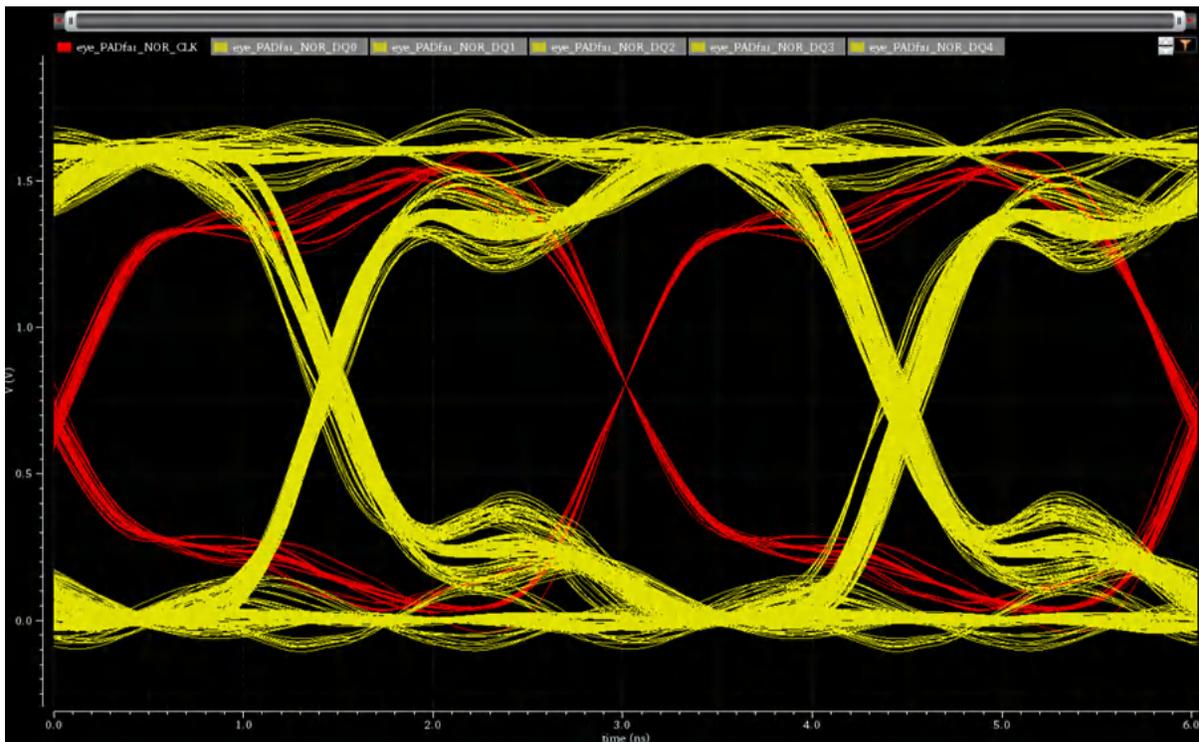


图 4-6. 在基线系统的时钟信号上增设串联电阻器后的波形

**示例 4：**下图展示了所有数据线和时钟线布线长度缩短至 0.5” 至 0.7” 后的分析结果。根据随附的存储器器件数据表，改良后的电路满足建立时间和保持时间要求。该配置已减少了数据线和时钟线上的信号反射。

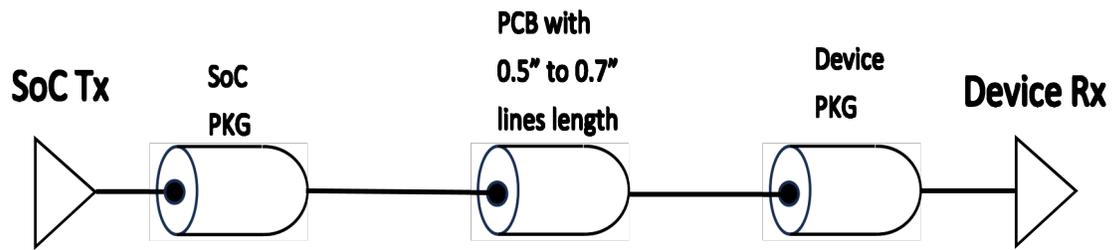


图 4-7. 具有 0.5” 至 0.7” 布线长度的电路

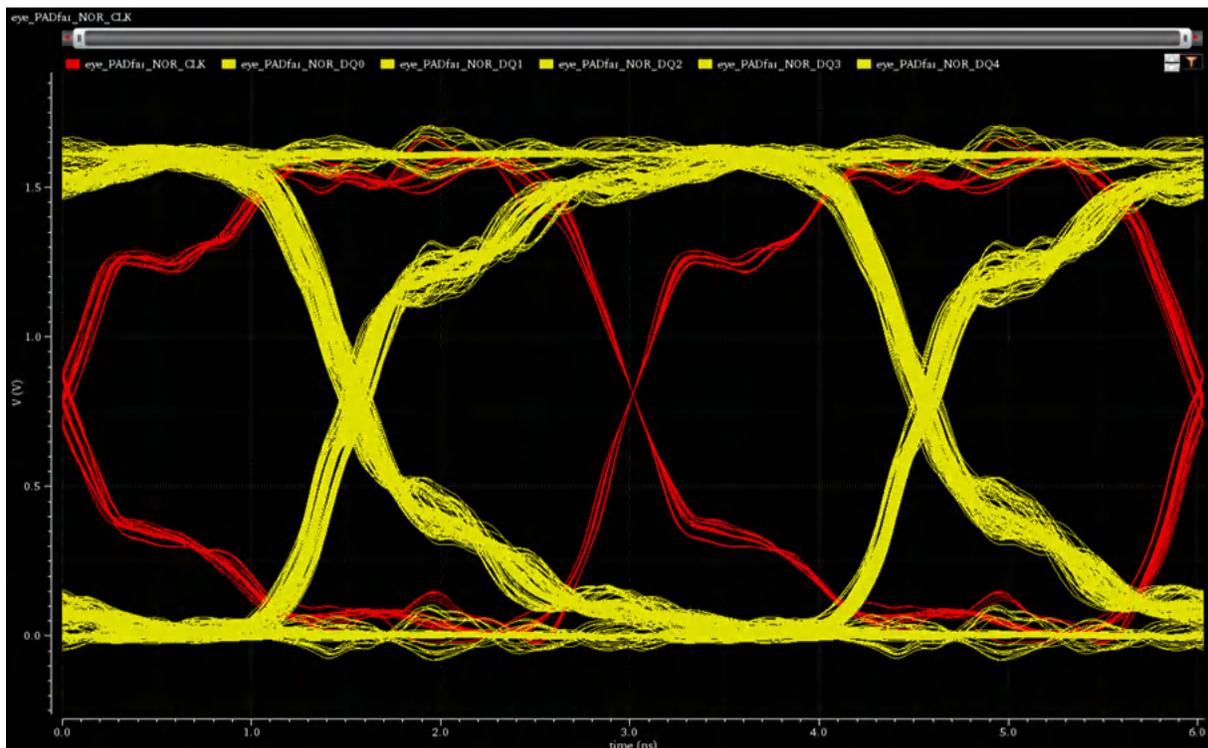


图 4-8. 0.5” 至 0.7” 布线长度波形

**示例 5:** 下图展示了在 0.5” 至 0.7” 的布线长度条件下，于 SoC 与外接存储器器件 (OSPI 存储器) 之间的数据线上添加  $\Delta$  电容器  $c_{comp}$  后的分析结果。建议在尽可能靠近外接器件 BGA 焊盘的位置添加  $\Delta$  电容器。

该配置不满足建立时间和保持时间要求 (根据规格)。

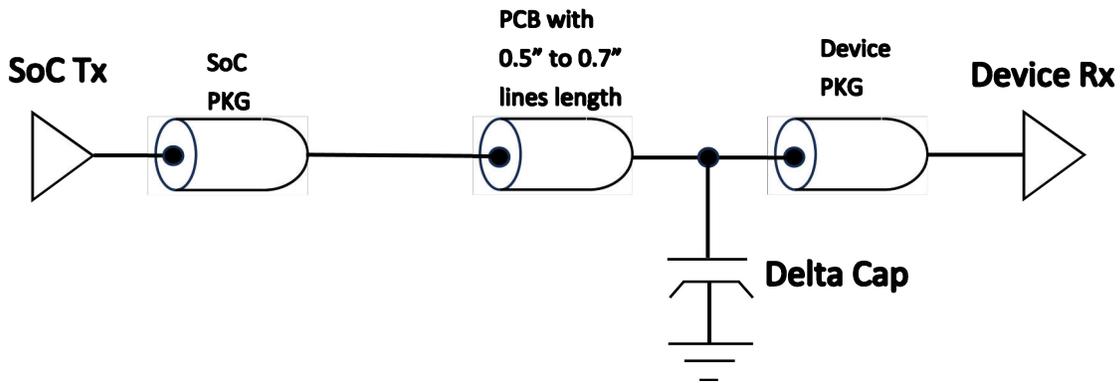


图 4-9. 在基线系统的 BGA 焊盘处 (适用于外接存储器的数据线和时钟线) 的 PCB 上添加了电路, 该电路的布线长度为 0.5” 至 0.7” 且配有  $\Delta C_{Comp}$  电容器

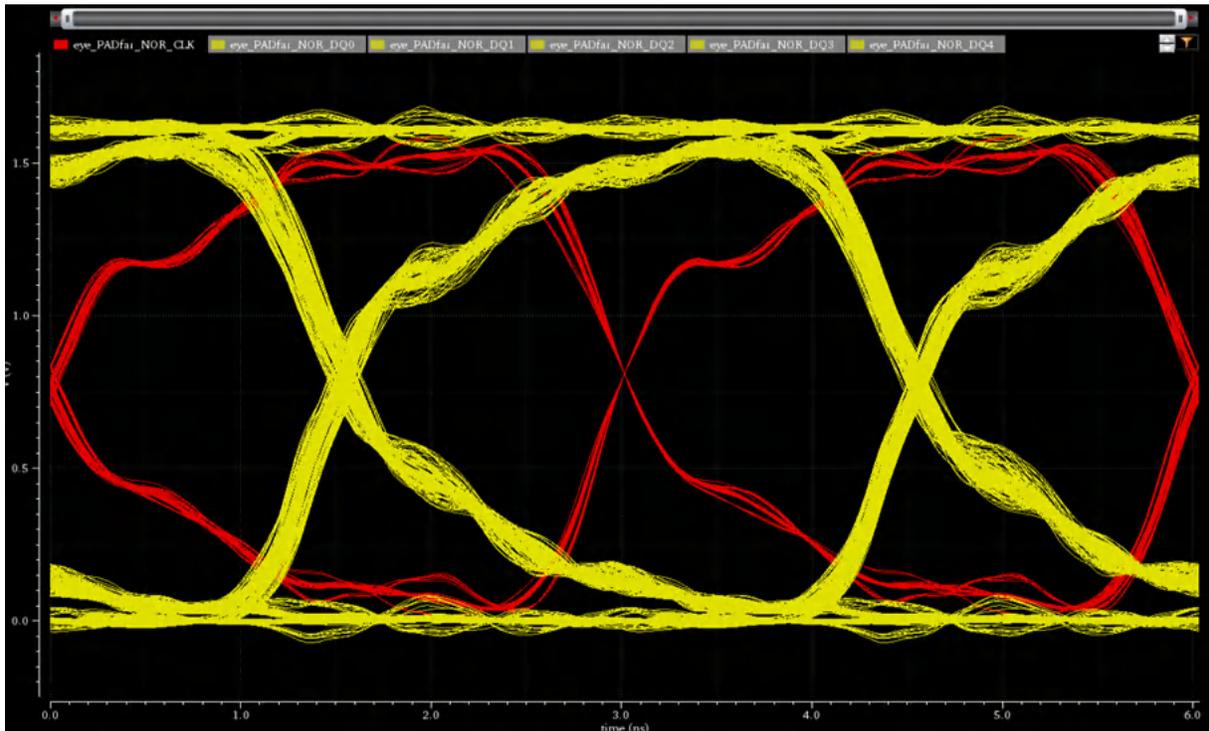


图 4-10. 布线长度为 0.5” 至 0.7” 时的波形及在 BGA 焊盘的 PCB 上增设  $\Delta C_{Comp}$  电容器 (用于外接存储器器件的数据线和时钟线)

### 4.3 不同用例下发送数据信号的 RGMII 接口仿真示例

**示例 1：**下图所示的为基线分析情况。基线分析符合 RGMII 规范中的建立时间和保持时间要求。该波形在数据线和时钟线上有反射。

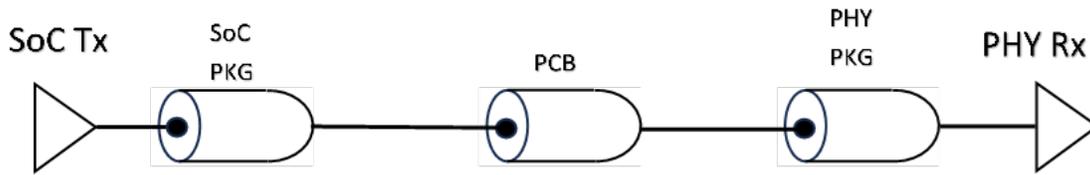


图 4-11. 基线系统电路

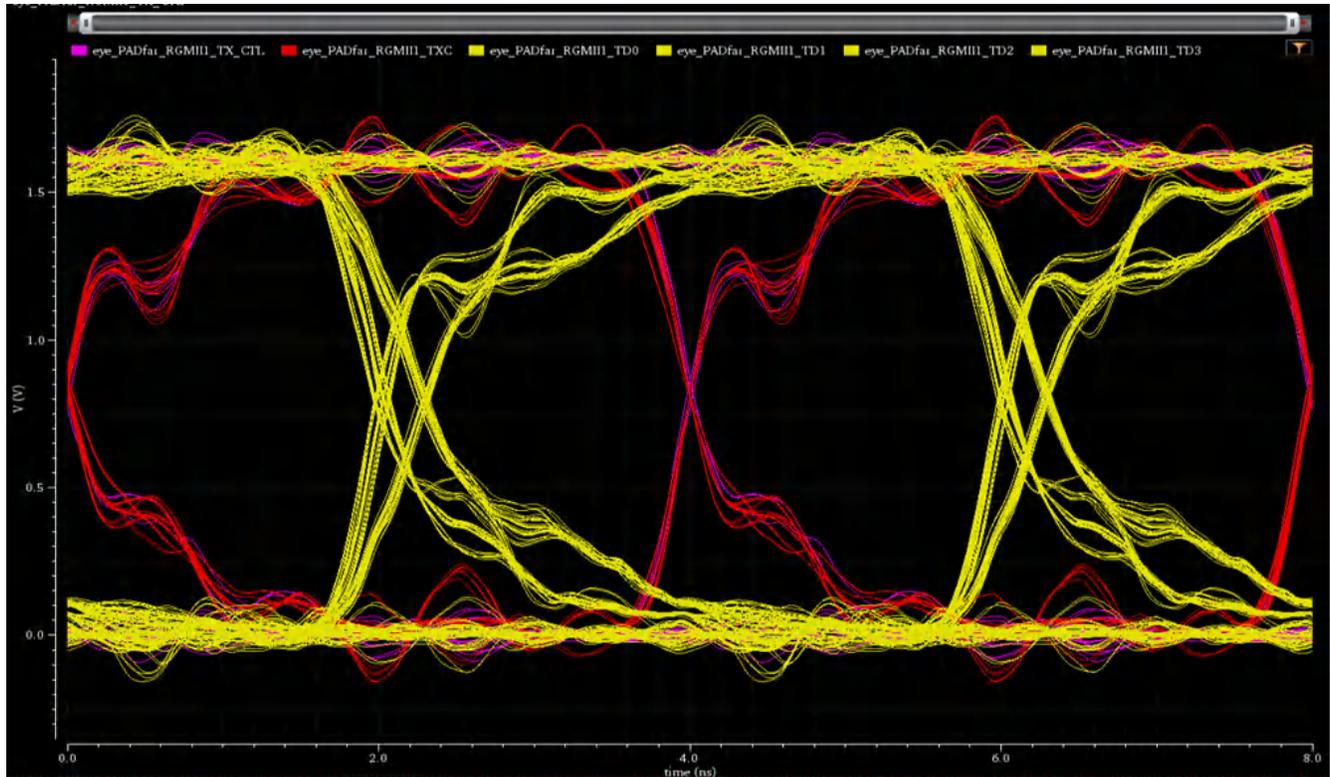


图 4-12. 基线系统分析波形

示例 2：下图展示了在 SoC 与外设 (EPHY) 之间添加  $\Delta$  电容器  $c_{comp}$  后，对所有传输数据信号 (TD0、TD1、TD2、TD3) 及传输时钟信号进行分析之结果。建议在尽可能靠近外接器件 BGA 焊盘的位置添加  $\Delta$  电容器。添加电容器可减少信号反射并提高信号质量。

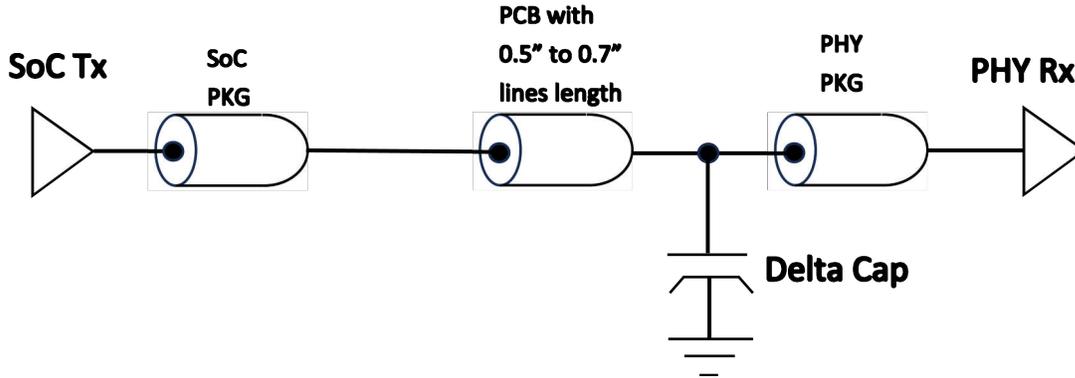


图 4-13. 在 PCB 上靠近基线系统外接器件 BGA 焊盘处 (数据线和时钟线) 增设配有  $\Delta C\_COMP$  电容器的电路

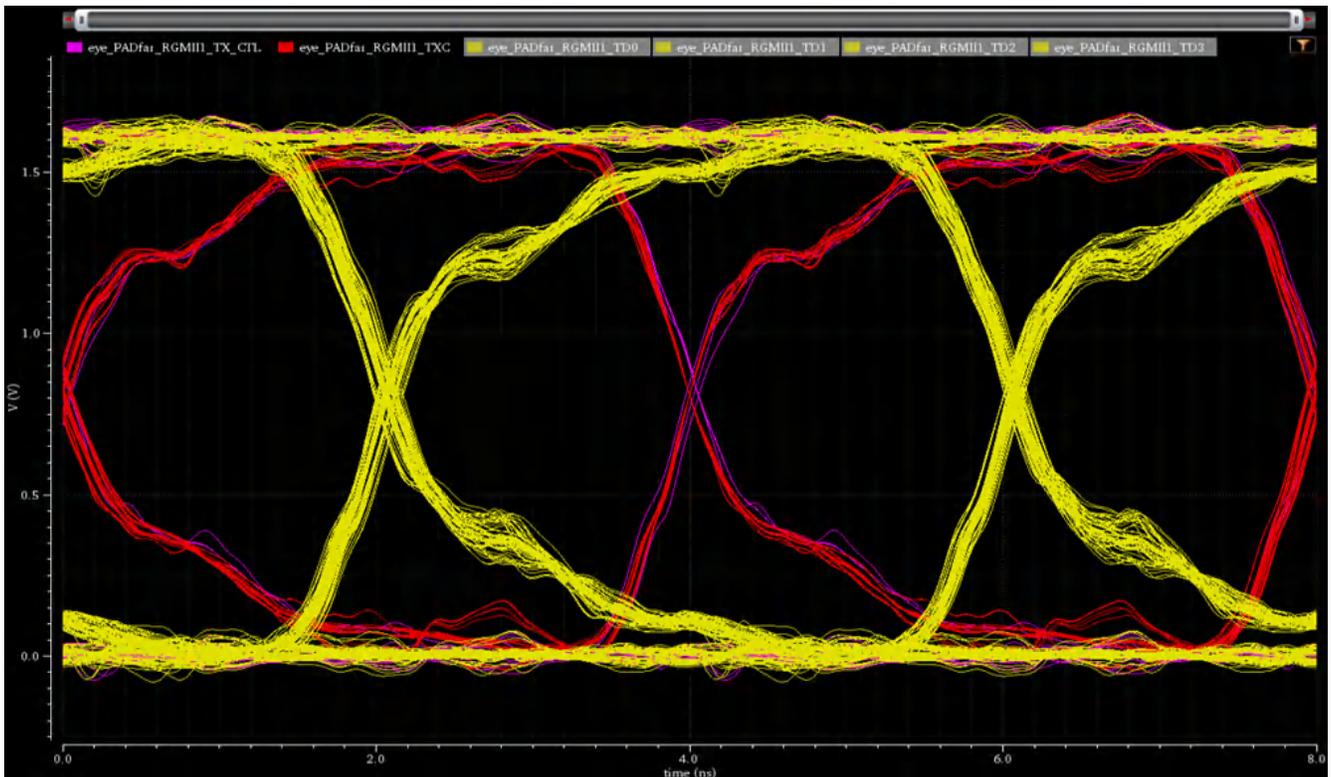


图 4-14. 在 PCB 上靠近基线系统外接器件 BGA 焊盘数据线和时钟线的位置增设  $\Delta C\_Comp$  电容器 (4.7pF) 后的波形

## 5 总结

该应用报告阐述了规划、布线和模拟定制电路板布局的方法论，旨在实现成功的高速并行接口。建议定制电路板设计人员仿真和评估最适合特定系统用例的仿真选项。

## 6 参考资料

1. 德州仪器 (TI), [AM62Px eMMC HS400 电路板设计和仿真指南](#), 应用手册。
2. 简化千兆位媒体独立接口 (RGMII)- EIA/JESD 8-6 1995。
3. [AM625/AM623/AM620-Q1/AM62L/AM64x/AM243x \(ALV\)/ AM62Ax/AM62D-Q1/AM62Px 电路板布局 - 通用高速布局指南的文档链接](#)
4. [高速接口布局指南](#)

## 7 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

### Changes from SEPTEMBER 30, 2025 to FEBRUARY 28, 2026 (from Revision \* (September 2025) to Revision A (February 2026))

	Page
• 更新了“标题”。.....	0
• 更新了“简介”部分。.....	2
• 更新了“通用板设计指南”部分。.....	2
• 更新了“可提高信号完整性的电路板设计指南”部分。.....	2
• 更新了“定制电路板的设计仿真示例说明”部分。.....	4
• 更新了“提取电路板模型”部分。.....	5
• 更新了“使用 IBIS 模型和已提取的电路板模型进行仿真”的部分。.....	5
• 更新了“仿真设置”部分。.....	6
• 添加了“定制电路板设计示例 (含电路与示例)”部分。.....	7
• 更新了参考文献部分。.....	14

## 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月