

Application Note

高速 FPD-Link™ 串行器/解串器同轴电缆通道的高级布局优化指南



Harvey Chen, Fei Meng

摘要

在汽车应用中，为了满足不断增长的带宽需求，部署的视频串行器/解串器 (SerDes)、数 Gbps 级以太网、USB3.x 和 DisplayPort (DP) 等高速信号接口越来越多。这些接口的单链路数据速率可以达到数 Gbps 甚至数十 Gbps。

信号完整性 (SI) 对于可靠的高速信号传输至关重要，因为由反射、阻抗失配、串扰或信号衰减引起的波形失真会导致数据损坏和通信故障。为了提供稳健性，这些接口在整个高速通道上定义了严格的 S 参数要求 (包括回波损耗 (S11) 和插入损耗 (S21))，以维持最佳性能。

例如，TI 全新的 FPD-Link 串行器/解串器现在可以通过单根同轴电缆支持高达 13.5Gbps 的数据速率，从而支持 4K+ 分辨率显示。完整的 FPD-Link™ 接口通道包括印刷电路板 (PCB)、无源元件、连接器和电缆。其中，PCB 布局设计在保持信号完整性方面起着关键作用。核心设计考量包括受控走线阻抗、元件和过孔的策略性布局、反焊盘尺寸调整、寄生电容减小等。

本应用手册以 FPD-Link 同轴电缆通道设计为例，重点介绍 PCB 通道设计要求以及旨在优化 PCB S 参数的可落地的布局设计指南。

内容

1 S 参数定义.....	3
1.1 插入损耗 (S21).....	3
1.2 回波损耗 (S11).....	3
2 FPD-Link™ 串行器主体的高速信号设计示例.....	4
2.1 设计示例概述.....	4
2.2 高速 FPD-Link 布局设计的要点.....	5
3 影响回波损耗的因素及优化指南.....	6
3.1 传输线路阻抗影响.....	6
3.2 交流耦合电容器贴装焊盘的影响及优化.....	7
3.3 穿孔连接器封装尺寸的影响及优化.....	9
3.4 通用信号过孔的影响及优化.....	13
3.5 ESD 二极管寄生电容的影响及优化.....	15
4 总结.....	17

插图清单

图 1-1. S 参数模型 — S11 和 S21.....	3
图 2-1. 串行器 PCB 上的 FPD-Link™ 通道结构.....	4
图 2-2. FPD-Link™ 串行器通道的 PCB 3D 模型.....	4
图 3-1. 用于阻抗计算的传输线路模型.....	6
图 3-2. 贴装焊盘和反焊盘的仿真模型.....	7
图 3-3. 使用不同反焊盘尺寸的回波损耗 (S11).....	8
图 3-4. 使用不同反焊盘尺寸的 TDR 阻抗.....	8
图 3-5. 穿孔连接器信号过孔的仿真模型.....	9
图 3-6. 使用不同连接器过孔反焊盘尺寸的回波损耗 (S11).....	10
图 3-7. 使用不同连接器过孔反焊盘尺寸的 TDR 阻抗.....	10

图 3-8. 使用不同接地过孔间距的回波损耗 (S11).....	11
图 3-9. 使用不同接地过孔间距的 TDR 阻抗.....	11
图 3-10. 带和不带 NFP 的焊盘堆叠结构.....	12
图 3-11. 带和不带 NFP 的回波损耗 (S11) 比较.....	12
图 3-12. 带和不带 NFP 的 TDR 阻抗比较.....	13
图 3-13. 通用信号过孔仿真模型.....	14
图 3-14. 使用不同过孔反焊盘尺寸和接地过孔间距的回波损耗 (S11).....	14
图 3-15. 使用不同反焊盘尺寸和接地过孔间距的 TDR 阻抗.....	15
图 3-16. 不同 ESD 二极管电容下的回波损耗 (S11).....	16
图 3-17. 在 ESD 二极管附近使用和不使用缩窄走线的仿真模型.....	16
图 3-18. 在 ESD 二极管附近使用和不使用缩窄走线的回波损耗 (S11).....	17

商标

FPD-Link™ is a trademark of Texas Instruments.

Ansys® is a registered trademark of ANSYS, Inc.

所有商标均为其各自所有者的财产。

1 S 参数定义

S 参数或散射参数是一组完整描述网络在给定频率下的电气行为的值。S 参数对从一个端口反射或传输的功率波与入射到另一个端口的功率波的比率进行了量化。S 参数广泛用于表征射频和高速数字元件和系统。图 1-1 展示了包含 S11 和 S21 的简化 S 参数模型。

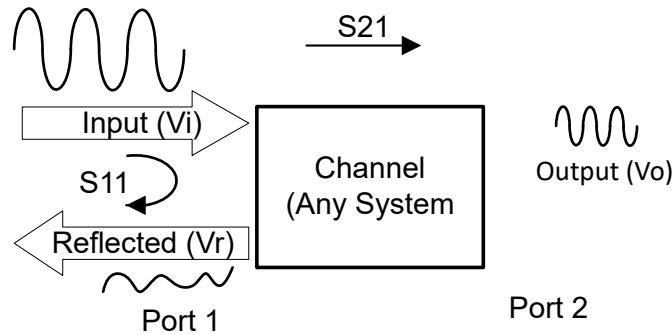


图 1-1. S 参数模型 — S11 和 S21

1.1 插入损耗 (S21)

下面的列表介绍了插入损耗 (S21)。

- 对由插入传输路径的元件（例如电缆、连接器和 PCB 走线）引起的信号功率衰减进行量化。
- 通常以分贝 (dB) 为单位表示。

$$S21(\text{dB}) = 20 \times \log_{10}\left(\frac{V_{\text{output}}}{V_{\text{input}}}\right) \quad (1)$$

- 绝对值越高，表明信号衰减越大，进而会降低数据吞吐量并导致通信错误。
- 主要影响因素：传输线路电阻、PCB 介电质损耗、阻抗失配和元件吸收或元件散射。

1.2 回波损耗 (S11)

下面的列表介绍了回波损耗 (S11) 的特性。

- 测量传输路径中因阻抗不匹配导致的反射功率。
- 以分贝 (dB) 为单位表示。

$$S11(\text{dB}) = 20 \times \log_{10}\left(\frac{V_{\text{reflected}}}{V_{\text{input}}}\right) \quad (2)$$

- 绝对值越高，表示阻抗匹配越好，反射功率越低。

备注

本应用手册的核心关注点是更大限度提高走线阻抗，从而增强回波损耗 (S11) 性能。通过缩短走线长度或采用低损耗电介质材料，可以更大限度地降低插入损耗 (S21)。相比之下，S11 的管理难度更大，因为 S11 需要在整个信号路径中实现严格的阻抗控制。阻抗控制是成功设计的关键，因为这种控制不仅可直接增强 S11，还可通过减轻反射和能量耗散来间接优化 S21。

2 FPD-Link™ 串行器主体的高速信号设计示例

2.1 设计示例概述

本节介绍了一个基于 FPD-Link 串行器的设计示例。该串行器用于通过单个同轴电缆通道将视频数据传输到远程显示器，数据速率高达 13.5Gbps，支持 4K 显示。所有后续分析和仿真都基于该示例。图 2-1 给出展示了串行器 PCB 上的总 FPD-Link 通道结构。图 2-2 是 FPD-Link 串行器通道的相应 PCB 3D 模型。

主要设计规格：

- PCB 堆叠结构：此示例基于标准 FR-4 材料的六层堆叠结构（介电常数 $Dk = 4.3$ ，耗散因子 $Df = 0.02$ ）。
- 主要元件：整个 FPD-Link 串行器通道包括一个 IC 引脚、单端传输线路、ESD 二极管、交流耦合电容器、信号过孔和穿孔同轴电缆连接器。
- 临界频率点：FPD-Link 线路速率高达 10.8GHz 和 13.5GHz，支持 4K+ 分辨率显示器，相关频率是线路速率的一半，即 5.4GHz 和 6.75GHz。

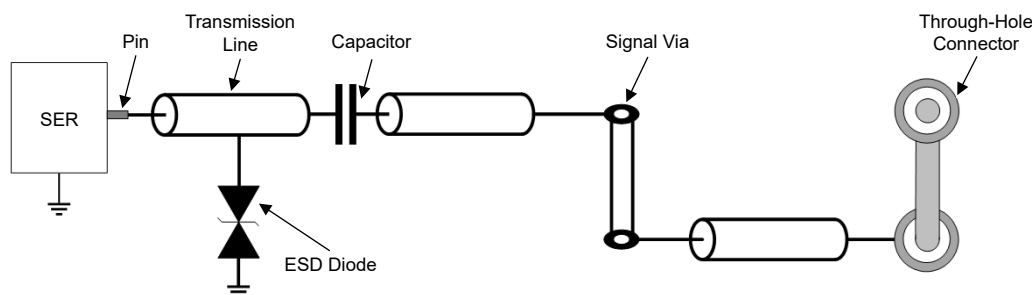


图 2-1. 串行器 PCB 上的 FPD-Link™ 通道结构

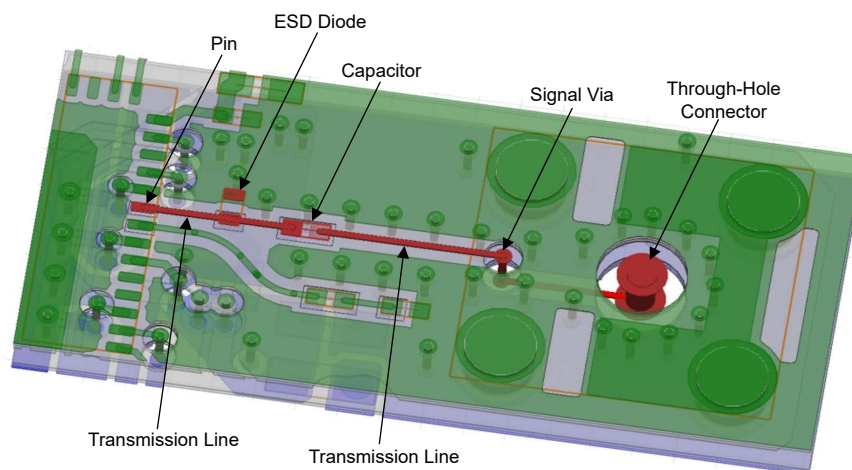


图 2-2. FPD-Link™ 串行器通道的 PCB 3D 模型

2.2 高速 FPD-Link 布局设计的要点

在高速信号设计中，需要采用适当的 PCB 布局才能实现最佳的信号完整性。通用指南侧重于控制信号反射、衰减和串扰。

- 反射控制：
 - 由阻抗不连续性（例如过孔、连接器、走线宽度变化）引起
 - 信号反射会降低回波损耗 (S11)
 - 需要在整个信号路径上保持一致的 50 Ω 单端阻抗
- 衰减控制：
 - 由 PCB 基板中的导体电阻和电介质损耗引起
 - 衰减会降低信号振幅和边沿锐度，进而降低插入损耗 (S21)
 - 使用低损耗电介质 PCB 材料或缩短走线长度，以更大限度地减少衰减
- 串扰控制：
 - 由相邻信号走线之间的电磁耦合引起
 - 串扰会引起噪声、计时抖动和逻辑误差
 - 增加高速走线之间的间距，并添加接地屏蔽，以更大限度地减少串扰

由于反射控制是最具挑战性的方面，因此本应用手册对关键因素和设计变量进行了分析和优化，以便通过仿真实现更好的反射性能。这有助于设计人员解决由电容器贴装焊盘、ESD 二极管寄生电容、信号过孔和穿孔连接器引起的回波损耗下降问题。下面的列表着重介绍了优化要点：

- 传输线路阻抗控制：
 - 维持 50 Ω 单端布线，将阻抗控制在 ±5%
 - 确保高速走线上方或下方的参考平面完整
 - 将高速走线作为顶层或底层的微带线进行布线，以避免出现任何残桩
- 下面列出了元件级别的阻抗控制：
 - 交流耦合电容器贴装焊盘
 - ESD 二极管贴装焊盘和固有寄生电容
 - 穿孔连接器封装
- 穿孔信号过孔的阻抗控制：
 - 尽量减少信号过孔数量，消除过孔残桩
 - 优化信号过孔反焊盘并添加接地过渡过孔，以更大限度地降低阻抗不连续性

总之，高速串行器/解串行器布线的关键原则是**精密控制阻抗**。这需要在整个信号路径上保持一致的 50 Ω 阻抗分布，即使走线通过过孔换层或穿过 ESD 二极管或电容器区域。

下一节将详细分析所有这些优化要点。其中提供了设计模型、回波损耗与时域反射 (TDR) 阻抗仿真结果，以及优化 PCB S 参数的可落地的布局设计建议。

3 影响回波损耗的因素及优化指南

本节详细说明了高速 FPD-Link 布局设计的优化要点，并根据设计模型和仿真结果为每个要点提供了相应的优化建议。

3.1 传输线路阻抗影响

图 3-1 展示了设计示例中使用的传输线路模型。PCB 传输线路的阻抗由走线宽度、走线厚度、基板高度、走线与覆铜间隙、PCB 介电常数 (Dk) 和走线上方涂层的相互作用决定。

- 走线宽度：更宽的走线会增加信号走线和参考平面之间的电容耦合，进而降低阻抗。
- 走线厚度：更厚的走线会增加与参考平面的电容耦合，这会略微降低阻抗。
- 基板高度：更薄的电介质层（信号走线与参考平面之间的距离更小）会增加电容耦合，进而降低阻抗。
- 走线与覆铜间隙（接地带间距）：走线与相邻覆铜的间距减小，与邻近覆铜的边缘电容耦合就会增加。这会增加寄生电容，进而降低阻抗。
- PCB 介电常数 (Dk)：较高的介电常数会增加走线和参考平面之间的电容，进而降低阻抗。
- 阻焊层和焊锡涂层：阻焊层和焊锡涂层会在信号走线上增加一层电介质。这会增加走线附近的有效介电常数 (Dk) 并降低阻抗。

要获得一致的 $50\ \Omega$ 传输线路阻抗：

- 确保整个信号路径上的走线宽度和间距一致。
- 在 PCB 制造中，由于固有的蚀刻系数，蚀刻铜走线会出现畸变和不规则的矩形截面。最终截面呈梯形结构。在此设计示例中，上部走线宽度为 5.3mil，而下部宽度为 6.3mil。请让这些几何尺寸与 PCB 制造商的工艺能力保持一致。

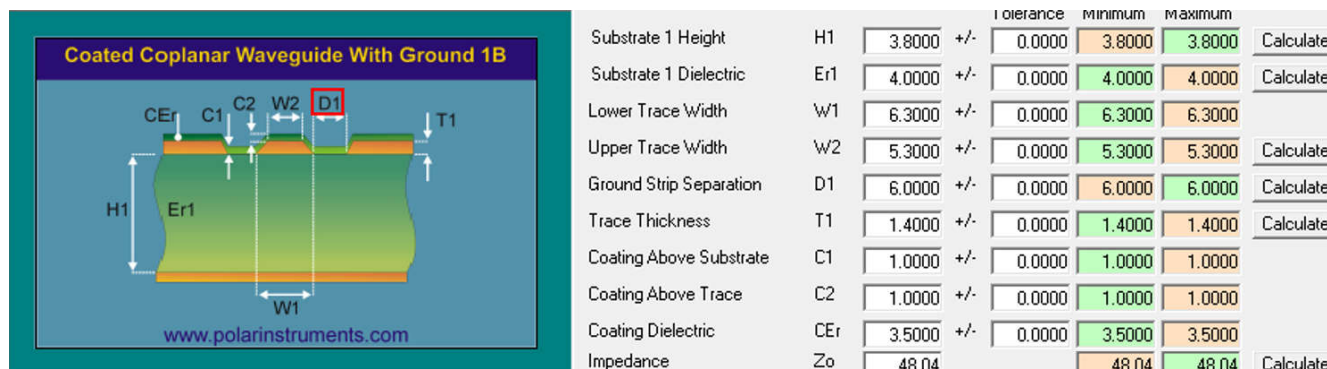


图 3-1. 用于阻抗计算的传输线路模型

关于传输线路阻抗的核心建议：

- 使用阻抗计算器确定最大阻抗参数
- 考虑到间距的影响，较小的走线与覆铜间距可以将阻抗降低 $2\ \Omega$ 到 $3\ \Omega$
- 考虑到阻焊层的影响，阻焊层可以将走线上的阻抗降低 $2\ \Omega$ 到 $3\ \Omega$
- 将所制造 PCB 的阻抗控制保持在 $50\ \Omega \pm 5\%$ 范围内

3.2 交流耦合电容器贴装焊盘的影响及优化

电容器贴装焊盘可能显著降低走线阻抗。当走线穿过交流耦合电容器时，表面贴装焊盘的尺寸通常比信号走线更宽。走线几何形状的突然变化会在焊盘和相邻参考平面之间引入额外的寄生电容，进而损害阻抗连续性。

3.2.1 缓解策略：反焊盘实现

为了抵消焊盘引入的阻抗偏差，可在相邻参考层（例如第 2 层）的贴装焊盘下方创建接地切口（反焊盘）。这会迫使焊盘以更远的层（例如第 3 层）作为基准，从而有效地增加电介质厚度并提高阻抗以抵消较大焊盘的电容效应。

反焊盘的尺寸需要仔细考量。超大或过小的反焊盘可能会破坏电磁场并影响走线与参考平面之间的信号耦合，进而影响信号阻抗。

理想的反焊盘尺寸取决于电介质厚度、走线宽度和焊盘尺寸等各种因素。使用仿真工具（例如 Ansys® HFSS）分析焊盘效应并确定最理想的反焊盘尺寸。

3.2.2 使用 Ansys® HFSS 的仿真结果

以下仿真结果评估了设计示例中反焊盘尺寸对回波损耗和阻抗连续性的影响：

- 图 3-2：贴装焊盘和反焊盘结构的仿真模型。
- 图 3-3：使用不同反焊盘尺寸的回波损耗 (S11) 仿真结果。
- 图 3-4：使用不同反焊盘尺寸的 TDR 阻抗仿真结果。

重要观察结果：

- 如果没有反焊盘（红色曲线），阻抗偏差最大，回波损耗 (S11) 会显著降低。
- 不同的反焊盘尺寸会得到不同的阻抗变化和回波损耗 (S11) 性能。
- 在本设计示例中，反焊盘尺寸是贴装焊盘宽度的 1.4 倍时，实现了最佳的回波损耗 (S11) 性能。

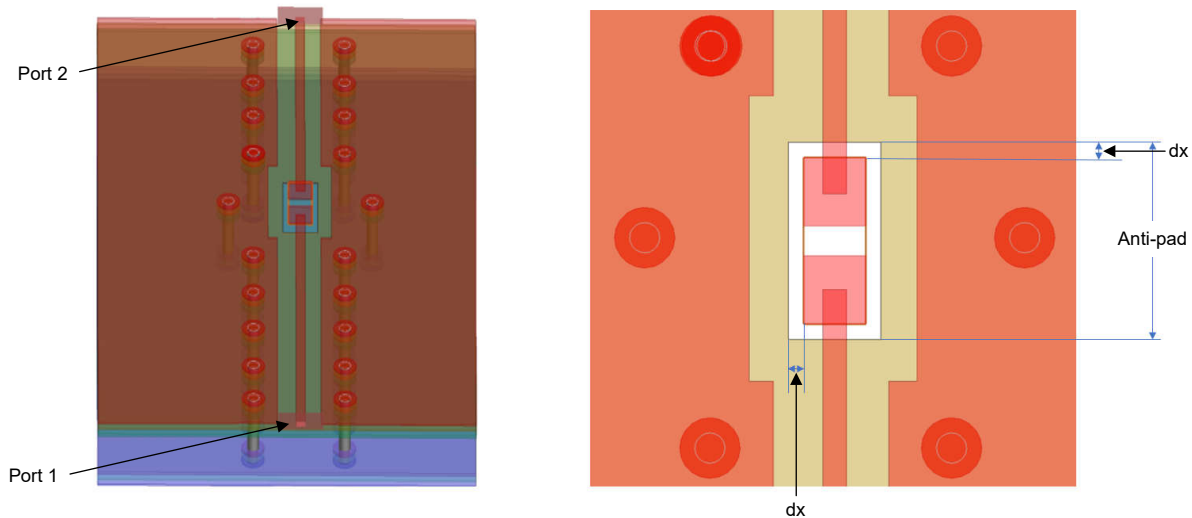


图 3-2. 贴装焊盘和反焊盘的仿真模型

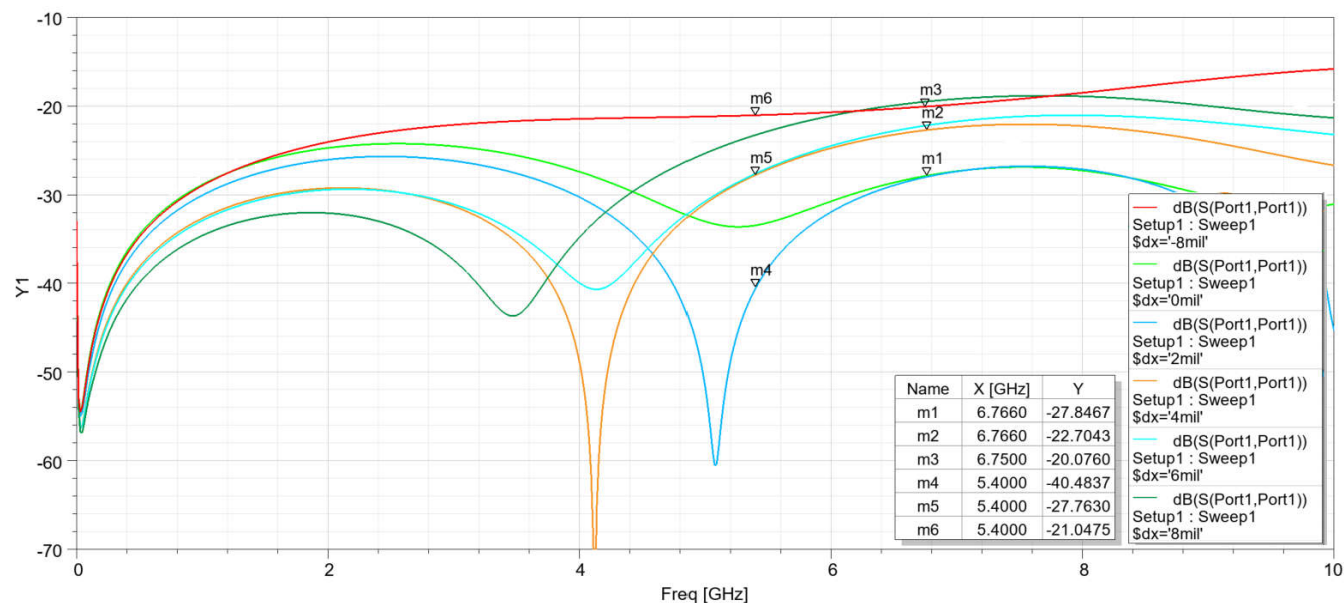


图 3-3. 使用不同反焊盘尺寸的回波损耗 (S11)

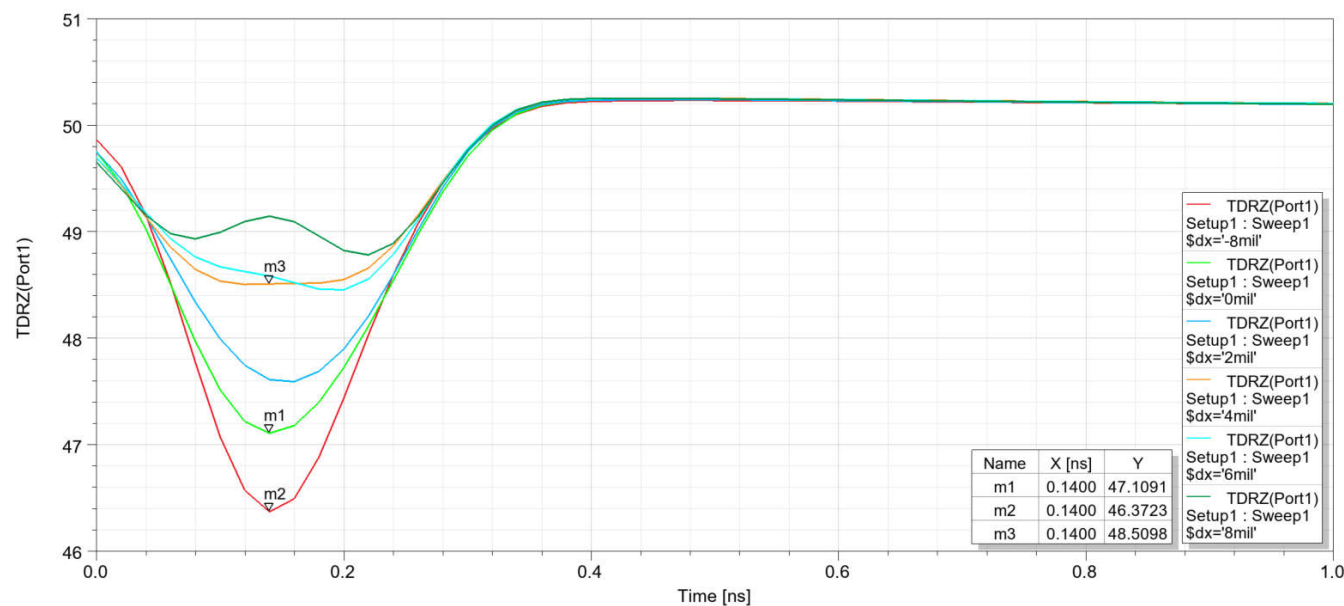


图 3-4. 使用不同反焊盘尺寸的 TDR 阻抗

交流耦合电容器贴装焊盘的核心建议：

- 当贴装焊盘尺寸大于匹配的 $50\ \Omega$ 高速走线宽度 (例如 IC 引脚、交流耦合电容器、ESD 二极管、线路故障电阻器) 时，在元件下方使用反焊盘。
- 反焊盘的尺寸取决于具体的 PCB 堆叠结构，建议执行高速仿真来确定合适的反焊盘尺寸。
- 如果可能，请选择高速走线宽度与最大元件焊盘尺寸 (例如 0402 焊盘尺寸) 匹配的 PCB 堆叠结构。这种方法有助于消除对元件下方的反焊盘的需求，并具有出色的阻抗连续性。

3.3 穿孔连接器封装尺寸的影响及优化

要更大限度地减少信号反射以实现良好的回波损耗性能，连接器封装尺寸至关重要。强烈建议设计人员基于电路板堆叠结构来对连接器封装尺寸进行仿真。

3.3.1 穿孔连接器过孔反焊盘的影响

穿孔连接器信号过孔周围的接地间隙也称为过孔反焊盘，会因对寄生电容和过孔返回电流路径的影响而显著影响走线阻抗。更大的反焊盘可降低信号过孔与接地平面之间的寄生电容，进而增加阻抗，而更小的反焊盘会降低阻抗。恰当的反焊盘尺寸对于更大限度地减少阻抗不连续性至关重要。

3.3.1.1 使用 Ansys® HFSS 的仿真结果

本节展示了使用 Ansys HFSS 的仿真结果：

- 图 3-5：穿孔连接器信号过孔的仿真模型
- 图 3-7：使用不同连接器过孔反焊盘尺寸的回波损耗 (S11) 仿真结果
- 图 3-7：使用不同连接器过孔反焊盘尺寸的 TDR 阻抗仿真结果

反焊盘尺寸过大和不足都会导致信号阻抗显著降低或增加，并导致回波损耗降低。

在本设计示例中，反焊盘的直径为 42mil，可减少阻抗变化并提高回波损耗性能。

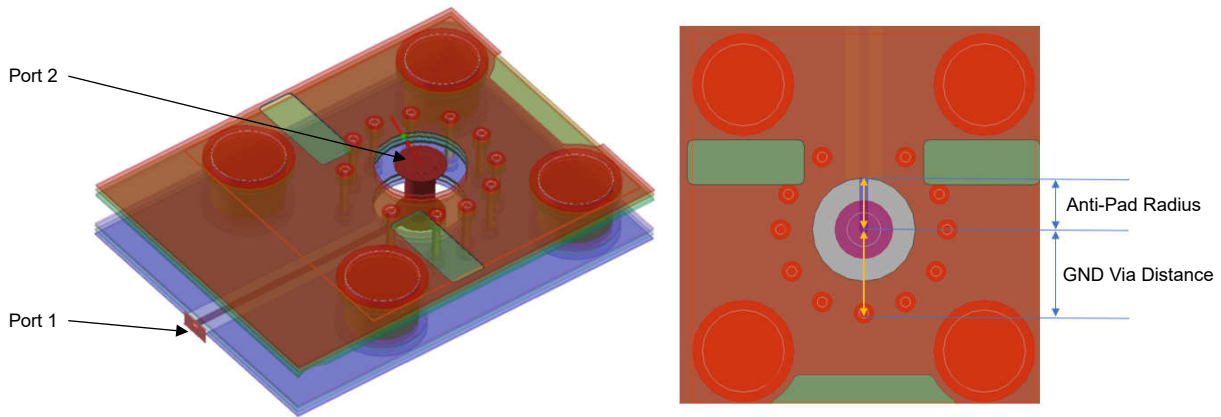


图 3-5. 穿孔连接器信号过孔的仿真模型

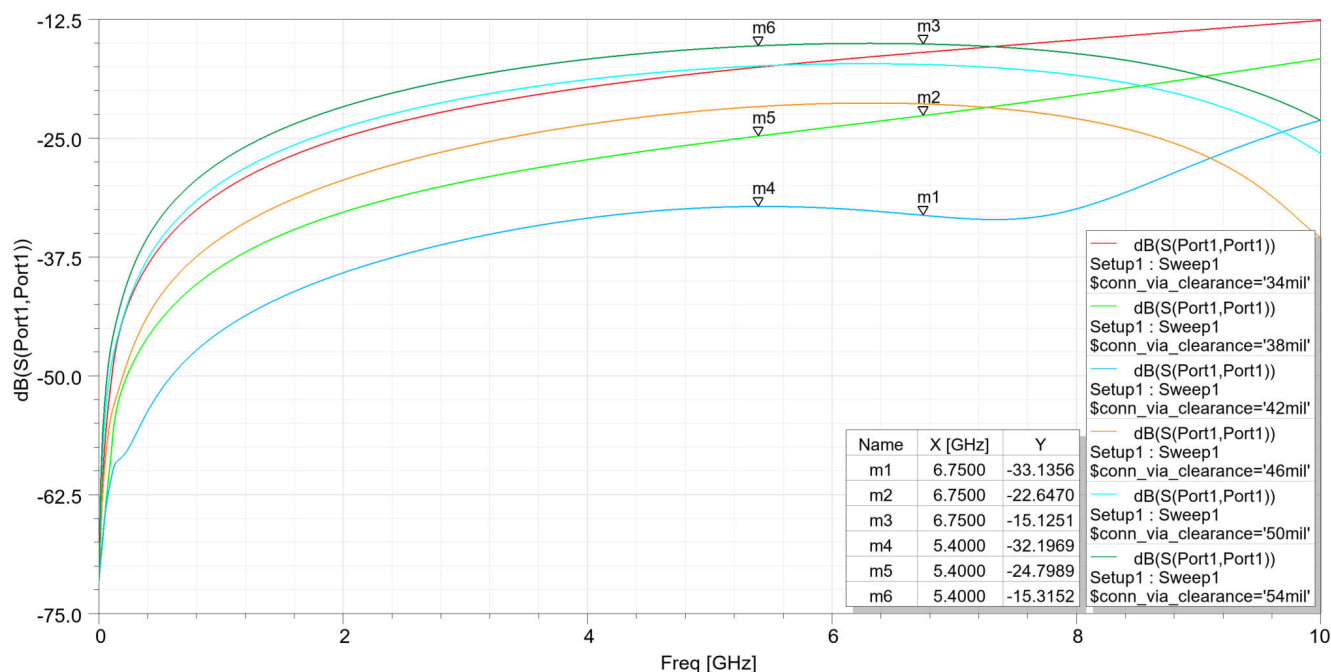


图 3-6. 使用不同连接器过孔反焊盘尺寸的回波损耗 (S11)

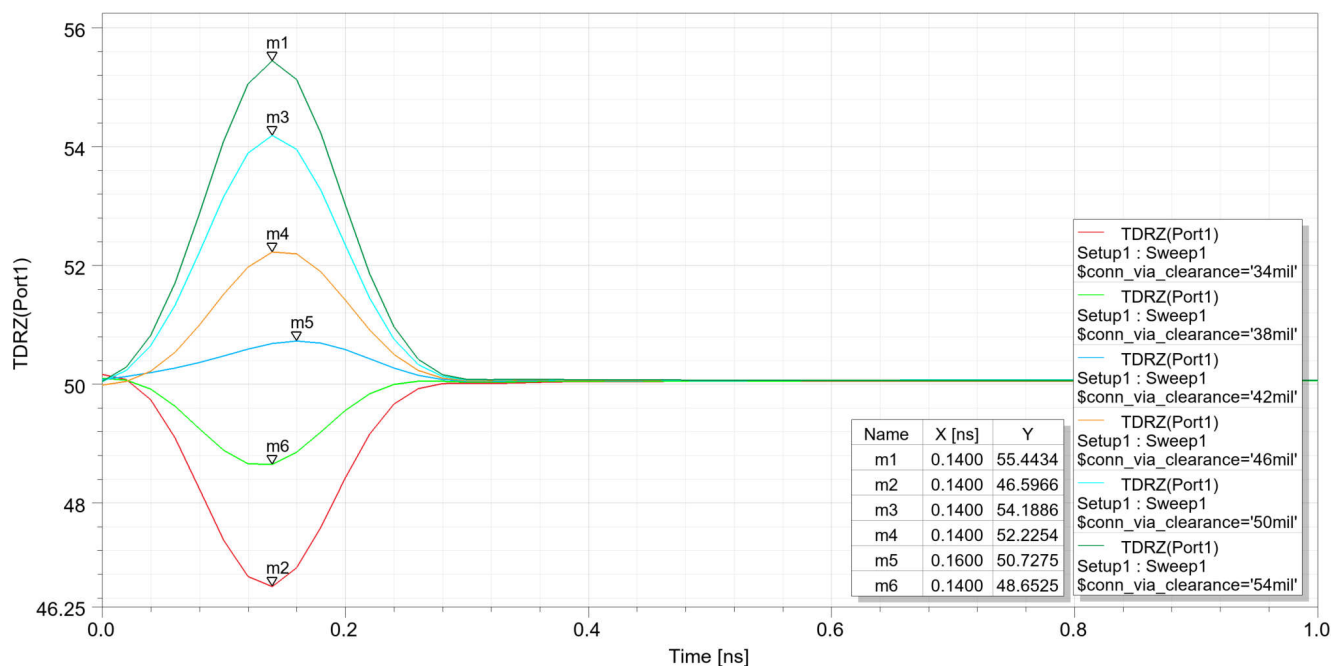


图 3-7. 使用不同连接器过孔反焊盘尺寸的 TDR 阻抗

3.3.2 周围接地过孔的影响

TI 建议在信号过孔周围环形排列接地过孔，因为接地过孔间距直接影响着阻抗稳定性。更近的接地过孔可缩短返回电流路径，从而更大地减小环路电感并保持稳定的阻抗。更宽的间距会增加电感，进而降低高频性能。

3.3.2.1 仿真结果 (周围接地过孔的影响)

本节提供了周围接地过孔影响的仿真结果：

- 图 3-8：使用不同接地过孔间距的回波损耗 (S11)
- 图 3-9：使用不同接地过孔间距的 TDR 阻抗仿真结果

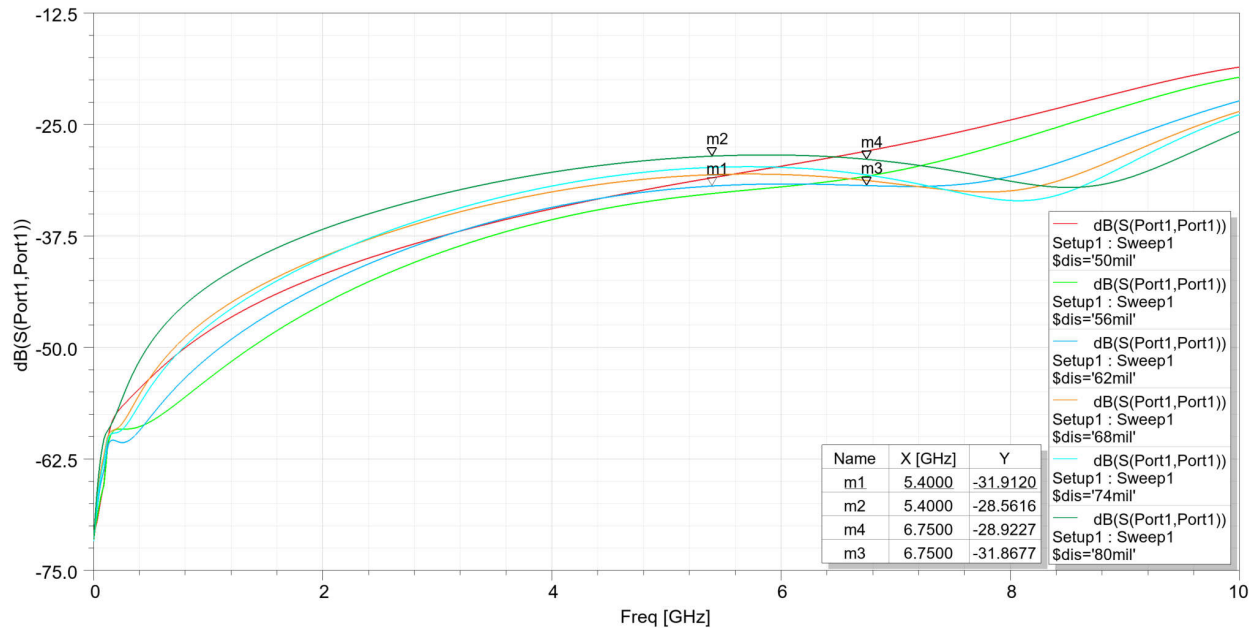


图 3-8. 使用不同接地过孔间距的回波损耗 (S11)

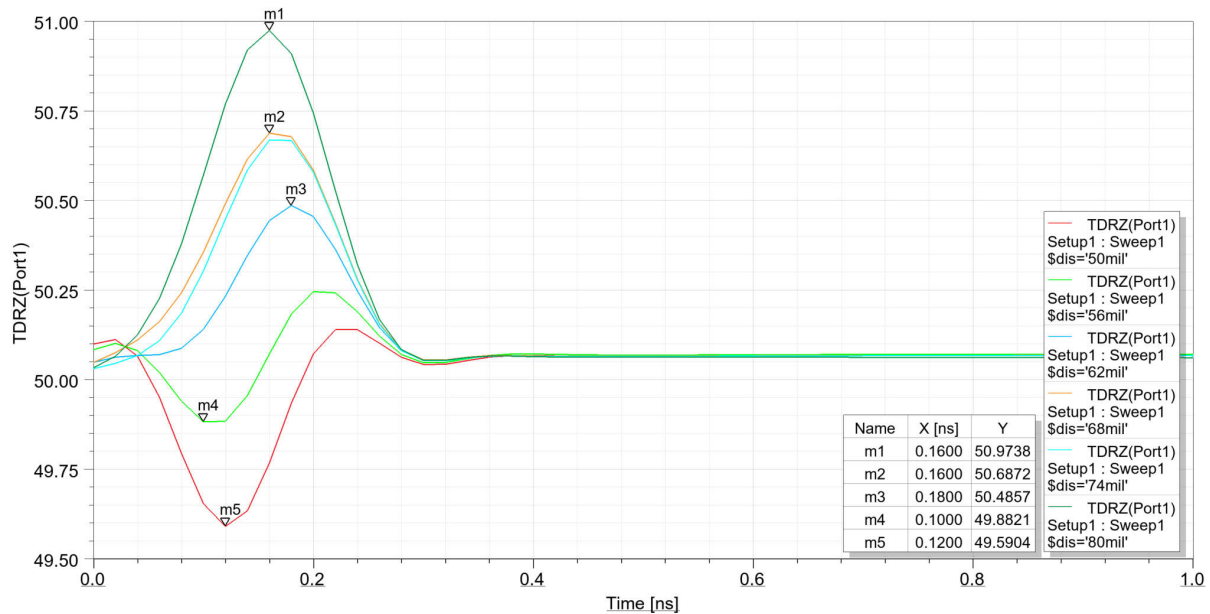


图 3-9. 使用不同接地过孔间距的 TDR 阻抗

图 3-6 至 图 3-9 的仿真结果表明，由于对电容的直接影响，反焊盘尺寸是连接器信号过孔阻抗控制的主要因素；但是接地过孔间距对于控制阻抗也很重要，不能忽略。

3.3.3 非功能性焊盘影响

在高速 PCB 设计中，未连接的过孔层上的非功能性焊盘 (NFP) 经常被忽视，但 NFP 会带来严重的信号完整性风险。NFP 会增加寄生电容 (每层 0.1pF 至 0.3pF) 和残桩，进而降低阻抗并降低回波损耗。

3.3.3.1 仿真结果 (非功能性焊盘影响)

本节提供了非功能性焊盘影响的仿真结果：

- 图 3-10：中间层中不带和不带 NFP 的焊盘堆叠结构
- 图 3-11：带和不带 NFP 的回波损耗 (S11)
- 图 3-12：带和不带 NFP 的 TDR 阻抗仿真结果

NFP 会严重影响回波损耗性能，开发人员建议移除未连接的层上的非功能性焊盘。

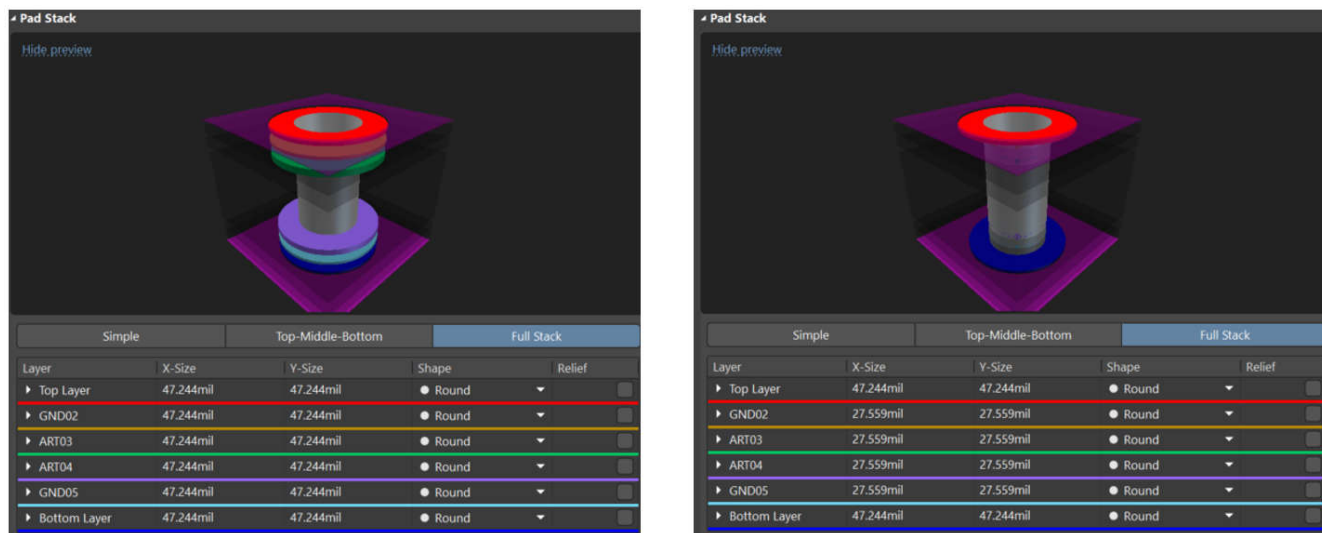


图 3-10. 带和不带 NFP 的焊盘堆叠结构

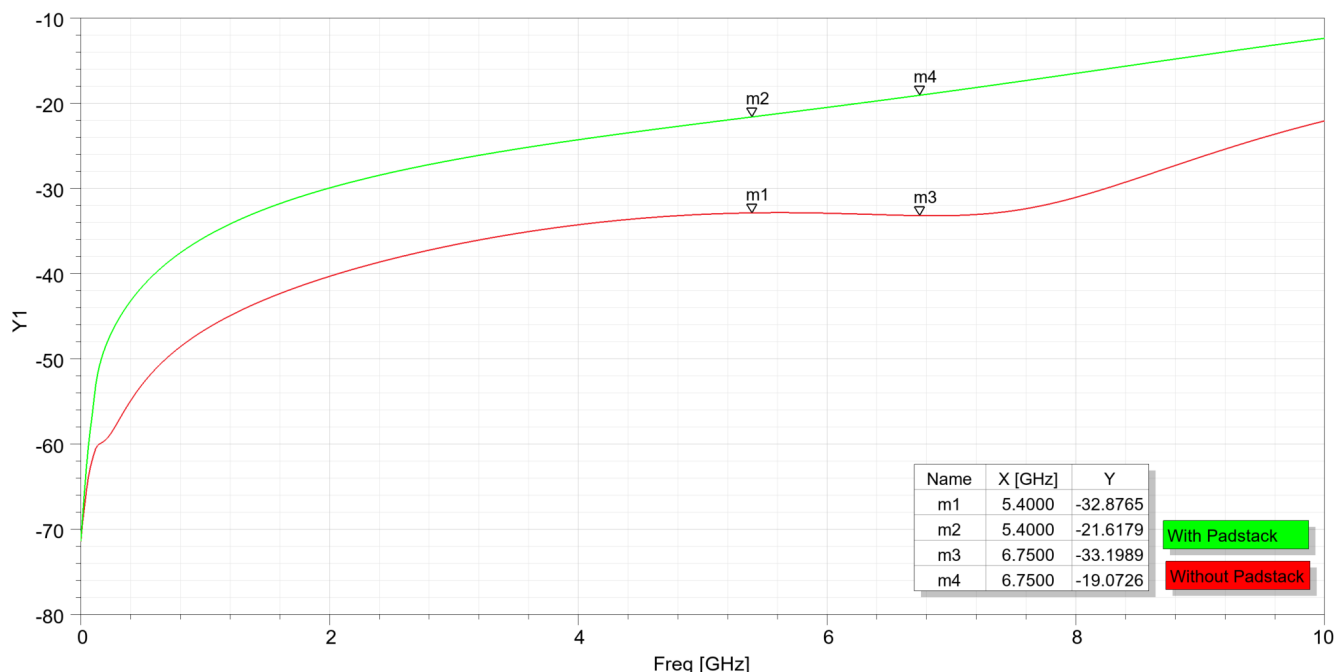


图 3-11. 带和不带 NFP 的回波损耗 (S11) 比较

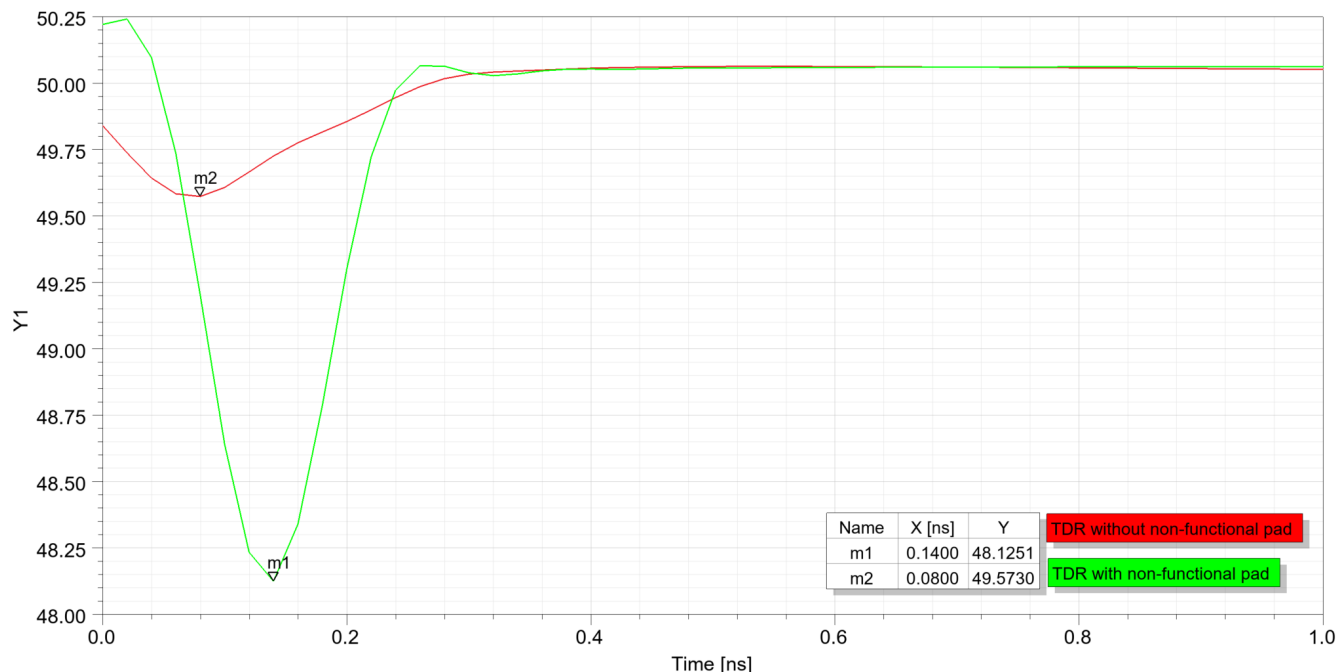


图 3-12. 带和不带 NFP 的 TDR 阻抗比较

关于穿孔连接器封装的核心建议：

- 开发人员强烈建议根据电路板堆叠结构来仿真连接器尺寸。
- 连接器信号过孔反焊盘尺寸是阻抗控制的主导因素；在设计中需要仔细考量。
- 添加周围接地过孔时，接地过孔间距也会影响阻抗，需要加以考虑。
- 移除未使用的层上的 NFP。
- 遵循连接器供应商提供的封装尺寸建议。

3.4 通用信号过孔的影响及优化

通用信号过孔类似于节 3.3 中分析的连接信号过孔。两种过孔都需要优化反焊盘尺寸和接地过孔间距，以控制寄生电容和电感，从而保持阻抗连续性。图 3-13 展示了一种通用信号过孔的仿真模型，其中包括具有可变反焊盘间距的相邻接地平面和以四过孔象限配置排列的对称接地过孔。

3.4.1 仿真结果

本节提供了通用信号过孔的影响及优化的仿真结果：

- 图 3-14 比较了反焊盘半径 (18-26mil) 和接地过孔间距 (26-42mil) 对回波损耗 (S11) 性能的影响。
- 作为参考，图 3-15 展示了使用不同过孔反焊盘尺寸和接地过孔间距的 TDR 阻抗曲线。

在这个特定的设计示例中，可能最佳的组合是 18mil 反焊盘和 26mil 接地过孔间距，这可以在 6.75GHz 下实现 $S_{11} < -30\text{dB}$ 。这种高风险组合为大反焊盘 (26mil) + 宽间距 (42mil)，会导致 S_{11} 在 6.75GHz 下衰减至 14.7dB。

关于通用信号过孔的核心建议包括：

- 在信号过孔周围实现四过孔象限配置，以增强返回电流路径。
- 根据仿真来选择反焊盘尺寸和接地过孔间距的最佳组合。
- 移除未使用的层上的非功能性焊盘 (NFP)。

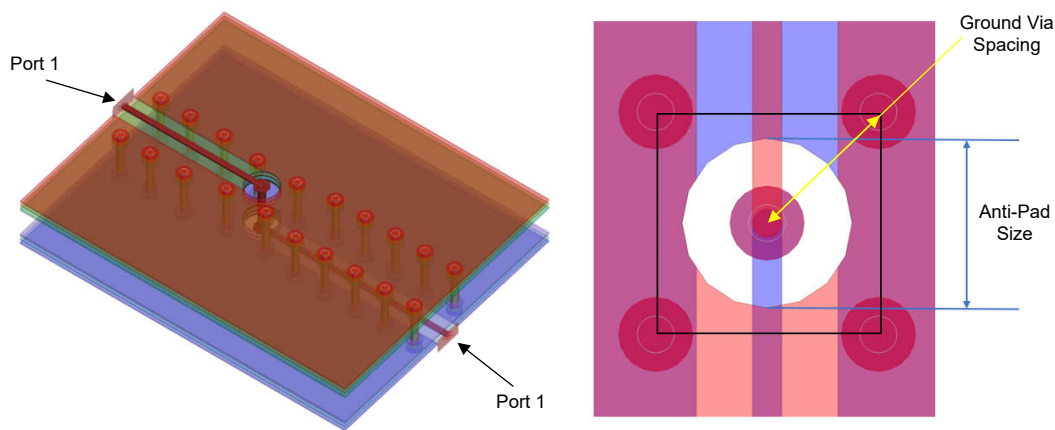


图 3-13. 通用信号过孔仿真模型

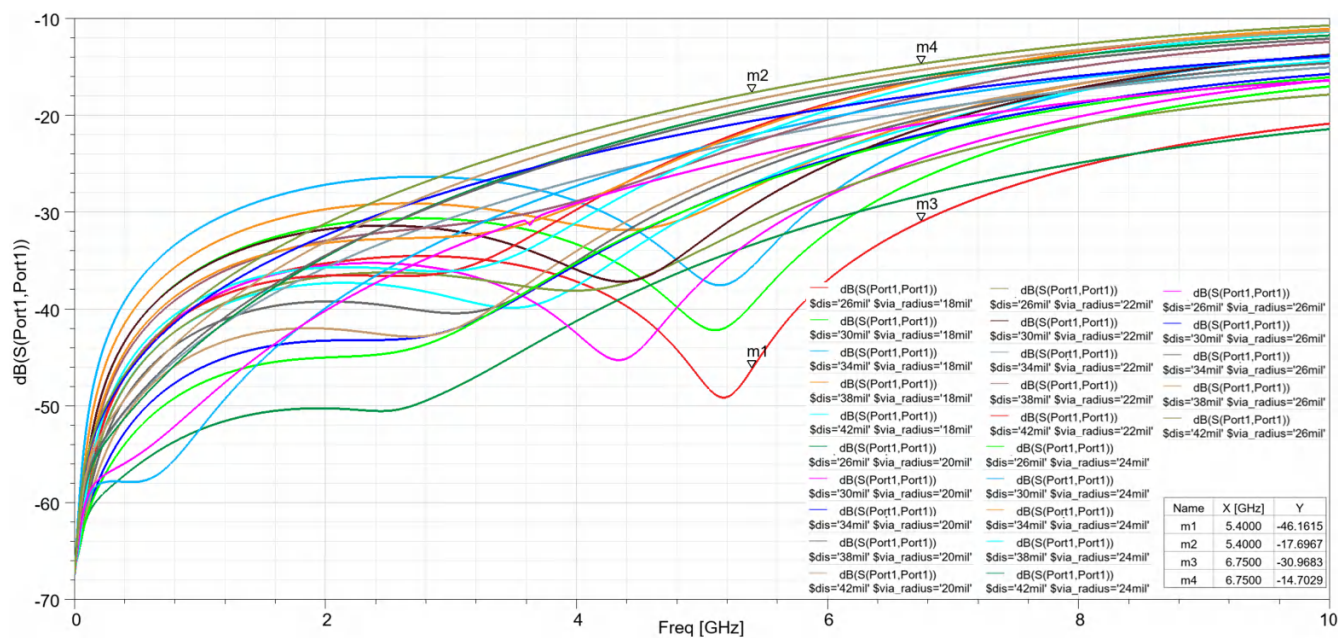


图 3-14. 使用不同过孔反焊盘尺寸和接地过孔间距的回波损耗 (S11)

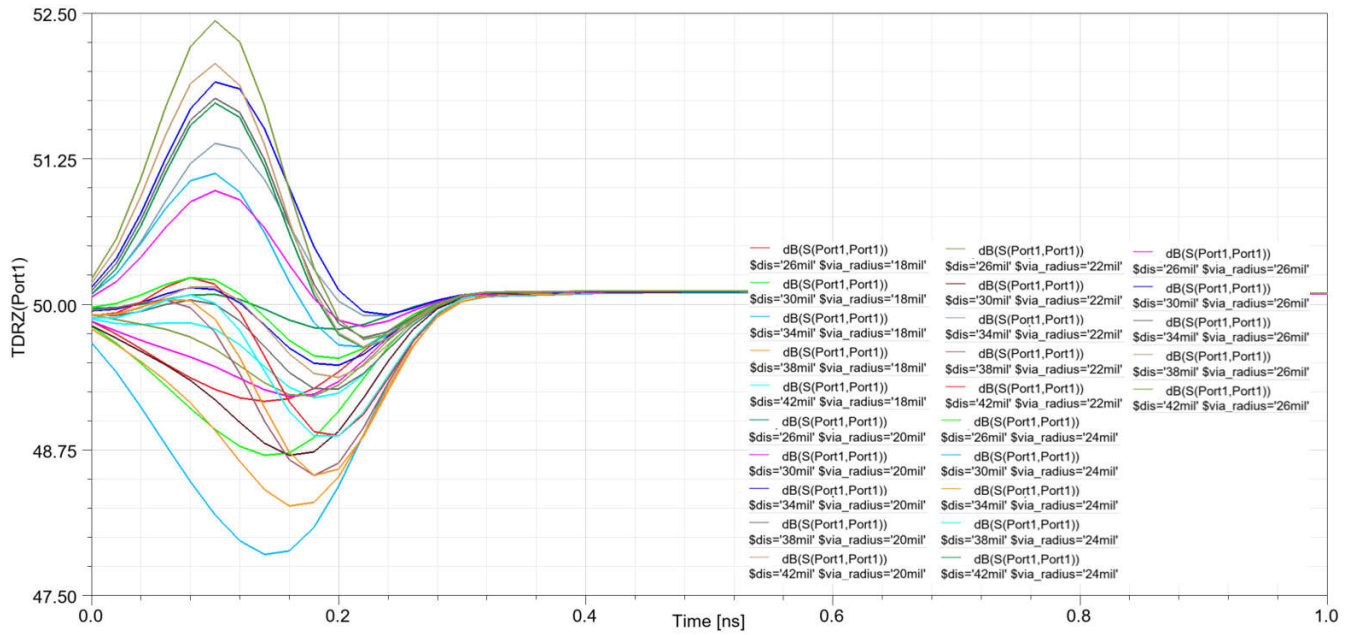


图 3-15. 使用不同反焊盘尺寸和接地过孔间距的 TDR 阻抗

3.5 ESD 二极管寄生电容的影响及优化

ESD 二极管固有的寄生电容会显著降低高速应用中的信号完整性。例如，在 6.75GHz 下，0.2pF 的寄生电容会对回波损耗 (S11) 产生如下影响：

1. 方程式 3 是电容性电抗的详细计算公式。

$$Z_c = \frac{1}{j\omega C} = -j \frac{1}{2\pi f C} = -j \frac{1}{2\pi \times 6.75\text{GHz} \times 0.2\text{pF}} = -118j\Omega \quad (3)$$

2. 方程式 4 可计算 50 Ω 传输线路的并联阻抗。

$$Z_{\text{parallel}} = \frac{50 \times (-118j)}{50 - 118j} \quad (4)$$

3. 方程式 5 可计算回波损耗降低。

$$\text{Return loss (dB)} = 20\log_{10} \left| \frac{Z_{\text{parallel}} - 50}{Z_{\text{parallel}} + 50} \right| = -13.7\text{dB} \quad (5)$$

假设 6.75GHz 下的原始回波损耗为 -30dB (高速接口的典型值)，0.2pF 电容导致的降低约为 16.3dB。

如 图 3-16 所示，随着 ESD 二极管电容的增加，整个 PCB 通道内的回波损耗 (S11) 会逐渐恶化。

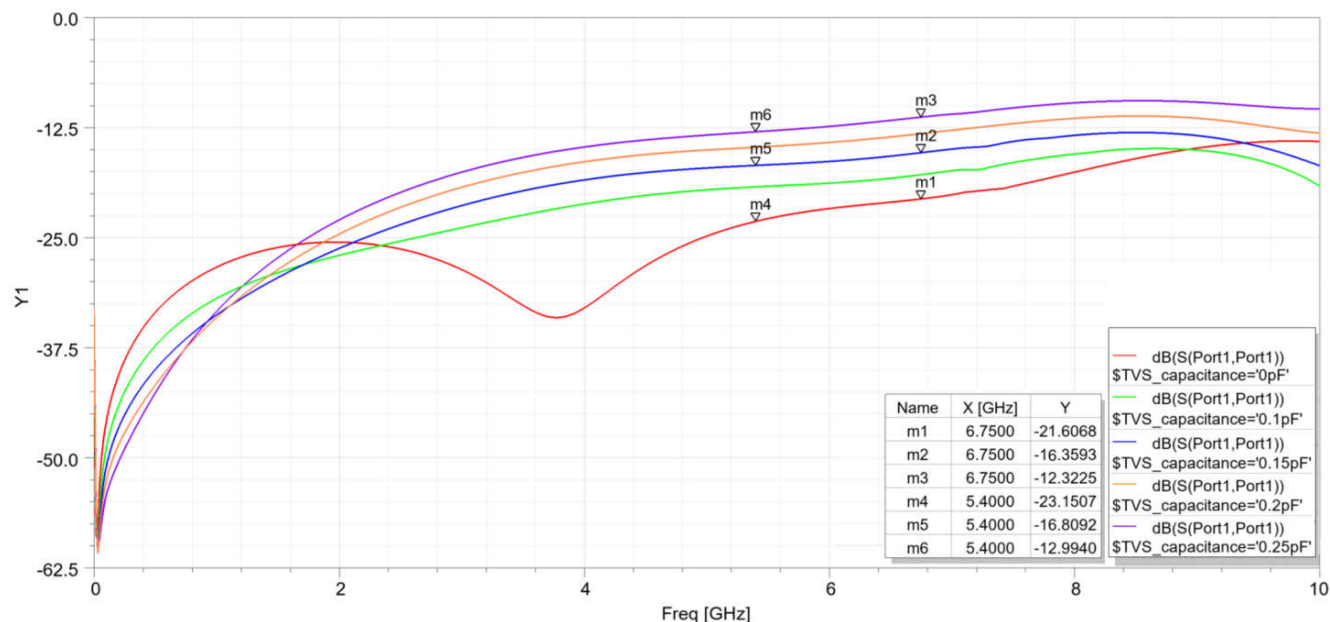


图 3-16. 不同 ESD 二极管电容下的回波损耗 (S11)

ESD 二极管固有电容和 ESD 二极管贴装焊盘的寄生电容都会严重影响阻抗和回波损耗性能。因此，有必要对这种电容效应进行补偿。

- 在 ESD 二极管下方使用反焊盘是补偿寄生电容的可行选择。
- 如果反焊盘不足以补偿电容：
 - 在更多层上设置反焊盘，使信号走线以更深的接地层为基准。例如，在第 2 层和第 3 层设置反焊盘，并让信号以第 4 层为基准。这会增加电介质厚度，从而提高阻抗以抵消电容效应。
 - 稍微缩窄 ESD 二极管附近的走线以补偿电容。缩窄走线会引入更高的电感，将原始寄生电容转换为电感器-电容器-电感器 (L-C-L) T 线圈模型，从而可以有效补偿电容引起的阻抗压降。

图 3-17 是略微缩窄 ESD 二极管附近走线并放大反焊盘以补偿寄生电容效应的示例。

图 3-18 比较了缩窄走线设计和原始走线设计 (ESD 二极管寄生电容 = 0.2pF) 的整个 PCB 通道回波损耗 (S11)。优化后，整个 PCB 通道 (从 IC 引脚到连接器过孔) 的回波损耗在 6.75GHz 时降低 3dB，在 5.4GHz 时降低 4dB。

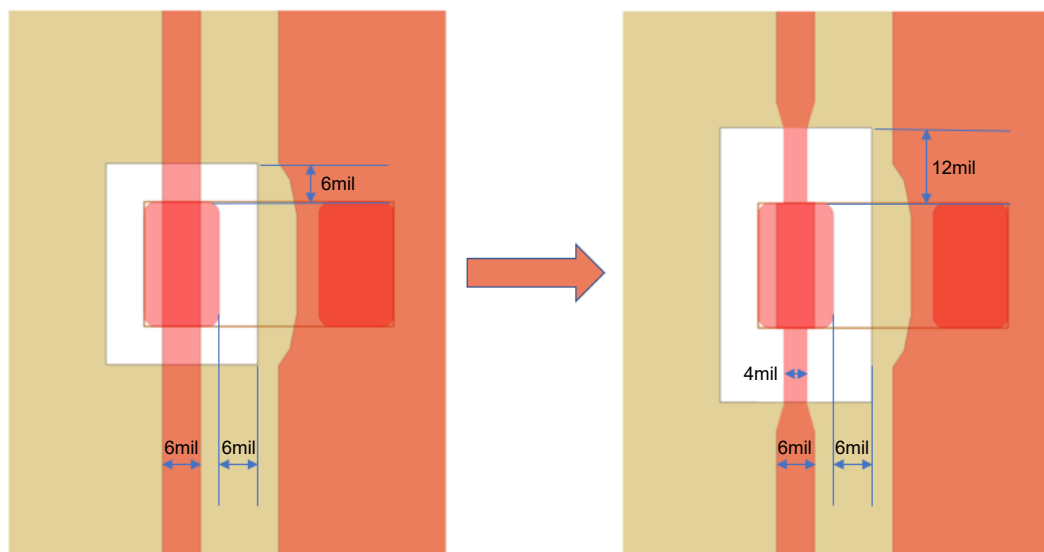


图 3-17. 在 ESD 二极管附近使用和不使用缩窄走线的仿真模型

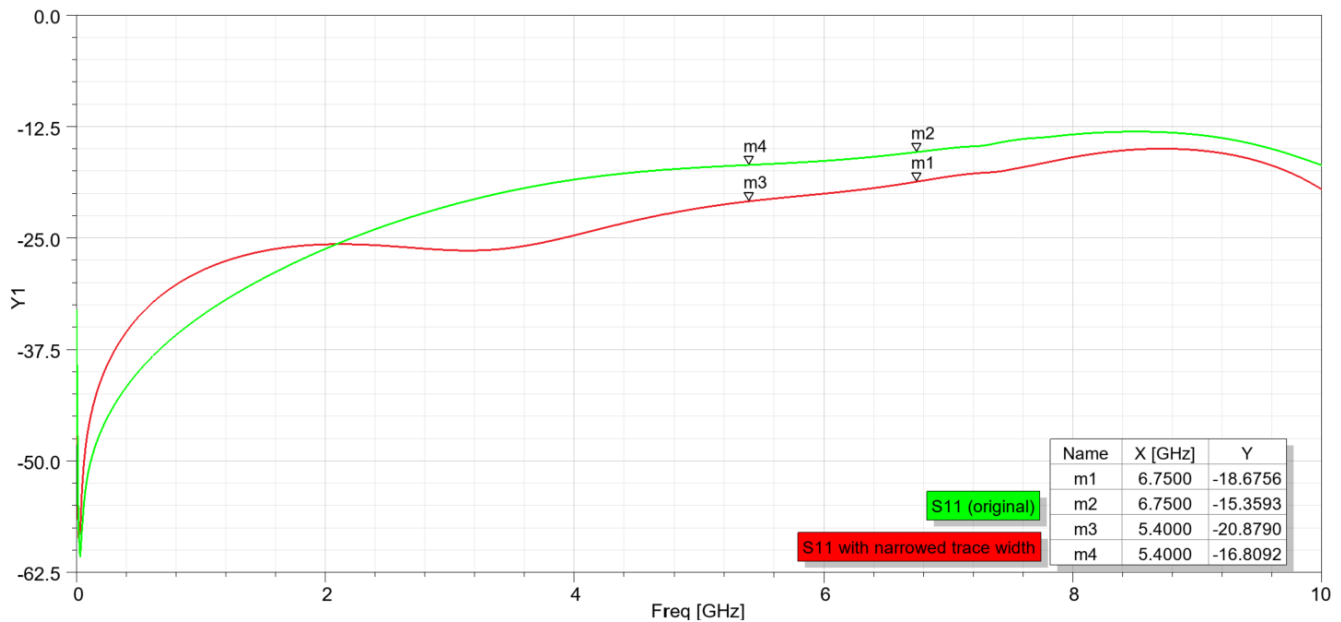


图 3-18. 在 ESD 二极管附近使用和不使用缩窄走线的回波损耗 (S11)

关于 ESD 二极管的核心建议：

- 尽可能降低 ESD 二极管的电容值 ($\leq 0.2\text{pF}$)。增加的寄生电容会降低回波损耗和插入损耗性能。
- 在 PCB 布局设计中使用补偿技术（例如在 ESD 二极管下方添加单层或多层接地切口（反焊盘），或者缩窄 ESD 二极管附近的走线宽度），以补偿电容影响。
- 将 ESD 二极管直接置于高速走线上，以避免产生任何残桩。
- 按应用场景放置 ESD 二极管。对于需要电池短路测试的系统，可以将 ESD 二极管放置在交流耦合电容器的芯片侧。对于不需要电池短路测试的系统，可以将 ESD 二极管放置在尽可能靠近连接器侧的位置，以提高 ESD 性能和信号完整性。
- 强烈建议执行仿真以验证补偿策略。

4 总结

本应用手册分析了传输线路阻抗、交流耦合电容器贴装焊盘几何形状、ESD 二极管寄生电容、连接器封装尺寸和信号过孔结构等关键因素对 S 参数性能的影响。文中提出了优化方法，包括反焊盘设计、接地过孔间距优化、移除非功能性焊盘以及 ESD 二极管电容补偿技术。

备注

文中介绍的仿真结果和参数选择仅适用于该特定的设计示例。对于新设计，工程师必须针对各个 PCB 堆叠结构和布局执行专门的仿真，以实现稳健性并符合目标通道规范。

这些设计指南和优化策略不仅限于汽车串行器/解串行器应用，还可扩展到其他高速领域。

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司