

Application Brief

LMX2624 中的全辅助



Narala Reddy

简介

多个频率之间的跳频发生在多个系统中的应用中，例如降压转换器和升压转换器链，其中开关时间预期非常短。

图 1 展示了典型的接收器架构，其中需要一个或多个本地振荡器 (LO) 来生成不同频率的信号，并将它们与输入接收信号相混合。

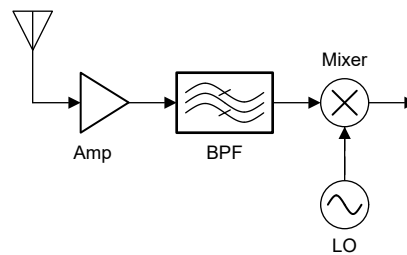


图 1. RX 链

跳频面临的挑战

- 基于集成 VCO 的射频合成器具有多个频段，具体取决于电容组长度。
- 频段的数量取决于 VCO 的宽带频率覆盖范围，包括 VCO 的数量。
- 当频率从 F1 跳转到 F2 时，挑战是在较短的时间内选择对应于 F2 的频带，并且 VCO 的相位噪声不会变大。
- 选择频段后，会发生基于 PLL 带宽的平稳稳定。从 F1 移至 F2 时稳定所需的总时间是锁定时间。
- 跳频过程中的大部分时间都是 VCO 校准，这有助于选择相位噪声不会变大的频段。
- 根据架构的不同，某些用于生成 K 频段频率的射频合成器使用开环乘法器，必须对其进行校准。

锁定时间的组成部分

当频率从 F1 跳至 F2 时，跳频所需的时间定义为锁定时间，其中包含以下事件序列：

- 寄存器写入时间：
 - SPI 寄存器写入涉及需要更改的设置，例如 N.F (整数 + 小数) 等，以使 PLL 锁定到所需频率。
- VCO/倍频器校准时间：
 - 对于所需的频率，必须选择特定的 VCO 频带和振幅设置。根据使用的校准方法类型，VCO 校准时间会有所变化。对于基于调优滤波器的倍频器架构，必须选择该特定频率可能具有最高增益的频带，并且必须为获得理想的相位噪声选择振幅设置。
- 模拟趋稳时间：
 - 选择 VCO 频段和振幅后，与预期频率相比存在一些频率增量。PLL 将变容 Vtune 调节至所需电压，以使 Vtune 与预期频率相匹配。PLL 具有一定的带宽并且变容趋稳取决于 PLL 带宽。

LMX2624 中的设计

- VCO 和倍频器的全辅助功能完全消除了 VCO 和倍频器校准时间。
- 不每次都校准 VCO 和倍频器，如果针对特定频率记录一次校准代码，强制一次执行这些代码会使频率切换更快。
- 锁定时间现在包含寄存器写入时间和模拟循环趋稳。

- SPI 可升至 40MHz

LMX2624 中的全辅助功能

- 对于从 F1 到 F2 的频率切换，PLL 反馈分频器、VCO/倍频器校准代码必须通过 SPI 写入。因此，此处涉及寄存器写入等待时间，具体取决于 SPI 速度和写入的寄存器数量。在此寄存器写入时间期间，输出频率可能不稳定，这是不希望出现的情况。
- 为避免这种情况，切换到 F2 所需的寄存器在内部存储在影子寄存器（缓冲倍频器）中，并且仅在写入一个特殊寄存器 (SR) 时应用。
- 这有助于使频率切换非常快，因为在切换该特殊寄存器后，所有校准代码都会一次性传输到相应的块。图 2 显示了使用和不使用全辅助功能时的输出频率情况。
- 模拟 PLL 锁定时间取决于 PLL 带宽。

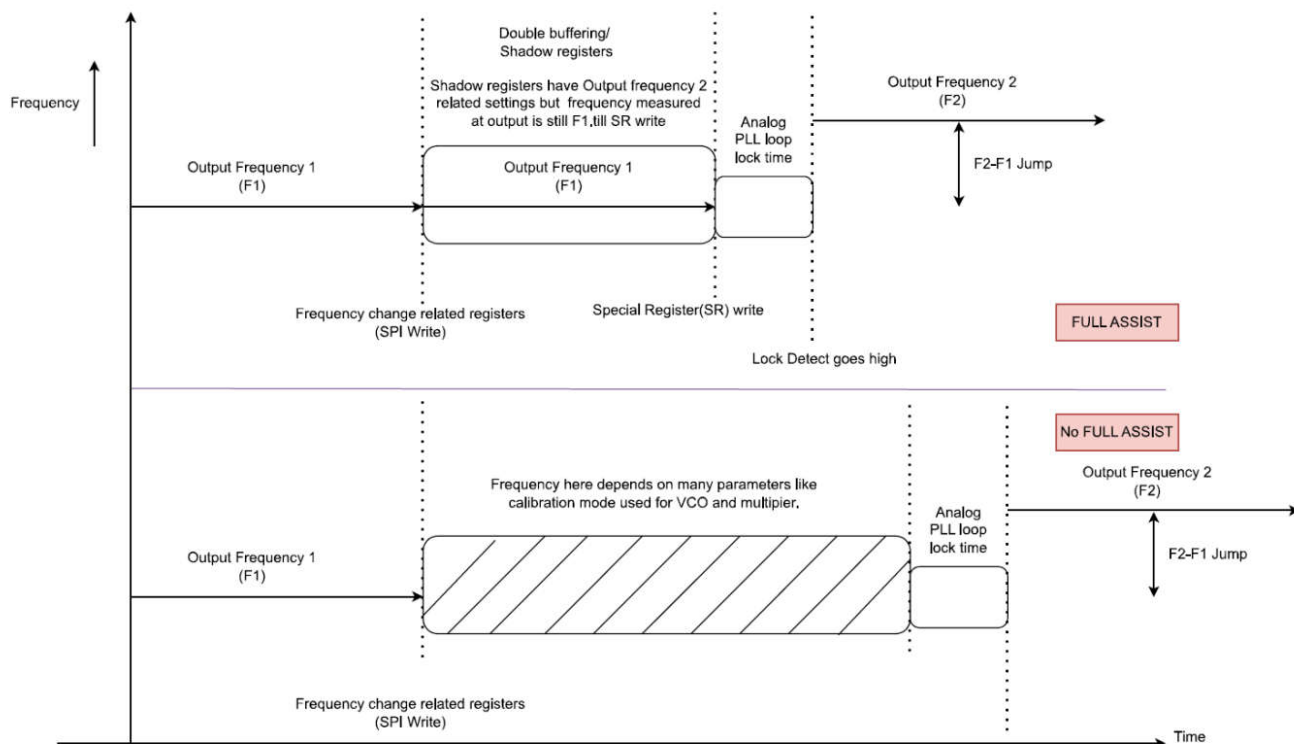


图 2. 全辅助频率瞬态随时间的变化

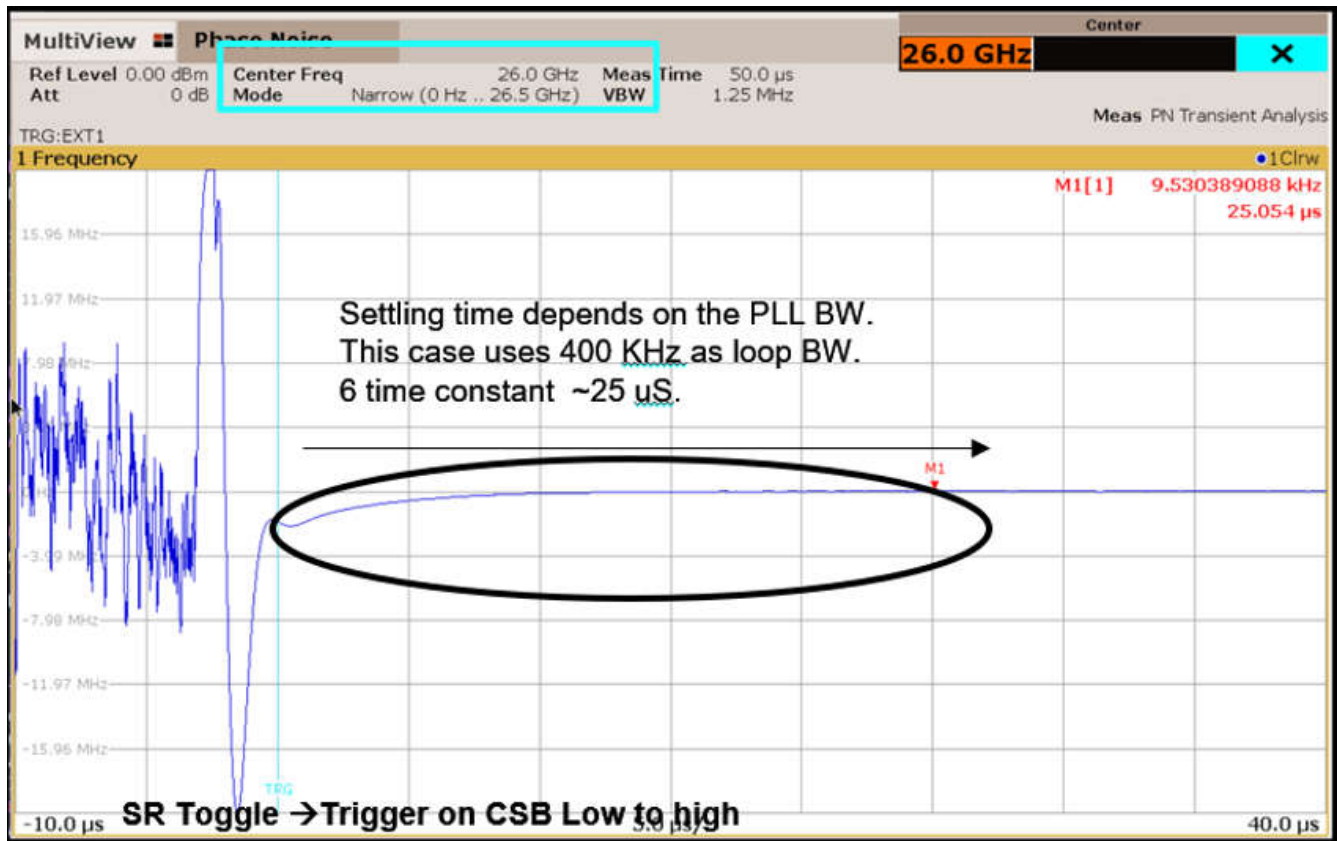


图 3. 全辅助情况下 FSWP 频率趋稳时间

图 3 显示了在特殊寄存器上触发的 26GHz 时趋稳行为的器件相位噪声图，其中频率从 16GHz 跃迁到 26GHz。FSWP 无法捕获 16GHz 到 26GHz 之间的宽频率跃迁移。因此，应选择窄频段选项，其中跨度限制为 40MHz，以 26GHz 作为频率瞬态捕获中的中心频率。

步骤顺序

- 验证 $DBL_BUF_EN = 1$ (R16<8>)。为与 VCO、倍频器、PLL、输出多路复用器和通道分频器相关的寄存器启用双缓冲。[寄存器映射部分](#)显示了有关寄存器的更多详细信息。
- 校准完成后，必须读回频率 F1 和频率 F2 的 VCO 和 DBLR 相关寄存器值，如下面的 [tics-pro](#) 页面 (v1.7.7.7) 所示。在进行寄存器读回时，请确保 MUXOUT (R22<6:0>) 为 1 并且读回 (R1<13>) 为 1。[TICS Pro 快照](#)显示了 VCO 校准代码读回的快照。在这种情况下，倍频器未启用，因此倍频器处于断电状态。
- 图 5 显示了在频率切换期间使用的倍频器读回数据。

图 4. TICS Pro 快照

- VCO_FULL_ASSIST(R5<12>)=1
- 写入 full_assist 寄存器。
 - VCO : VCO_SEL、VCO_CAPCTRL、VCODACISSET
 - 倍频器 : DBLR1_PD、DBLR_AMP_CAPCTRL、DBLR_AMP1_DACCTRL、DBLR_AMP2_DACCTRL、DBLR_AMP3_DACCTRL、DBLR_PG_AMP_CAPCTRL、DBLR_PG_AMP_DACCTRL

图 5. 显示更多寄存器的 TICS Pro 快照

- 更改 PLL 相关寄存器，以将输出频率更改为所需频率 F1 或 F2。(PLL_N(R9<2:0>/R8)、PLL_NUM(R15/R14)、PLL_DEN(R10/R11)、MASH_ORDER(R5<15:13>)、PFD_DLY(R3<10:5>))。

- 还可以更改输出多路复用器选择以启用通道 B 上的通道分频器 (OUTA_MUX(R3<13:12>)、OUTB_MUX(R3<15:14>)、CHDIV(R3<4:0>))
- 将 FCAL_EN=0(R0<2>)、DBLR_FCAL_EN=0(R0<12>)、DBLR_ACAL_EN=0(R0<13>) 写入寄存器 0。这可用作双缓冲的触发条件。

另一个需要考虑的可能增加短锁定时间的因素是 VbiasVCO 引脚上的电容器。为了加快趋稳，推荐使用低至 1uF 的电容器。VCO_FASTCHG_CNT 寄存器 (R7<14:7>) 有助于更快地对此 VbiasVCO 引脚充电。如果 VbiasVCO 引脚中的电容器较低，则相位噪声数值就会略有下降。

商标

所有商标均为其各自所有者的财产。

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司