

TPS6594/LP8764 PMIC 应用指南（五）

Lijia Zhu

摘要

随着新能源汽车的高速发展，汽车从电动化转向智能化，高阶辅助驾驶在各大 OEM 和 Tier1 的快速落地，TDA4 正在被广泛的使用在 ADAS 域控制器，车身域控制器和激光雷达等多种终端应用。以 TPS6594/LP8764 为代表的 TI 新一代 PMIC 家族，不仅是 TDA4 SOC 的最佳供电方案，也是其他型号 SOC 供电的良好选择。TPS6594/LP8764 具有高集成度，高可拓展性，支持高级别功能安全等特性，功能多且较复杂，应用起来会有不小的难度。本系列文章会从 TPS6594/LP8764 PMIC 的芯片主要机制介绍、系统设计注意点、常见问题定位思路、自定义 PMIC 固件（NVM）等方面进行分享。本文是系列文章的第五篇，结合前面文章讨论的内容，讲解一个自定义 NVM 的实际案例。

目录

1	引言	3
2	NVM 设计	4
2.1	静态设置	4
2.2	状态机规划与上下电时序设置	9
3	NVM 效果实测	11
4	参考文献	15

图

Figure 1.	TPS6594/LP8764 系列 PMIC 客户自定义 NVM 子型号汇总	3
Figure 2.	LP8764 自定义 NVM 案例系统架构	3
Figure 3.	各电源输出方案	4
Figure 4.	GPIO 分配方案	5
Figure 5.	系统电源架构方案	5
Figure 6.	系统设置	6
Figure 7.	BUCK 和 VMON 设置	6
Figure 8.	GPIO 设置	7
Figure 9.	接口设置	7
Figure 10.	MASK 设置	8
Figure 11.	杂项设置	9
Figure 12.	PFSM 设置	11
Figure 13.	START2ACT 时序测试	11
Figure 14.	ACT2WARM 时序测试	12
Figure 15.	ACT2MCU 时序测试	12
Figure 16.	MCU2WARM 时序测试	13

Figure 17.	MCU2STANDBY 时序测试	13
Figure 18.	STANDBY2ACT 时序测试	14
Figure 19.	MCU2ACT 时序测试	14
Figure 20.	ACT2SAFE 时序测试	15

1 引言

TPS6594/LP8764 系列 PMIC 内部具有非易失存储（NVM）单元，NVM 配置在启动阶段被加载到芯片的寄存器空间，NVM 内容决定了器件的输出电压、上下电时序、监控机制、通信接口等等行为逻辑。TPS6594/LP8764 系列 PMIC 提供了通过 I2C 来访问和改写 NVM 的内容的机制（参考本系列文章的第二篇内容）。支持客户侧自定义 NVM 的子型号如图 1 所示，除此之外 TPS6521905 也支持客户自定义 NVM，但是他的架构和 TPS6594/LP8764 有所区别，本文主要集中在 TPS6594/LP8764 上面进行讨论。

需要注意这里所说的支持客户自定义 NVM 的子型号是指此型号在 TI 出厂是一个空片，它内部的芯片版本等信息（0x0-0x3 寄存器）不会和 TI 出厂烧录好 NVM 的型号冲突，实际上使用 TI 预烧录号的子型号更新 NVM 也是可以的，一般这用在定位问题过程中（参考系列文章的第四篇）。除了客户侧自定义并自行烧录 NVM 外这一种模式外，还有两种模式，一是有 TI 认证的第三方可以提供烧录服务，二是 TI 提供为客户定制 NVM 的全新型号，这两种模式细节请咨询销售团队。

General Part Number	Programmable version full Part number
TPS6594-Q1	TPS65940400RWERQ1
TPS6593-Q1	TPS65930400RWERQ1
LP8764-Q1	LP876440C0RQKRQ1
LP8769-Q1	LP876940C0RQKRQ1

Figure 1. TPS6594/LP8764 系列 PMIC 客户自定义 NVM 子型号汇总

本文以 LP8764 为例，结合系列文章探讨的内容，介绍一个自定义 NVM 的案例，TPS6594 也可以参考此案例。此案例的系统简图如图 2 所示，其中供电系统系统需要提供 3.3V，1.8V，1.2V，1.1V，5V，6V 和 55V 几路电源，其中 3.3V，1.8V，1.2V 和 1.1V 由 LP8764 提供，6V 由外置 LDO 提供，55V 由外置 BOOST 提供，整体系统要求 ASIL QM。

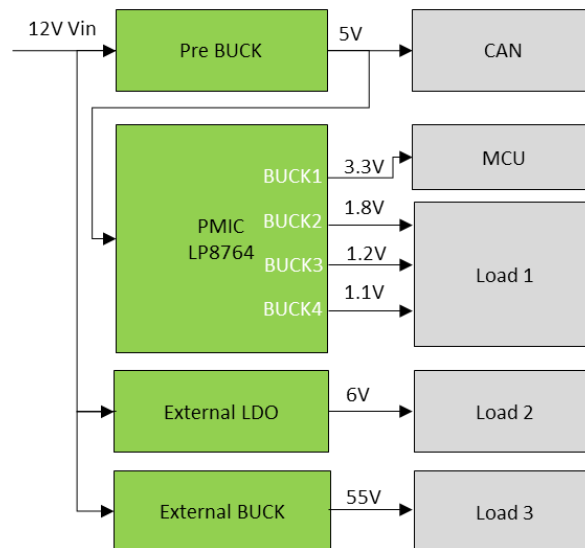


Figure 2. LP8764 自定义 NVM 案例系统架构

2 NVM 设计

根据系统级别的需求，可以确定 LP8764 的各项设置，总的来说共有两大类设置，一类是静态设置，包括对电源的输出电压，输出上下电斜率，电压监控门限，电源域，GPIO 复用，通信接口和功能安全相关机制等等，对应的是寄存器的 page 0，page 1 和 page 4 内容；另一类是动态设置，包括状态机规划和上下电时序等，对应寄存器的 page 3 内容。

2.1 静态设置

LP8764 是一颗低压输入的 PMIC，其输入电压最大值不超过 6V，因此系统上需要在前级增加一级高压 BUCK 提供 5V 电压，同时刚好可以满足系统 CAN 对于 5V 供电的需求。3.3V 供电由 BUCK1 提供，输出到 MCU，其他几路低压电由 BUCK2/3/4 分别提供，供给外部的负载 Load1。外部负载 Load2 和 Load3 的电源需要额外的 LDO 和 BOOST 提供，同时要求这两路的上电时序可控且供电电压受监控，因此使能 GPIO 管脚的 GPO 功能和 VMON 功能对这两路电源进行控制和监控。

为了能够通过 MCU 上报故障信息，对于 VCCA 的电源波动仅告警，PMIC 本身不做任何处理，因此电源域设置为 No rail group，MCU 的供电被设置在独立的 MCU rail group，其他几路电源（BUCK2/3/4 和监控外部 LDO/BOOST 的 VMON1/2）被设置在 SOC rail group，当 SOC 域的几路电源出现过压、欠压、过流故障时，PMIC 仅仅关闭 SOC 域的几路电源而保持 MCU 的 3.3V 供电持续存在，直到 3.3V 电源本身有问题，才会关闭所有输出。当前功能安全等级为 ASIL QM，残压检测机制在这里不使能（一般 ASIL C/D 需要使能此功能）。最终的供电静态设置如图 3 所示。

Power	Voltage	Slew rate	Max load current	Power group	Monitor	Comments
VCCA Input	5V	/	/	No rail group	OV:+10% UV:-10%	确保CAN随时通信,要求此供电为常电,电压仅监控不处理,监控信息送MCU判决处理
BUCK1	3.3V	10mV/us	0.6A	MCU rail group	OV:+10% UV:-10% Current limit: 5.5A	PMIC关闭所有电源输出
BUCK2	1.8V	10mV/us	0.2A	SOC rail group	OV:+10% UV:-10% Current limit: 5.5A	PMIC 关闭这几路电源，进入MCU only模式
BUCK3	1.2V	10mV/us	2A	SOC rail group	OV:+10% UV:-10% Current limit: 5.5A	
BUCK4	1.1V	10mV/us	2.2A	SOC rail group	OV:+10% UV:-10% Current limit: 5.5A	
GPIO1	/	/	/	/	/	使用GPIO1和GPIO2使能外部LDO和BOOST，使系统上电时序受控 监控LDO和BOOST的电压
GPIO2	/	/	/	/	/	
VMON1	3V	10mV/us	/	SOC rail group	OV:+10% UV:-10%	
VMON2	2.74V	10mV/us	/	SOC rail group	OV:+5% UV:-5%	

Figure 3. 各电源输出方案

外部 LDO 和 BOOST 需要受控上下电，可以设置 GPIO1 和 GPIO2 作为 GPO 功能，外部 LDO 和 BOOST 的使能受这两个 GPIO 的电平控制。同时，PMIC 需要一个使能管脚控制整个系统的上下电，这里使用 GPIO4 的一个复用功能，将它设置为 Enable 输入管脚。注意每个 GPIO 可以复用的功能各不相同，需要查阅手册合理分配。

针对需要监控外部 LDO 和 BOOST 输出电压的需求，将 GPIO7 和 GPIO8 分别复用为 VMON1 和 VMON2 功能，在硬件电路上分别对 LDO 和 BOOST 的输出电压进行分压（1/2 LDO 输出电压和 1/20 BOOST 输出电压）后对应送入 VMON1 和 VMON2 管脚，和 BUCK 的输出监控设置一样，VMON1 和 VMON2 需要设置对应的监控电压和监控门限。

GPIO10 在这里用作 MCU 的解复位信号，在所有上电时序完成后，nRSTOUT 管脚由低拉高，解复位 MCU，系统软件开始正常运行。GPIO9 用作一个额外的硬件热复位功能，当模块外部的硬件信号上升沿来到时，nRSTOUT 上产生一个负脉冲来重启 MCU，同时复位所有的 BUCK 输出配置（MCU 可能会通过 I2C 修改 BUCK 的配置）。GPIO 分配方案如图 4 所示，最终的系统架构如图 5 所示。

GPIO	GPIO setting	Comments
1	GPO, push pull output	Enable external regulators
2	GPO, push pull output	
3	GPI, internal PD	Not used
4	Enable pin	Enable input
5	GPI, internal PD	Not used
6	GPI, internal PD	Not used
7	VMON1, PG window = 3V +/- 10%.	Monitor the external regulator
8	VMON2, PG window = 2.74V +/- 5%	
9	GPI, internal PU	Warm reset trigger
10	nRSTOUT	MCU reset control

Figure 4. GPIO 分配方案

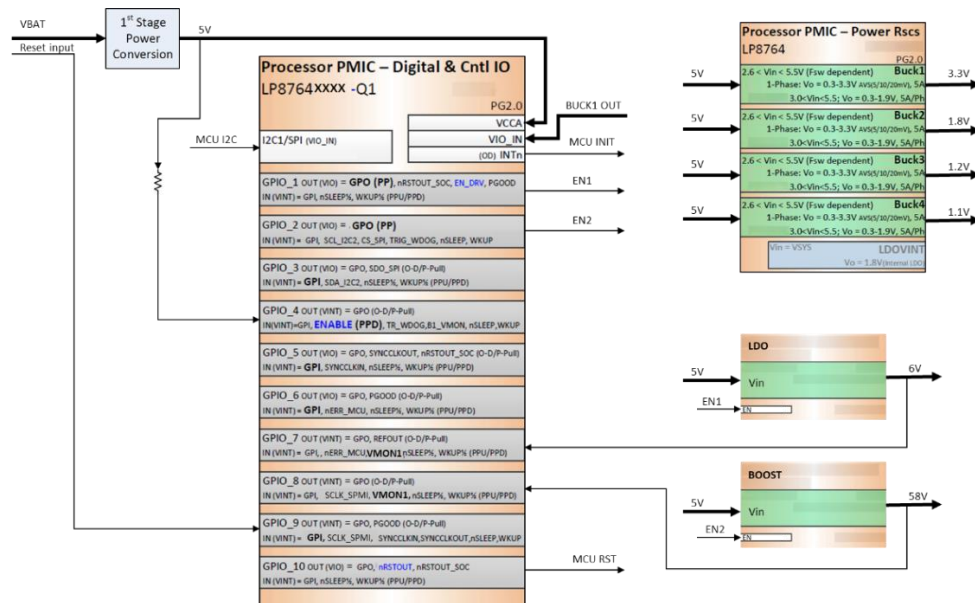


Figure 5. 系统电源架构方案

参考 Scalable PMIC's GUI 文档的有关内容，可以很方便的使用 scalable PMIC GUI 软件新建一个 NVM 的工程。最终静态的设置如图 6-11 所示。

Device identification			VCCA		
Register	Field name	Value	Register	Field name	Value
DEV_REV	ASIL_QM	QM	VCCA_VMON_CTRL	VCCA_VMON_EN	Enabled, OV and UV comparators.
	DEVICE_GPN	0x0	VCCA_PG_WINDOW	VCCA_OV_THR	+10%
	GRADE	Industrial		VCCA_UV_THR	-10%
NVM_CODE_1	TI_NVM_ID	0x0		VCCA_PG_SET	5.0 V
NVM_CODE_2	TI_NVM_REV	0x0	RAIL_SEL_3	VCCA_GRP_SEL	No group assigned
CUSTOMER_NVM_ID_REG	CUSTOMER_NVM_ID	0x1	GENERAL_REG_3	LPM_EN_DISABLES_VCCA_VMON	VCCA_VMON enabled if VCCA_VMON_EN=1 and LPM_EN=0
Global monitor control			Phase configuration		
Register	Field name	Value	Register	Field name	Value
VCCA_VMON_CTRL	VMON DEGLITCH_SEL	VCCA 20 μ s, VMON/BUCK 20 μ s	PHASE_CONFIG	MP_CONFIG	1+1+1+1

Figure 6. 系统设置

BUCK1			BUCK2			BUCK3		
Register	Field name	Value	Register	Field name	Value	Register	Field name	Value
BUCK1_CTRL	BUCK1_FPWM	PFM and PWM operation (AUTO mode).	BUCK2_CTRL	BUCK2_FPWM	PFM and PWM operation (AUTO mode).	BUCK3_CTRL	BUCK3_FPWM	PFM and PWM operation (AUTO mode).
	BUCK1_FPWM_MP	Automatic phase adding and shedding.		BUCK2_VSEL	BUCK2_VOUT_1		BUCK3_FPWM_MP	Automatic phase adding and shedding.
	BUCK1_VSEL	BUCK1_VOUT_1		BUCK2_RV_SEL	Disabled		BUCK3_VSEL	BUCK3_VOUT_1
	BUCK1_RV_SEL	Disabled	BUCK2_CONF	BUCK2_SLEW_RATE	10 mV/μs		BUCK3_RV_SEL	Disabled
BUCK1_CONF	BUCK1_SLEW_RATE	10 mV/μs		BUCK2_ILIM	5.5 A	BUCK3_CONF	BUCK3_SLEW_RATE	10 mV/μs
	BUCK1_ILIM	5.5 A	BUCK2_VOUT1	BUCK2_VSET1	1.80 V		BUCK3_ILIM	5.5 A
BUCK1_VOUT_1	BUCK1_VSET1	3.30 V	BUCK2_VOUT2	BUCK2_VSET2	0.3 V	BUCK3_VOUT1	BUCK3_VSET1	1.20 V
BUCK1_VOUT_2	BUCK1_VSET2	0.3 V	BUCK2_PG_WINDOW	BUCK2_OV_THR	+5% / +50 mV	BUCK3_VOUT2	BUCK3_VSET2	0.3 V
BUCK1_PG_WINDOW	BUCK1_OV_THR	+5% / +50 mV		BUCK2_UV_THR	-5% / -50 mV	BUCK3_PG_WINDOW	BUCK3_OV_THR	+5% / +50 mV
	BUCK1_UV_THR	-5% / -50 mV	RAIL_SEL_1	BUCK2_GRP_SEL	SOC rail group		BUCK3_UV_THR	-5% / -50 mV
RAIL_SEL_1	BUCK1_GRP_SEL	MCU rail group				RAIL_SEL_1	BUCK3_GRP_SEL	SOC rail group

BUCK4			VMON1 & 2		
Register	Field name	Value	Register	Field name	Value
BUCK4_CTRL	BUCK4_FPWM	PFM and PWM operation (AUTO mode).	VCCA_VMON_CTRL	VMON1_RV_SEL	Disabled
	BUCK4_VSEL	BUCK4_VOUT_1		VMON2_RV_SEL	Disabled
	BUCK4_RV_SEL	Disabled	VMON1_PG_WINDOW	VMON1_OV_THR	+10% / +100mV / (+500 mV)
BUCK4_CONF	BUCK4_SLEW_RATE	10 mV/μs		VMON1_UV_THR	-10% / -100 mV / (-500 mV)
	BUCK4_ILIM	5.5 A		VMON1_RANGE	0.3 - 3.34 V
BUCK4_VOUT_1	BUCK4_VSET1	1.10 V	VMON2_PG_WINDOW	VMON2_OV_THR	+5% / +50 mV / (+250 mV)
BUCK4_VOUT_2	BUCK4_VSET2	0.3 V		VMON2_UV_THR	-5% / -50 mV / (-250 mV)
BUCK4_PG_WINDOW	BUCK4_OV_THR	+5% / +50 mV		VMON2_RANGE	0.3 - 3.34 V
	BUCK4_UV_THR	-5% / -50 mV	VMON1_PG_LEVEL	VMON1_PG_SET	3.0 V
RAIL_SEL_1	BUCK4_GRP_SEL	SOC rail group	VMON2_PG_LEVEL	VMON2_PG_SET	2.74 V
			VMON_CONF	VMON1_SLEW_RATE	10 mV/μs
				VMON2_SLEW_RATE	10 mV/μs
			RAIL_SEL_3	VMON1_GRP_SEL	SOC rail group
				VMON2_GRP_SEL	SOC rail group

Figure 7. BUCK 和 VMON 设置

Register	Bit field	Value
1 GPIO1_CONF	GPIO1_OD	Push-pull output
	GPIO1_DIR	Output
	GPIO1_SEL	GPIO1
	GPIO1_PU_SEL	Pull-down resistor selected
	GPIO1_PU_PD_EN	Disabled; Pull-up/pull-down resistor.
	GPIO1_DEGLITCH_EN	No glitch, only synchronization.
Register	Bit field	Value
4 GPIO4_CONF	GPIO4_OD	Push-pull output
	GPIO4_DIR	Input
	GPIO4_SEL	ENABLE
	GPIO4_PU_SEL	Pull-down resistor selected
	GPIO4_PU_PD_EN	Enabled; Pull-up/pull-down resistor.
	GPIO4_DEGLITCH_EN	8 us glitch time.
Register	Bit field	Value
7 GPIO7_CONF	GPIO7_OD	Push-pull output
	GPIO7_DIR	Input
	GPIO7_SEL	VMON1
	GPIO7_PU_SEL	Pull-down resistor selected
	GPIO7_PU_PD_EN	Disabled; Pull-up/pull-down resistor.
	GPIO7_DEGLITCH_EN	No glitch, only synchronization.
Register	Bit field	Value
10 GPIO10_CONF	GPIO10_OD	Push-pull output
	GPIO10_DIR	Output
	GPIO10_SEL	nRSTOUT
	GPIO10_PU_SEL	Pull-down resistor selected
	GPIO10_PU_PD_EN	Disabled; Pull-up/pull-down resistor.
	GPIO10_DEGLITCH_EN	No glitch, only synchronization.
Register	Bit field	Value
2 GPIO2_CONF	GPIO2_OD	Push-pull output
	GPIO2_DIR	Output
	GPIO2_SEL	GPIO2
	GPIO2_PU_SEL	Pull-down resistor selected
	GPIO2_PU_PD_EN	Disabled; Pull-up/pull-down resistor.
	GPIO2_DEGLITCH_EN	No glitch, only synchronization.
Register	Bit field	Value
5 GPIO5_CONF	GPIO5_OD	Push-pull output
	GPIO5_DIR	Input
	GPIO5_SEL	GPIO5
	GPIO5_PU_SEL	Pull-down resistor selected
	GPIO5_PU_PD_EN	Enabled; Pull-up/pull-down resistor.
	GPIO5_DEGLITCH_EN	No glitch, only synchronization.
Register	Bit field	Value
8 GPIO8_CONF	GPIO8_OD	Push-pull output
	GPIO8_DIR	Input
	GPIO8_SEL	VMON2
	GPIO8_PU_SEL	Pull-down resistor selected
	GPIO8_PU_PD_EN	Disabled; Pull-up/pull-down resistor.
	GPIO8_DEGLITCH_EN	No glitch, only synchronization.
Register	Bit field	Value
3 GPIO3_CONF	GPIO3_OD	Push-pull output
	GPIO3_DIR	Input
	GPIO3_SEL	GPIO3
	GPIO3_PU_SEL	Pull-down resistor selected
	GPIO3_PU_PD_EN	Enabled; Pull-up/pull-down resistor.
	GPIO3_DEGLITCH_EN	No glitch, only synchronization.
Register	Bit field	Value
6 GPIO6_CONF	GPIO6_OD	Push-pull output
	GPIO6_DIR	Input
	GPIO6_SEL	GPIO6
	GPIO6_PU_SEL	Pull-down resistor selected
	GPIO6_PU_PD_EN	Enabled; Pull-up/pull-down resistor.
	GPIO6_DEGLITCH_EN	No glitch, only synchronization.
Register	Bit field	Value
9 GPIO9_CONF	GPIO9_OD	Push-pull output
	GPIO9_DIR	Input
	GPIO9_SEL	GPIO9
	GPIO9_PU_SEL	Pull-down resistor selected
	GPIO9_PU_PD_EN	Disabled; Pull-up/pull-down resistor.
	GPIO9_DEGLITCH_EN	No glitch, only synchronization.

Figure 8. GPIO 设置

REGISTER	BIT FIELD	VALUE
SERIAL_IF_CONFIG	I2C_SPI_SEL	I2C
	I2C1_SPI_CRC_EN	CRC disabled
	I2C2_CRC_EN	CRC disabled
I2C1_ID_REG	I2C1_ID	0x60
I2C2_ID_REG	I2C2_ID	0x12

Figure 9. 接口设置

REGISTER	BIT FIELD	VALUE	REGISTER	BIT FIELD	VALUE
FSM_TRIG_MASK_1	GPIO1_FSM_MASK	Masked	FSM_TRIG_MASK_3	GPIO10_FSM_MASK	Masked
	GPIO1_FSM_MASK_POL	Low; Masking sets signal value to '0'		GPIO10_FSM_MASK_POL	Low; Masking sets signal value to '0'
	GPIO2_FSM_MASK	Masked		GPIO1_FALL_MASK	Interrupt not generated.
	GPIO2_FSM_MASK_POL	Low; Masking sets signal value to '0'		GPIO2_FALL_MASK	Interrupt not generated.
	GPIO3_FSM_MASK	Masked		GPIO3_FALL_MASK	Interrupt not generated.
	GPIO3_FSM_MASK_POL	Low; Masking sets signal value to '0'		GPIO4_FALL_MASK	Interrupt not generated.
	GPIO4_FSM_MASK	Masked		GPIO5_FALL_MASK	Interrupt not generated.
	GPIO4_FSM_MASK_POL	Low; Masking sets signal value to '0'		GPIO6_FALL_MASK	Interrupt not generated.
FSM_TRIG_MASK_2	GPIO5_FSM_MASK	Masked	MASK_GPIO1_8_FALL	GPIO7_FALL_MASK	Interrupt not generated.
	GPIO5_FSM_MASK_POL	Low; Masking sets signal value to '0'		GPIO8_FALL_MASK	Interrupt not generated.
	GPIO6_FSM_MASK	Masked		GPIO1_RISE_MASK	Interrupt not generated.
	GPIO6_FSM_MASK_POL	Low; Masking sets signal value to '0'		GPIO2_RISE_MASK	Interrupt not generated.
	GPIO7_FSM_MASK	Masked		GPIO3_RISE_MASK	Interrupt not generated.
	GPIO7_FSM_MASK_POL	Low; Masking sets signal value to '0'		GPIO4_RISE_MASK	Interrupt not generated.
	GPIO8_FSM_MASK	Masked		GPIO5_RISE_MASK	Interrupt not generated.
	GPIO8_FSM_MASK_POL	Low; Masking sets signal value to '0'		GPIO6_RISE_MASK	Interrupt not generated.
FSM_TRIG_MASK_3	GPIO9_FSM_MASK	Masked	MASK_GPIO1_8_RISE	GPIO7_RISE_MASK	Interrupt not generated.
	GPIO9_FSM_MASK_POL	Low; Masking sets signal value to '0'		GPIO8_RISE_MASK	Interrupt not generated.
MASK_BUCK1_2	BUCK1_ILIM_MASK	Interrupt not generated.		GPIO10_FALL_MASK	Interrupt generated.
	BUCK1_OV_MASK	Interrupt generated.		GPIO9_RISE_MASK	Interrupt not generated.
	BUCK1_UV_MASK	Interrupt generated.		GPIO10_FALL_MASK	Interrupt not generated.
	BUCK2_ILIM_MASK	Interrupt not generated.		GPIO10_RISE_MASK	Interrupt not generated.
	BUCK2_OV_MASK	Interrupt generated.			
	BUCK2_UV_MASK	Interrupt generated.			
	BUCK3_ILIM_MASK	Interrupt not generated.			
	BUCK3_OV_MASK	Interrupt generated.			
MASK_BUCK3_4	BUCK3_UV_MASK	Interrupt generated.	FSM_TRIG_SEL_1	MCU_RAIL_TRIG	MCU power error
	BUCK4_ILIM_MASK	Interrupt not generated.		SOC_RAIL_TRIG	SOC power error
	BUCK4_OV_MASK	Interrupt generated.		OTHER_RAIL_TRIG	Orderly shutdown
	BUCK4_UV_MASK	Interrupt generated.		SEVERE_ERR_TRIG	Immediate shutdown
				FSM_TRIG_SEL_2	MODERATE_ERR_TRIG
					Orderly shutdown
MASK_VM0N	VCCA_OV_MASK	Interrupt not generated.	MASK_STARTUP	SOFT_REBOOT_MASK	Interrupt generated.
	VCCA_UV_MASK	Interrupt not generated.		ENABLE_MASK	Interrupt generated.
				FSD_MASK	Interrupt not generated.
				TWARN_MASK	Interrupt generated.
			MASK_MISC	BIST_PASS_MASK	Interrupt generated.
MASK_READBACK_ERR	EN_DRV_READBACK_MASK	Interrupt not generated.		EXT_CLK_MASK	Interrupt not generated.
	NRSTOUT_SOC_READBACK_MASK	Interrupt not generated.	MASK_ESM	ESM_MCU_PIN_MASK	Interrupt not generated.
	ESM_MCU_PIN_MASK	Interrupt not generated.		ESM_MCU_RST_MASK	Interrupt not generated.
	ESM_MCU_RST_MASK	Interrupt not generated.		ESM_MCU_FAIL_MASK	Interrupt not generated.
	ESM_MCU_FAIL_MASK	Interrupt not generated.			
MASK_FSM_ERR	IMM_SHUTDOWN_MASK	Interrupt generated.	VMON	VMON1_OV_MASK	Interrupt generated.
	MCU_PWR_ERR_MASK	Interrupt generated.		VMON1_UV_MASK	Interrupt generated.
	SOC_PWR_ERR_MASK	Interrupt generated.		VMON2_OV_MASK	Interrupt generated.
	ORD_SHUTDOWN_MASK	Interrupt generated.		VMON2_UV_MASK	Interrupt generated.
MASK_COMM_ERR	COMM_FRM_ERR_MASK	Interrupt not generated.	MASK_VM0N	VMON1_OV_MASK	Interrupt generated.
	COMM_CRC_ERR_MASK	Interrupt not generated.		VMON1_UV_MASK	Interrupt generated.
	COMM_ADR_ERR_MASK	Interrupt not generated.		VMON2_OV_MASK	Interrupt generated.
	I2C2_CRC_ERR_MASK	Interrupt not generated.		VMON2_UV_MASK	Interrupt generated.
	I2C2_ADR_ERR_MASK	Interrupt not generated.			

Figure 10. MASK 设置

POWERGOOD			Spread spectrum		
REGISTER	BIT FIELD	VALUE	REGISTER	BIT FIELD	VALUE
PGOOD_SEL_1	PGOOD_SEL_BUCK1	Masked	SPREAD_SPECTRUM_1	SS_EN	Spread spectrum disabled
	PGOOD_SEL_BUCK2	Masked		SS_DEPTH	No modulation
	PGOOD_SEL_BUCK3	Masked			
	PGOOD_SEL_BUCK4	Masked			
PGOOD_SEL_4	PGOOD_SEL_VCCA	Masked	Functional safety		
	PGOOD_SEL_TDIE_WARN	Masked	REGISTER	BIT FIELD	VALUE
	PGOOD_SEL_NRSTOUT	Masked	GENERAL_REG_0	FAST_BOOT_BIST	LBIST is run during boot BIST
	PGOOD_SEL_NRSTOUT_SOC	Masked		VMON_ABIST_EN	VMON ABIST enabled
	PGOOD_POL	PGOOD signal is high when monitored inputs are valid	STARTUP_CTRL	FAST_BIST	Logic and analog BIST is run at BOOT BIST.
	PGOOD_WINDOW	Only undervoltage is monitored	RECOV_CNT_REG_2	RECOV_CNT_THR	15
	PGOOD_SEL_VMON1	Masked			
	PGOOD_SEL_VMON2	Masked			
Additional configurations			Additional configurations		
REGISTER	BIT FIELD	VALUE	REGISTER	BIT FIELD	VALUE
STARTUP_CTRL	STARTUP_DEST	ACTIVE	CONFIG_1	TWARN_LEVEL	130C
	LP_STANDBY_SEL	Normal standby state is used.		I2C1_HS	Standard, fast or fast+ by default, can be set to Hs-mode by Hs-mode master code.
PFSM_DELAY_REG_1	PFSM_DELAY1	0x0		I2C2_HS	Standard, fast or fast+ by default, can be set to Hs-mode by Hs-mode master code.
PFSM_DELAY_REG_2	PFSM_DELAY2	0x0		EN_ILIM_FSM_CTRL	Buck regulators ILIM interrupts affect FSM triggers.
PFSM_DELAY_REG_3	PFSM_DELAY3	0x0		NSLEEP1_MASK	NSLEEP1(B) affects FSM state transitions.
PFSM_DELAY_REG_4	PFSM_DELAY4	0x0		NSLEEP2_MASK	NSLEEP2(B) affects FSM state transitions.
PLL_CTRL	EXT_CLK_FREQ	1.1 MHz		TSD_ORD_LEVEL	140C
ENABLE_CONF	ENABLE_POL	Active high	GENERAL_REG_1	REG_CRC_EN	Register CRC disabled

Figure 11. 杂项设置

2.2 状态机规划与上下电时序设置

系统要求的上电时序如下：使能拉起->BUCK1 上电-> 延时 2000us->BUCK2 上电-> 延时 2000us->BUCK3 上电-> 延时 2000us ->BUCK4 上电-> 延时 2000us ->外部 LDO 上电 -> 延时 2000us ->外部 LDO 上电，下电时序和上电时序完全相反。

结合前面的电源 rail group 设置，安排以下几个 PFSM 状态：

1. **PFSM_START**：PFSM 的开始位置，是 FFSM 和 PFSM 的桥梁状态。
2. **WAIT4ENABLE**：PFSM START 到 ACTIVE 之间的状态，PMIC 电源轨无输出，可以在进入此状态过程中完成器件的一些初始化动作。
3. **ACTIVE**：系统正常工作状态，所有电源轨都正常输出。
4. **STANDBY**：系统休眠状态，所有电源关闭。
5. **MCU_ONLY**：MCU only 模式，仅 BUCK1 的 3.3V 有输出。
6. **TO_SAFE**：是 PFSM 中到 FFSM 的 SAFE RERCOVERY 状态的桥梁。
7. **RUNTIME_BIST**：由 MCU 主动触发的 BIST 动作。

设定好了状态，需要规划切换状态的 trigger:

1. ENABLE 拉起作为启动进入 ACTIVE 的条件。
2. SOC power error 和 I2C trigger0 置位作为 ACTIVE 进入 MCU ONLY 的条件。
3. ENABLE 拉低和 I2C trigger2 置位作为 ACTIVE/MCU ONLY 进入 STANDBY 的条件。
4. ENABLE 拉起和 I2C trigger1 置位作为 STANDBY/MCU ONLY 恢复到 ACTIVE 的条件。
5. I2C trigger3 置位作为进入 RUNTIME BIST 的条件。
6. MCU POWER ERROR、ORDERLY SHUTDOWN 和 IMMEDIATE SHUTDOWN 作为进入 SAFE RECOVERY 的条件。
7. GPIO9 下降沿作为 ANY2WARM 的触发。

设定好了状态和 trigger，还需要设置状态切换时 PMIC 的动作，即上下电时序:

1. WAIT4ENABLE 时序，进入 WAIT4ENABLE 状态时执行，这个应用里面设置了使能 VCCA 的 VMON。
2. ANY2ACTIVE 时序，进入 ACTIVE 状态时运行。时序为 BUCK1 rise-> 2000us delay-> BUCK2 rise-> 2000us delay-> BUCK3 rise-> 2000us delay-> BUCK4 rise-> 2000us delay-> GPIO1 rise-> 2000us delay-> GPIO2 rise-> 30ms delay-> VMON1 enable-> 30ms delay-> VMON2 enable-> nRSTOUT rise

这里考虑到外部的 LDO 和 BOOST 上电斜率比较慢，需要额外的延时才能确保输出电压稳定在预期值，因此，在 GPIO2 拉起后增加额外的 30ms 和 60ms 延时。

3. ANY2MCU 时序，从 ACTIVE 进入 MCU ONLY 状态时执行，时序为 VMON2 disable-> 30ms delay -> VMON1 disable-> 30ms delay -> GPIO2 down-> 2000us delay-> GPIO1 down-> 2000us delay-> BUCK4 off-> 2000us delay -> BUCK3 off-> 2000us delay-> BUCK2 off
4. ORDERLYOFF 时序，从 ACTIVE/MCU ONLY 状态到 STANDBY 状态时执行，时序为 nRSTOUT down-> VMON2 disable-> 30ms delay -> VMON1 disable-> 30ms delay -> GPIO2 down-> 2000us delay-> GPIO1 down-> 2000us delay-> BUCK4 off-> 2000us delay -> BUCK3 off-> 2000us delay-> BUCK2 off-> 2000us delay-> BUCK1 off
5. ORDERLYOFF2SAFE 时序，从任意状态切换到 TO SAFE 状态执行，时序同 ORDERLYOFF。
6. IMMEDIATELYOFF2SAFE 时序，从任意状态切换到 TO SAFE 状态执行，立即关闭所有电源轨。
7. ANY2WARM 时序，在 ACTIVE 和 MCU ONLY 模式使用，复位当前使能的 BUCK 并 toggle nRSTOUT 以复位 MCU。

最终的状态机如图 12 所示。

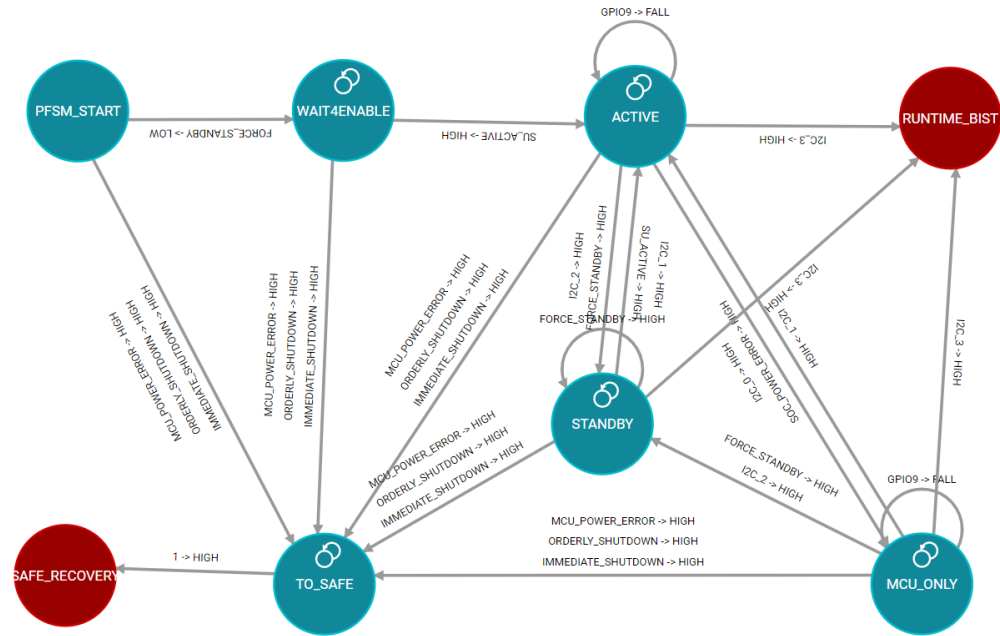


Figure 12. PFSM 设置

3 NVM 效果实测

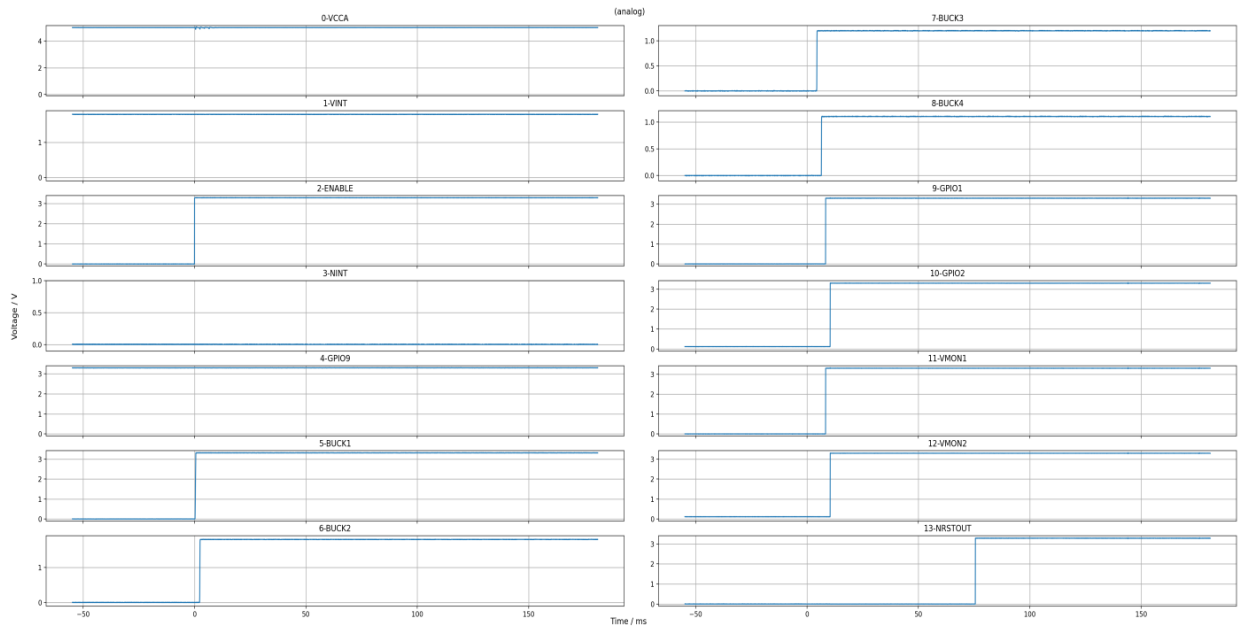


Figure 13. START2ACT 时序测试

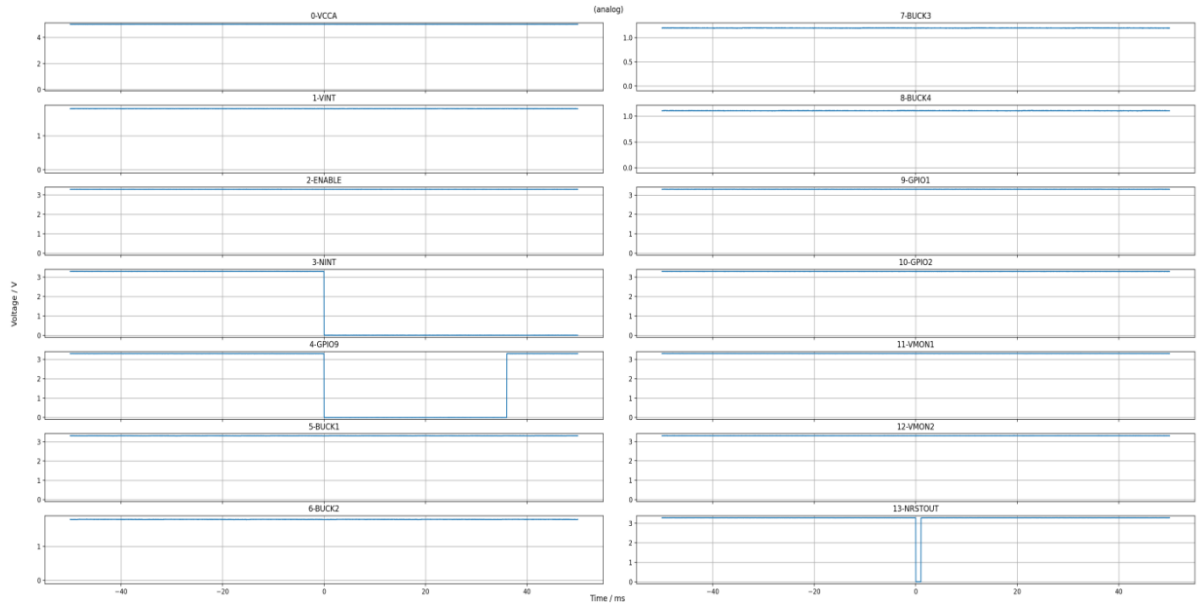


Figure 14. ACT2WARM 时序测试

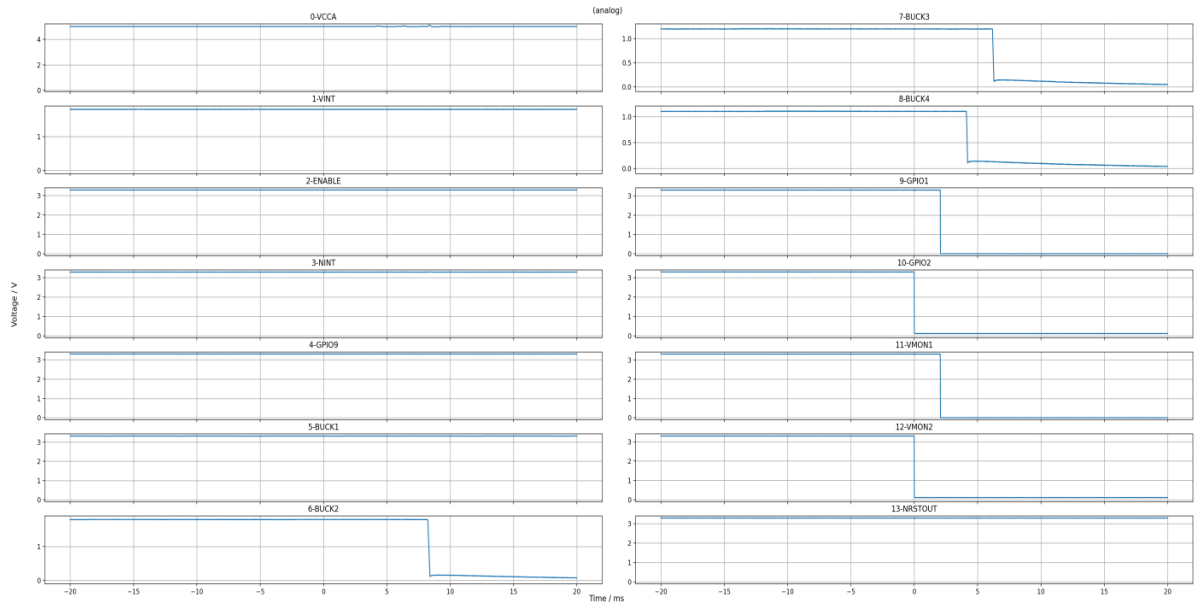


Figure 15. ACT2MCU 时序测试

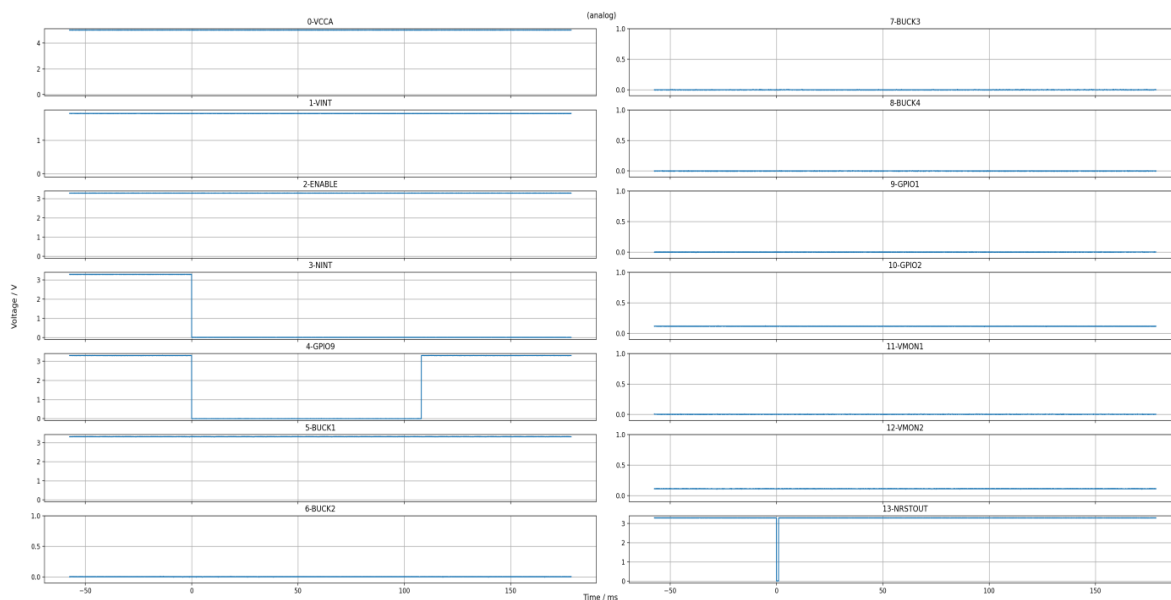


Figure 16. MCU2WARM 时序测试

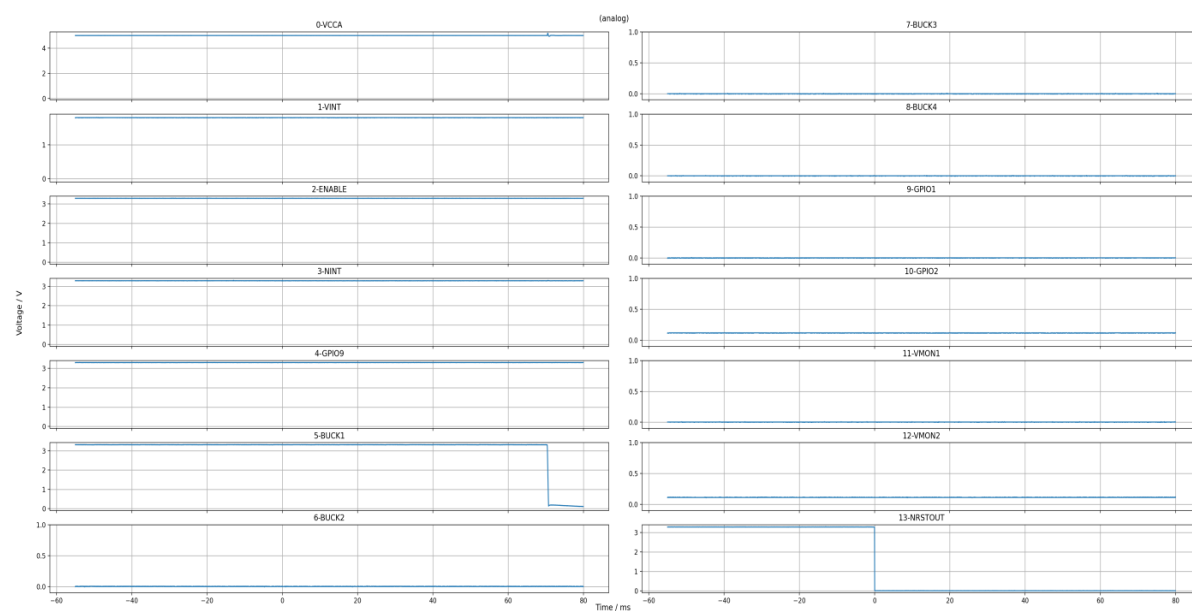


Figure 17. MCU2STANDBY 时序测试

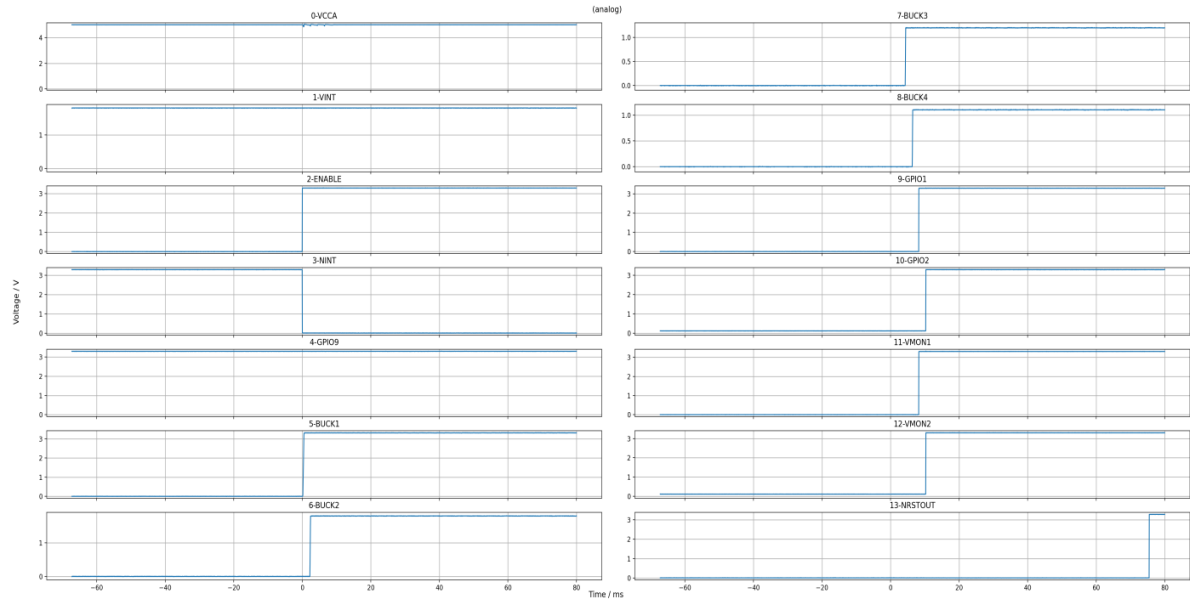


Figure 18. STANDBY2ACT 时序测试

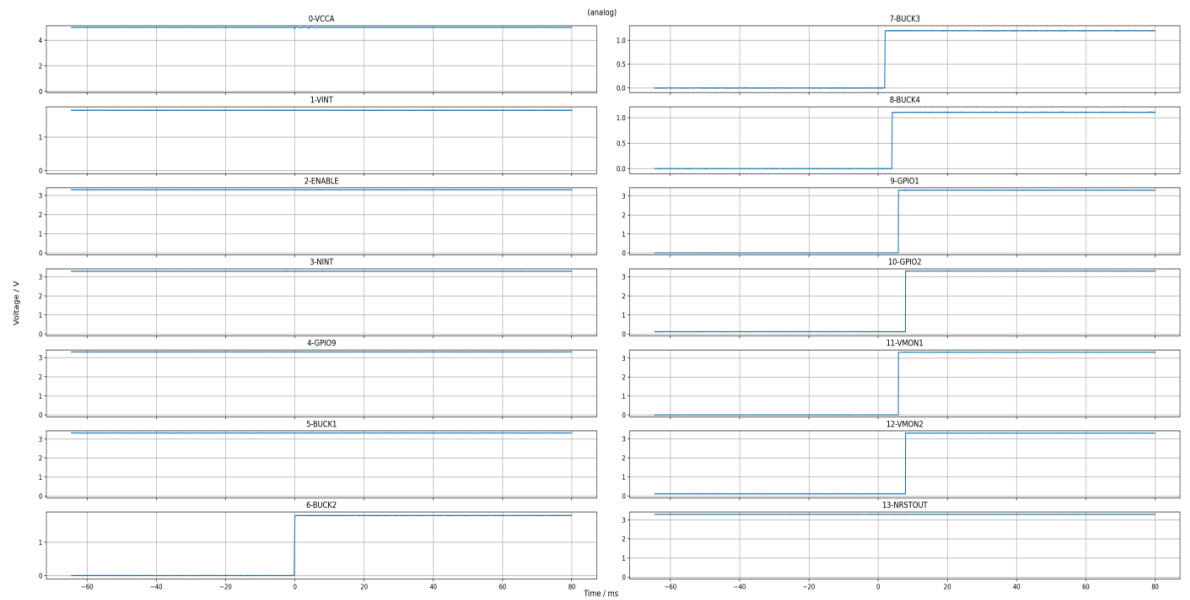


Figure 19. MCU2ACT 时序测试

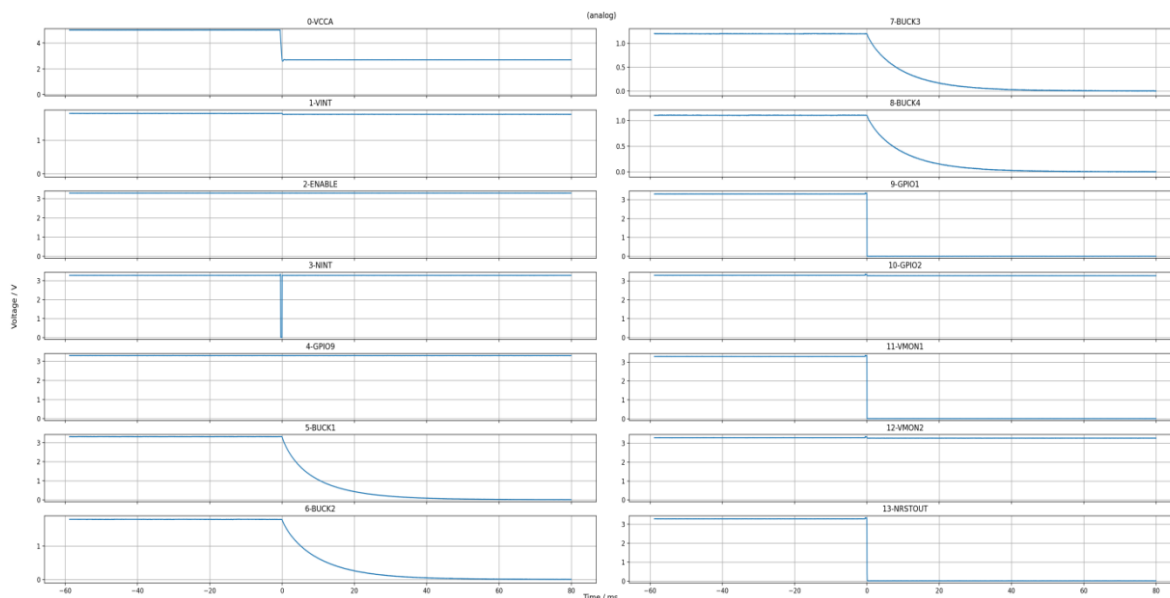


Figure 20. ACT2SAFE 时序测试

4 参考文献

1. Datasheet “[TPS6594-Q1 Power Management IC \(PMIC\) with 5 BUCKs and 4 LDOs for Safety-Relevant Automotive Applications](#)”
2. Datasheet “[LP8764-Q1 Four-Phase, 20-A Buck Converter With Integrated Switches](#)”
3. Application Note “[Scalable PMIC NVM Update Guide](#)”
4. User's Guide “[Scalable PMIC's GUI User's Guide](#)”
5. Errata “[LP8764-Q1 Silicon Revision 2.0 Errata](#)”

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司