TPS6594/LP8764 PMIC 应用指南（三）

Lijia Zhu

摘要

随着新能源汽车的高速发展，汽车从电动化转向智能化，高阶辅助驾驶在各大 OEM 和 Tier1 的快速落地，TDA4 正在被广泛的使用在 ADAS 域控制器，车身域控制器和激光雷达等多种终端应用。以 TPS6594/LP8764 为代表的 TI 新一代 PMIC 家族，不仅是 TDA4 SOC 的最佳供电方案，也是其他型号 SOC 供电的良好选择。TPS6594/LP8764 具有高集成度，高可拓展性，支持高级别功能安全等特性，功能多且较复杂，应用起来会有不小的难度。本系列文章会从 TPS6594/LP8764 PMIC 的芯片主要机制介绍、系统设计注意点、常见问题定位思路、自定义 PMIC 固件（NVM）等方面进行分享。本文是系列文章的第三篇，对 PMIC 系统设计过程中的注意点进行讨论。

目录

1 引言 3
2 设计要点列举 3
2.1 BUCK 输出电容电感选择 3
2.2 反向漏电路径抑制 8
2.3 一级 BUCK 选择 9
2.4 一级 BUCK 输出电感取值 11
2.5 Fusa MCU 配合 PMIC 应用注意事项 13
2.6 LP8764 VMON 输入应用注意事项 14
3 参考文献 16

图

Figure 1. 特定场景下 LP8764 BUCK 输入输出电容电感要求 4
Figure 2. LP8764 手册中推荐的 BUCK 输出电容型号 5
Figure 3. LP8764 环路仿真 1 6
Figure 4. LP8764 环路仿真 2 7
Figure 5. 造成反向漏电的设计举例 8
Figure 6. 系统设计与缓起测试 9
Figure 7. 缓起测试系统反复重启原因分析 10
Figure 8. 开机点附近使能迟滞功能影响示意图 10
Figure 9. 简化后的负载抽电流示意图 11
Figure 10. 关机时 VCCA OV 波形 12
Figure 11. 关机时 VCCA OVP 波形 12
Figure 12. VCCA 冲高问题系统各点波形 13
Figure 13. MCU + SOC 系统架构 13

Figure 14. MCU 重启 SOC 系统 PMIC 电源轨波形 14
Figure 15. LP8764 VMON 模块 15
Figure 16. LP8764 VMON 外部电阻分压应用示意图 15
Figure 17. LP8764 VMON 不同驱动电流输入波形 16

1 引言

TPS6594/LP8764 系列是 TI 新一代 PMIC 产品，它具有高集成度，高可拓展性和高功能安全等特点。LP8764 芯片和 TPS6594 芯片具有类似的芯片架构，常常作为辅 PMIC 和 TPS6594 在系统中配合使用。在功能安全方面，TPS6594/LP8764 在设计阶段遵照 ISO26262 的要求进行开发，器件设计有大量功能安全的检测机制，支持 ASILD 级别的功能安全。也正因为 PMIC 的复杂机制，在应用过程中会遇到很多问题，在设计初期如果不注意，可能导致系统工作异常。本文会介绍若干在设计初期需要注意的问题。

2 设计要点列举

2.1 BUCK 输出电容电感选择

在不同的输入电压、输出电压、开关频率和相数的条件下，环路稳定时的参数是不一样的，而 TPS6594/LP8764 集成了 BUCK 的环路补偿电路，因此 BUCK 的输出电感和电容需要根据工作场景在手册建议的范围内选取。TPS6594 和 LP8764 手册中各自共有 7 种工作场景，它们各自对应一个电容电感值的选取范围。

TPS6594 BUCK 工作场景：

1. 4.4 MHz VOUT Less than 1.9 V, Multiphase or High COUT Single Phase
2. DDR VTT Termination, 2.2 MHz Single Phase Only
3. 4.4 MHz VOUT Less than 1.9 V, Low COUT, Single Phase Only
4. 4.4 MHz VOUT Greater than 1.7 V, Single Phase Only
5. 2.2 MHz Full VOUT Range and VIN Greater than 4.5 V, Single Phase Only
6. 2.2 MHz VOUT Less than 1.9 V Multiphase or Single Phase
7. 2.2 MHz Full VOUT and Full VIN Range, Single Phase Only

LP8764 BUCK 工作场景：

1. 4.4MHz Single-Phase and Multi-Phase Configuration
2. 2.2MHz Single-Phase Configuration for DDR Termination
3. 4.4MHz Single-Phase Configuration Low Output Voltage
4. 4.4MHz Single-Phase Configuration High Output Voltage
5. 2.2MHz Single-Phase Configuration with 5.0V VIN
6. 2.2MHz Single-Phase and Multi-Phase Configuration
7. 2.2MHz Single-Phase Generic Configuration

仔细观察可以发现，场景之间互相可能会有重叠，图 1 所示，LP8764 的 4.4MHz Single-Phase Configuration Low Output Voltage 场景和 4.4MHz Single-Phase and Multi-Phase Configuration 都满足输入 5V、输出 1.8V 的系统需求，可以根据实际情况选择参照其中一个场景选取器件参数。

Electrical Characteristics - 4.4MHz Single-Phase Configuration Low Output Voltage							
3.45	V_{PVIN_Bx}	Input voltage range		3.0	3.3	5.5	V
3.46	V_{VOUT_Bx}	Output voltage programmable range		0.3		1.9	V
3.47	C_{IN_Bx}	Input filtering capacitance(1) (2)		3	22		µF
3.48a	$C_{OUT-Local(Buckx)}$	Output capacitance, local(2)		10	22		µF
3.48b	$C_{OUT-TOTAL_Bx}$	Output capacitance, total (local and POL)(2)		25		100	µF
3.49a	L_{Bx}	Power inductor	Inductance	154	220	286	nH
3.49b			DCR		10		mΩ

Electrical Characteristics - 4.4MHz Single-Phase and Multi-Phase Configuration							
3.23	V_{PVIN_Bx}	Input voltage range		3.0	3.3	5.5	V
3.24	V_{VOUT_Bx}	Output voltage programmable range		0.3		1.9	V
3.25	C_{IN_Bx}	Input filtering capacitance(1) (2)		3	22		µF
3.26a	$C_{OUT-Local(Buckx)}$	Output capacitance, local(2)	Per phase	10	22		µF
3.27b	$C_{OUT-TOTAL_Bx}$	Output capacitance, total (local and POL)(2)	Per phase	50		250	µF
3.28a	L_{Bx}	Power inductor	Inductance	154	220	286	nH
3.28b			DCR		10		mΩ

Figure 1.　特定场景下 LP8764 BUCK 输入输出电容电感要求

如图 2 所示的是手册中推荐使用的电容型号，它们的 ESR 在开关频率处约 10mΩ 左右，图中选取了其中一个典型型号展示了它的 ESR 曲线。实际应用中不可能 100%按照手册推荐的型号去选取，而图 1 所示的手册表格中没有对电容的 ESR 等寄生参数做限定，在实际应用中我们发现，如果使用多个电容并联或者使用了 ESR 更低的电容，且电容值取在边界（最小值）时，需要特别注意因为 ESR 导致的潜在不稳定风险。

图 3 和图 4 所示的仿真就是这样一个例子，器件是 LP8764，考虑到系统小型化，负载动态较轻的实际情况，选择了输出电容较少的 4.4MHz Single-Phase Configuration Low Output Voltage 作为参照的场景选取电容电感。较小的输出电容不会影响环路稳定，仅仅牺牲部分瞬态响应性能，当前应用可以接受。分别选取不同 ESR 的两个同容值的电容模拟多个小电容并联和单个大电容场景进行环路仿真，可以看到使用 ESR 为 10mΩ 的输出电容，即使取在图 1 里面规定的最小容值处（25uF total），环路是稳定的，而选用 ESR 为 2mΩ 的电容，环路是不稳定的。

TI 提供了器件的 SIMPLIS 模型，建议在设计初期阶段代入待选用的的器件模型对环路进行仿真。

MANUFACTURER	PART NUMBER	VALUE	CASE SIZE	DIMENSIONS L × W × H (mm)	VOLTAGE RATING
Murata	GCM32EC71A476KE02	47 µF (10%)	1210		10 V
TDK	CGA6P1X7S1A476M250AC	47 µF (20%)	1210		10 V
Murata	GCM32ER70J476ME19	47 µF (20%)	1210	3.2 × 2.5 × 2.5	6.3 V
TDK	CGA6P1X7S0J476M250AC	47 µF (20%)	1210		6.3 V
TDK	CGA5L1X7T0G476M	47 µF (20%)	1206		4 V
Murata	GCM31CR71A226KE02	22 µF (10%)	1206	3.2 × 1.6 × 1.6	10 V
TDK	CGA5L1X7S1A226M160AC	22 µF (20%)	1206		10 V
Murata	GCM21BD70J226ME36	22 µF (20%)	0805	2.0 × 1.25 × 1.25	6.3 V
TDK	CGA4J1X7T0J226M	22 µF (20%)	0805		6.3 V
Murata	NFM18HC106D0G (3-T)	10 µF (20%)	0603	1.6 × 0.8 × 1.25	4 V

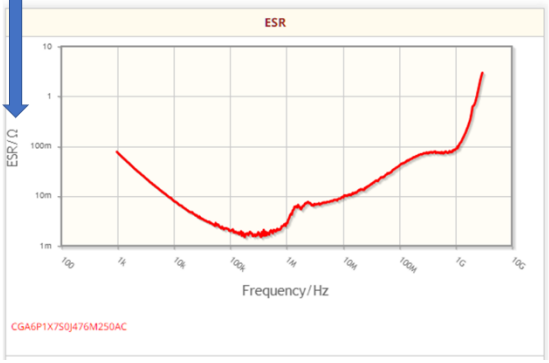

Figure 2. LP8764 手册中推荐的 BUCK 输出电容型号

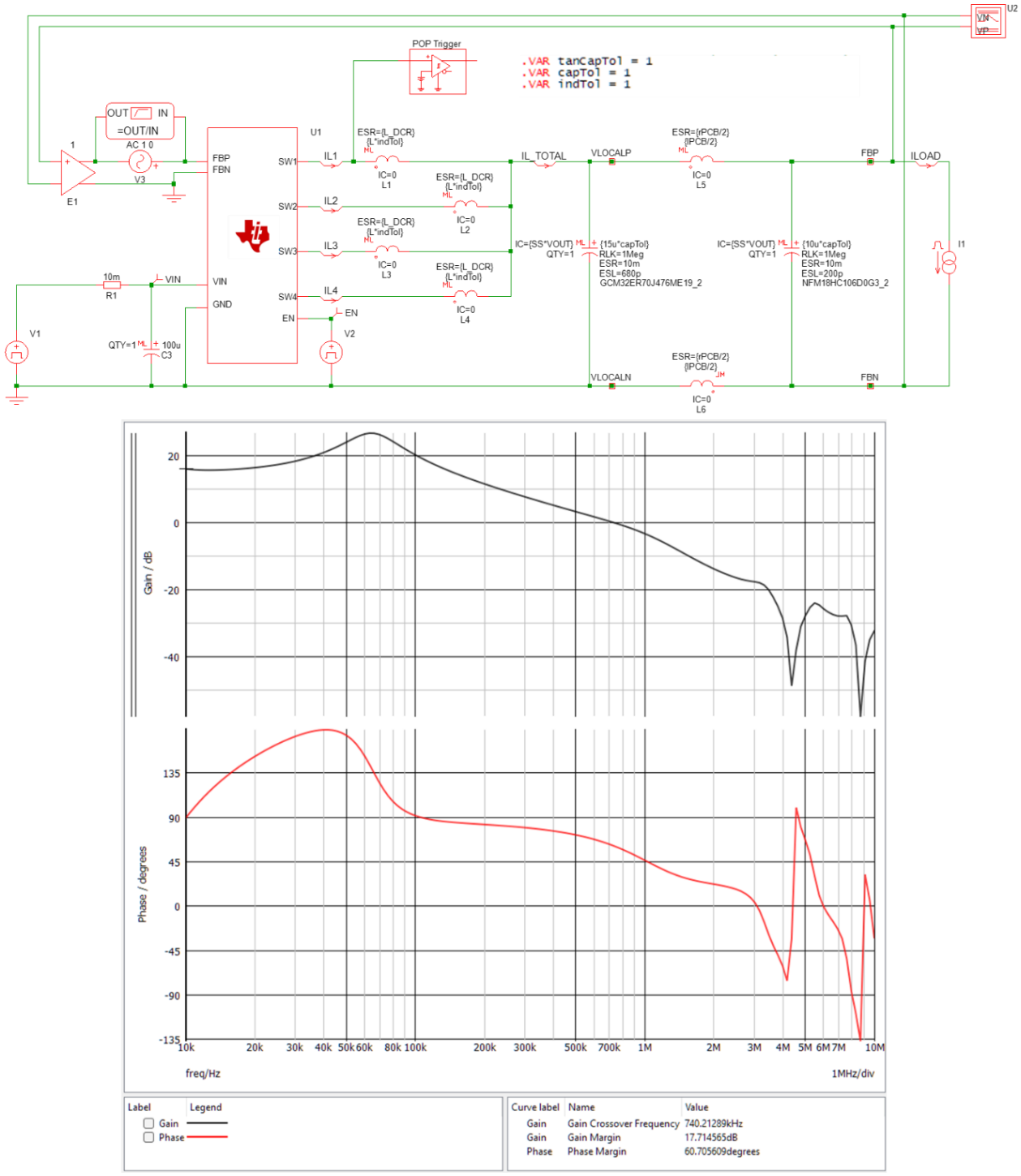

Figure 3. LP8764 环路仿真 1

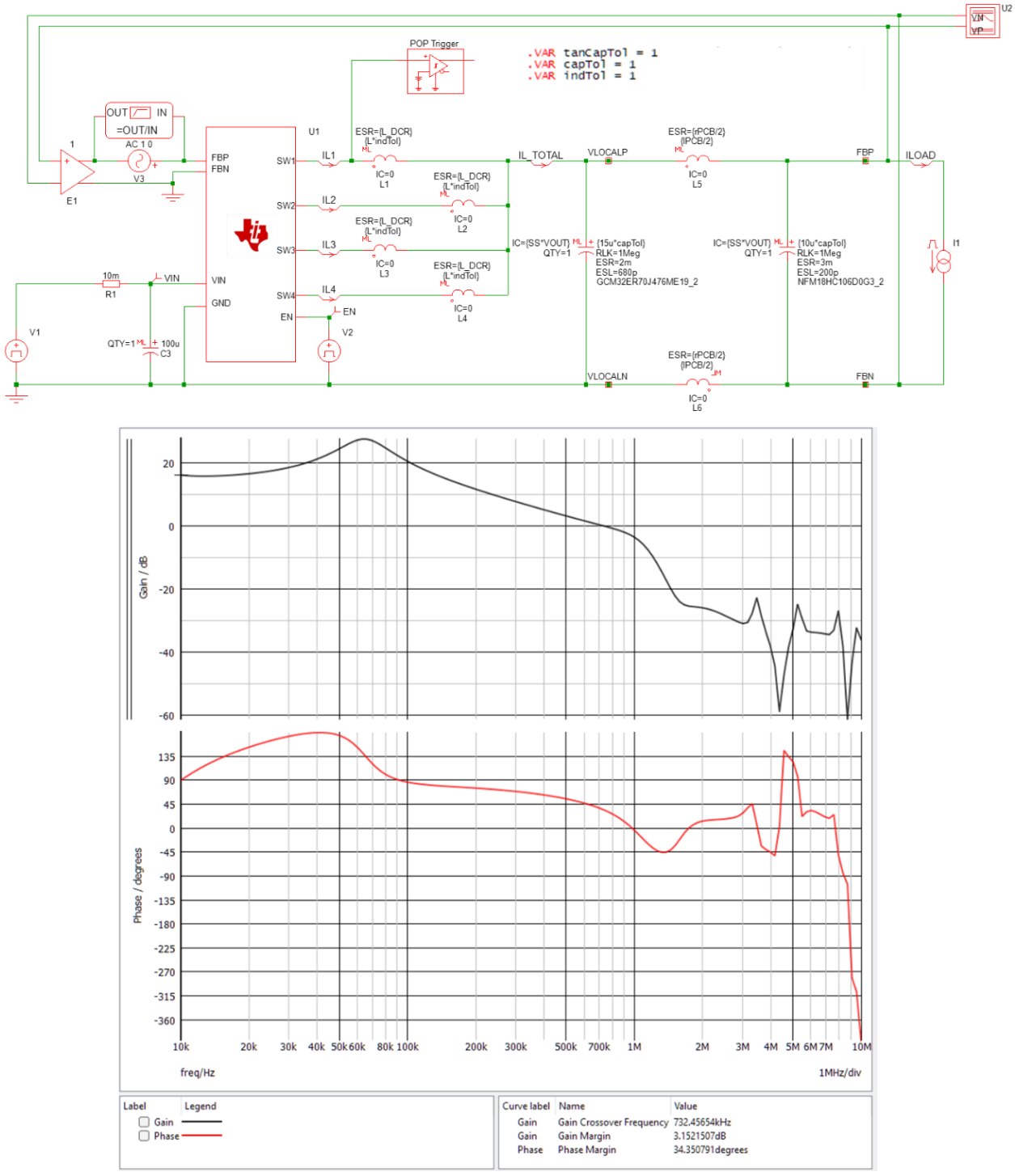

Figure 4. LP8764 环路仿真 2

2.2 反向漏电路径抑制

PMIC 具有输出残压检测机制，启动阶段的任何电源轨上面的残压都会阻塞器件的正常启动，这些残压通常来自设计不当导致的反向漏电，同样，NMOS 的 Fail Short BIST 机制也会受到漏电的影响。因此在系统设计时，需要特别注意隔断潜在的反向漏电路径。

图 5 上半张图所示的是一个典型的反向漏电的例子，此设计使用的 PDN 是 PDN 1A，在设计初期，因为没有考虑规避反向漏电，CAN 的 IO 供电使用了一级电源输出 3.3V，在系统启动过程中，CAN 先于 PMIC 启动，CAN 总线处于 Recessive 状态，此时 RXD 上面对应输出的是高电平，这个高电平通过 TDA4 内部的 ESD 管漏到了 VDD IO 电源轨上，经过 load switch 的寄生体二极管后泄露到了 VCCA 上面，导致 VCCA 电压异常升高，Fail Short BIST 失败，系统无法启动。

正确的设计是如图 5 下半张图所示的结构，一切和 TDA4 相连的外设芯片的供电（或其 IO 部分供电）时序都需要用受到 PMIC 的控制。如因为系统要求或外设器件限制无法满足，需要在外设和 TDA4 的 IO 口之间增加隔离器件，比如 SN74LVC4T245，它有独立的 OE 管脚，通过在板上外加下拉电阻确保上电过程中 OE 是低电平，TDA4 上电后软件拉起 OE 管脚的机制，即可做到隔离漏电的效果。

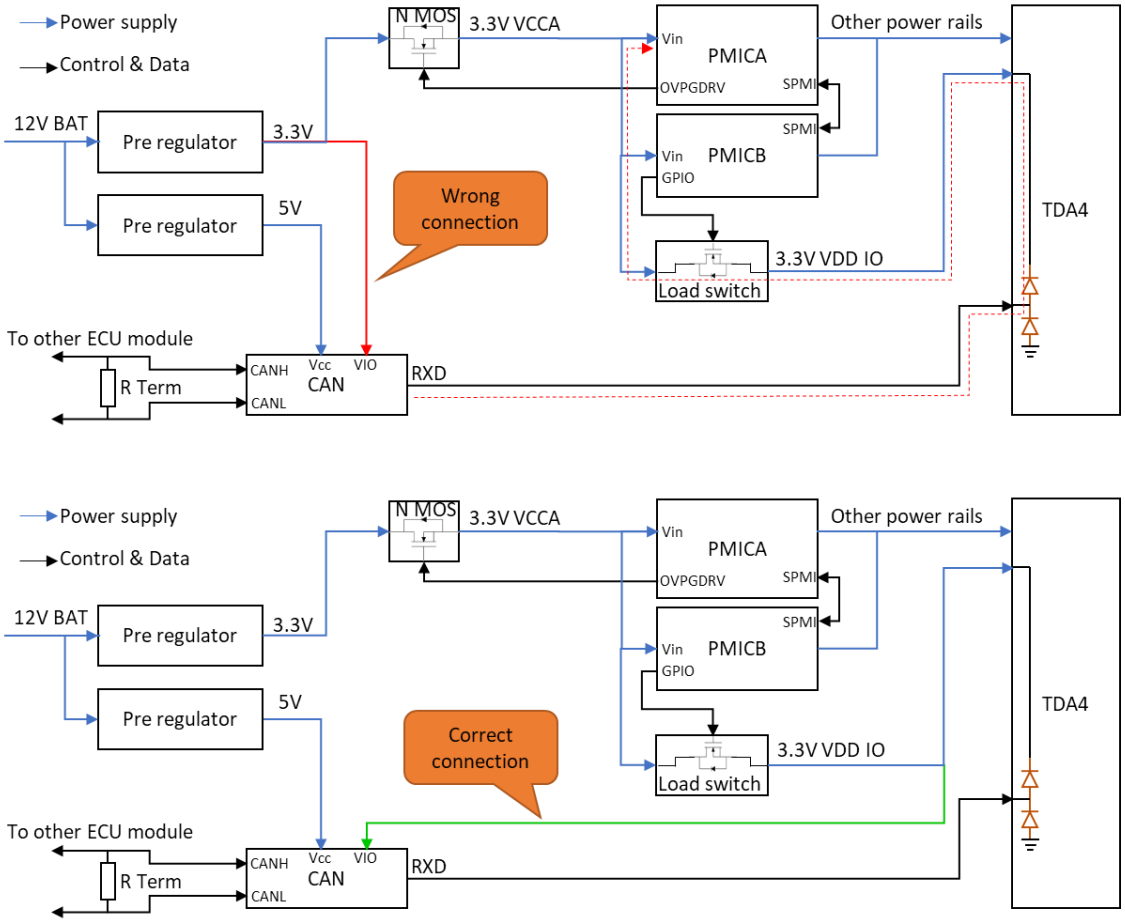

Figure 5.　造成反向漏电的设计举例

2.3 一级 BUCK 选择

如图 6 所示为一个常见的系统简图和进行缓起测试时模组输入电压（PWR12V0）的波形，PWR12V0 经电阻分压后连到一级 BUCK 的使能管脚上，在缓起测试场景下，PWR12V0 以非常缓慢的斜率上电，通常从 0V 升到 12V 需要几十分钟时间。一般缓起测时要求系统在供电电压恢复正常后，仍然能恢复正常工作。

然而此系统在开机点附近会反复重启，VCCA 反复跌落到 UV 之下，造成 recovery counter 到达上限而锁死在 safe recovery 状态，PMIC 必须掉电重启才能退出 safe recovery 状态。系统无法通过缓起测试。

如图 7 所示的是在这个开机点附件反复欠压重启的波形和机理分析：

1. T0 时刻，PWR12V0 超过一级 BUCK 开机门限，一级 BUCK 输出 PWR3V3，此时 PMIC 使能为低电平，仅有 PMIC 本身拉取电流，PWR12V0 被拉低了一点，但是没有低于关机的门限（开机门限和关机门限之间有 200mV 的迟滞，硬件固定）。

2. 至 T1 时刻，一级 BUCK 的 PG 拉高，PMIC 的 EN 管脚被拉起，PMIC 开始按照上电时序对 SOC 上电。

3. 根据 PMIC 的上电时序，在 T2 时刻，SOC 的 Core 电源上电(图中表示为 PMIC out)，此时 SOC 抽取的巨大电流，拉低了 PWR3V3，进而影响 PWR12V0 也跟着跌落到一级 BUCK 的关机门限之下，系统关机。

4. PMIC 检测到 VCCA 跌落，进入 SAFE RECOVERY 状态，关闭所有输出，此时系统需要的电流减小，PWR12V0 回到开机点上。经过一段时间延时后（一级 BUCK 机制），至 T3 时刻，一级 BUCK 重新开机。

   T4 时刻，PMIC 本体+PIMC 输出 BUCK 的有源泄放功能拉电流（蓝色线的行为可以参照本文 2.5 章节的内容分析），导致 PWR12V0 跌落到关机门限之下，至 T5 时刻，有源泄放完毕，此时仅 PMIC 本体耗电，PWR12V0 保持在关机门限之上。

   T2 至 T5 至中间的过程涉及到前级电源的保护机制（不同电源特性不一样）和 PMIC 的泄放电机制，他们之间相互耦合形成了这样的波形，可以把他们当作一个整体黑盒处理。即把“T2 时刻负载拉电流导致 PWR12V0 被拉低，系统关机，至 T5 时刻 PWR12V0 恢复稳定，系统重启一次”作为一段整体去考虑。

5. T5 之后，回到第一步重复此循环，每经过一次循环，RECOVERY COUNTER+1，达到 15 次时 PMIC 停留在 SAFE RECOVERY 状态，关闭所有输出，系统无法启动。

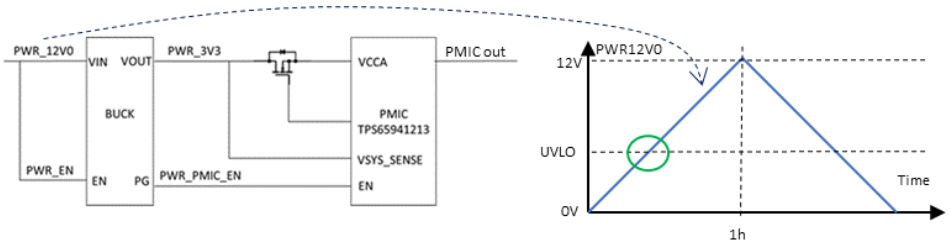

Figure 6. 系统设计与缓起测试

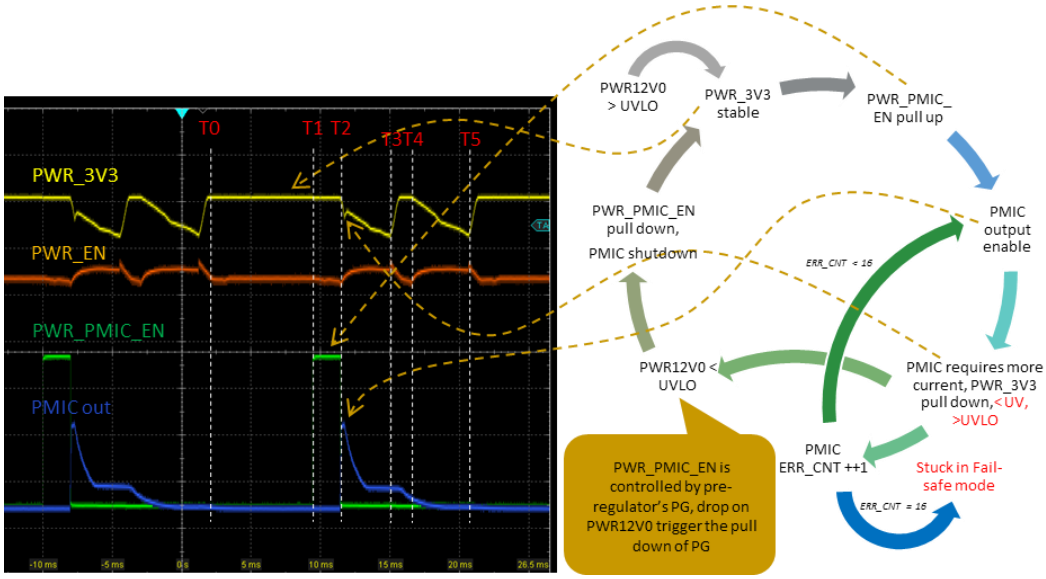

Figure 7.　缓起测试系统反复重启原因分析

为了避免进入前述的循环，建议选取使能带迟滞的一级 BUCK 并合理设置迟滞门限，如图 8 所示，在开机点附近，若门限带有足够的迟滞，当电压 PMIC 开机导致 PWR12V0 跌落时，电压仍能在一级 BUCK 的关机点之上，一级 BUCK 可以继续输出，从而避免了前述的欠压循环。

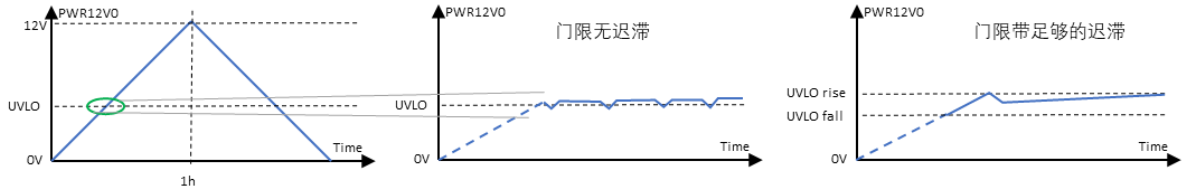

Figure 8.　开机点附近使能迟滞功能影响示意图

考虑图 9 所示的简化系统，在负载抽电流的情况下，BUCK 上管以芯片能支持的最大占空比开启，下管开启的时间非常短，因此可以简化到考虑上管和输入输出电容电感。将负载抽象为 RL，Zin 是供电电源到一级 BUCK 输入端之间的寄生阻抗。在 T0 时刻，系统处于稳态，Vin'和 Vin 相等，等于开机点的电压，Vout 为设置的电压，如 3.3V，RL 未抽电流。

此电路是一个四阶 LC 电路，计算其时域瞬态特性需要解四阶微分方程，过程非常复杂，可以使用能量守恒的角度定性分析各个参数对 Vin 电压跌落的影响。

对于电容和电感，它们存储的能量如下公式：

$$W_C = \frac{1}{2} C U^2$$

$$W_L = \frac{1}{2} L I^2$$

1. 在 PMIC 使能拉起的一瞬间，输出电容 C1 经绿色电流路径向 i1 负载提供电流，负载 R_L 越重，输出电压跌落越快。C1 越大，储能越多，Vout 的跌落越慢（单位时间内跌落越小）。

2. C1 电压降低后，一级 BUCK FB 检测到电压跌落，上管开启，电流从 C2 经电感沿橙色路径 i2 向 C1 充电，C2 和 L 越大，存储的能量越多，C2 的电压（V_{in}）跌落越小。上管开启时，Vout 越高，C2 和 L 需要向 C1 补充的能量越小，也就是 C1 越大间接导致 Vin 跌落越小。同时，T0 时刻 C1 电压越高，初始能量越多，Vin 跌落的电压越小。

3. 供电到一级 BUCK 输入间的寄生阻抗越小，C2 电压的恢复越迅速，V_{in} 电压跌落越小。

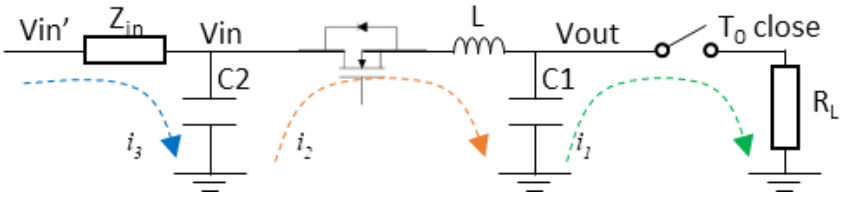

Figure 9.　简化后的负载抽电流示意图

从上述分析可以可以看到，电压跌落幅度和三部分参数有关：

1. 负载的特性，包括负载的所需的最大电流，PMIC 的上电斜率。系统设计确定后，负载芯片就是固定的，PMIC 的上电斜率也是通过 NVM 固定的值，因此这部分参数是随设计固定的。

2. 一级 BUCK 的输入输出电容、输出电感和电源到一级 BUCK 输入端的寄生参数。实际应用中，电容电感的取值更多的需要基于纹波，电感饱和电流，散热等综合去考虑；寄生参数可以在设计时尽量减小，因此这些参数可以认为没有太多可以调节的余量。

3. 开机的门限电压。开机门限越低，电压跌落越大，一般的车载模块的开机电压在 6V-9V 之间，太低的开机门限没有意义，太高的开机门限会使得模块的工作电压范围太窄。

一级 BUCK 的开机门限越低，需要的迟滞就越大，一般来说，开机门限和迟滞通过两个外部电阻调节，反复通过焊接调节电阻去尝试不是一个很好的办法。一个比较好的办法是使用电源供电电压等效开机门限，具体操作如下：

1. 一级 PMIC 的开机门限设到芯片能支持的最低电压（通过修改外部电阻实现），或者设置到低于预期的最低开机门限之下。

2. 系统的供电电源设置为预期的最低开机电压，比如 6V，给系统快速上电。此操作和供电电压缓慢上升到开机门限电压后系统开机是等效的。

3. 示波器观察一级 BUCK 输入端的电压跌落幅度并记录。在此电压基础上加上一定余量作为迟滞的设置值。

4. 若找到的关机电压太低，可以适当抬高开机门限，此时迟滞会同步减小，重复上述的步骤。

2.4　一级 BUCK 输出电感取值

在系统掉电关机时（切断整板电源方式关机），可能会遇到 VCCA 冲高的场景，如图 10 所示的是关机时 VCCA 冲高超过 OV 的场景，图 11 所示的是更恶劣的情况，VCCA 冲高到 VCCA OVP 门限上触发了 OVPDRV 的拉低，过高的电压会影响系统的长期可靠性。

这个问题的原因分析如图 12 所示，正常掉电后，一级 BUCK 在输入电容的作用下继续工作一段时间，输出电压不断降低，当输入电压跌落到一级 BUCK 关机点下时，其 SW 停止发波呈现高阻态，此后 VCCA 在前级电感和输出电容的储能下缓慢跌落，电感电流继续向 PMIC 流动，当 VCCA 跌至 PMIC 的 UV 门限时，触发 PMIC 的有序掉电逻辑，PMIC 需要的电流突然下降而前级电感电流不能突变，电流冲入输出电容导致 VCCA 电压冲高。

VCCA 冲高的电压值和一级 BUCK 的电感取值有关，越大的电感值，VCCA 会冲的越高，严重时会直接损坏 PMIC。因此在设计时需要注意一级 BUCK 的输出电感取值不能太大，电感取值可以通过仿真负载瞬态特性得到。若已经使用了较大的电感值，可以在上电后通过 I2C 降低 PMIC BUCK 的上下电斜率（BUCKx_CONFIG 寄存器 bit0-2）作为软件规避方案。

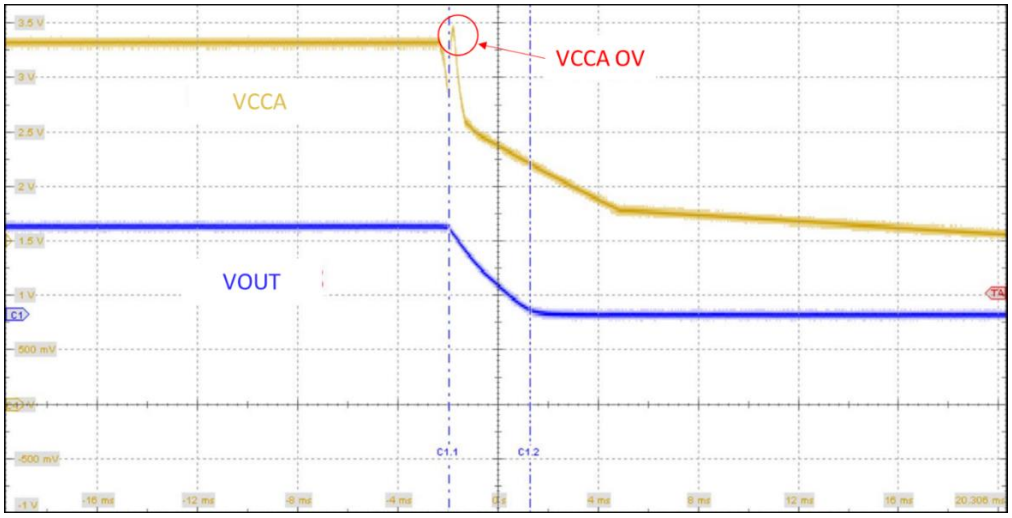

Figure 10.　关机时 VCCA OV 波形

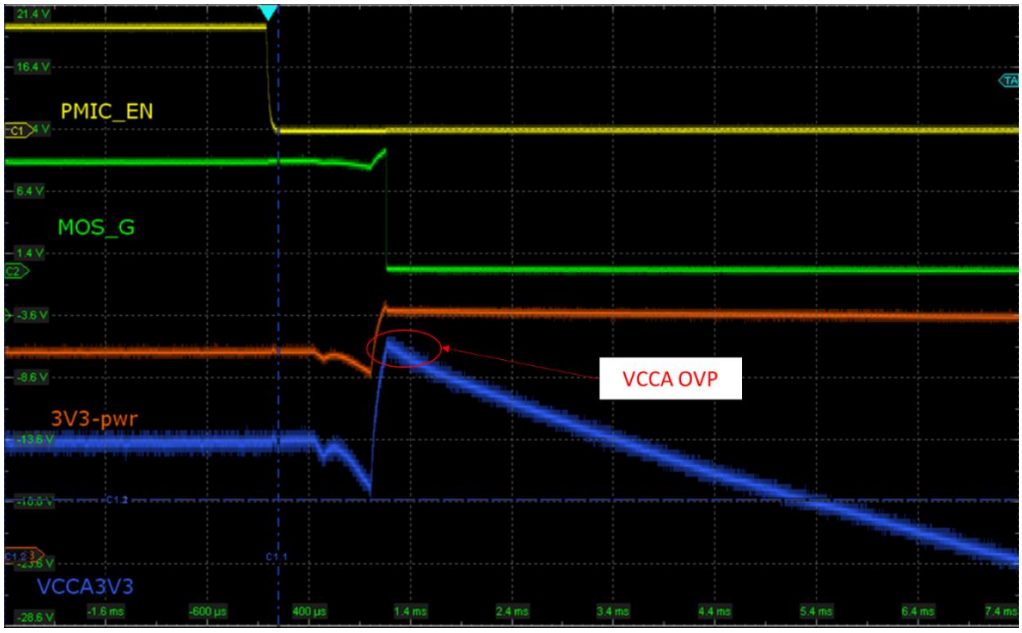

Figure 11.　关机时 VCCA OVP 波形

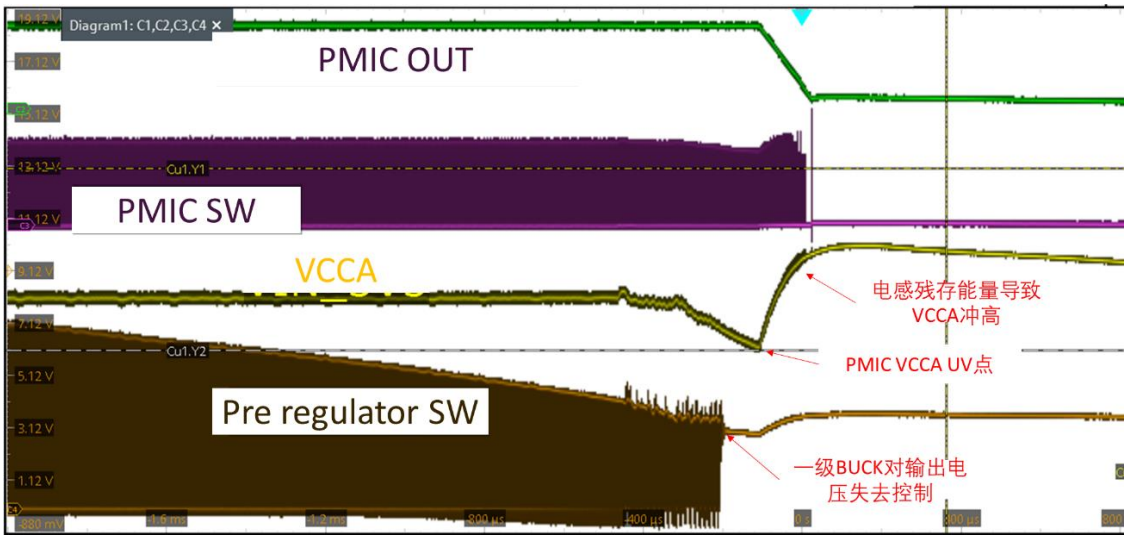

Figure 12. VCCA 冲高问题系统各点波形

2.5 Fusa MCU 配合 PMIC 应用注意事项

部分设计会使用独立的 Fusa MCU 和 PMIC+SOC 系统协同工作，在这种系统中会出现 MCU 控制 SOC 这部分系统（包括 PMIC）上下电的场景，如图 13 所示的是这样的一个系统常见的架构，MCU 控制着 PMIC 的一级电源的使能管脚，当 MCU 监控到 SOC 系统有故障时，一个常用的恢复方案是拉低一级 BUCK 的使能重启 SOC 系统。

但是，MCU 必须预留足够时间给 SOC 系统重启，PMIC 具有残压检测机制，在残压泄放完毕之前，即使使能被拉高，PMIC 也不会启动，若 MCU 的逻辑是短时间内等不到 PMIC 输出就会再次尝试重启，就会导致系统永远停留在这个循环中无法启动。MCU 需要等待的时间需要根据残压泄放的时间来预留，在硬件设计完成后，可以通过实测提供给软件。如图 14 所示的是 MCU 重启 SOC 系统的波形，第一次重启因为没有等待足够长的时间，MCU 再次重启了 SOC 系统，第二次等待了足够时间，系统正常启动。PMIC 的残压释放机制其在图 14 中做了标注，它具有 Active 和 Passive 泄放两种逻辑。

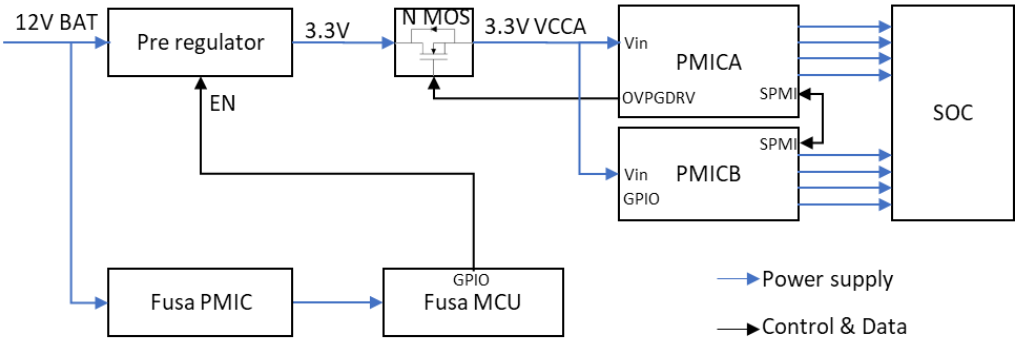

Figure 13. MCU + SOC 系统架构

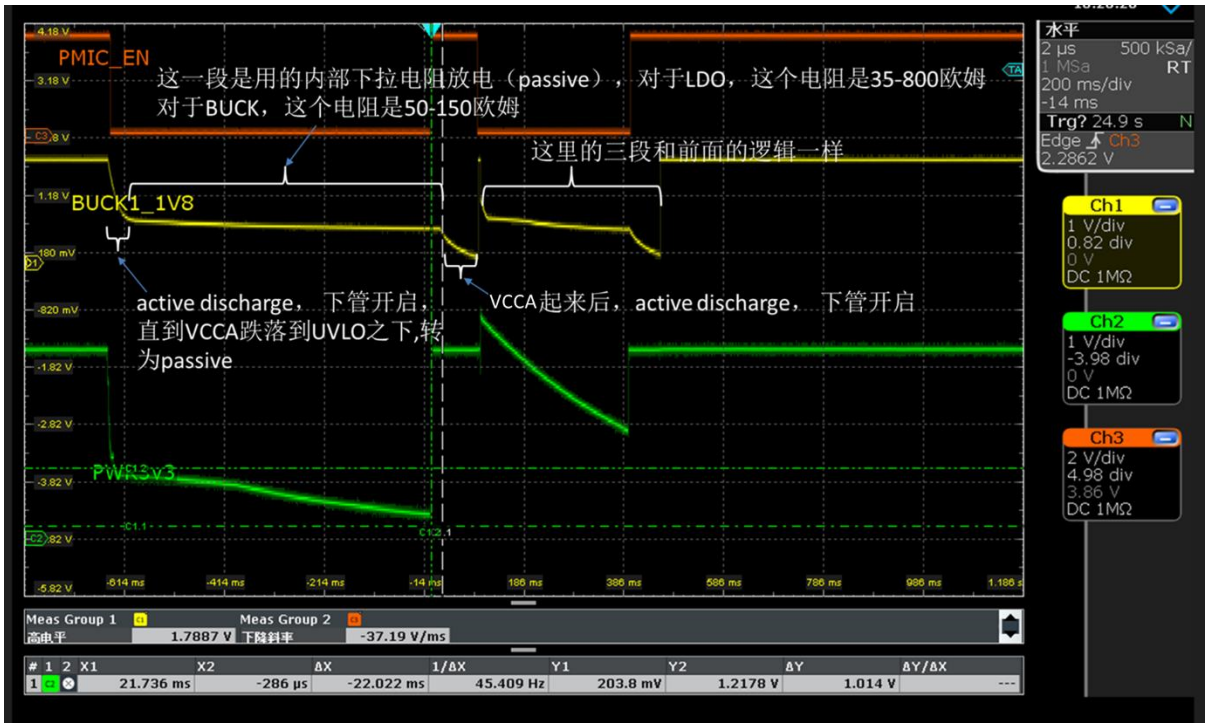

Figure 14. MCU 重启 SOC 系统 PMIC 电源轨波形

2.6 LP8764 VMON 输入应用注意事项

如图 15 所示，LP8764 有额外的 VMON 模块监控 GPIO7/8 送来的电压信号，这个电压信号一般是系统上关键的分立电源轨，PMIC 监控这些电压以支持更高级别的功能安全等级。然而 GPIO7/8 支持的最大监控电压最大不超过 5V，当监控大于 5V 的外部电源轨时，需要额外的分压电阻网络。考虑到系统的功耗，分压电阻不能取得太小，一般会选择 10kΩ 级别的电阻进行分压，系统如图 16 所示。

LP8764 的输入 IO 是 Fail safe 的设计，这个特殊的设计会导致需要足够的电流流入芯片导通内部的 PN 节，电流较小的场景下，会在 VINT+PN 节正向电压的电平处（1.8V+0.4V = 2.2V）出现一个台阶，输入电流越小，台阶停留时间越长。

这个较长的平台会造成 VMON BIST 失败，造成系统无法启动，解决方案有几个：

1. 系统级别设计时选取 kΩ 级别的分压电阻，从图 17 的测试结果来看，这个级别的电阻基本不会导致平台出现。
2. 调整分压电阻，确保分压后送入 PMIC 的电压低于 2.2V。
3. 调整 NVM 中上电序列的 VMON 开启时间，增加更长的延时，这一般适用于自定义 NVM 的场景。

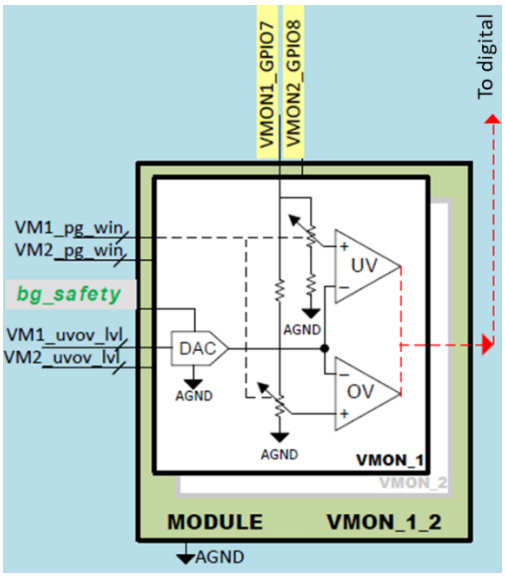

Figure 15. LP8764 VMON 模块

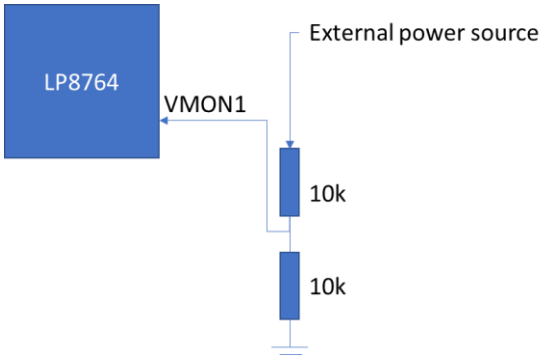

Figure 16. LP8764 VMON 外部电阻分压应用示意图

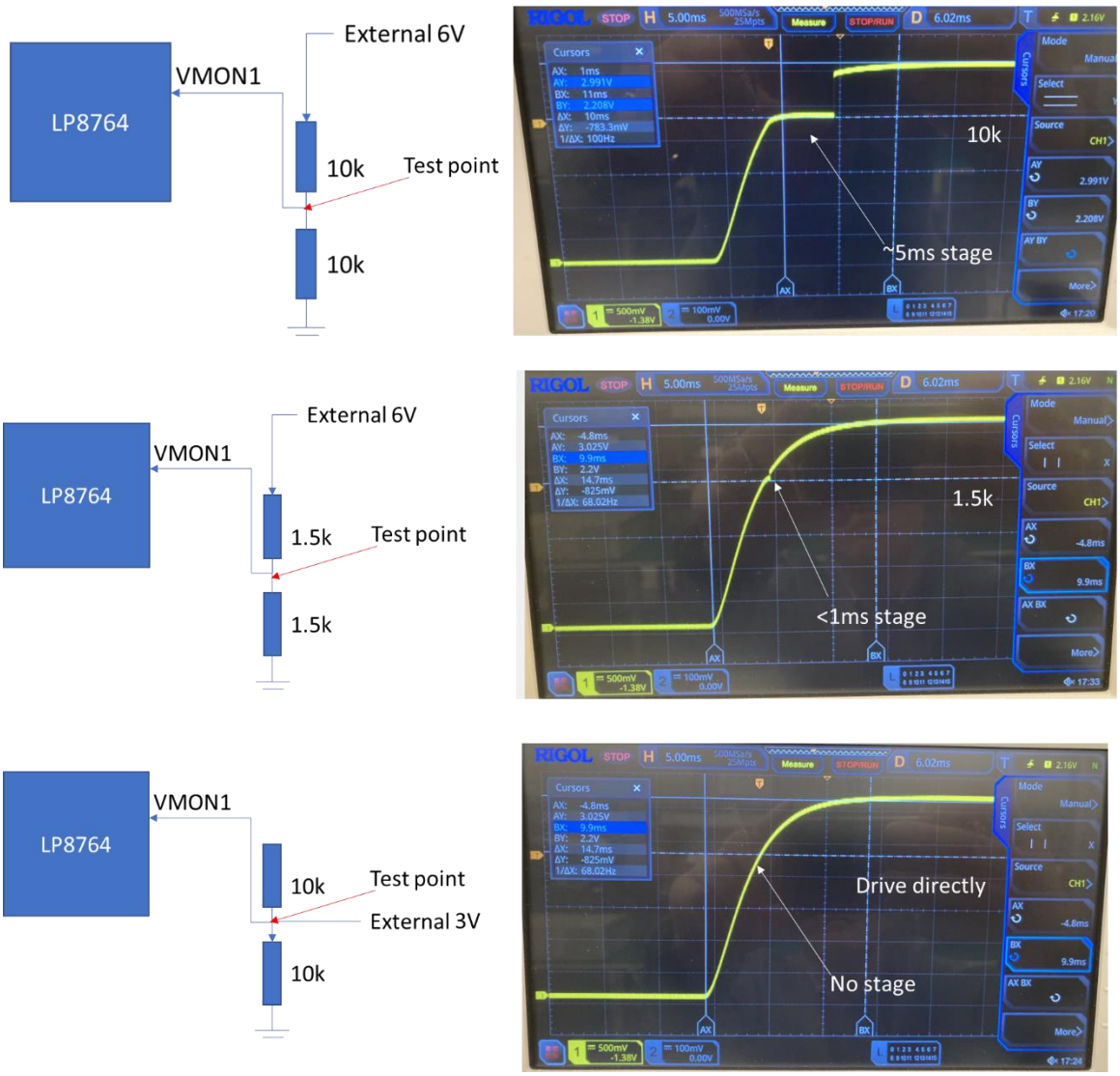

Figure 17. LP8764 VMON 不同驱动电流输入波形

3 参考文献

1. Datasheet “TPS6594-Q1 Power Management IC (PMIC) with 5 BUCKs and 4 LDOs for Safety-Relevant Automotive Applications”
2. Datasheet “LP8764-Q1 Four-Phase, 20-A Buck Converter With Integrated Switches”
3. User Guide “TPS65941213-Q1 and LP876411B4-Q1 PMIC User Guide for J721E, PDN-1A”
4. User Guide “TPS6594-Q1 Schematic PCB Checklist application note”

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。 严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司