

## TPS6594/LP8764 PMIC 应用指南 (一)

Lijia Zhu

### 摘要

随着新能源汽车的高速发展，汽车从电动化转向智能化，高阶辅助驾驶在各大 OEM 和 Tier1 的快速落地，TDA4 正在被广泛的使用在 ADAS 域控制器，车身域控制器和激光雷达等多种终端应用。以 TPS6594/LP8764 为代表的 TI 新一代 PMIC 家族，不仅是 TDA4 SOC 的最佳供电方案，也是其他型号 SOC 供电的良好选择。TPS6594/LP8764 具有高集成度，高可拓展性，支持高级别功能安全等特性，功能多且较复杂，应用起来会有不小的难度。本系列文章会从 TPS6594/LP8764 PMIC 的芯片主要机制介绍、系统设计注意点、常见问题定位思路、自定义 PMIC 固件 (NVM) 等方面进行分享。本文是系列文章的第一篇，对 PMIC 芯片内部的主要机制进行介绍。

### 目录

1	引言	3
2	TPS6594 主要模块简介	4
2.1	VSYS 输入控制模块	5
2.2	电源分配网络	7
2.3	电压监控机制	9
2.4	BUCK 模块	11
2.5	LDO 模块	15
2.6	IO 模块	16
3	参考文献	17

### 图

Figure 1.	TPS6594 结构框图	3
Figure 2.	LP8764 结构框图	3
Figure 3.	TPS6594 和 LP8764 系列型号汇总	4
Figure 4.	TPS6594 内部架构框图	5
Figure 5.	TPS6594 VSYS 控制模块架构框图	6
Figure 6.	TPS6594 Fail Short BIST PASS 的波形	7
Figure 7.	TPS6594 电源架构框图	8
Figure 8.	TPS6594 VMON 机制框图	9
Figure 9.	TPS6594 RV 机制示意图	11
Figure 10.	TPS6594 内部时钟树	12
Figure 11.	TPS6594 BUCK 模块框图	12
Figure 12.	SW 随负载电流变化 1	13
Figure 13.	SW 随负载电流变化 2	14

---

<b>Figure 14.</b>	<b>电感电流与负载电流关系 .....</b>	<b>15</b>
<b>Figure 15.</b>	<b>TPS6594 LDO 模块框图 .....</b>	<b>16</b>
<b>Figure 16.</b>	<b>TPS6594 GPIO 模块框图 .....</b>	<b>16</b>
<b>Figure 17.</b>	<b>TPS6594 ENDRV 典型应用示意图 .....</b>	<b>17</b>

# 1 引言

TPS6594/LP8764 系列是 TI 新一代 PMIC 产品，它具有高集成度，高可拓展性和高功能安全等特点。如图 1 所示，TPS6594 内部集成了 5 个 BUCK convertor 和 4 个 LDO，具有很高的集成度，同时 5 路 BUCK 中的前 4 路可以通过固件（NVM）被灵活的配置为多种输出模式（4 相并联输出，3 相并联+1 路独立 BUCK，2 相并联+2 路独立 BUCK，2 个 2 相并联输出和四个独立 BUCK 输出），LDO 既可以工作在 LDO 模式，也可以工作在 bypass 模式，bypass 模式下 LDO 仅做一个高边开关使用来控制上电时序而产生额外的电压降。同时，TPS6594 具有丰富的 GPIO，这些 GPIO 可以通过 NVM 配置为多种功能，包括外部唤醒输入，看门狗喂狗输入，使能输入，外部电压监控输入，外部高边开关/LDO/BUCK 的使能控制等功能，进一步提高了器件的拓展性。LP8764 芯片和 TPS6594 芯片具有类似的芯片架构，区别在于仅仅包含 4 路 BUCK 输出（和 6594 一样可以灵活配置五种输出模式）而没有 LDO，其架构如图 2 所示。

TPS6594/LP8764 使用 SPMI 接口进行多个 PMIC 间的状态同步，多个并联工作的 PMIC 的状态机可以视为一个整体，在功能安全方面，TPS6594 在设计阶段遵照 ISO26262 的要求进行开发，器件设计有大量功能安全的检测机制，包括看门狗，对输入电源轨的过压欠压监控和保护，输出电源轨的过流、过压欠压、残压的监控和保护，通信的完整性保护和寄存器完整性保护等机制，硬件上满足 99% 以上的单点失效覆盖，支持 ASILD 级别的功能安全。LP8764 使用了和 TPS6594 同样的 IP，常常作为辅 PMIC 和 TPS6594 在系统中配合使用。

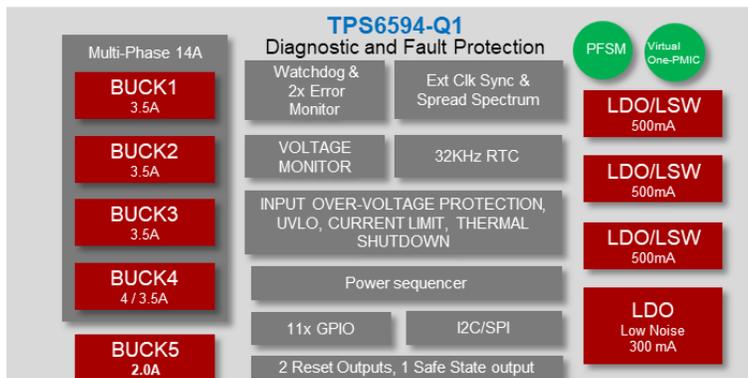


Figure 1. TPS6594 结构框图

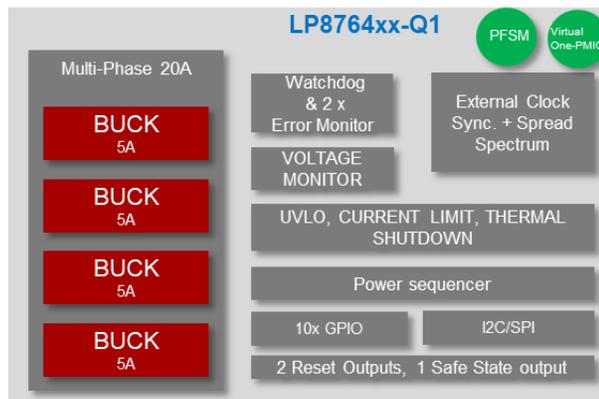


Figure 2. LP8764 结构框图

TPS6594 和 LP8764 目前各自有一个衍生型号 TPS6593 和 LP8769，他们的区别如图 3 所示。

General Part Number	区别
TPS6594-Q1	TPS6593在TPS6594基础上裁剪了输入的OVP保护功能，仅支持小系统到ASIL B，系统级别仍支持ASIL D
TPS6593-Q1	
LP8764-Q1	LP8769在LP8764基础上提升了输出精度，考虑输出AC+DC精度和监控精度，体现在负载端LP8764可以做到 +/- 5%精度，LP8769在输出电压低至700mV条件下，可以做到 +3%精度
LP8769-Q1	

**Figure 3. TPS6594 和 LP8764 系列型号汇总**

## 2 TPS6594 主要模块简介

TPS6594 和 LP8764 功能模块类似，这里以 TPS6594 为例对芯片内部主要模块进行介绍。TPS6594 的内部架构框图如图 4 所示，根据图中标记的数字顺序，我们可以把它粗略的分成以下几个模块：

1. VSYS 输入控制模块
2. 电源分配模块
3. 电压监控模块
4. BUCK 模块
5. LDO 模块
6. IO 模块
7. 数字逻辑模块

LP8764 没有 VSYS 输入控制模块和 LDO 模块，其他模块和 TPS6594 高度相似，可以相互参考。本文将对这些模块的功能和行为逻辑逐个展开介绍，限于篇幅，数字逻辑模块相关的内容放在后面的文章中叙述。

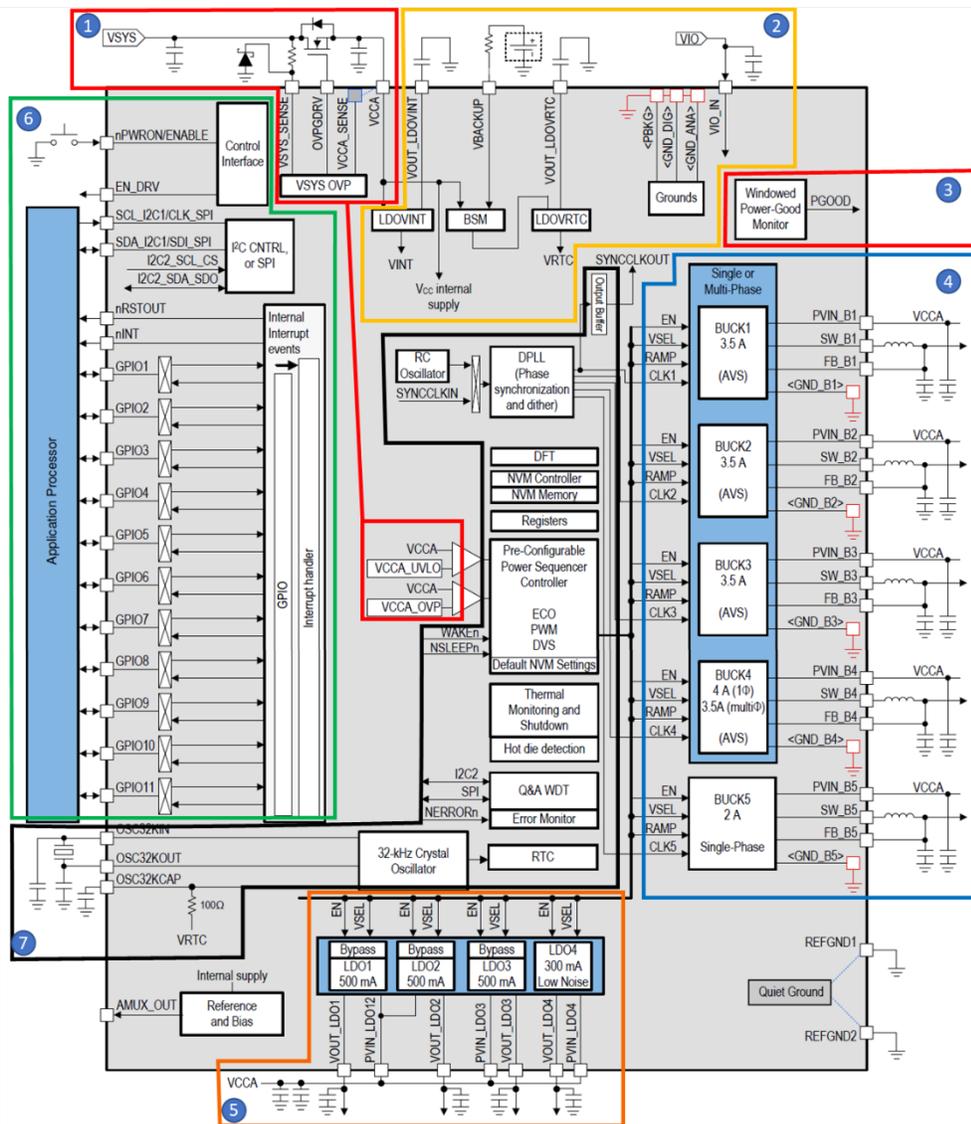


Figure 4. TPS6594 内部架构框图

## 2.1 VSYS 输入控制模块

TPS6594 是一颗低压输入的 PMIC，其输入电压最大值不超过 6V。而车载系统一般是 12V 电池供电，这要求系统上在前级增加一个一级 BUCK 将 12V 高压转换成小于 6V 的低压。TPS6594 对于这个一级 BUCK 的功能安全等级没有特殊要求，此芯片设计了在前级输出和芯片输入之间串联一个受控的 NMOS 的功能安全机制，可以避免第一级 BUCK 失效带来的系统级联失效，用户需要按照功能安全文档的 Assumption of Usage 来设计电路以达到系统级别的 ASIL D 功能安全目标。

TPS6594 设计了 VSYS 控制机制对这个 NMOS 进行控制，其结构如图 5 所示。OVPDRV Charge Pump 模块提供一个高压开启外置的 NMOS，VSYS\_OVP\_Monitor 监控输入的 VSYS 电压，将它和内部 bandgap 基准进行对比，如果超过设定的 VSYS\_OVP\_Rising 门限（5.8~6V，这里范围是指这个门限随不同芯片变化），关闭 NMOS 确保后续模块不受到影响。

当 VSYS\_SENSE 上电压超过 VSYS\_OVP\_Rising 门限时，内部有 Gate Discharge 模块对 NMOS 栅极电压进行放电以达到快速关闭的效果，Discharge 电路可以快速泄放最大 4nF 栅极电容的电荷。同时 VCCA 上面的电压由内部 VCCA\_PD 模块进行快速泄放，其泄放电阻在 140 欧姆左右。

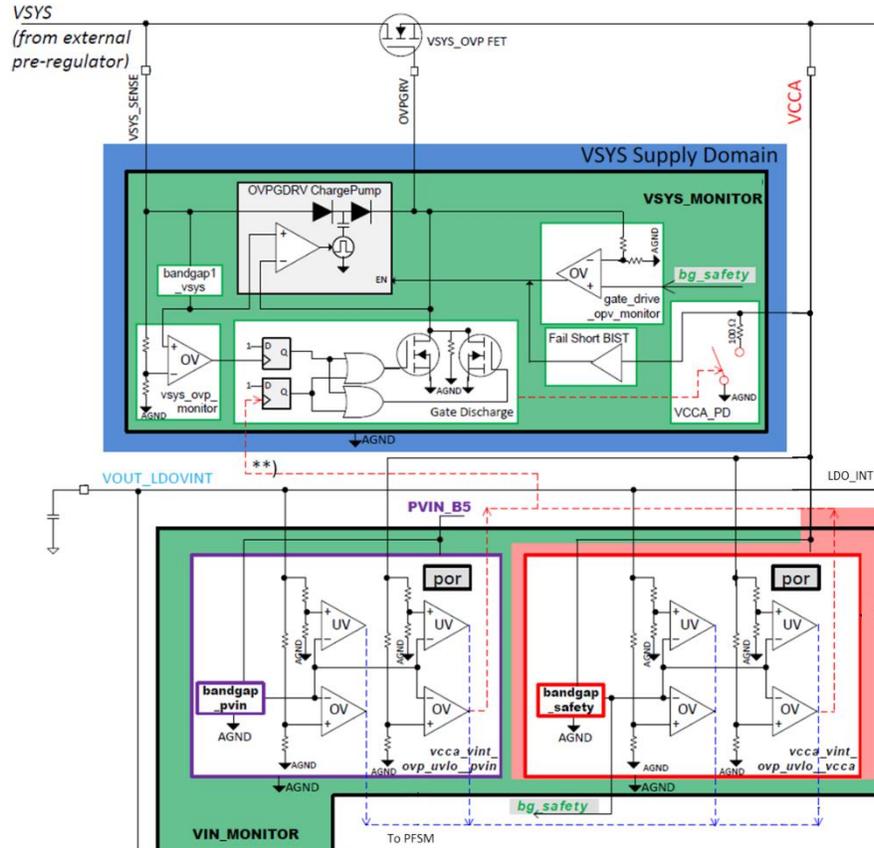


Figure 5. TPS6594 VSYS 控制模块架构框图

TPS6594 设计了特殊的 Fail Short BIST 测试来保证 NMOS 的 D 和 S 拥有足够大的阻抗在关闭状态下隔离 VSYS 和 VCCA，Fail Short BIST 会在 VSYS 电压达到 VSYS\_UVLO\_Rising\_TH (2.4~2.7V) 的开机门限后对 NMOS 做一个预开启的动作，然后根据 VCCA 上电压是否超过 OVP\_FET\_Short\_TH 的门限来判断 NMOS 的 D 和 S 是否短路。这个 BIST 动作和芯片的使能管脚被拉起与否无关，一个正常的上电波形如图 6 所示，我们在这里不用关注使能管脚的状态，可以看到 OVPDRV 在完全开启前会有一个小三角使得一部分能量流过 NMOS，VCCA 随之会出现一个台阶，这个台阶不会跌落，因为此时未达到 VCCA 的开机门限 (2.7~3V)，所以这部分能量不会被消耗，也不会进一步抬升，因为此时 NMOS 已经关闭，没有更多能量注入进来，芯片通过检测这个台阶电压是否低于  $V_{OVP\_FET\_Short\_TH}$  (0.3~0.42V) 来判断 NMOS 的 D 和 S 是否短路。



Figure 6. TPS6594 Fail Short BIST PASS 的波形

除了对于在输入侧对 VSYS 的直接监控，NMOS 的状态还受到 VCCA 电压的影响，TPS6594 内部有两个互为备份的输入电压监控模块，为了有别于后面介绍的 VCCA monitor 模块，这里称之为 VIN monitor。当 VCCA 电压超过 VCCA\_OVP\_Rising 门限时（对于 3.3V VIN 是 3.9~4.1V，对于 5V VIN 是 5.6~5.8V），开启 Gate Discharge 模块使得 OVPDRV 为 0V，关闭 NMOS 保护后级电路，信号通路如红色虚线所示。

同时这两个互为备份的监控电路还监控了 VINT 的过压 (>1.98V) / 欠压 (<1.62V) 和 VCCA 的 UVLO（手册写为 VPOR，有上升下降两个门限，值约为 2.7V，具有 100mV 的迟滞区间），这几个信号控制了数字逻辑的解复位，信号通路如蓝色虚线所示。这三个条件中有任意一个不满足，即使使能管脚被拉高，PMIC 还是不会上电。

VSYS 的这个控制机制对于高性能安全目标的达成是一个有利的机制，但是会对定位问题造成干扰，一旦 VSYS 或者 VCCA 触发过压保护（注意是 OVP 不是后文提到的 OV），VCCA 就会掉电，导致所有寄存器信息的丢失。因此在定位问题过程中，可以修改硬件屏蔽掉 VSYS 控制机制，方法是短接 NMOS 的 D 和 S，VSYS SENSE 管脚接地，此时无论 VSYS / VCCA 过压与否，VSYS 和 VCCA 始终相通，PMIC 的数字逻辑部分始终工作，寄存器信息一直会保留。

## 2.2 电源分配网络

TPS6594 的内部电源分配架构如图 7 所示，可以分为几个部分，VSYS 域，VCCA 域，VINT 域，VRTC 域和 VIO 域。其中 VSYS 域包括前面已做介绍的 VSYS 控制模块。VCCA 域从 VCCA 直接取电，包括前面介绍过的监控 VCCA 的 VIN monitor，内部基准源，为 EEPROM 供电的 LDO，为 INT 域和 RTC 域供电的两个 LDO 和 VBACKUP 主备电切换模块等等。

VINT 域模块由 INTLDO 稳压后输出的 1.8V 供电，VINT 电压可以在 2 号管 pin 到，这部分模块包括内部数字电路，时钟模块，BUCK/LDO 控制与监控模块，IO 模块和一个额外的 VCCA 监控模块等。

VRTC 域和 VINT 域类似，由一个单独的 LDO，即 LDORTC 供电，电压也是 1.8V，这个电压在芯片 3 号 pin 上可以测到，这部分的模块是所有需要在休眠模式下保持工作的部分，包括 RTC 时钟和唤醒电路等。当 VCCA UVLO 时，LDOINT 关闭，但是 LDORTC 电压可以选择从 VBACKUP 管脚取电，此时最基本的 RTC 功能会继续工作。

VIO 域比较特殊，在实际电路中一般需要从 PMIC 的输出取电，且仅仅包括部分 IO 管脚的输入输出部分电路，有部分 IO 的输入输出电路由 LDOINT 和 LDORTC 供电，因此应用中需要注意不同 IO 的高电平是不一样的。

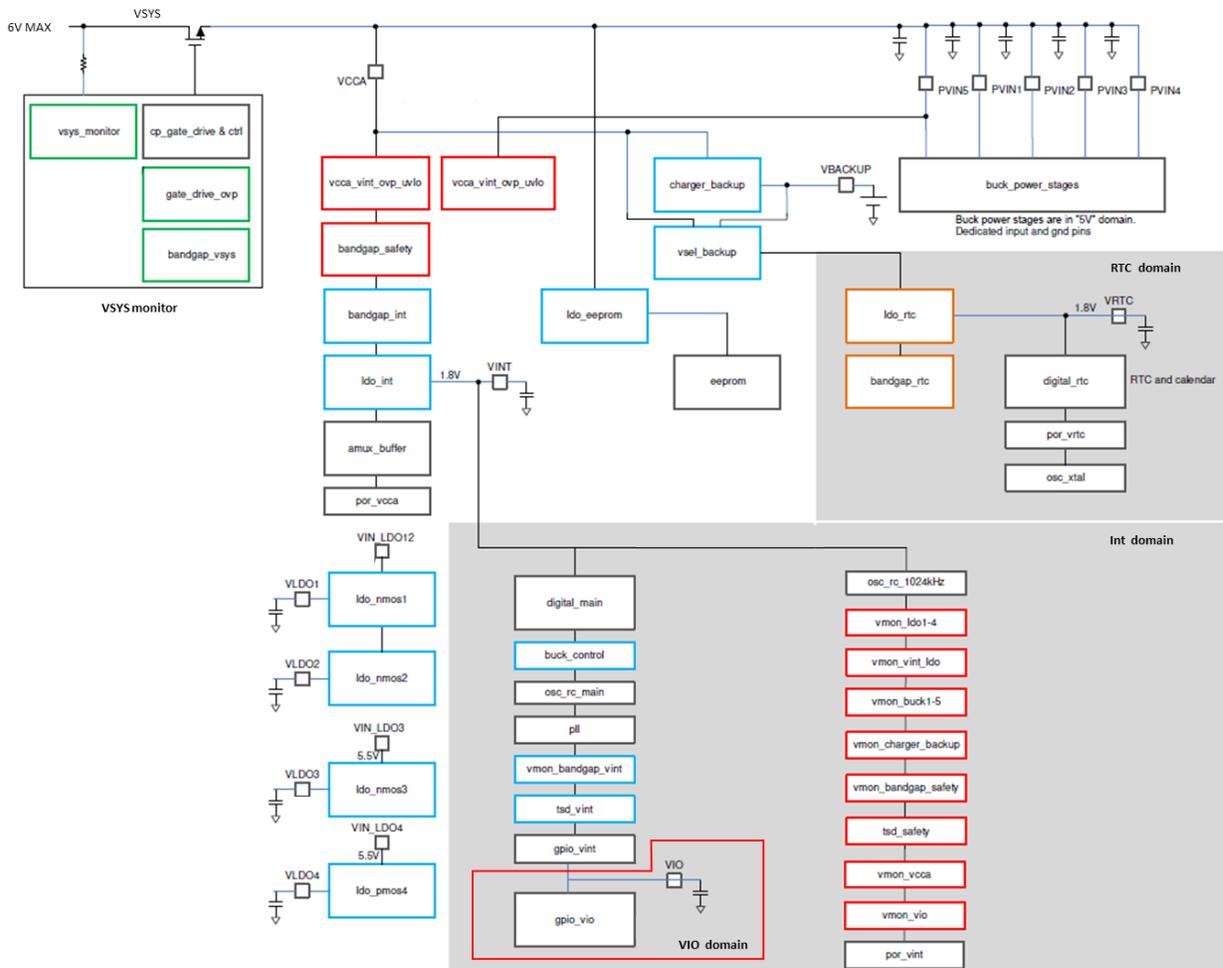


Figure 7. TPS6594 电源架构框图

### 2.3 电压监控机制

TPS6594 内部的电压监控模块如图 8 所示，共有三大类，VCCA VMON，BUCK VMON 和 LDO VMON。其中对于 BUCK 和 LDO 的 VMON 模块非常类似，都具有过压（OV），欠压（UV）和残压（RV）三个检测子模块，后续放在一起介绍。LP8764 内部还有独立的 VMON 模块用来监控从 GPIO7/8 送入的外部电压信号，其工作原理和 VCCA VMON 电压监控机制类似，这里不对它单独做展开介绍。

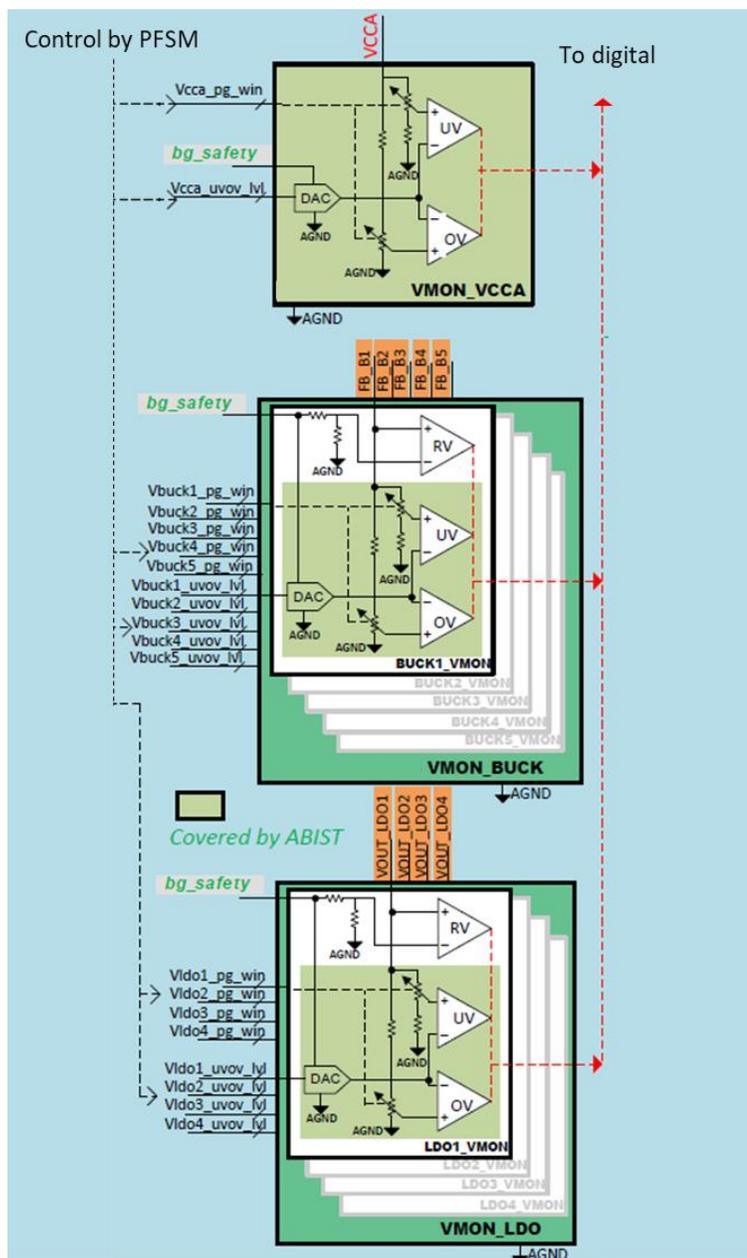


Figure 8. TPS6594 VMON 机制框图

VCCA VMON 是独立于前面提到的 VIN monitor 的冗余监控机制，VIN monitor 的门限是硬件设置的，其结果直接作用到 VSYS 控制模块使得器件处于掉电保护状态。而 VCCA VMON 的门限由 NVM（非易失存储器中固件）设置，其结果仅影响 FFSM（固定有限状态机）和 PFSM（可编辑有限状态机）的状态迁移，而 PFSM 的可编辑特性决定了 VCCA VMON 的输出根据不同的 PFSM 会表现不同的结果。有关 NVM 和状态机的内容会在系列文章的第二篇介绍。

VCCA monitor 由 OV 和 UV 两个比较器组成，OV 比较器的两个输入是 VCCA 电压和 NVM 设置的目标电压（ $uvov\_lvl$ ）+百分比门限（ $pg\_win$ ），UV 比较器的两个输入是 VCCA 电压和 NVM 设置的目标电压（ $uvov\_lvl$ ）-百分比门限（ $pg\_win$ ）。

了解了 VCCA 的两个监控机制（OVP 和 OV）后，可以更好的理解 VCCA UVLO，VCCA OVP，VCCA UV，VCCA OV，VSYS UVLO 和 VSYS OVP 是分别是触发了哪个机制，对应的芯片状态以及恢复的条件。下面把他们按照触发电平高低从低到高排列总结如下：

1. VSYS UVLO: VSYS 电压低于 VSYS\_UVLO\_Rising\_TH (2.4~2.7V) 门限，VSYS 控制逻辑处于复位状态，OVPDRV 为 0V，NMOS 关闭。VSYS 上电压高于 VSYS\_UVLO\_Rising\_TH 门限，开始 Fail Short BIST，并开启 NMOS。
2. VCCA UVLO: 这是 VIN monitor 的 UV 机制被触发。VCCA 上电压低于 VCCA\_UVLO 门限（约 2.7V），芯片数字逻辑部分处于复位状态。高于 VCCA UVLO 门限，芯片数字逻辑工作但是状态机不会进入初始化状态。
3. VCCA UV: 这是 VCCA VMON 的 UV 机制被触发。在启动阶段，VCCA 电压必须高于 VCCA UV 门限，状态机才会进入初始化状态。在正常工作情况下，VCCA UV 触发，芯片按照 PFSM 的内容决定状态的变化，可能是关机进入 safe 状态也可以是不做任何操作。
4. VCCA OV: 这是 VCCA VMON 的 OV 机制被触发。仅在正常工作状态下此监控机制才有效，芯片按照 PFSM 的内容芯片决定状态的变化，可能是关机进入 safe 状态也可以是不做任何操作。
5. VCCA OVP: 这是 VIN monitor 的 OV 机制被触发。VCCA OVP 触发时，OVPDRV 为 0V，关闭 NMOS。注意 VCCA OVP 触发后，VSYS 控制模块具有死锁机制，并不是 VCCA OVP 消失 OVPDRV 就会恢复，需要 VSYS 跌落至 VSYS\_UVLO\_Rising\_TH (2.4~2.7V) 门限以下，复位 VSYS 数字逻辑，OVPDRV 才会再次拉高。
6. VSYS OVP: 这是 VSYS monitor 的 OV 被触发。OVPDRV 为 0V，NMOS 立即关闭，即使 VSYS 上过压消失，NMOS 还是不会开启，VSYS 必须跌落至 VSYS\_RC\_TH 门限至少  $t_{VSYS\_RC\_TH}$  (5ms) 以下重启芯片 NMOS 才会再次开启。

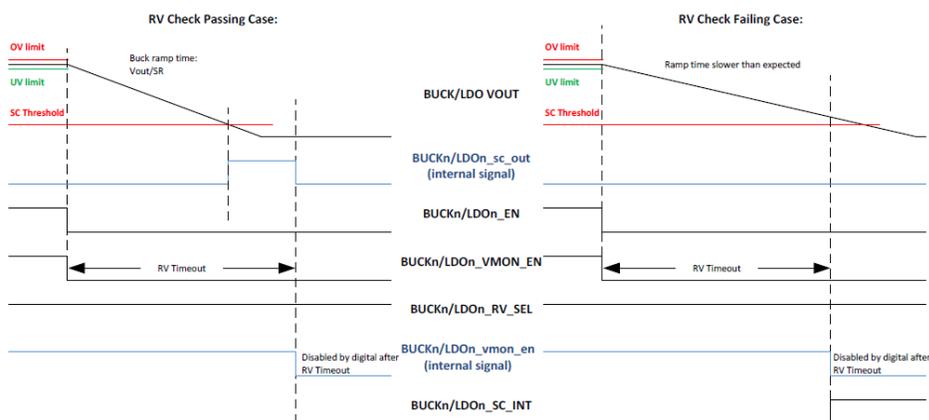
BUCK 和 LDO 的 VMON 模块包括三个比较器，其中 OV 和 UV 的原理与 VCCA VMON 的一样，不多做展开。各个 BUCK/LDO 的输出电压超过门限的结果送到 PFSM，根据 PFSM 设定来决定芯片的状态迁移。残压检测机制（RV）会在各个电源轨启动之前检测输出管脚上的电压，确保残留电压处于门限要求之下，用来避免残存电压可能导致的系统损坏。

RV 机制有两个应用场景，一是检测上电之前电源轨的残压，在启动阶段，残压会阻塞器件从 INIT 状态进入 BOOT BIST 状态，在残压消失之前，所有电源轨无输出，二是电源轨关机时的检测电源轨上面的电压，但是这个功能很少使用，一般不会使用。

对于 BUCK，残压可能来自于之前一次掉电未执行完毕，或 PVIN 管脚和 SW 管脚间短路，或芯片内部高边 MOS FET 短路。对于 LDO，残压可能意味着之前一次掉电未执行完毕，PVIN 管脚和 LDO 输出管脚间短路，或芯片内部功率 MOS 短路等。

如图 9 所示的是 BUCK 掉电后的残压检测的示意图，左边是 pass 的情况，右边是 fail 的情况，在达到超时门限后，若输出管脚电压仍然大于 TH\_SC\_RV（140~160mV），则输出告警信息到 PFSM，需要额外注意，RV 检测 fail 的告警和 BUCK 输出短路的告警使用同一个中断寄存器 bit（BUCKx\_SC\_INT），在定位问题过程中一定要注意区分。BUCK RV 超时门限需要根据公式  $BUCKn\_RV\_TIMEOUT = BUCKn\_VSET / BUCKn\_SLEW\_RATE + 100 \mu s$  来计算得到，其中 BUCKn\_VSET 是当前这路 BUCK 的设定电压，BUCKn\_SLEW\_RATE 是当前这路 BUCK 的上下电斜率，由寄存器设置。

LDO 的 RV 检测和 BUCK 非常类似，区别在于其超时门限由寄存器 LDOx\_RV\_TIMEOUT 直接设置，而不是根据上下电斜率计算得到。同 BUCK 一样，LDO RV fail 也和 LDO 短路共用一个中断 bit（LDOx\_SC\_INT）。



**Figure 9. TPS6594 RV 机制示意图**

## 2.4 BUCK 模块

了解 BUCK 模块之前有必要先了解下系统的时钟树。PMIC 内有三个时钟，时钟树如图 10 所示，128kHz 时钟提供给 VMON 模块，LDO 及 BUCK 的 charge pump 使用。20MHz 时钟共有两个，一个是主时钟，另一个是主时钟的基准以提供高功能安全保障，20M 主时钟经过 DPLL 后作为 BUCK 的 SW 时钟。同时 PMIC 支持从外部输入时钟来和外部 BUCK 的 SW 同步，当外部时钟输入存在时，EXT\_CLK\_INT 中断置位，芯片自动切换到使用外部时钟。TPS6594 同样支持将内部时钟送到外部去同步其他 BUCK 芯片，SYNCCLKOUT 可以设置在 GPIO8, GPIO9, 或 GPIO10 上面进行输出。



4. BUCK1+BUCK2+BUCK3+BUCK4，为四路独立输出，命名为 TPS659414xx，比如 TPS659411421.
5. BUCK1/2+BUCK3/4，为两路两相并联，命名为 TPS659415xx，比如 TPS65941515.

可以看到倒数第三个数字就是代表了不同的 BUCK 输出配置，而最后两个数字代表了不同 NVM 版本号。

BUCK 在单独工作时具有自动轻载模式和强制 PWM 模式可供选择，两个模式需要通过 NVM 对应的 bit 设置，在自动轻载模式下，当负载电流较小时 SW 间歇性发波以提高轻载下的效率。

在多相模式下，PMIC 支持根据负载情况自动增减相，因此在负载较轻的情况下，看到只有 BUCK1（对于第五种 BUCK 设置，则是 BUCK1 和 BUCK3）的 SW 有波形是完全合理的。同时开启了自动轻载和自动增减相的 SW 波形测试结果如图 12 和图 13 所示。从图 12 可以看到，在轻载条件下，器件处于 PFM 模式，负载逐渐增大，SW 逐渐变成 PWM 模式，此时仅 SW1 开启 PFM 向 PWM 的切换门限约 600mA，PWM 切回 PFM 的门限约 300mA。从图 13 可以看到，随着负载电流的增加，SW2 至 SW4 逐渐开启，切换门限依次在 2A，4A，6A 左右，注意这是负载从小到大的测试结果，大概在 0.8A，1.8A，2.4A。



Figure 12. SW 随负载电流变化 1

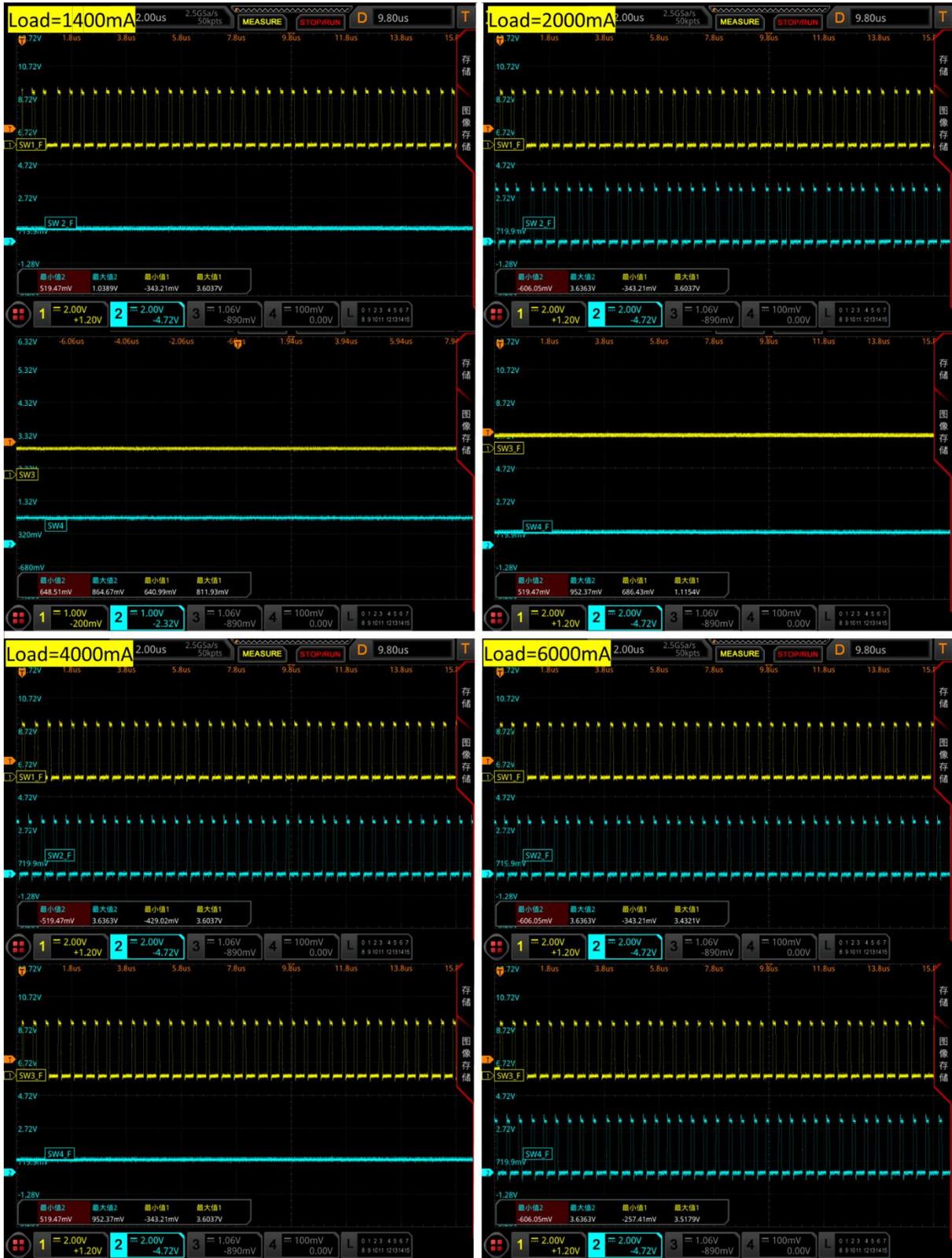
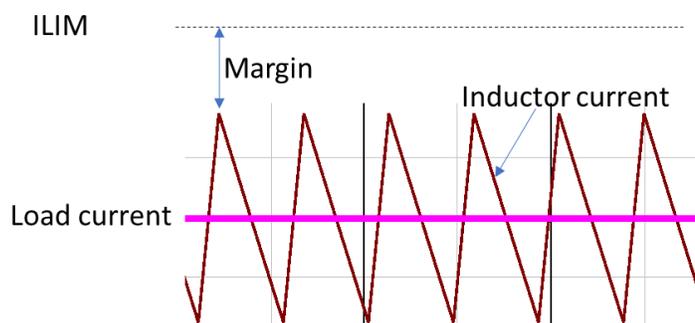


Figure 13. SW 随负载电流变化 2

BUCK 在工作中，会检测功率 MOS 上的电流，和设定的电流做门限  $ILIM$  对比，上管的门限由寄存器的  $BUCKx\_ILIM$  设定，有 2.5A、3.5A、4.5A 和 5.5A 几档，下管门限是固定的 2A。如果一个周期内上管电流超过了设定的  $ILIM$  值或下管电流没有低于 2A 门限，就会报  $BUCKx\_ILIM\_INT$  中断。需要注意，此电流检测机制检测的并非是对负载的电流的直接检测而是通过检测上下管电流间接监控了电感的电流。如图 14 所示的电感电流和负载电流的关系可以看到，要使用这个机制去检测负载过流就会有两个问题，一是非常粗略，仅有 4 个档位，二是间接测量，在设置  $BUCKx\_ILIM$  门限的时候一定要注意在 Load current 的基础上考虑电感的电流纹波，同时在电感峰值电流的基础上预留一定的裕量。

一般而言，TI 预设 NVM 的几款 TPS6594 和 LP8764 子型号中 PFSM 不会受  $ILIM\_INT$  中断的影响，通过设置  $EN\_ILIM\_FSM\_CTRL$  bit 为 0 实现，此状态下即使发生了过流，系统也不会关机。负载过流更多时候是靠 BUCK 输出 UV 来监控。



**Figure 14. 电感电流与负载电流关系**

BUCK 通过检测输出电压来判断 SW 是否对地短路，造成对地短路的潜在因素可能是下管短路到地或者负载对地短路。短路检测和 RV 检测共享一个硬件电路，因此他们也共享同一个门限和同一个中断 bit，即  $BUCKx\_SC\_INT$ ，当短路发生时，器件会根据 PFSM 的设置决定是否关机。

## 2.5 LDO 模块

LDO 框图如图 15 所示，其中 LDO1-3 使用 charge pump 驱动 NMOS，LDO4 是低噪声 LDO，使用 PMOS。LDO1-3 输出能力在 500mA 左右，LDO4 输出电流能力在 300mA 左右。根据寄存器的不同设置，LDO 既可以工作在 LDO 模式，也可以工作在 bypass 模式，Bypass 模式的 LDO 不在具有降压功能而仅仅充当一个 Load switch 控制上电时序。同 BUCK 一样，LDO 也有  $VOUT$  短路检测机制，当  $VOUT$  低于  $TH\_SC\_RV$  门限，器件报  $LDOx\_SC\_INT$  中断，这里和 BUCK 一样，LDO 短路和 RV 共享一个寄存器 bit。同 BUCK 对于上下管电流进行检测一样，LDO 也有功率管过流，门限为  $Ishort$  ( $LDO_n$ )，由硬件设定，LDO4 比 LDO1-3 低，应用时需要注意避免过流。

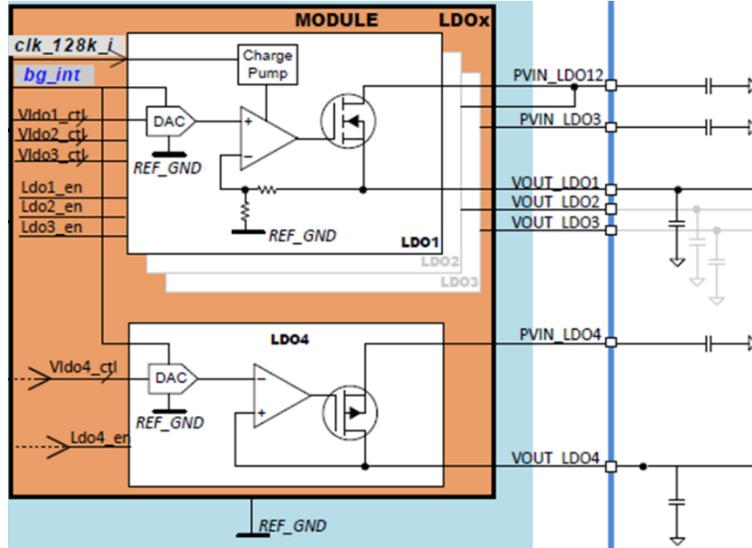


Figure 15. TPS6594 LDO 模块框图

## 2.6 IO 模块

TPS6594IO 模块包括 11 个 GPIO 和 nINT, EN\_DRV, and nRSTOUT 三个特定功能的 IO。其中 GPIO 可以通过寄存器配置复用为 SOC 的解复位 pin (nRSTOUT\_SOC)、power good 指示 (PGOOD)、SOC 和 MCU 的 ESM 输入 (nERR\_MCU& nERR\_SoC)、看门狗喂狗 (TRIG\_WDOG)、停用看门狗 (DISABLE\_WDOG)、外部唤醒 (WKUP1,WKUP2) 和低功耗唤醒 (LP\_WKUP1, LP\_WKUP2) 等等功能。如图 16 所示的 GPIO 框图，可以看到不同的 GPIO 由不同的电源供电，因此部分的复用功能只能在固定的 GPIO 上面使用，比如 LPWKUP，只能复用在 GPIO3/4 上面，因为他们两个 IO 是 VRTC 供电的，应用时，每个 GPIO 能够复用的功能需要参考手册内容合理分配。

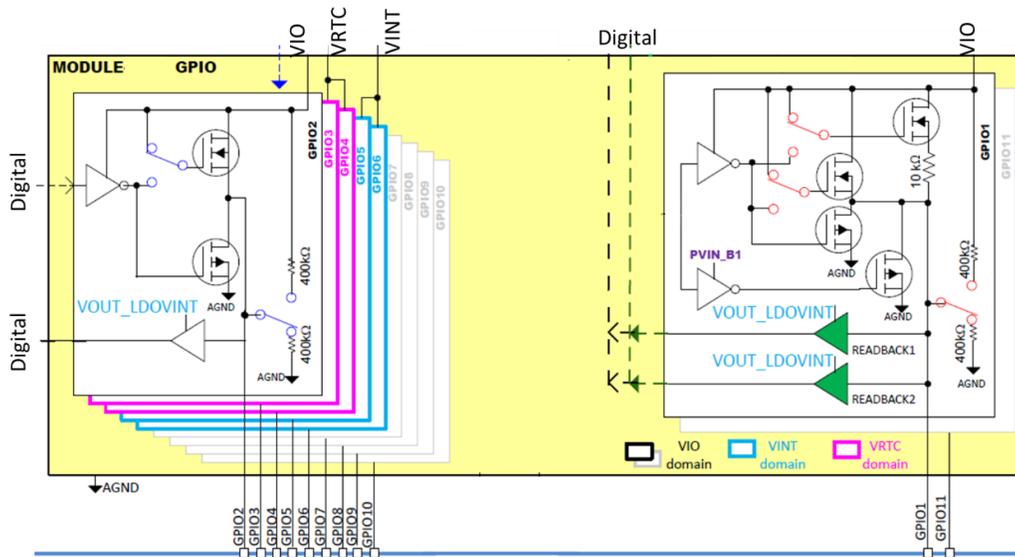


Figure 16. TPS6594 GPIO 模块框图

nRSTOUT 是 SOC 的解复位管脚，上电过程中此管脚保持低电平，直到所有电源轨上电结束，此管脚才会拉高，解复位 MCU。

nINT 是中断指示引脚，当 5A-6C 的中断寄存器有中断时，此管脚拉低。需要注意正常上电时也会产生一些中断，中断包括故障告警单还有其他的消息，这些中断的存在会导致即使正常上电，nINT 管脚也是个低电平，需要软件操作清除所有中断信息之后，此管脚才会拉高。

EN\_DRV 管脚用来控制系统外设的使能 pin，典型应用如图 17 所示。

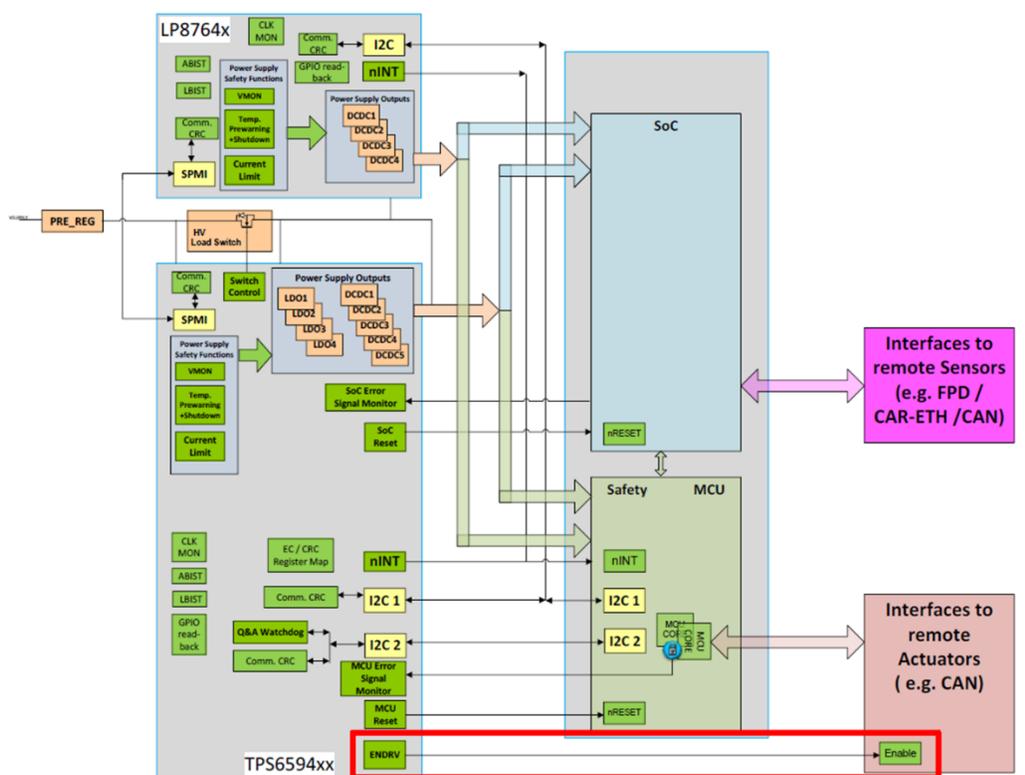


Figure 17. TPS6594 ENDRV 典型应用示意图

EN\_DRV 管脚的拉低由 PMIC 硬件控制，拉高由软件写寄存器操作，当系统中出现任何中断时，此管脚拉低，此拉低的权限高于寄存器操作拉高的权限。要拉高此管脚，需按照下面的操作流程：

1. 开始正常喂狗或禁用看门狗
2. 开始有正常 ESM 输入或禁用 ESM 机制
3. 清除所有 5A-6C 的中断寄存器的中断
4. 0x82 bit3 置 0
5. 0x80 bit0 置 1

### 3 参考文献

1. Datasheet “[TPS6594-Q1 Power Management IC \(PMIC\) with 5 BUCKs and 4 LDOs for Safety-Relevant Automotive Applications](#)”
2. Datasheet “[LP8764-Q1 Four-Phase, 20-A Buck Converter With Integrated Switches](#)”
3. Datasheet “TPS6594-Q1 Safety Manual” (request through mySecure)
4. Datasheet “LP8764-Q1 Safety Manual” (request through mySecure)

## 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
版权所有 © 2025，德州仪器 (TI) 公司