

Application Brief

TI 可编程逻辑器件中的模拟电压检测



Malcolm Lyn

简介

与 CPLD 或 FPGA 等其它可编程逻辑选项相比，TPLD 的一个主要优点是模拟宏单元。这些宏单元使 TPLD 能够检测并处理模拟信号与数字信号。本文档概述了一些可以处理和检测模拟电压的常见宏单元，并说明了如何使用它们。

分立式模拟比较器

一些 TPLD 有分立式的模拟比较器，如 图 1 所示。当 PUP (“上电”) 输入为逻辑高电平时，它们的运行方式与普通模拟比较器相同，并且可以将同相输入端提供的外部模拟信号与内部带隙电压基准或反相输入端的其他外部模拟信号进行比较。当同相输入端的电压大于反相输入端的电压时，比较器输出逻辑高电平，否则输出低电平。

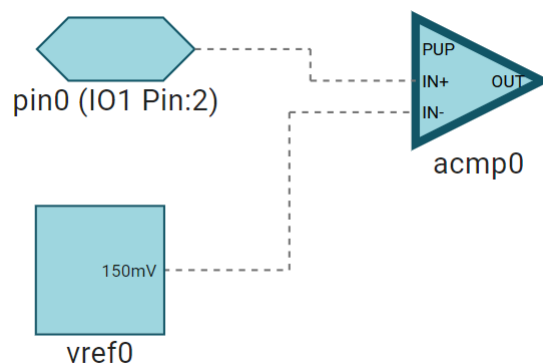


图 1. InterConnect Studio (ICS) 中的分立式模拟比较器宏单元

当 **PUP** 信号为逻辑低电平时，比较器会关闭以节省电力。图 2 中显示了分立式模拟比较器的仿真，该仿真将 3.3V 正弦波与 1.2V 带隙基准进行比较。

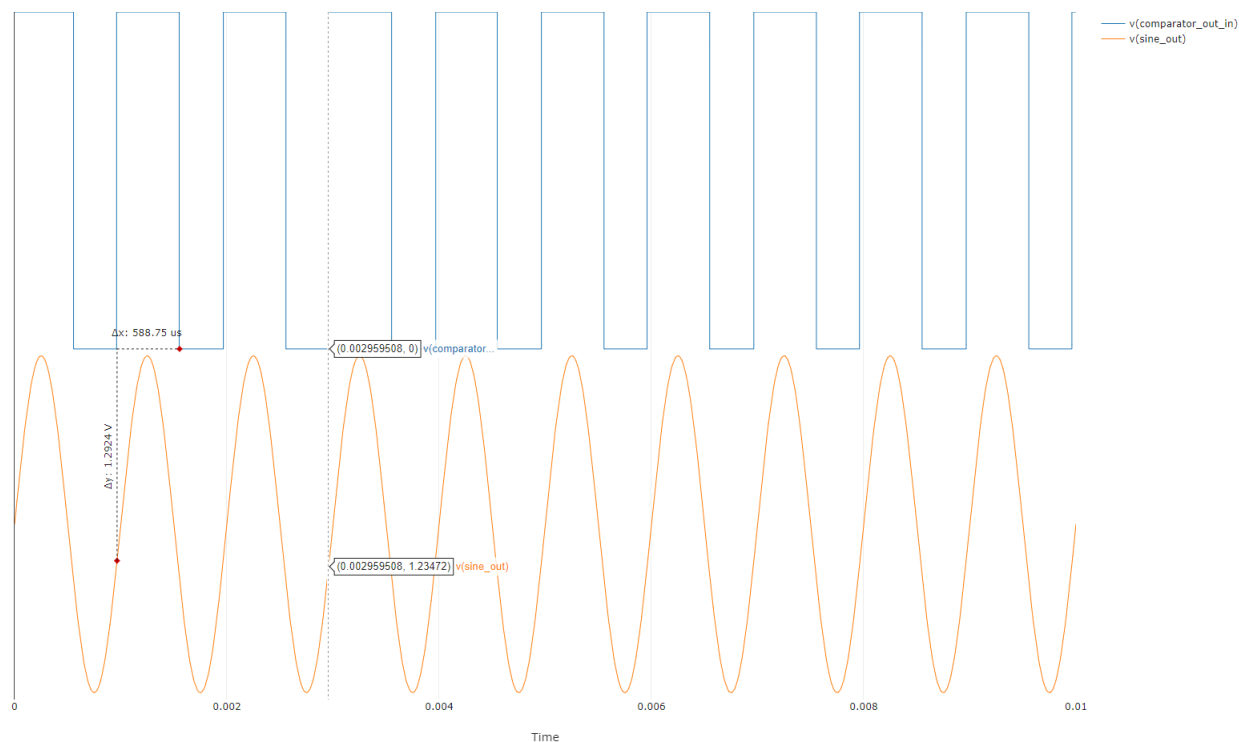


图 2. 分立式模拟比较器仿真

分立式模拟比较器的配置选项如图 3 所示。这些选项包括同相和反相输入的源选择、输入增益选项、迟滞选项和低带宽模式。迟滞选择设置在比较器触发点上提供了少量的噪声容限。例如，如果使用 1V 的内部基准电压和 200mV 的迟滞，则比较器触发点为 1.1V 和 0.9V。在与较低带宽的信号进行比较时，可以选择低带宽模式以节省电力并降低噪声影响。正输入增益设置可用于降低比较器感知到的同相输入的电压。

ANALOG COMPARATOR ⓘ		🔍 📄 🗑
Name	acmp0	
Label		
IN+ : Positive Input Source	IO1	▼
IN- : Voltage Select	1.20V	▼
Positive Input Gain	1.00X	▼
Low Bandwidth	☐	
Hysteresis	Disabled (0mv)	▼
Device MacroCell Allocated	Any(ACMP0)	▼

图 3. 分立式模拟比较器设置

多通道模拟比较器

除了分立式模拟比较器外，某些 TPLD 还具有多通道模拟比较器，或者只有多通道模拟比较器。多通道模拟比较器类似于具有多个通道的分立式模拟比较器，每个通道都有一对反相和同相输入。与分立式模拟比较器不同，在所选时钟信号的上升沿对输出进行采样，该比较器还包括一个可按通道启用的复位输入和一个数据就绪输出（当已对所有输出采样时置为高电平）。图 4 所示为启用了两个通道的多通道模拟比较器。

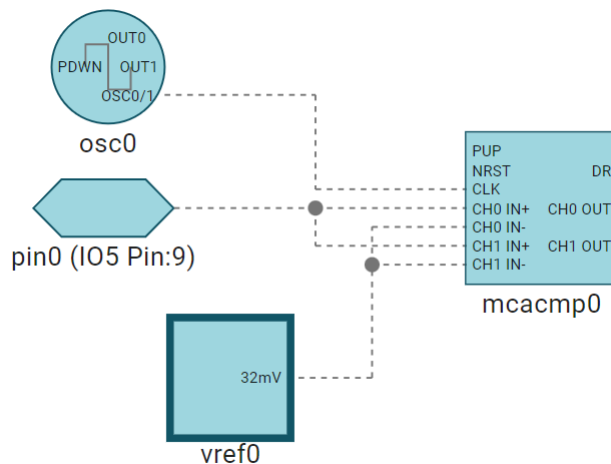


图 4. ICS 中的多通道模拟比较器

图 5 示出了比较器的配置选项。采样通道数量选择启用的通道数量，而 **McACMP** 时钟选择确定用于采样的时钟。**McACMP** 触发模式可设置为“电平敏感”或“边缘敏感”。如果选择了电平敏感型，则只要 **PUP** 置为高电平，比较器就会运行；而如果选择了边沿敏感型，比较器则会在 **PUP** 感知上升沿后对所有输出进行一次采样。温度传感器输入使能和 **VCC** 输入使能 使非反相输入引脚之一分别参考集成温度传感器或 **VCC**。

MULTI-CHANNEL ANALOG COMPARATOR ⓘ	
Name	mcacmp0
Label	
Temperature Sensor Input Enable	☐
VCC Input Enable	☐
McACMP Output Synchronicity	Staggered
McACMP Trigger Mode	Level sensitive EN mode
McACMP Clock Select	OSC0/1
Channel Amount Sampled	2 Channels

图 5. 多通道模拟比较器设置

McACMP 输出同步性 可以设置为“交错”或“同时”；“交错”意味着在对每个通道进行采样时立即对输出进行置位，而“同时”意味着在对所有启用的通道进行采样之前，不会对输出进行置位。两个通道的同时行为如 图 6 所示，而交错行为如 图 7 所示。在这两个仿真中，输入正弦波与 1.634V 进行了比较。请注意在 图 7 (交错行为) 中，黄色的第二个通道如何在蓝色的第一个通道之后置位一个时钟周期，以及通道 1 如何在交错模式下比在同步模式下更快地置位一个时钟周期。

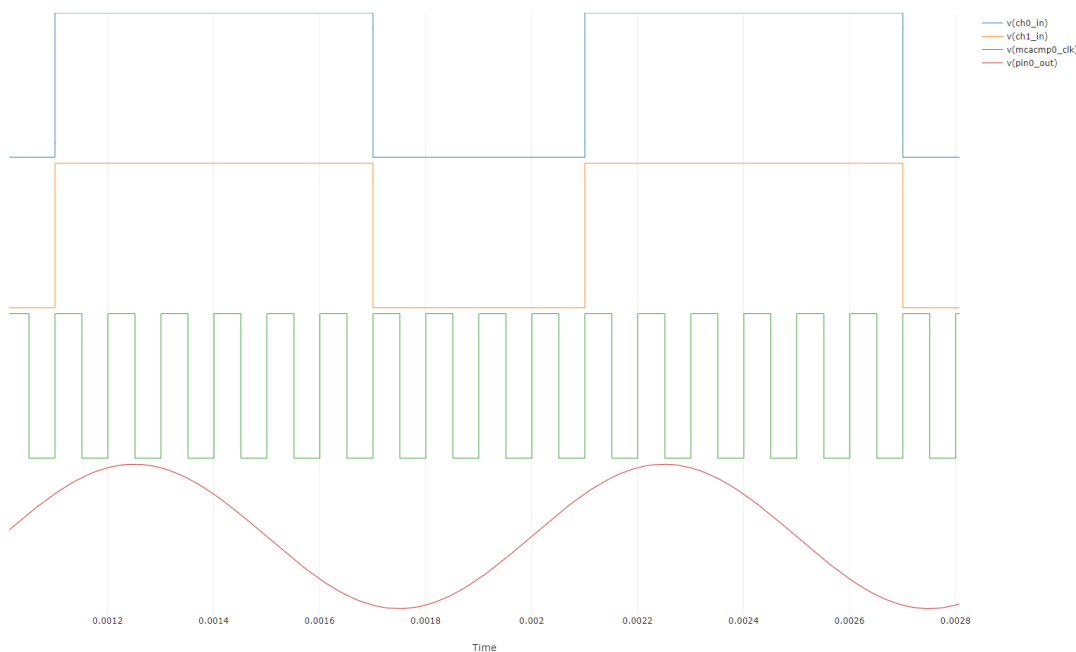


图 6. 多通道模拟比较器同步采样仿真

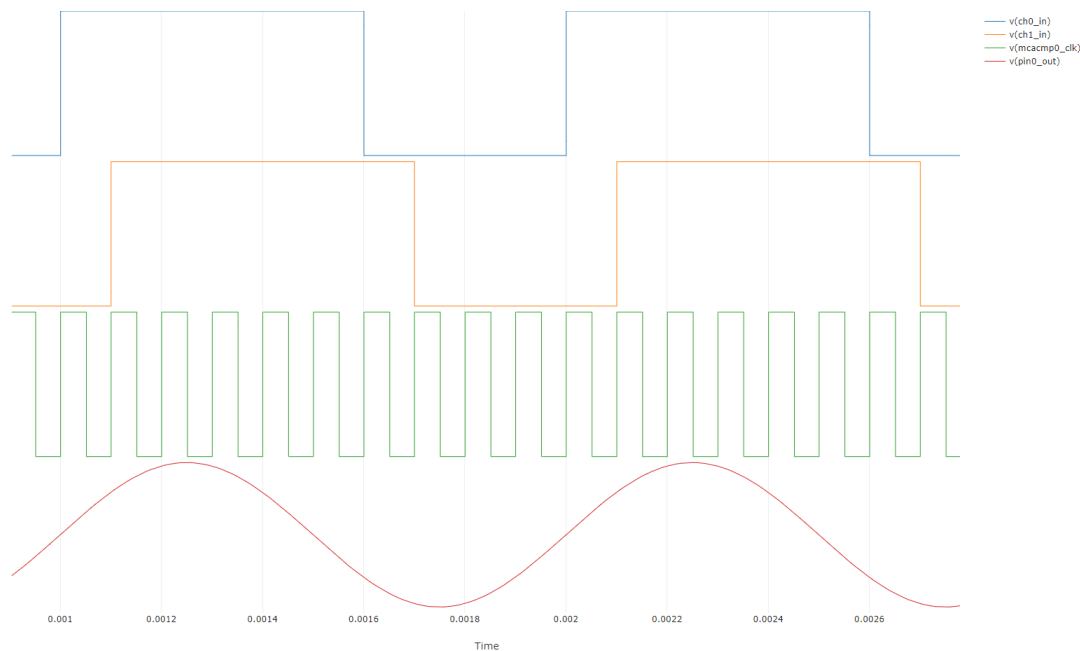


图 7. 多通道模拟比较器顺序采样仿真

图 8 显示了每个单独比较器通道的设置。请注意，这些设置与图 8 所示的分立式模拟比较器的设置相同，添加了为该通道启用异步复位的选项（不包括低带宽设置）。如果为给定通道启用了异步复位、则在 **NRST** 为低电平时，无论输入如何，该通道的输出都会置为低电平。

ACMP 0 Settings Settings Specific to ACMP 0 ^	
Hysteresis Select	Disabled (0mv) ▼
Positive Input Gain	1.00X ▼
IN+ : Positive Input Source	AI00 ▼
Reset Enable	☐
Amount of Voltage References	1 VREF ▼
IN- : Voltage Select	32mV ▼

图 8. 多通道模拟比较器通道设置

其他注意事项

当使用分立式或多通道模拟比较器进行模拟信号检测时，请确保遵守器件特定数据表的 *建议运行条件* 部分中通过 V_{AI} 建立的模拟输入电压限制。通常情况下，同相输入端上的电压不能超过 V_{CC} ，而反相输入端上的电压不能超过 $TPLD$ 内部带隙基准所提供的最大电压的值。

分立式和多通道比较器必须将 **PUP** 输入置为高电平（或如果处于上升沿模式，则被提供上升沿）才能运行。如果该信号为低电平，则比较器的输出为低电平。加电信号可通过连接到 V_{CC} 始终设置为高电平，通过连接到 GND 始终设置为低电平，也可通过来自输入引脚或器件中其他位置的数字信号进行动态更改。在上电信号被置为高电平后，比较器输出在大约 $100 \mu s$ 范围内变为有效；有关适当的启动时间，请参阅器件特定数据表，并验证内部振荡器在此期间是否未断电。

如果启用了迟滞，则迟滞必须小于反相输入端提供的基准电压。如果基准电压较小，则负触发点会被推至接地以下，这会将器件置于建议运行条件之外，从而缩短寿命或造成损坏。最后，正输入增益设置会在内部降低比较器输入端感知的电压，但不允许超过 V_{AI} 。

结语

通过使用集成式分立式和多通道模拟比较器， $TPLD$ 可用于检测各种低电压模拟信号。通过与数字元件结合使用，这些比较器使 $TPLD$ 能够在混合信号环境中用于各种感应和电压电平检测应用。

商标

所有商标均为其各自所有者的财产。

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司