

Application Note

TAC5x1x 和 TAC5x1x-Q1 数字通道混频器 - 配置和应用



Lakshmi Narasimhan Badrinarayanan

摘要

音频系统利用混音功能来实现诸如通道求和以提升 ADC 动态范围、混合多种音频输入源等应用。本应用手册介绍了这些数字混频器的操作。该应用手册还展示了如何根据不同的用例配置混频器。以下 ADC、DAC 和编解码器系列中提供了本应用手册中介绍的可配置混频器：

- TAC5212、TAC5112、TAC5211、TAC5111
- TAC5112-Q1、TAC5111-Q1
- TAA5212
- TAD5212、TAD5112
- TAD5212-Q1、TAD5112-Q1
- TAC5412-Q1、TAC5312-Q1、TAC5311-Q1
- TAA5412-Q1
- TAC5301-Q1

TAC 器件的录音和回放路径上都有数字混频器，而 TAA 器件仅在录音路径上有数字混频器，TAD 器件仅在回放路径上有数字混频器。

内容

1 简介.....	2
2 录音路径混频器.....	4
2.1 主要 ASI 混频器.....	4
2.2 辅助 ASI 混频器.....	10
2.3 ADC 至 DAC 环回混频器.....	13
2.4 DOUT 上的 TDM 传输.....	16
3 回放路径混频器.....	17
3.1 主要 ASI 混频器.....	17
3.2 辅助 ASI 混频器.....	24
3.3 回放路径侧链混频器.....	27
4 应用：用于提高 TAC5212 动态范围的 ADC 通道求和.....	32
5 应用：TAC5412-Q1 中的模拟输入转模拟输出信号流.....	34
6 总结.....	36
7 参考资料.....	37

商标

PurePath™ is a trademark of Texas Instruments.
is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

1 简介

TAC5x1x 和 TAC5x1x-Q1 系列音频编解码器具有两个独立的信号链，一个用于音频信号的录音（通过模拟和/或数字麦克风），另一个用于回放（通过 DAC）。

录音路径的每个通道都遵循图 1-1 所示的信号链。录音路径混频器中所述的混频器可混合多达四路信号，这些信号可通过一个 6 选 4 多路复用器从两个 ADC 通道和四个 PDM 麦克风通道中进行选取。

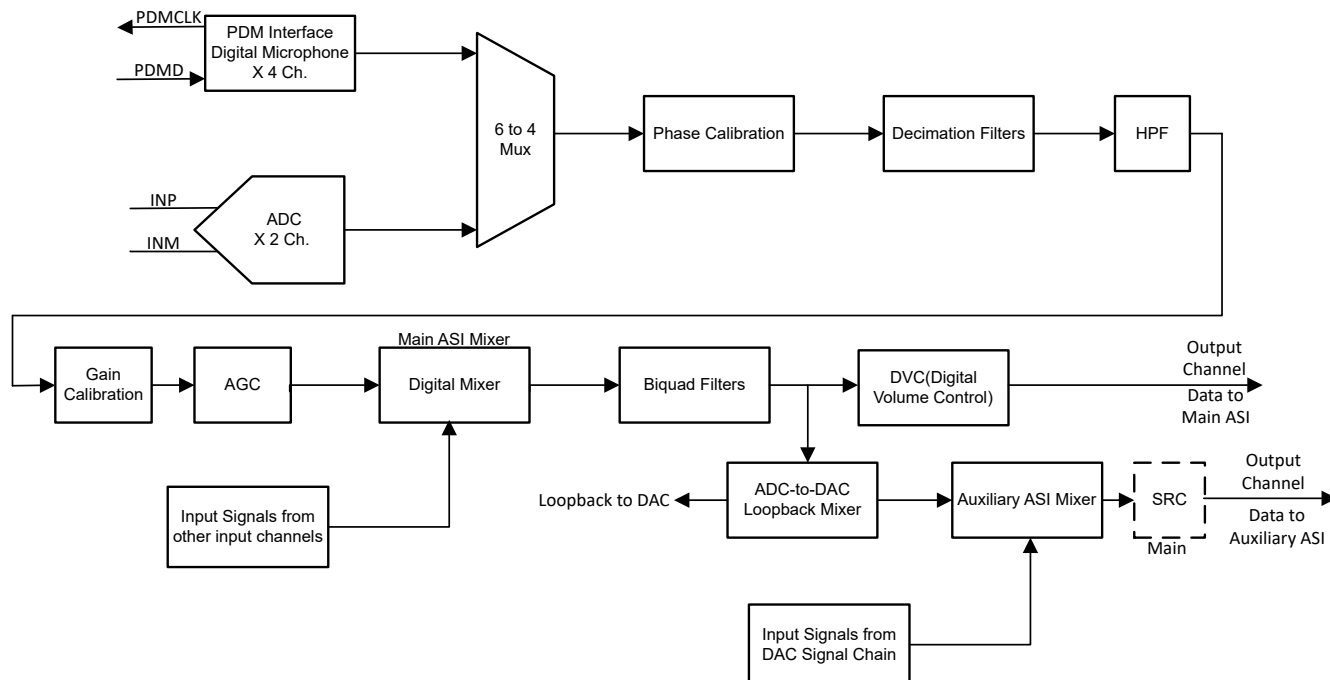


图 1-1. 录音路径信号链

同样地，回放路径的每个通道都遵循图 1-2 所示的信号链。回放路径混频器中所述的混频器可混合来自自主音频串行接口 (ASI) 路径的多达八路数字输入信号以及来自辅助 ASI 路径的两路数字信号，这些信号会在信号链的下游进一步处理。

当器件中采样速率转换器 (SRC) 为旁路状态时，主要 ASI 是指首要 ASI (PASI)，辅助 ASI 是指次要 ASI (SASI) 总线。当 SRC 处于活动状态时，主要 ASI 是指采样速率较快的 ASI 总线。有关采样率转换器的详细信息，请参阅 [TAx5x1x 同步采样率转换](#)。

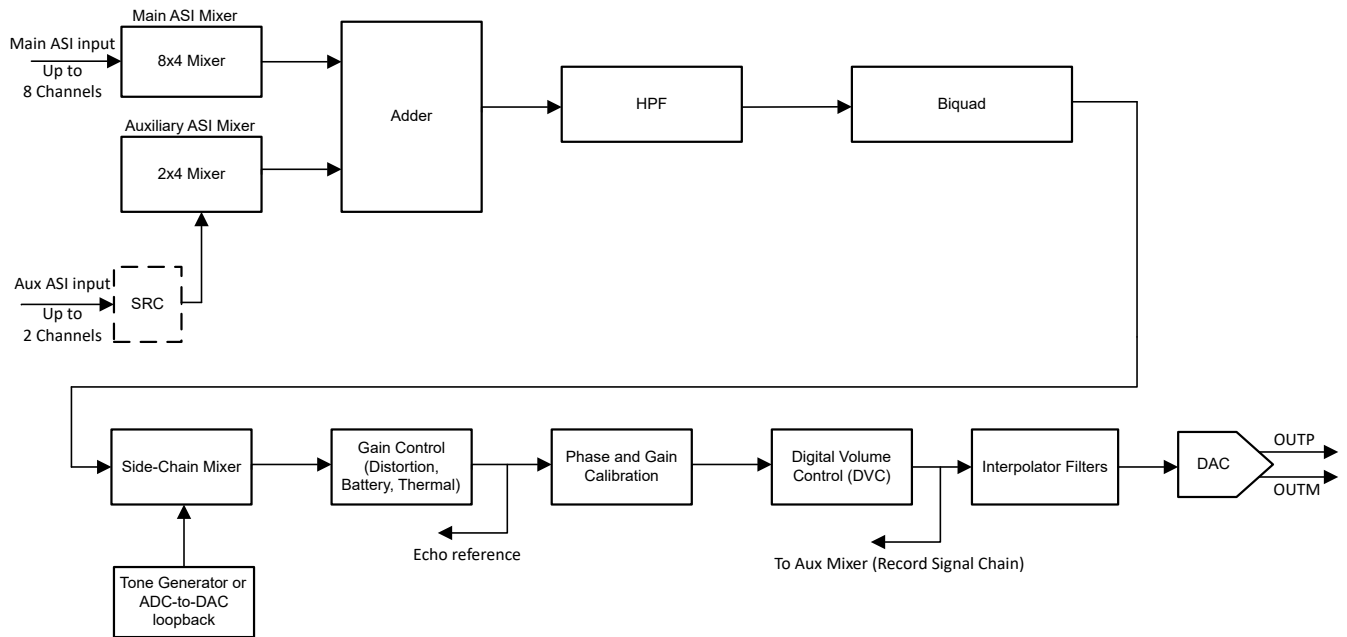


图 1-2. 回放路径信号链

本应用手册介绍了如何配置不同的混频器以获得所需的信号输出，还介绍了以下主要应用：

1. ADC 通道求和，如[应用：用于提高 TAC5212 动态范围的 ADC 通道求和](#)中所述，此功能可将动态范围提升 3dB。
2. 将 TAC5412-Q1 的模拟输入信号与数字输入信号混合并在模拟输出上播放混合生成的信号，如[应用：TAC5412-Q1 中的模拟输入转模拟输出信号流](#)中所述。

2 录音路径混频器

录音路径信号链由四个录音通道组成：

1. 通道 1 输入可以来自 ADC 或 PDM 路径 (通过 B0_P0_R19[7]选择)
2. 通道 2 输入可以来自 ADC 或 PDM 路径 (通过 B0_P0_R19[6]选择)
3. 通道 3 和 4 输入来自 PDM 路径

这四个输入中的每一个都通过信号链进行传输，可以在信号链的多个节点上混合并传输到其他信号处理块。录音路径中有三个混频器：

1. **主要 ASI 混频器**中所述的主要 ASI 混频器 混合了四路输入 (从 2 个 ADC/4 个 PDM 通道进行多路复用) 并为高通滤波器提供四路数字输出。
2. **辅助 ASI 混频器**中所述的辅助 ASI 混频器 在将混合数据发送到辅助 ASI 总线之前，会先将来自 ADC 到 DAC 环回路径的两个通道信号与来自回放路径的两个通道信号进行混合 (可选择通过采样率转换器 (SRC))。
3. **ADC 至 DAC 环回混频器**中所述的环回混频器 对来自双二阶滤波器的四个信号进行混合，并向回放路径输出两个数字信号。

2.1 主要 ASI 混频器

如图 2-1 所示，主要 ASI 混频器对录音路径信号链中来自 ADC 模块的四个 ADC/PDM 信号进行混合，并根据混频器系数提供输出。

虽然录音路径通道的输入 3 和 4 源自 PDM 麦克风路径，但通过配置 INTF_CFG4 寄存器(B0_P0_R29) 中的 PDM_CH1_SEL/PDM_CH2_SEL 字段，可以选择输入 1 和 2 源自 ADC 或 PDM 麦克风。

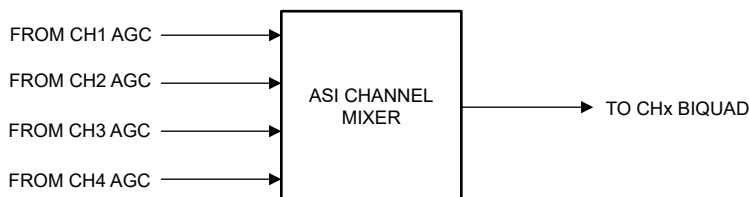


图 2-1. 录音路径主要 ASI 混频器

主 ASI 混频器的输出随后被发送至通道各信号路径中的数字双二阶滤波器。

混频器按照方程式 1 对四路数字输入进行混合

$$\text{Input for CH}_x \text{ Biquad} = a_x \times (\text{ADC/PDM CH1}) + b_x \times (\text{ADC/PDM CH2}) + c_x \times (\text{PDM CH3}) + d_x \times (\text{PDM CH4}) \quad (1)$$

系数 $[a_x, b_x, c_x, d_x]$ 按 1.31 格式编程为 32 位有符号值，并写入表 2-1 中所述的第 10 页寄存器。

表 2-1. 第 10 页主要 ASI 混频器的寄存器

寄存器地址	寄存器	寄存器说明	复位值	系数
0x08	ADC_MIX1_CH1_BYT1[7:0]	数字混频器 1, ADC 通道 1 系数字节[31:24]	0x7F	a_1
0x09	ADC_MIX1_CH1_BYT2[7:0]	数字混频器 1, ADC 通道 1 系数字节[23:16]	0xFF	
0x0A	ADC_MIX1_CH1_BYT3[7:0]	数字混频器 1, ADC 通道 1 系数字节[15:8]	0xFF	
0x0B	ADC_MIX1_CH1_BYT4[7:0]	数字混频器 1, ADC 通道 1 系数字节[7:0]	0xFF	
0x0C	ADC_MIX1_CH2_BYT1[7:0]	数字混频器 1, ADC 通道 2 系数字节[31:24]	0x00	b_1
0x0D	ADC_MIX1_CH2_BYT2[7:0]	数字混频器 1, ADC 通道 2 系数字节[23:16]	0x00	
0x0E	ADC_MIX1_CH2_BYT3[7:0]	数字混频器 1, ADC 通道 2 系数字节[15:8]	0x00	
0x0F	ADC_MIX1_CH2_BYT4[7:0]	数字混频器 1, ADC 通道 2 系数字节[7:0]	0x00	

表 2-1. 第 10 页主要 ASI 混频器的寄存器（续）

寄存器地址	寄存器	寄存器说明	复位值	系数
0x10	ADC_MIX1_CH3_BYT1[7:0]	数字混频器 1，ADC 通道 3 系数字节[31:24]	0x00	c ₁
0x11	ADC_MIX1_CH3_BYT2[7:0]	数字混频器 1，ADC 通道 3 系数字节[23:16]	0x00	
0x12	ADC_MIX1_CH3_BYT3[7:0]	数字混频器 1，ADC 通道 3 系数字节[15:8]	0x00	
0x13	ADC_MIX1_CH3_BYT4[7:0]	数字混频器 1，ADC 通道 3 系数字节[7:0]	0x00	
0x14	ADC_MIX1_CH4_BYT1[7:0]	数字混频器 1，ADC 通道 4 系数字节[31:24]	0x00	d ₁
0x15	ADC_MIX1_CH4_BYT2[7:0]	数字混频器 1，ADC 通道 4 系数字节[23:16]	0x00	
0x16	ADC_MIX1_CH4_BYT3[7:0]	数字混频器 1，ADC 通道 4 系数字节[15:8]	0x00	
0x17	ADC_MIX1_CH4_BYT4[7:0]	数字混频器 1，ADC 通道 4 系数字节[7:0]	0x00	
0x18	ADC_MIX2_CH1_BYT1[7:0]	数字混频器 2，ADC 通道 1 系数字节[31:24]	0x00	a ₂
0x19	ADC_MIX2_CH1_BYT2[7:0]	数字混频器 2，ADC 通道 1 系数字节[23:16]	0x00	
0x1A	ADC_MIX2_CH1_BYT3[7:0]	数字混频器 2，ADC 通道 1 系数字节[15:8]	0x00	
0x1B	ADC_MIX2_CH1_BYT4[7:0]	数字混频器 2，ADC 通道 1 系数字节[7:0]	0x00	
0x1C	ADC_MIX2_CH2_BYT1[7:0]	数字混频器 2，ADC 通道 2 系数字节[31:24]	0x7F	b ₂
0x1D	ADC_MIX2_CH2_BYT2[7:0]	数字混频器 2，ADC 通道 2 系数字节[23:16]	0xFF	
0x1E	ADC_MIX2_CH2_BYT3[7:0]	数字混频器 2，ADC 通道 2 系数字节[15:8]	0xFF	
0x1F	ADC_MIX2_CH2_BYT4[7:0]	数字混频器 2，ADC 通道 2 系数字节[7:0]	0xFF	
0x20	ADC_MIX2_CH3_BYT1[7:0]	数字混频器 2，ADC 通道 3 系数字节[31:24]	0x00	c ₂
0x21	ADC_MIX2_CH3_BYT2[7:0]	数字混频器 2，ADC 通道 3 系数字节[23:16]	0x00	
0x22	ADC_MIX2_CH3_BYT3[7:0]	数字混频器 2，ADC 通道 3 系数字节[15:8]	0x00	
0x23	ADC_MIX2_CH3_BYT4[7:0]	数字混频器 2，ADC 通道 3 系数字节[7:0]	0x00	
0x24	ADC_MIX2_CH4_BYT1[7:0]	数字混频器 2，ADC 通道 4 系数字节[31:24]	0x00	d ₂
0x25	ADC_MIX2_CH4_BYT2[7:0]	数字混频器 2，ADC 通道 4 系数字节[23:16]	0x00	
0x26	ADC_MIX2_CH4_BYT3[7:0]	数字混频器 2，ADC 通道 4 系数字节[15:8]	0x00	
0x27	ADC_MIX2_CH4_BYT4[7:0]	数字混频器 2，ADC 通道 4 系数字节[7:0]	0x00	
0x28	ADC_MIX3_CH1_BYT1[7:0]	数字混频器 3，ADC 通道 1 系数字节[31:24]	0x00	a ₃
0x29	ADC_MIX3_CH1_BYT2[7:0]	数字混频器 3，ADC 通道 1 系数字节[23:16]	0x00	
0x2A	ADC_MIX3_CH1_BYT3[7:0]	数字混频器 3，ADC 通道 1 系数字节[15:8]	0x00	
0x2B	ADC_MIX3_CH1_BYT4[7:0]	数字混频器 3，ADC 通道 1 系数字节[7:0]	0x00	
0x2C	ADC_MIX3_CH2_BYT1[7:0]	数字混频器 3，ADC 通道 2 系数字节[31:24]	0x00	b ₂
0x2D	ADC_MIX3_CH2_BYT2[7:0]	数字混频器 3，ADC 通道 2 系数字节[23:16]	0x00	
0x2E	ADC_MIX3_CH2_BYT3[7:0]	数字混频器 3，ADC 通道 2 系数字节[15:8]	0x00	
0x2F	ADC_MIX3_CH2_BYT4[7:0]	数字混频器 3，ADC 通道 2 系数字节[7:0]	0x00	
0x30	ADC_MIX3_CH3_BYT1[7:0]	数字混频器 3，ADC 通道 3 系数字节[31:24]	0x7F	c ₃
0x31	ADC_MIX3_CH3_BYT2[7:0]	数字混频器 3，ADC 通道 3 系数字节[23:16]	0xFF	
0x32	ADC_MIX3_CH3_BYT3[7:0]	数字混频器 3，ADC 通道 3 系数字节[15:8]	0xFF	
0x33	ADC_MIX3_CH3_BYT4[7:0]	数字混频器 3，ADC 通道 3 系数字节[7:0]	0xFF	
0x34	ADC_MIX3_CH4_BYT1[7:0]	数字混频器 3，ADC 通道 4 系数字节[31:24]	0x00	d ₃
0x35	ADC_MIX3_CH4_BYT2[7:0]	数字混频器 3，ADC 通道 4 系数字节[23:16]	0x00	
0x36	ADC_MIX3_CH4_BYT3[7:0]	数字混频器 3，ADC 通道 4 系数字节[15:8]	0x00	
0x37	ADC_MIX3_CH4_BYT4[7:0]	数字混频器 3，ADC 通道 4 系数字节[7:0]	0x00	
0x38	ADC_MIX4_CH1_BYT1[7:0]	数字混频器 4，ADC 通道 1 系数字节[31:24]	0x00	a ₄
0x39	ADC_MIX4_CH1_BYT2[7:0]	数字混频器 4，ADC 通道 1 系数字节[23:16]	0x00	
0x3A	ADC_MIX4_CH1_BYT3[7:0]	数字混频器 4，ADC 通道 1 系数字节[15:8]	0x00	
0x3B	ADC_MIX4_CH1_BYT4[7:0]	数字混频器 4，ADC 通道 1 系数字节[7:0]	0x00	

表 2-1. 第 10 页主要 ASI 混频器的寄存器（续）

寄存器地址	寄存器	寄存器说明	复位值	系数
0x3C	ADC_MIX4_CH2_BYT1[7:0]	数字混频器 4，ADC 通道 2 系数字节[31:24]	0x00	b ₄
0x3D	ADC_MIX4_CH2_BYT2[7:0]	数字混频器 4，ADC 通道 2 系数字节[23:16]	0x00	
0x3E	ADC_MIX4_CH2_BYT3[7:0]	数字混频器 4，ADC 通道 2 系数字节[15:8]	0x00	
0x3F	ADC_MIX4_CH2_BYT4[7:0]	数字混频器 4，ADC 通道 2 系数字节[7:0]	0x00	
0x40	ADC_MIX4_CH3_BYT1[7:0]	数字混频器 4，ADC 通道 3 系数字节[31:24]	0x00	c ₄
0x41	ADC_MIX4_CH3_BYT2[7:0]	数字混频器 4，ADC 通道 3 系数字节[23:16]	0x00	
0x42	ADC_MIX4_CH3_BYT3[7:0]	数字混频器 4，ADC 通道 3 系数字节[15:8]	0x00	
0x43	ADC_MIX4_CH3_BYT4[7:0]	数字混频器 4，ADC 通道 3 系数字节[7:0]	0x00	
0x44	ADC_MIX4_CH4_BYT1[7:0]	数字混频器 4，ADC 通道 4 系数字节[31:24]	0x7F	d ₄
0x45	ADC_MIX4_CH4_BYT2[7:0]	数字混频器 4，ADC 通道 4 系数字节[23:16]	0xFF	
0x46	ADC_MIX4_CH4_BYT3[7:0]	数字混频器 4，ADC 通道 4 系数字节[15:8]	0xFF	
0x47	ADC_MIX4_CH4_BYT4[7:0]	数字混频器 4，ADC 通道 4 系数字节[7:0]	0xFF	

2.1.1 混频器系数的 Q-31 格式

录音路径混频器的系数 [如 a_x 、 b_x 、 c_x 、 d_x] 被编程为 32 位二进制补码值，各占用器件寄存器空间中的四个连续寄存器。这些混频器系数采用 1.31 格式，范围为 -1 (0x80000000) 至 0.9999999995 (0x7FFFFFFF)，也可以是 2.30 格式，范围为 -2 (0x80000000) 至 1.9999999991 (0x7FFFFFFF)。这些表示形式，如图 2-2 中所示。

- 将浮点数转换为相应的 Q31 格式时，需将浮点混频器系数乘以 2^{31} (对于 1.31 格式) 或 2^{30} (对于 2.30 格式)，并截断为最接近的整数。
 - 例如，系数为 0.4 时，在 1.31 格式下对应的整数值为 858993459。
 - 同样，系数为 1.25 时，在 2.30 格式下对应的整数值为 1288490189
- 正整数可直接转换为十六进制格式。
- 对于负整数，先取系数的绝对值，再将该值转换为二进制，取反后加一，然后转换为十六进制。例如，要以 32 位二进制补码十六进制格式表示 -135：
 - 135 的绝对值用二进制表示为 0000 0000 0000 0000 0000 0000 1000 0111 (用十六进制表示为 0x00000087)。
 - 二进制取反的结果用二进制表示为 1111 1111 1111 1111 1111 1111 0111 1000 (用十六进制表示为 0xFFFFF78)。这就是该负整数的二进制补码表示。

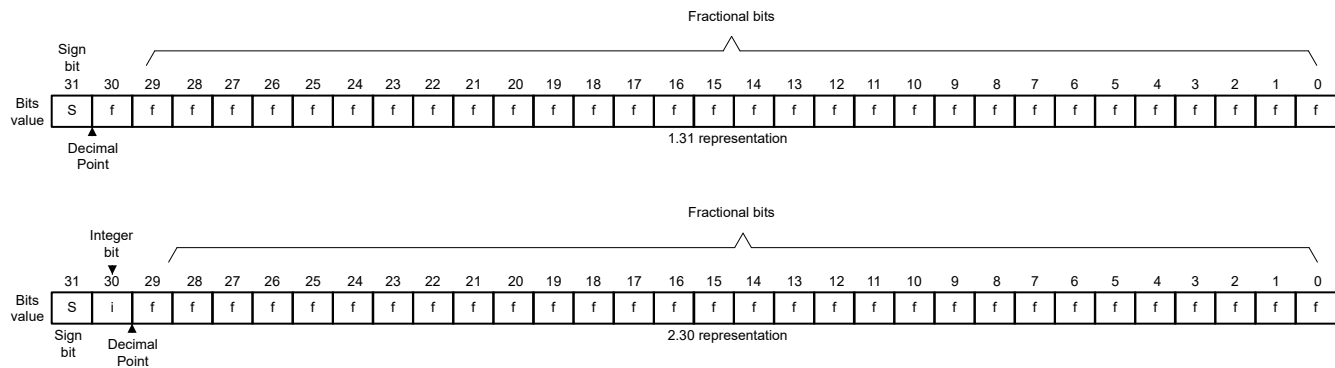


图 2-2. Q-31 格式浮点数表示 (1.31/2.30)

2.1.2 录音路径主要 ASI 混频器：示例

本节介绍录音路径上主要 ASI 混频器的实现示例。以下示例代码是在 TAC5112EVM-K 评估模块上使用 PurePath™ Console 3 执行测试。对于主要 ASI 混频器，器件提供四路输入信号：

- IN1P/IN1M 上的 1kHz、0.2Vrms 差分模拟正弦信号。
- IN2P/IN2M 上的 1kHz、0.5Vrms 差分模拟正弦信号。
- PDM 通道 3 上的 100Hz、0.1FS (满标度) PDM 正弦音调。
- PDM 通道 4 上的 5kHz、0.2FS (满标度) PDM 正弦音调。

捕获主要 ASI 总线 DOUT 上产生的输出，如图 2-3 所示。

```
#FS refers to Full-Scale
w a0 00 00 #Page 0
w a0 01 01 #SW Reset
d 01

w a0 00 00 #Page 0
w a0 02 09 #Exit Sleep Mode with DREG and VREF Enabled
d 10

w a0 1a 30 #PASI on TDM protocol with 32-bit word length
w a0 4d 00 #VREF set to 2.75V for 2Vrms differential fullscale input
w a0 50 00 #ADC Channel 1 configured for AC-coupled differential input with 5kOhm input impedance
and audio bandwidth
w a0 55 00 #ADC Channel 2 configured for AC-coupled differential input with 5kOhm input impedance
and audio bandwidth
w a0 0a 41 #Configure GPIO1 as PDMCLK
w a0 0b 10 #Configure GPIO2 as GPI
w a0 13 12 #Source PDM CH3/CH4 data from GPIO2; CH3 on PDMCLK rising edge, CH4 on PDMCLK falling
edge
w a0 35 00 #PDMCLK = 3.072MHz

w a0 1e 20 #PASI TX Channel 1 on TDM Slot 0
w a0 1f 21 #PASI TX Channel 2 on TDM Slot 0
w a0 20 22 #PASI TX Channel 3 on TDM Slot 2
w a0 21 23 #PASI TX Channel 4 on TDM Slot 3

w a0 00 01 #Page 1
w a0 2c 20 #Enable ADC Channel Mixer

#IN1 = ADC CH1 = 0.2Vrms, 1kHz analog signal (0.1FS)
#IN2 = ADC CH2 = 0.5Vrms, 1kHz analog signal (0.25FS)
#IN3 = PDM CH3 = 0.1FS, 100Hz PDM signal (0.1FS)
#IN4 = PDM CH4 = 0.2FS, 5kHz PDM signal (0.2FS)

w a0 00 0a #Page 10
#Configure Mixer for OUT1 = 0.3*IN1 + 0.5*IN3
w a0 08 26 66 66 66 #a1 = 0.3
w a0 0c 00 00 00 00 #b1 = 0
w a0 10 40 00 00 00 #c1 = 0.5
w a0 14 00 00 00 00 #d1 = 0

#Configure Mixer for OUT2 = 0.5*IN2 + 0.3*IN4
w a0 18 00 00 00 00 #a2 = 0
w a0 1c 40 00 00 00 #b2 = 0.4
w a0 20 00 00 00 00 #c2 = 0
w a0 24 26 66 66 66 #d2 = 0.3

#Configure Mixer for OUT3 = 0.2*IN1 + 0.5*IN2 + 0.4*IN3 + 0.3*IN4
w a0 28 19 99 99 9a #a3 = 0.2
w a0 2c 40 00 00 00 #b3 = 0.5
w a0 30 33 33 33 33 #c3 = 0.4
w a0 34 26 66 66 66 #d3 = 0.3

#Configure Mixer for OUT4 = 0.5*IN1 + 0.2*IN2 + 0.3*IN3 + 0.4*IN4
w a0 38 40 00 00 00 #a4 = 0.5
w a0 3c 19 99 99 9a #b4 = 0.2
w a0 40 26 66 66 66 #c4 = 0.3
w a0 44 33 33 33 33 #d4 = 0.4

w a0 00 00 #Page 0
```



```
w a0 76 f0 #ADC Channels 1-4 Enabled
w a0 78 80 #ADC Powered Up
```

Mixer Inputs:

IN1 – 1kHz, 0.2Vrms Sine (0.1FS analog, IN1P/M)
IN2 – 1kHz, 0.5Vrms Sine (0.25FS analog, IN2P/M)

IN3 – 100Hz Sine (0.1FS PDM CH3)
IN4 – 5kHz Sine (0.2FS PDM CH4)

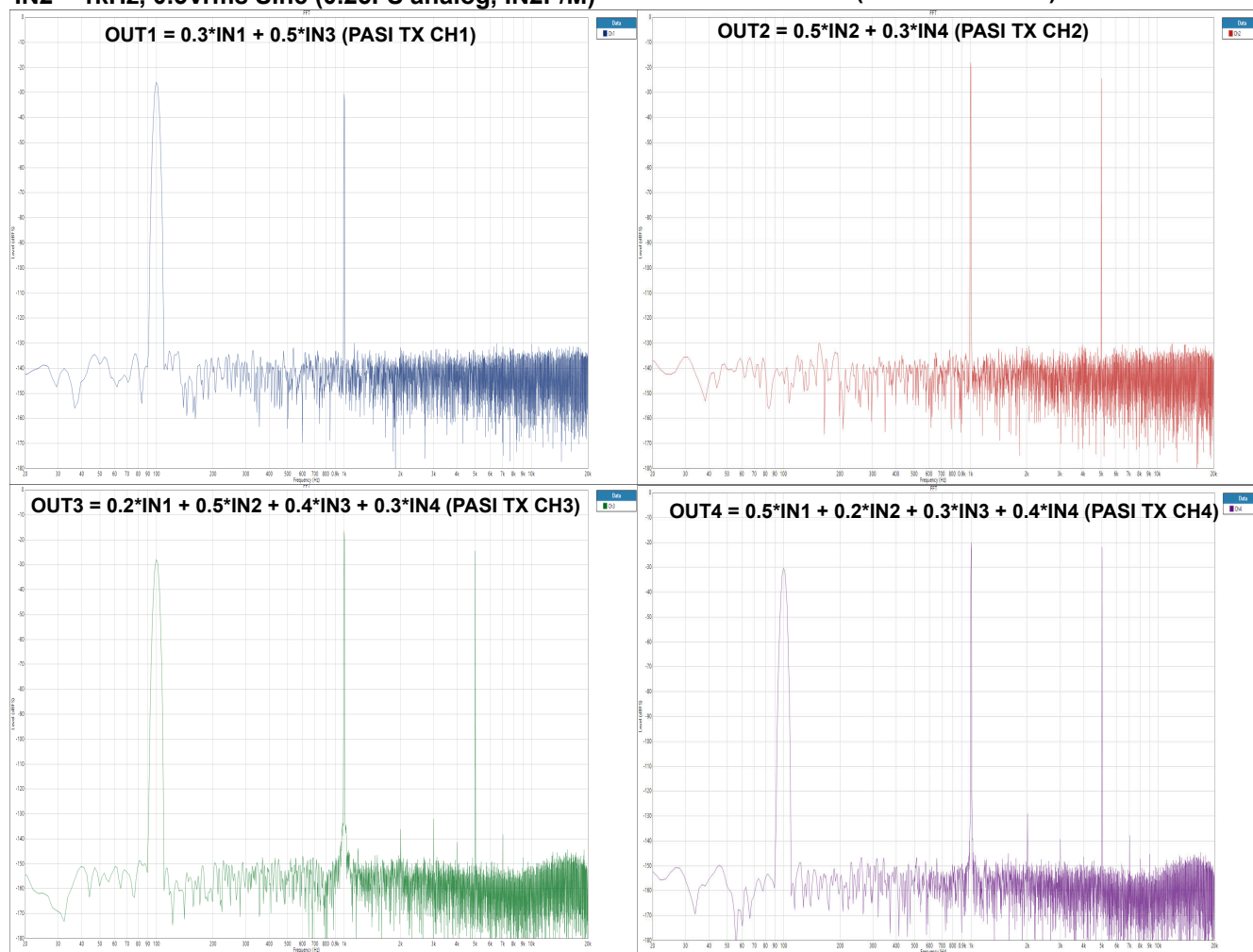


图 2-3. 主要 ASI 混频器的录音通道输出

2.2 辅助 ASI 混频器

在将数据传输到辅助 ASI 的数据输出时，可以使用辅助混频器。

当辅助 ASI 的数据采样率是主要 ASI 采样率的整数约数时，可以选择通过采样率转换器 (SRC) 来完成操作。

如图 2-4 所示,辅助 ASI 混频器将来自 ADC 到 DAC 环回混频器 (A2D_LBX) 的两个信号与 CH3 和 CH4 回放信号链的数字音量 (DVOL) 块的输出混合。

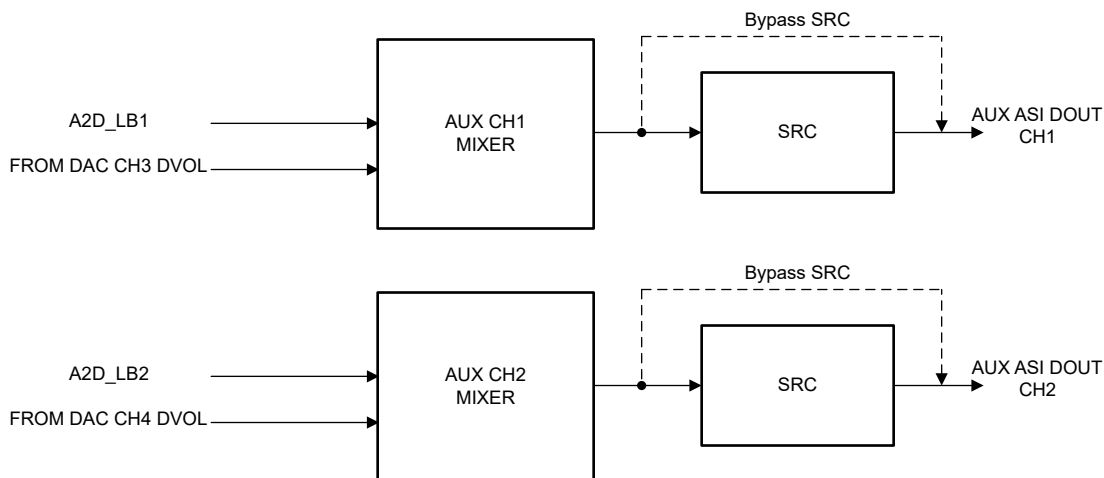


图 2-4. 录音路径辅助 ASI 混频器

然后，混频器将该信号直接或通过采样率转换器 (SRC) 输出到辅助 ASI 总线的 DOUT 端。

辅助 ASI 混频器按照方程式 2 混合各信号

$$\begin{aligned} \text{AUX ASI DOUT CH1} &= x_1 \times (\text{MAIN ASI RX CH3}) + (1 - x_1) \times (\text{A2D LOOPBACK CH1}) \\ \text{AUX ASI SDOUT CH2} &= x_2 \times (\text{MAIN ASI RX CH4}) + (1 - x_2) \times (\text{A2D LOOPBACK CH2}) \end{aligned} \quad (2)$$

系数 x_1 和 x_2 编程为 32 位有符号值写入表 2-2 中所述的第 11 页寄存器。这些系数以节 2.1.1 中所述的 2.30 格式编写。

表 2-2. 第 11 页辅助 ASI 混频器的寄存器

寄存器地址	寄存器	寄存器说明	复位值	系数
0x30	ADC_AUX_MIX_CH1_BY T1[7:0]	ADC 辅助混频器 CH1 系数字节[31:24]	0x00	x_1
0x31	ADC_AUX_MIX_CH1_BY T2[7:0]	ADC 辅助混频器 CH1 系数字节[23:16]	0x00	
0x32	ADC_AUX_MIX_CH1_BY T3[7:0]	ADC 辅助混频器 CH1 系数字节[15:8]	0x00	
0x33	ADC_AUX_MIX_CH1_BY T4[7:0]	ADC 辅助混频器 CH1 系数字节[7:0]	0x00	
0x34	ADC_AUX_MIX_CH2_BY T1[7:0]	ADC 辅助混频器 CH2 系数字节[31:24]	0x00	x_2
0x35	ADC_AUX_MIX_CH2_BY T2[7:0]	ADC 辅助混频器 CH2 系数字节[23:16]	0x00	
0x36	ADC_AUX_MIX_CH2_BY T3[7:0]	ADC 辅助混频器 CH2 系数字节[15:8]	0x00	
0x37	ADC_AUX_MIX_CH2_BY T4[7:0]	ADC 辅助混频器 CH2 系数字节[7:0]	0x00	

2.2.1 录音路径辅助 ASI 混频器 - 示例

本节介绍在录音路径上实现辅助 ASI 混频器的示例。以下示例代码是在 TAC5112EVM-K 评估模块上使用 PurePath™ Console 3 执行测试。对于辅助 ASI 混频器，器件提供四路输入信号：

- IN1P/IN1M 上的 1kHz、0.2Vrms 差分模拟正弦信号。
- IN2P/IN2M 上的 1kHz、0.5Vrms 差分模拟正弦信号。
- PASI RX 通道 3 上的 500Hz、0.5FS (满标度) 数字正弦音调。
- PASI RX 通道 4 输入频率 1.3kHz、0.6FS (满标度) 的 PDM 正弦音调。

录音路径上的两个模拟输入信号以及回放路径上的两个数字输入信号均用作输入。混频器的输出信号在辅助 ASI 总线的 DOUT 上发送。

在该示例中，两条 ASI 总线都以 48kHz 的频率运行，因此 SRC 被旁路。图 2-5 所示为相关结果。

```
#FS refers to Full-Scale
w a0 00 00 #Page 0
w a0 01 01 #SW Reset
d 01

w a0 00 00 #Page 0
w a0 02 09 #Exit Sleep Mode with DREG and VREF Enabled
d 10

w a0 1a 30 #PASI in TDM protocol with 32-bit word length
w a0 4d 00 #VREF set to 2.75V for 2Vrms differential fullscale input
w a0 50 00 #ADC channel 1 configured for AC-coupled differential input with 5kOhm input impedance
and audio bandwidth
w a0 55 00 #ADC Channel 2 configured for AC-coupled differential input with 5kOhm input impedance
and audio bandwidth

w a0 28 20 #Assign Slot 0 to RX CH1
w a0 29 21 #Assign Slot 1 to RX CH2
w a0 2a 22 #Assign Slot 2 to RX CH3
w a0 2b 23 #Assign Slot 3 to RX CH4

w a0 00 01 #Page 1
w a0 2c 30 #Enable ADC Channel Mixer, Loopback Mixer

#Default ADC Loopback mixer coefficients used
#ADC LB1 = ADC IN1 = 0.2Vrms, 1kHz analog signal (0.1FS)
#ADC LB2 = ADC IN2 = 0.5Vrms, 1kHz analog signal (0.25FS)
#DAC IN3 = 0.5FS, 500Hz signal (0.5FS)
#DAC IN4 = 0.6FS, 1.3kHz signal (0.6FS)

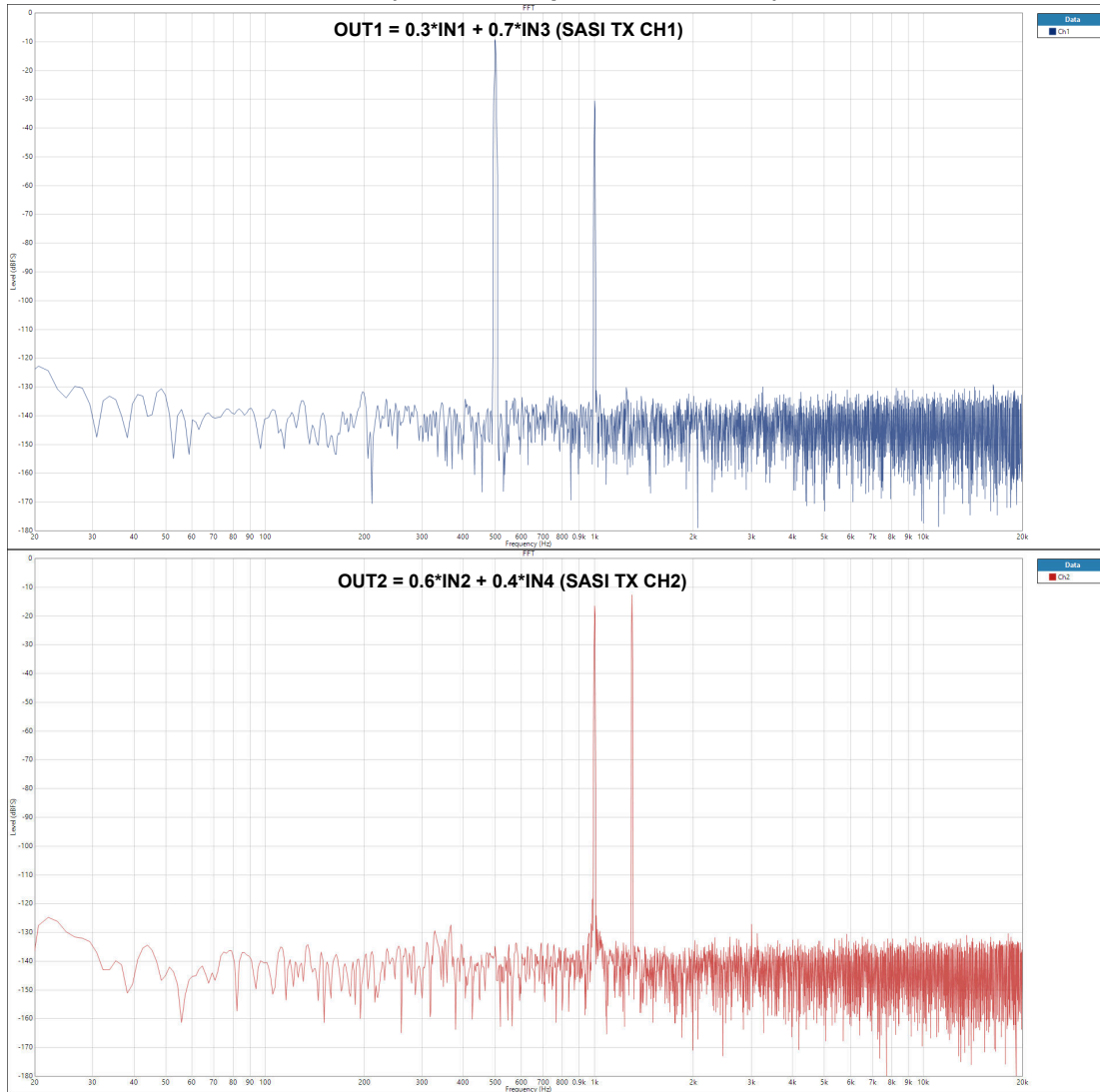
w a0 00 0b #Page 11
#Configure AUX Mixer for OUT1 = 0.3 * ADC LB1 + 0.7 * DAC IN3
w a0 30 2c cc cc cd #x = 0.7

#Configure AUX Mixer for OUT2 = 0.6 * ADC LB2 + 0.4 * DAC IN4
w a0 34 19 99 99 9a #x = 0.4

w a0 00 00 #Page 0
w a0 0a 10 #Configure GPIO1 as GPI
w a0 0b 10 #configure GPIO2 as GPI
w a0 0c 71 #Configure GPIO3 as SASI DOUT
w a0 11 94 #Configure GPIO1 as SASI FSYN, GPIO2 as SASI BCLK
w a0 18 20 #Enable SASI; Same configurations as PASI

w a0 00 03 #Page 0
w a0 1e 20 #SASI Channel 1 is Channel 1 data
w a0 1f 21 #SASI Channel 2 is Channel 2 data

w a0 00 00 #Page 0
w a0 76 c3 #ADC channels 1,2 and DAC channels 3,4 enabled
w a0 78 c0 #ADC, DAC Powered Up
```

Mixer Inputs:**IN1 = A2D_LB1 = ADC IN1 = 1kHz, 0.2Vrms Sine (0.1FS Analog, IN1P/M)****IN2 = A2D_LB2 = ADC IN2 = 1kHz, 0.5Vrms Sine (0.25FS Analog, IN2P/M)****IN3 = DAC CH3 = 500Hz Sine (0.5FS ASI Input, PASI RX CH3)****IN4 = DAC CH4 = 1.3kHz Sine (0.6FS ASI Input, PASI RX CH4)****图 2-5. 辅助 ASI 混频器的录音通道输出**

2.3 ADC 至 DAC 环回混频器

如图 2-6 所示，ADC 至 DAC 环回混频器在所有四个录音信号链上混合了双二阶滤波器路径的输出，并提供两个单独的数字输出 (A2D_LBX)。

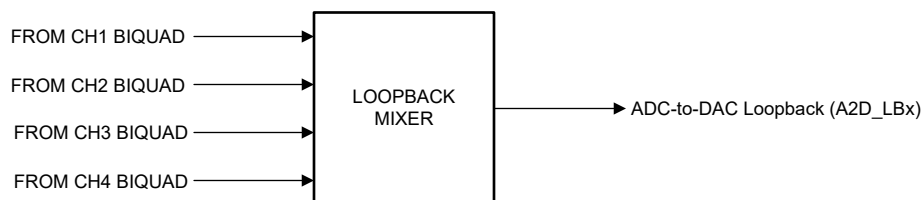


图 2-6. 环回混频器

混频器随后将生成的信号输出到侧链混频器的回放路径的信号链中。

按照 方程式 3 进行混合。

$$A2D_LB_x = a_x \times (CH1 \text{ signal}) + b_x \times (CH2 \text{ signal}) + c_x \times (CH3 \text{ signal}) + d_x \times (CH4 \text{ signal}) \quad (3)$$

系数 $[a_x, b_x, c_x, d_x]$ 被编程为 32 有符号值，并写入表 2-3 中所述第 10 页寄存器。这些系数以节 2.1.1 中所述的 1.31 格式编写。

表 2-3. 第 10 页环回混频器的寄存器

寄存器地址	寄存器	寄存器说明	复位值	系数
0x48	ADC_LB_MIX1_CH1_BYT1[7:0]	数字环回 (ADC 至 DAC) 混频器 1, ADC 通道 1 系数字节[31:24]	0x7F	a_1
0x49	ADC_LB_MIX1_CH1_BYT2[7:0]	数字环回 (ADC 至 DAC) 混频器 1, ADC 通道 1 系数字节[23:16]	0xFF	
0x4A	ADC_LB_MIX1_CH1_BYT3[7:0]	数字环回 (ADC 至 DAC) 混频器 1, ADC 通道 1 系数字节[15:8]	0xFF	
0x4B	ADC_LB_MIX1_CH1_BYT4[7:0]	数字环回 (ADC 至 DAC) 混频器 1, ADC 通道 1 系数字节[7:0]	0xFF	
0x4C	ADC_LB_MIX1_CH2_BYT1[7:0]	数字环回 (ADC 至 DAC) 混频器 1, ADC 通道 2 系数字节[31:24]	0x00	b_1
0x4D	ADC_LB_MIX1_CH2_BYT2[7:0]	数字环回 (ADC 至 DAC) 混频器 1, ADC 通道 2 系数字节[23:16]	0x00	
0x4E	ADC_LB_MIX1_CH2_BYT3[7:0]	数字环回 (ADC 至 DAC) 混频器 1, ADC 通道 2 系数字节[15:8]	0x00	
0x4F	ADC_LB_MIX1_CH2_BYT4[7:0]	数字环回 (ADC 至 DAC) 混频器 1, ADC 通道 2 系数字节[7:0]	0x00	

表 2-3. 第 10 页环回混频器的寄存器（续）

寄存器地址	寄存器	寄存器说明	复位值	系数
0x50	ADC_LB_MIX1_CH3_BYT1[7:0]	数字环回 (ADC 至 DAC) 混频器 1, ADC 通道 3 系 数字字节[31:24]	0x00	c ₁
0x51	ADC_LB_MIX1_CH3_BYT2[7:0]	数字环回 (ADC 至 DAC) 混频器 1, ADC 通道 3 系 数字字节[23:16]	0x00	
0x52	ADC_LB_MIX1_CH3_BYT3[7:0]	数字环回 (ADC 至 DAC) 混频器 1, ADC 通道 3 系 数字字节[15:8]	0x00	
0x53	ADC_LB_MIX1_CH3_BYT4[7:0]	数字环回 (ADC 至 DAC) 混频器 1, ADC 通道 3 系 数字字节[7:0]	0x00	
0x54	ADC_LB_MIX1_CH4_BYT1[7:0]	数字环回 (ADC 至 DAC) 混频器 1, ADC 通道 4 系 数字字节[31:24]	0x00	d ₁
0x55	ADC_LB_MIX1_CH4_BYT2[7:0]	数字环回 (ADC 至 DAC) 混频器 1, ADC 通道 4 系 数字字节[23:16]	0x00	
0x56	ADC_LB_MIX1_CH4_BYT3[7:0]	数字环回 (ADC 至 DAC) 混频器 1, ADC 通道 4 系 数字字节[15:8]	0x00	
0x57	ADC_LB_MIX1_CH4_BYT4[7:0]	数字环回 (ADC 至 DAC) 混频器 1, ADC 通道 4 系 数字字节[7:0]	0x00	
0x58	ADC_LB_MIX2_CH1_BYT1[7:0]	数字环回 (ADC 至 DAC) 混频器 2, ADC 通道 1 系 数字字节[31:24]	0x00	a ₂
0x59	ADC_LB_MIX2_CH1_BYT2[7:0]	数字环回 (ADC 至 DAC) 混频器 2, ADC 通道 1 系 数字字节[23:16]	0x00	
0x5A	ADC_LB_MIX2_CH1_BYT3[7:0]	数字环回 (ADC 至 DAC) 混频器 2, ADC 通道 1 系 数字字节[15:8]	0x00	
0x5B	ADC_LB_MIX2_CH1_BYT4[7:0]	数字环回 (ADC 至 DAC) 混频器 2, ADC 通道 1 系 数字字节[7:0]	0x00	
0x5C	ADC_LB_MIX2_CH2_BYT1[7:0]	数字环回 (ADC 至 DAC) 混频器 2, ADC 通道 2 系 数字字节[31:24]	0x7F	b ₂
0x5D	ADC_LB_MIX2_CH2_BYT2[7:0]	数字环回 (ADC 至 DAC) 混频器 2, ADC 通道 2 系 数字字节[23:16]	0xFF	
0x5E	ADC_LB_MIX2_CH2_BYT3[7:0]	数字环回 (ADC 至 DAC) 混频器 2, ADC 通道 2 系 数字字节[15:8]	0xFF	
0x5F	ADC_LB_MIX2_CH2_BYT4[7:0]	数字环回 (ADC 至 DAC) 混频器 2, ADC 通道 2 系 数字字节[7:0]	0xFF	

表 2-3. 第 10 页环回混频器的寄存器 (续)

寄存器地址	寄存器	寄存器说明	复位值	系数
0x60	ADC_LB_MIX2_CH3_BYT1[7:0]	数字环回 (ADC 至 DAC) 混频器 2, ADC 通道 3 系 数字字节[31:24]	0x00	c ₂
0x61	ADC_LB_MIX2_CH3_BYT2[7:0]	数字环回 (ADC 至 DAC) 混频器 2, ADC 通道 3 系 数字字节[23:16]	0x00	
0x62	ADC_LB_MIX2_CH3_BYT3[7:0]	数字环回 (ADC 至 DAC) 混频器 2, ADC 通道 3 系 数字字节[15:8]	0x00	
0x63	ADC_LB_MIX2_CH3_BYT4[7:0]	数字环回 (ADC 至 DAC) 混频器 2, ADC 通道 3 系 数字字节[7:0]	0x00	
0x64	ADC_LB_MIX2_CH4_BYT1[7:0]	数字环回 (ADC 至 DAC) 混频器 2, ADC 通道 4 系 数字字节[31:24]	0x00	d ₂
0x65	ADC_LB_MIX2_CH4_BYT2[7:0]	数字环回 (ADC 至 DAC) 混频器 2, ADC 通道 4 系 数字字节[23:16]	0x00	
0x66	ADC_LB_MIX2_CH4_BYT3[7:0]	数字环回 (ADC 至 DAC) 混频器 2, ADC 通道 4 系 数字字节[15:8]	0x00	
0x67	ADC_LB_MIX2_CH4_BYT4[7:0]	数字环回 (ADC 至 DAC) 混频器 2, ADC 通道 4 系 数字字节[7:0]	0x00	

2.4 DOUT 上的 TDM 传输

图 2-7 展示了通过 DOUT 引脚在每个 ASI 通道上传输数据时各种不同的多路复用。

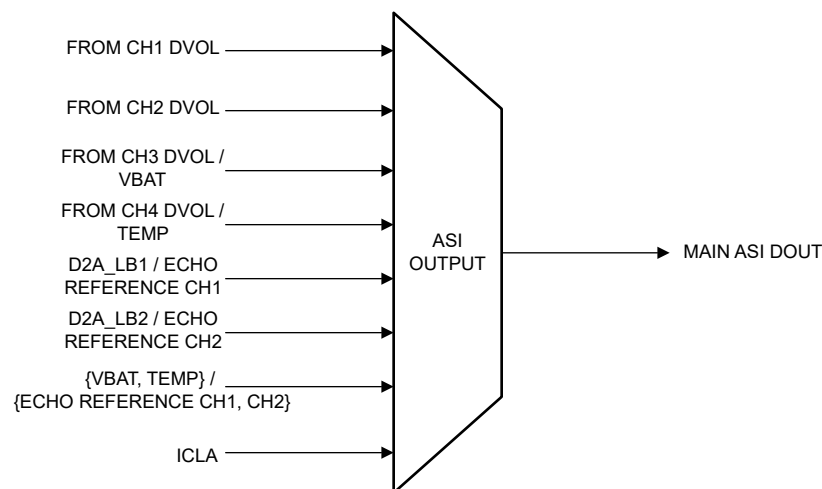


图 2-7. TDM 多路复用到 DOUT

可以在 PASI_TX_CHx 寄存器 (B0_P0_R30 至 B0_P0_R37) 中配置 PASI 路径的 TX 时隙。同样，SASI 路径的 TX 时隙可以在 SASI_TX_CHx 寄存器 (B0_P3_R30 至 B0_P3_R37) 中进行配置。

3 回放路径混频器

录音路径中有三个混频器：

1. **主要 ASI 混频器**中所述**主要 ASI 混频器**可混合来自 DIN 引脚的多达八路 ASI 输入并为 DAC 信号链提供 4 个混合输出。
2. **辅助 ASI 混频器**中所述的**辅助混频器**将来自辅助 ASI 总线 (可选择通过采样率转换器(SRC)) 的 CH1 和 CH2 输入与主 ASI 混频器的输出一起混合。
3. **回放路径侧链混频器**中所述的**侧链混频器**将来自主要 ASI 混频器的四个数字信号与两个 ADC 至 DAC 环回信号以及音调和线性调频脉冲发生器混合。参阅 [TAX5x1x 器件的音调生成和应用模式](#)。

请注意，即使如数据表中所述，混频器系数是 16 位值，但要成功执行系数寄存器事务，主机器件必须从最高有效字节起，完整写入并读取目标系数寄存器事务的全部四个字节的的数据。例如，要在主要 ASI 混频器中对系数 A_1 进行编程，用户必须对寄存器 0x08、0x09、0x0A 和 0x0B 而不仅仅是 0x0A 和 0x0B 启动写入操作。这适用于所有回放路径混频器系数。

3.1 主要 ASI 混频器

如图 3-1 所示，主要 ASI 混频器最多混合了 8 路来自 DIN (PASI/SASI RX 通道) 的数字输入信号。RX 通道 6、7 和 8 仅在配置为 DAC 通道时才能使用，因此在任何其他配置中，相应的混频器系数必须设置为 0。

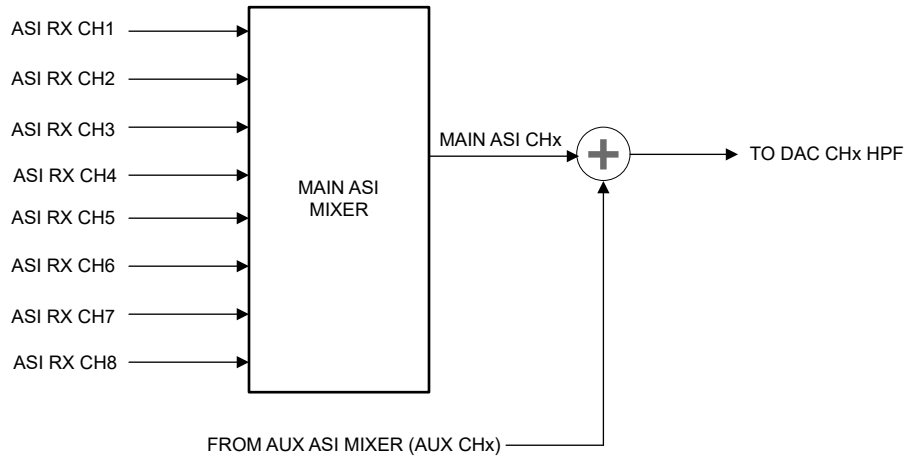


图 3-1. 播放主要 ASI 混频器

加法器将主要 ASI 混频器的输出与辅助 ASI 混频器的输出混合，并将汇总信号发送到回放信号链中的数字高通滤波器 (HPF)。

混合运算按照以下公式进行：

$$\begin{aligned} \text{DAC CH}_x \text{ HPF Input} = & a_x \times (\text{MAIN ASI RX CH1}) + b_x \times (\text{MAIN ASI RX CH2}) + c_x \times (\text{MAIN ASI RX CH3}) \\ & + d_x \times (\text{MAIN ASI RX CH4}) + e_x \times (\text{MAIN ASI RX CH5}) + f_x \times (\text{MAIN ASI RX CH6}) + g_x \times (\text{MAIN ASI RX CH7}) \\ & + h_x \times (\text{MAIN ASI RX CH8}) + (\text{AUX ASI MIXER CH}_x) \end{aligned} \quad (4)$$

如果 DAC 配置为在 2 通道模式 (差分或单声道单端) 下运行，则器件会将信号输出到以下引脚：

1. CH1 (LDAC) 信号输出到 OUT1P/OUT1M 模拟输出。
2. CH2 (RDAC) 信号输出到 OUT2P/OUT2M 模拟输出。
3. CH3 (LDAC2) 信号输出到 DOUT (ASI TX CH5 时隙) 。
4. CH4 (RDAC2) 信号输出到 DOUT (ASI TX CH6 时隙) 。

如果 DAC 配置为在 4 通道模式 (立体声道单端) 下运行，则器件会将信号输出到以下引脚：

1. CH1 (LDAC) 输出到 OUT1P 模拟输出。
2. CH2 (RDAC) 输出到 OUT1M 模拟输出。

3. CH3 (LDAC2) 输出到 OUT2P 模拟输出。
4. CH4 (RDAC2) 输出到 OUT2M 模拟输出。

系数 $[a_x, b_x, c_x, d_x, e_x, f_x, g_x, h_x]$ 按 2.14 格式编写为 16 位有符号值，如节 3.1.1 中所述。这些系数可写入第 17 页寄存器中，寄存器相关内容如表 3-1 中所述。

表 3-1. 第 17 页主要 ASI 混频器的寄存器

寄存器地址	寄存器	寄存器说明	复位值	系数
0x08	ASI_DIN_MIX_ASI_CH1_RDAC_MIX_BYT1[7:0]	ASI DIN 混频器，ASI CH1 至 RDAC 系数字节[15:8]	0x00	a_2
0x09	ASI_DIN_MIX_ASI_CH1_RDAC_MIX_BYT2[7:0]	ASI DIN 混频器，ASI CH1 至 RDAC 系数字节[7:0]	0x00	
0x0A	ASI_DIN_MIX_ASI_CH1_LDAC_MIX_BYT1[7:0]	ASI DIN 混频器，ASI CH1 至 LDAC 系数字节[15:8]	0x40	a_1
0x0B	ASI_DIN_MIX_ASI_CH1_LDAC_MIX_BYT2[7:0]	ASI DIN 混频器，ASI CH1 至 LDAC 系数字节[7:0]	0x00	
0x0C	ASI_DIN_MIX_ASI_CH1_RDAC2_MIX_BYT1[7:0]	ASI DIN 混频器，ASI CH1 至 RDAC2 系数字节[15:8]	0x00	a_4
0x0D	ASI_DIN_MIX_ASI_CH1_RDAC2_MIX_BYT2[7:0]	ASI DIN 混频器，ASI CH1 至 RDAC2 系数字节[7:0]	0x00	
0x0E	ASI_DIN_MIX_ASI_CH1_LDAC2_MIX_BYT1[7:0]	ASI DIN 混频器，ASI CH1 至 LDAC2 系数字节[15:8]	0x00	a_3
0x0F	ASI_DIN_MIX_ASI_CH1_LDAC2_MIX_BYT2[7:0]	ASI DIN 混频器，ASI CH1 至 LDAC2 系数字节[7:0]	0x00	
0x10	ASI_DIN_MIX_ASI_CH2_RDAC_MIX_BYT1[7:0]	ASI DIN 混频器，ASI CH2 至 RDAC 系数字节[15:8]	0x40	b_2
0x11	ASI_DIN_MIX_ASI_CH2_RDAC_MIX_BYT2[7:0]	ASI DIN 混频器，ASI CH2 至 RDAC 系数字节[7:0]	0x00	
0x12	ASI_DIN_MIX_ASI_CH2_LDAC_MIX_BYT1[7:0]	ASI DIN 混频器，ASI CH2 至 LDAC 系数字节[15:8]	0x00	b_1
0x13	ASI_DIN_MIX_ASI_CH2_LDAC_MIX_BYT2[7:0]	ASI DIN 混频器，ASI CH2 至 LDAC 系数字节[7:0]	0x00	
0x14	ASI_DIN_MIX_ASI_CH2_RDAC2_MIX_BYT1[7:0]	ASI DIN 混频器，ASI CH2 至 RDAC2 系数字节[15:8]	0x00	b_4
0x15	ASI_DIN_MIX_ASI_CH2_RDAC2_MIX_BYT2[7:0]	ASI DIN 混频器，ASI CH2 至 RDAC2 系数字节[7:0]	0x00	
0x16	ASI_DIN_MIX_ASI_CH2_LDAC2_MIX_BYT1[7:0]	ASI DIN 混频器，ASI CH2 至 LDAC2 系数字节[15:8]	0x00	b_3
0x17	ASI_DIN_MIX_ASI_CH2_LDAC2_MIX_BYT2[7:0]	ASI DIN 混频器，ASI CH2 至 LDAC2 系数字节[7:0]	0x00	
0x18	ASI_DIN_MIX_ASI_CH3_RDAC_MIX_BYT1[7:0]	ASI DIN 混频器，ASI CH3 至 RDAC 系数字节[15:8]	0x00	c_2
0x19	ASI_DIN_MIX_ASI_CH3_RDAC_MIX_BYT2[7:0]	ASI DIN 混频器，ASI CH3 至 RDAC 系数字节[7:0]	0x00	
0x1A	ASI_DIN_MIX_ASI_CH3_LDAC_MIX_BYT1[7:0]	ASI DIN 混频器，ASI CH3 至 LDAC 系数字节[15:8]	0x00	c_1
0x1B	ASI_DIN_MIX_ASI_CH3_LDAC_MIX_BYT2[7:0]	ASI DIN 混频器，ASI CH3 至 LDAC 系数字节[7:0]	0x00	
0x1C	ASI_DIN_MIX_ASI_CH3_RDAC2_MIX_BYT1[7:0]	ASI DIN 混频器，ASI CH3 至 RDAC2 系数字节[15:8]	0x00	c_4
0x1D	ASI_DIN_MIX_ASI_CH3_RDAC2_MIX_BYT2[7:0]	ASI DIN 混频器，ASI CH3 至 RDAC2 系数字节[7:0]	0x00	

表 3-1. 第 17 页主要 ASI 混频器的寄存器（续）

寄存器地址	寄存器	寄存器说明	复位值	系数
0x1E	ASI_DIN_MIX_ASI_CH3_LDAC2_MIX_BYT1[7:0]	ASI DIN 混频器, ASI CH3 至 LDAC2 系数字节[15:8]	0x40	c ₃
0x1F	ASI_DIN_MIX_ASI_CH3_LDAC2_MIX_BYT2[7:0]	ASI DIN 混频器, ASI CH3 至 LDAC2 系数字节[7:0]	0x00	
0x20	ASI_DIN_MIX_ASI_CH4_RDAC_MIX_BYT1[7:0]	ASI DIN 混频器, ASI CH4 至 RDAC 系数字节[15:8]	0x00	d ₂
0x21	ASI_DIN_MIX_ASI_CH4_RDAC_MIX_BYT2[7:0]	ASI DIN 混频器, ASI CH4 至 RDAC 系数字节[7:0]	0x00	
0x22	ASI_DIN_MIX_ASI_CH4_LDAC_MIX_BYT1[7:0]	ASI DIN 混频器, ASI CH4 至 LDAC 系数字节[15:8]	0x00	d ₁
0x23	ASI_DIN_MIX_ASI_CH4_LDAC_MIX_BYT2[7:0]	ASI DIN 混频器, ASI CH4 至 LDAC 系数字节[7:0]	0x00	
0x24	ASI_DIN_MIX_ASI_CH4_RDAC2_MIX_BYT1[7:0]	ASI DIN 混频器, ASI CH4 至 RDAC2 系数字节[15:8]	0x40	d ₄
0x25	ASI_DIN_MIX_ASI_CH4_RDAC2_MIX_BYT2[7:0]	ASI DIN 混频器, ASI CH4 至 RDAC2 系数字节[7:0]	0x00	
0x26	ASI_DIN_MIX_ASI_CH4_LDAC2_MIX_BYT1[7:0]	ASI DIN 混频器, ASI CH4 至 LDAC2 系数字节[15:8]	0x00	d ₃
0x27	ASI_DIN_MIX_ASI_CH4_LDAC2_MIX_BYT2[7:0]	ASI DIN 混频器, ASI CH4 至 LDAC2 系数字节[7:0]	0x00	
0x28	ASI_DIN_MIX_ASI_CH5_RDAC_MIX_BYT1[7:0]	ASI DIN 混频器, ASI CH5 至 RDAC 系数字节[15:8]	0x00	e ₂
0x29	ASI_DIN_MIX_ASI_CH5_RDAC_MIX_BYT2[7:0]	ASI DIN 混频器, ASI CH5 至 RDAC 系数字节[7:0]	0x00	
0x2A	ASI_DIN_MIX_ASI_CH5_LDAC_MIX_BYT1[7:0]	ASI DIN 混频器, ASI CH5 至 LDAC 系数字节[15:8]	0x00	e ₁
0x2B	ASI_DIN_MIX_ASI_CH5_LDAC_MIX_BYT2[7:0]	ASI DIN 混频器, ASI CH5 至 LDAC 系数字节[7:0]	0x00	
0x2C	ASI_DIN_MIX_ASI_CH5_RDAC2_MIX_BYT1[7:0]	ASI DIN 混频器, ASI CH5 至 RDAC2 系数字节[15:8]	0x00	e ₄
0x2D	ASI_DIN_MIX_ASI_CH5_RDAC2_MIX_BYT2[7:0]	ASI DIN 混频器, ASI CH5 至 RDAC2 系数字节[7:0]	0x00	
0x2E	ASI_DIN_MIX_ASI_CH5_LDAC2_MIX_BYT1[7:0]	ASI DIN 混频器, ASI CH5 至 LDAC2 系数字节[15:8]	0x00	e ₃
0x2F	ASI_DIN_MIX_ASI_CH5_LDAC2_MIX_BYT2[7:0]	ASI DIN 混频器, ASI CH5 至 LDAC2 系数字节[7:0]	0x00	
0x30	ASI_DIN_MIX_ASI_CH6_RDAC_MIX_BYT1[7:0]	ASI DIN 混频器, ASI CH6 至 RDAC 系数字节[15:8]	0x00	f ₂
0x31	ASI_DIN_MIX_ASI_CH6_RDAC_MIX_BYT2[7:0]	ASI DIN 混频器, ASI CH6 至 RDAC 系数字节[7:0]	0x00	
0x32	ASI_DIN_MIX_ASI_CH6_LDAC_MIX_BYT1[7:0]	ASI DIN 混频器, ASI CH6 至 LDAC 系数字节[15:8]	0x00	f ₁
0x33	ASI_DIN_MIX_ASI_CH6_LDAC_MIX_BYT2[7:0]	ASI DIN 混频器, ASI CH6 至 LDAC 系数字节[7:0]	0x00	
0x34	ASI_DIN_MIX_ASI_CH6_RDAC2_MIX_BYT1[7:0]	ASI DIN 混频器, ASI CH6 至 RDAC2 系数字节[15:8]	0x00	f ₄
0x35	ASI_DIN_MIX_ASI_CH6_RDAC2_MIX_BYT2[7:0]	ASI DIN 混频器, ASI CH6 至 RDAC2 系数字节[7:0]	0x00	
0x36	ASI_DIN_MIX_ASI_CH6_LDAC2_MIX_BYT1[7:0]	ASI DIN 混频器, ASI CH6 至 LDAC2 系数字节[15:8]	0x00	f ₃
0x37	ASI_DIN_MIX_ASI_CH6_LDAC2_MIX_BYT2[7:0]	ASI DIN 混频器, ASI CH6 至 LDAC2 系数字节[7:0]	0x00	

表 3-1. 第 17 页主要 ASI 混频器的寄存器（续）

寄存器地址	寄存器	寄存器说明	复位值	系数
0x38	ASI_DIN_MIX_ASI_CH7_RDAC_MIX_BYT1[7:0]	ASI DIN 混频器, ASI CH7 至 RDAC 系数字节[15:8]	0x00	g ₂
0x39	ASI_DIN_MIX_ASI_CH7_RDAC_MIX_BYT2[7:0]	ASI DIN 混频器, ASI CH7 至 RDAC 系数字节[7:0]	0x00	
0x3A	ASI_DIN_MIX_ASI_CH7_LDAC_MIX_BYT1[7:0]	ASI DIN 混频器, ASI CH7 至 LDAC 系数字节[15:8]	0x00	g ₁
0x3B	ASI_DIN_MIX_ASI_CH7_LDAC_MIX_BYT2[7:0]	ASI DIN 混频器, ASI CH7 至 LDAC 系数字节[7:0]	0x00	
0x3C	ASI_DIN_MIX_ASI_CH7_RDAC2_MIX_BYT1[7:0]	ASI DIN 混频器, ASI CH7 至 RDAC2 系数字节[15:8]	0x00	g ₄
0x3D	ASI_DIN_MIX_ASI_CH7_RDAC2_MIX_BYT2[7:0]	ASI DIN 混频器, ASI CH7 至 RDAC2 系数字节[7:0]	0x00	
0x3E	ASI_DIN_MIX_ASI_CH7_LDAC2_MIX_BYT1[7:0]	ASI DIN 混频器, ASI CH7 至 LDAC2 系数字节[15:8]	0x00	g ₃
0x3F	ASI_DIN_MIX_ASI_CH7_LDAC2_MIX_BYT2[7:0]	ASI DIN 混频器, ASI CH7 至 LDAC2 系数字节[7:0]	0x00	
0x40	ASI_DIN_MIX_ASI_CH8_RDAC_MIX_BYT1[7:0]	ASI DIN 混频器, ASI CH8 至 RDAC 系数字节[15:8]	0x00	h ₂
0x41	ASI_DIN_MIX_ASI_CH8_RDAC_MIX_BYT2[7:0]	ASI DIN 混频器, ASI CH8 至 RDAC 系数字节[7:0]	0x00	
0x42	ASI_DIN_MIX_ASI_CH8_LDAC_MIX_BYT1[7:0]	ASI DIN 混频器, ASI CH8 至 LDAC 系数字节[15:8]	0x00	h ₁
0x43	ASI_DIN_MIX_ASI_CH8_LDAC_MIX_BYT2[7:0]	ASI DIN 混频器, ASI CH8 至 LDAC 系数字节[7:0]	0x00	
0x44	ASI_DIN_MIX_ASI_CH8_RDAC2_MIX_BYT1[7:0]	ASI DIN 混频器, ASI CH8 至 RDAC2 系数字节[15:8]	0x00	h ₄
0x45	ASI_DIN_MIX_ASI_CH8_RDAC2_MIX_BYT2[7:0]	ASI DIN 混频器, ASI CH8 至 RDAC2 系数字节[7:0]	0x00	
0x46	ASI_DIN_MIX_ASI_CH8_LDAC2_MIX_BYT1[7:0]	ASI DIN 混频器, ASI CH8 至 LDAC2 系数字节[15:8]	0x00	h ₃
0x47	ASI_DIN_MIX_ASI_CH8_LDAC2_MIX_BYT2[7:0]	ASI DIN 混频器, ASI CH8 至 LDAC2 系数字节[7:0]	0x00	

3.1.1 混频器系数的 Q-16 格式

回放路径混频器的系数 [例如, x 、 b_x 、 c_x 、 d_x 等] 被编程为 16 位二进制补码值, 各占用器件寄存器空间中的四个连续寄存器。这些混频器系数采用 2.14 格式, 如图 3-2 所示, 范围从 -2 (0x8000) 到 1.99994 (0x7FFF)。

- 要将浮点数转换为相应的 Q16 格式, 需将浮点混频器系数乘以 2^{14} , 并截断为最接近的整数。
- 正整数可直接转换为十六进制格式。
- 对于负整数, 先取系数的绝对值, 再将该值转换为二进制, 取反后加一, 然后转换为十六进制。例如, 要以 16 位二进制补码十六进制格式表示 -135 :
 - -135 的绝对值用二进制表示为 0000 0000 1000 0111 (用十六进制表示为 0x0087)。
 - 二进制取反并加 1, 得到 1111 1111 0111 1001 (用十六进制表示为 0xFF79)。这就是该负整数的二进制补码表示。

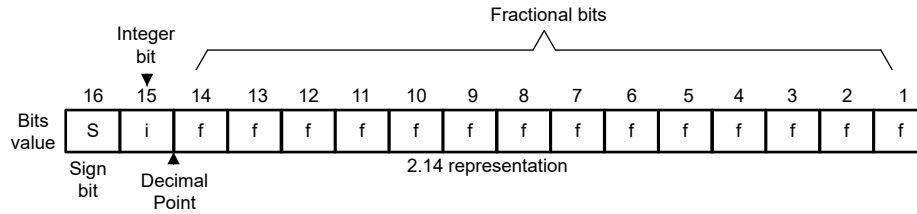


图 3-2. Q-16 格式浮点数表示 (2.14)

3.1.2 回放路径主要 ASI 混频器 - 示例

本节介绍了回放路径上主要 ASI 混频器的实现示例。以下示例代码是在 TAC5112EVM-K 评估模块上使用 PurePath™ Console 3 执行测试。该测试为混频器提供 8 个数字输入：

1. 在 PASI_RX_CH1 上输入频率为 150Hz、0.1FS (满标度) 的数字正弦波信号。
2. 在 PASI_RX_CH2 上输入频率为 300Hz、0.2FS (满标度) 的数字正弦波信号。
3. 在 PASI_RX_CH3 上输入频率为 600Hz、0.3FS (满标度) 的数字正弦波信号。
4. 在 PASI_RX_CH4 上输入频率为 850Hz、0.05FS (满标度) 的数字正弦波信号。
5. 在 PASI_RX_CH5 上输入频率为 1.05kHz、0.1FS (满标度) 的数字正弦波信号。
6. 在 PASI_RX_CH6 上输入频率为 2.3kHz、0.1FS (满标度) 的数字正弦波信号。
7. 在 PASI_RX_CH7 上输入频率为 5kHz、0.2FS (满标度) 的数字正弦波信号。
8. 在 PASI_RX_CH8 上输入频率为 8.5kHz、0.05FS (满标度) 的数字正弦波信号。

该器件按以下方式输出 4 个混合信号：

1. 回放信号链的 CH1 和 CH2 分别通过 DAC 路由至 OUT1P/M 和 OUT2P/M 模拟输出。
2. 回放信号链的 CH3 和 CH4 被环回到主 ASI 总线的 DOUT (PASI TX 通道 5 和通道 6)。

图 3-3 中展示了捕获的结果。

```
w a0 00 00 #Page 0
w a0 01 01 #SW Reset
d 01

w a0 00 00 #Page 0
w a0 02 09 #Exit Sleep Mode with DREG and VREF Enabled
d 10
w a0 1a 30 #PASI in TDM protocol with 32-bit word length
w a0 64 20 #DAC Channel 1 configured for differential output with 0.6*vref as common mode
w a0 65 20 #DAC OUT1P configured for line out driver and audio bandwidth
w a0 66 20 #DAC OUT1M configured for line out driver and audio bandwidth
w a0 6b 20 #DAC Channel 2 configured for differential output with 0.6*vref as common mode
w a0 6c 20 #DAC OUT2P configured for line out driver and audio bandwidth
w a0 6d 20 #DAC OUT2M configured for line out driver and audio bandwidth

w a0 22 24 #PASI TX CH5 to DAC Loopback CH1
w a0 23 25 #PASI TX CH6 to DAC Loopback CH2

w a0 26 01 #RX Offset = 1
w a0 28 20 #ASI Input 1 on PASI RX Slot 0
w a0 29 21 #ASI Input 2 on PASI RX Slot 1
w a0 2a 22 #ASI Input 3 on PASI RX Slot 2
w a0 2b 23 #ASI Input 4 on PASI RX Slot 3
w a0 2c 24 #ASI Input 5 on PASI RX Slot 4
w a0 2d 25 #ASI Input 6 on PASI RX Slot 5
w a0 2e 26 #ASI Input 7 on PASI RX Slot 6
w a0 2f 27 #ASI Input 8 on PASI RX Slot 7

w a0 00 01 #Page 1
w a0 2c 80 #Enable DAC ASI Mixer

#IN1 = ASI IN1 = 0.1FS, 150 Hz tone
#IN2 = ASI IN2 = 0.2FS, 300 Hz tone
#IN3 = ASI IN3 = 0.3FS, 600 Hz tone
#IN4 = ASI IN4 = 0.05FS, 850 Hz tone
#IN5 = ASI IN5 = 0.1FS, 1.05kHz tone
#IN6 = ASI IN6 = 0.1FS, 2.3kHz tone
```

```
#IN7 = ASI IN7 = 0.2FS, 5kHz tone
#IN8 = ASI IN8 = 0.05FS, 8.5kHz tone
#No signal on AUX ASI, so 0 signal from AUX mixer output added to main ASI mixer output
```

```
#DAC Signal Chain Channel 1 (OUT1P/M) OUT1 = 1.5*IN1 - 1.5IN3
#DAC Signal Chain Channel 2 (OUT2P/M) OUT2 = IN2 + 2*IN4
#DAC Signal Chain Channel 3 (ASI Input Loopback1) OUT3 = IN5 - 2*IN7
#DAC Signal Chain Channel 4 (ASI Input Loopback2) OUT4 = 2IN6 + IN8
```

```
w a0 00 11 #Page 17
w a0 08 00 00 60 00 #a1 = 1.5, a2 = 0
w a0 0c 00 00 00 00 #a3 = 0, a4 = 0
w a0 10 40 00 00 00 #b1 = 0, b2 = 1
w a0 14 00 00 00 00 #b3 = 0, b4 = 0
w a0 18 00 00 a0 00 #c1 = -1.5, c2 = 0
w a0 1c 00 00 00 00 #c3 = 0, c4 = 0
w a0 20 7f ff 00 00 #d1 = 0, d2 = 2
w a0 24 00 00 00 00 #d3 = 0, d4 = 0
w a0 28 00 00 00 00 #e1 = 0, e2 = 0
w a0 2c 00 00 40 00 #e3 = 1, e4 = 0
w a0 30 00 00 00 00 #f1 = 0, f2 = 0
w a0 34 7f ff 00 00 #f3 = 0, f4 = 2
w a0 38 00 00 00 00 #g1 = 0, g2 = 0
w a0 3c 00 00 80 00 #g3 = -2, g4 = 0
w a0 40 00 00 00 00 #h1 = 0, h2 = 0
w a0 44 40 00 00 00 #h3 = 0, h4 = 1
```

```
w a0 00 00 #Page 0
w a0 76 0f #Output Channels 1-4 enabled
w a0 78 40 #DAC Powered Up
```

Mixer Inputs:

IN1 = 150Hz Sine (0.1FS ASI Input, PASI RX CH1)
IN2 = 300Hz Sine (0.2FS ASI Input, PASI RX CH2)
IN3 = 600Hz Sine (0.3FS ASI Input, PASI RX CH3)
IN4 = 850Hz Sine (0.05FS ASI Input, PASI RX CH4)

IN5 = 1.05kHz Sine (0.1FS ASI input, PASI RX CH5)
IN6 = 2.3kHz Sine (0.1FS ASI Input, PASI RX CH6)
IN7 = 5kHz Sine (0.2FS ASI Input, PASI RX CH7)
IN8 = 8.5kHz Sine (0.05FS ASI input, PASI RX CH8)

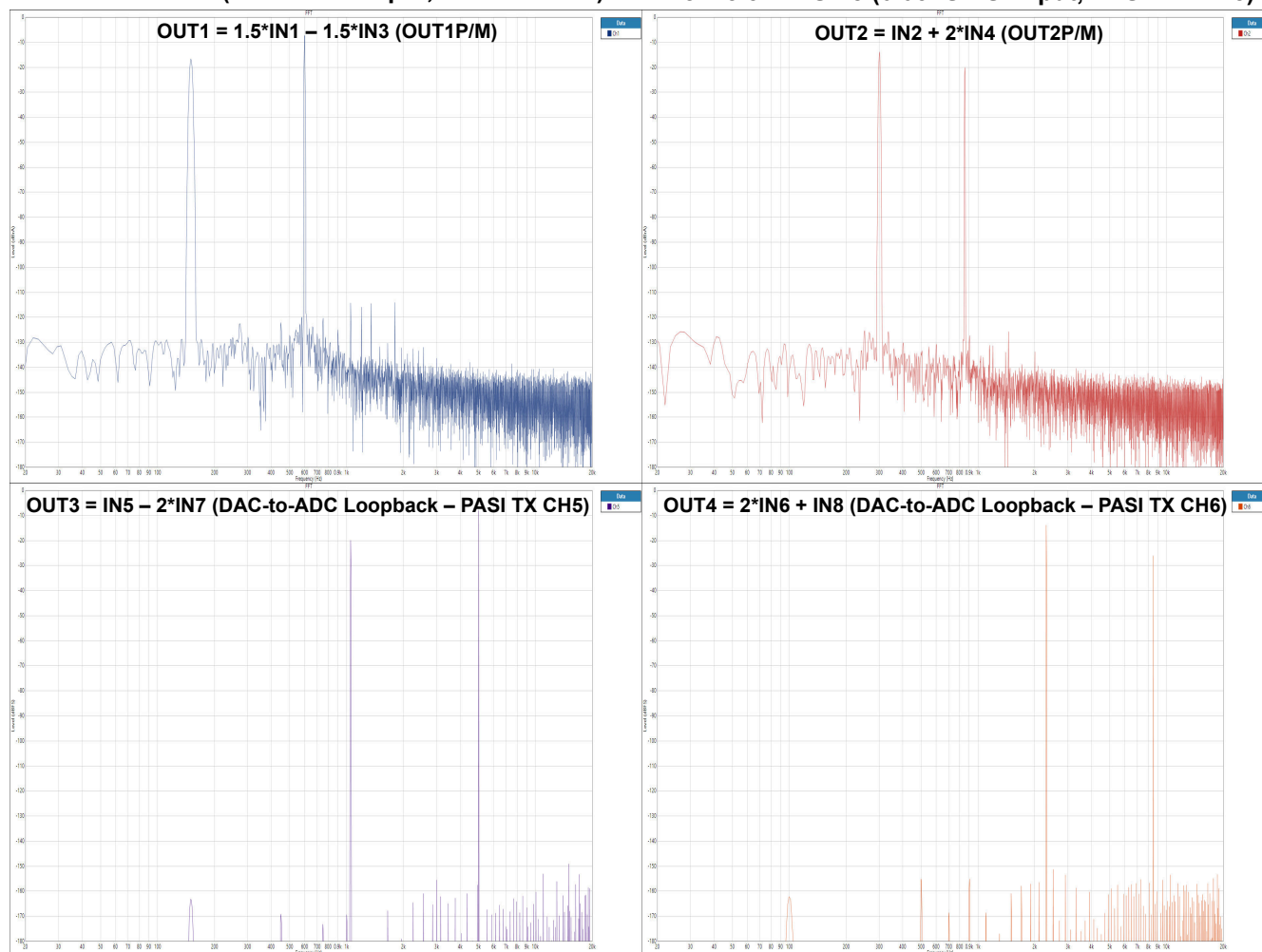


图 3-3. 主要 ASI 混频器的回放通道输出

3.2 辅助 ASI 混频器

图 3-4 展示了辅助 ASI 混频器对应的方框图。

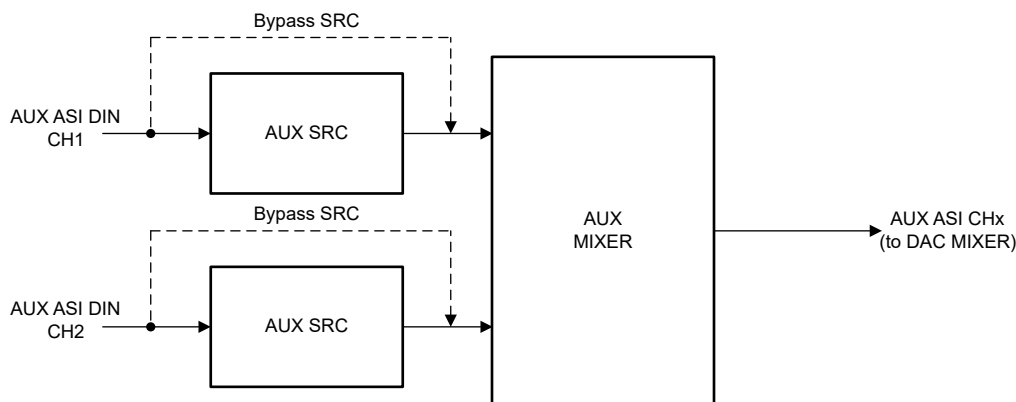


图 3-4. 回放辅助 ASI 混频器

如方框图所示，辅助混频器从辅助 ASI 总线的 DIN 中获取 2 个数字输入，并按照方程式 5 对它们进行混合。

$$AUX\ CH_x\ OUTPUT = a_x \times AUX\ ASI\ IN1 + b_x \times AUX\ ASI\ IN2 \quad (5)$$

此信号随后添加到主要 ASI 混频器的输出中，然后发送到回放信号链的数字 HPF 块，如图 3-1 所示。可以根据主要 ASI 总线和辅助 ASI 总线的采样率，启用或旁路采样速率转换器 (SRC)。

系数 $[a_x, b_x]$ 编程为 16 位有符号值，并写入表 3-2 中所述第 17 页寄存器。这些系数以节 3.1.1 中所述的 2.14 格式编写。

表 3-2. 第 17 页辅助 ASI 混频器的寄存器

寄存器地址	寄存器	寄存器说明	复位值	系数
0x48	ASI_DIN_MIX_ASI_AUX_CH1_RDAC_MIX_BYT1[7:0]	ASI DIN 混频器，ASI AUX_CH1 至 RDAC 系数字节[15:8]	0x00	a_2
0x49	ASI_DIN_MIX_ASI_AUX_CH1_RDAC_MIX_BYT2[7:0]	ASI DIN 混频器，ASI AUX_CH1 至 RDAC 系数字节[7:0]	0x00	
0x4A	ASI_DIN_MIX_ASI_AUX_CH1_LDAC_MIX_BYT1[7:0]	ASI DIN 混频器，ASI AUX_CH1 至 LDAC 系数字节[15:8]	0x40	a_1
0x4B	ASI_DIN_MIX_ASI_AUX_CH1_LDAC_MIX_BYT2[7:0]	ASI DIN 混频器，ASI AUX_CH1 至 LDAC 系数字节[7:0]	0x00	
0x4C	ASI_DIN_MIX_ASI_AUX_CH1_RDAC2_MIX_BYT1[7:0]	ASI DIN 混频器，ASI AUX_CH1 至 RDAC2 系数字节[15:8]	0x00	a_4
0x4D	ASI_DIN_MIX_ASI_AUX_CH1_RDAC2_MIX_BYT2[7:0]	ASI DIN 混频器，ASI AUX_CH1 至 RDAC2 系数字节[7:0]	0x00	
0x4E	ASI_DIN_MIX_ASI_AUX_CH1_LDAC2_MIX_BYT1[7:0]	ASI DIN 混频器，ASI AUX_CH1 至 LDAC2 系数字节[15:8]	0x40	a_3
0x4F	ASI_DIN_MIX_ASI_AUX_CH1_LDAC2_MIX_BYT2[7:0]	ASI DIN 混频器，ASI AUX_CH1 至 LDAC2 系数字节[7:0]	0x00	

表 3-2. 第 17 页辅助 ASI 混频器的寄存器 (续)

寄存器地址	寄存器	寄存器说明	复位值	系数
0x50	ASI_DIN_MIX_ASI_AUX_CH2_RDAC_MIX_BYT1[7:0]	ASI DIN 混频器, ASI AUX_CH2 至 RDAC 系数字节[15:8]	0x40	b ₂
0x51	ASI_DIN_MIX_ASI_AUX_CH2_RDAC_MIX_BYT2[7:0]	ASI DIN 混频器, ASI AUX_CH2 至 RDAC 系数字节[7:0]	0x00	
0x52	ASI_DIN_MIX_ASI_AUX_CH2_LDAC_MIX_BYT1[7:0]	ASI DIN 混频器, ASI AUX_CH2 至 LDAC 系数字节[15:8]	0x00	b ₁
0x53	ASI_DIN_MIX_ASI_AUX_CH2_LDAC_MIX_BYT2[7:0]	ASI DIN 混频器, ASI AUX_CH2 至 LDAC 系数字节[7:0]	0x00	
0x54	ASI_DIN_MIX_ASI_AUX_CH2_RDAC2_MIX_BYT1[7:0]	ASI DIN 混频器, ASI AUX_CH2 至 RDAC2 系数字节[15:8]	0x40	b ₄
0x55	ASI_DIN_MIX_ASI_AUX_CH2_RDAC2_MIX_BYT2[7:0]	ASI DIN 混频器, ASI AUX_CH2 至 RDAC2 系数字节[7:0]	0x00	
0x56	ASI_DIN_MIX_ASI_AUX_CH2_LDAC2_MIX_BYT1[7:0]	ASI DIN 混频器, ASI AUX_CH2 至 LDAC2 系数字节[15:8]	0x00	b ₃
0x57	ASI_DIN_MIX_ASI_AUX_CH2_LDAC2_MIX_BYT2[7:0]	ASI DIN 混频器, ASI AUX_CH2 至 LDAC2 系数字节[7:0]	0x00	

3.2.1 回放路径辅助 ASI 混频器 - 示例

本节介绍在录音路径上实现辅助 ASI 混频器的示例。以下示例代码是在 TAC5112EVM-K 评估模块上使用 PurePath™ Console 3 执行测试。该测试为混频器提供 4 个数字输入：

1. 在 PASI_RX_CH1 上输入频率为 1.5kHz、0.4FS (满标度) 的数字正弦波信号, 采样率为 48kHz。
2. 在 PASI_RX_CH2 上输入频率为 3.3kHz、0.4FS (满标度) 的数字正弦波信号, 采样率为 48kHz。
3. 在 SASI_RX_CH1 上输入频率为 100Hz、0.5FS (满标度) 的数字正弦波信号, 采样率为 16kHz。
4. 在 SASI_RX_CH2 上输入频率为 900Hz、0.6FS (满标度) 的数字正弦波信号, 采样率为 16kHz。

该器件按以下方式输出 4 个混合信号：

1. 回放信号链的 CH1 和 CH2 分别通过 DAC 路由至 OUT1P/M 和 OUT2P/M 模拟输出。
2. 回放信号链的 CH3 和 CH4 被环回到主 ASI 总线的 DOUT (PASI TX 通道 5 和通道 6)。

由于 PASI 总线以 48kHz 的频率运行, 而 SASI 总线以 16kHz 的频率运行, 且 SRC 处于启用状态, 则 PASI 被视为主 ASI 总线, 而 SASI 被视为辅助 ASI 总线。

图 3-5 所示为相关结果。

```
w a0 00 00 #Page 0
w a0 01 01 #SW Reset
d 01

w a0 00 00 #Page 0
w a0 02 09 #Exit Sleep Mode with DREG and VREF Enabled
d 10
w a0 1a 30 #PASI in TDM protocol with 32-bit word length
w a0 64 20 #DAC Channel 1 configured for differential output with 0.6*vref as common mode
w a0 65 20 #DAC OUT1P configured for line out driver and audio bandwidth
w a0 66 20 #DAC OUT1M configured for line out driver and audio bandwidth
w a0 6b 20 #DAC Channel 2 configured for differential output with 0.6*vref as common mode
w a0 6c 20 #DAC OUT2P configured for line out driver and audio bandwidth
w a0 6d 20 #DAC OUT2M configured for line out driver and audio bandwidth
```

```

w a0 0a 10 #Configure GPIO1 as GPI
w a0 0b 10 #Configure GPIO2 as GPI
w a0 0c 71 #Configure GPIO3 as SASI DOUT
w a0 0d 02 #Configure GPI1 as GPI
w a0 11 94 #Configure GPIO1 as SASI FSYNC, GPIO2 as SASI BCLK
w a0 12 60 #Select GPI1 as SASI DIN
w a0 18 00 #Enable SASI

w a0 22 24 #PASI TX CH5 to DAC Loopback CH1
w a0 23 25 #PASI TX CH6 to DAC Loopback CH2

w a0 26 01 #RX Offset = 1
w a0 28 20 #PASI RX CH1 to DAC CH1
w a0 29 21 #PASI RX CH2 to DAC CH2

w a0 00 03 #Page 3
w a0 28 20 #SASI RX CH1 to DAC CH1
w a0 29 21 #SASI RX CH2 to DAC CH2

w a0 00 01 #Page 1
w a0 17 80 #Enable SRC
w a0 2c 80 #Enable DAC ASI Mixer

#DAC AUX Mixer Inputs
#IN1 = Main ASI IN1 - 1.5kHz, 0.4FS signal tone (0.4FS)
#IN2 = Main ASI IN2 - 3.3kHz, 0.4FS signal tone (0.4FS)
#IN3 = Aux ASI IN1 - 100Hz, 0.5FS signal tone (0.4FS)
#IN4 = Aux ASI IN2 - 900Hz, 0.6FS signal tone (0.4FS)

#DAC Signal Chain OUT1 = 0.5*IN1 + 0.25*IN2 + 0.2*IN3 + 0.33*IN4
#DAC Signal Chain OUT2 = 0.2*IN1 + 0.5*IN2 + 0.4*IN3 + 0.5*IN4
#DAC Signal Chain OUT3 = 0.8*IN2 + 1.1*IN3
#DAC Signal Chain OUT4 = 1.25*IN1 + 0.5*IN4

w a0 00 11 #Page 17
#Main ASI Mixer Coefficients
w a0 08 0c cd 20 00 #a1 = 0.5, a2 = 0.2
w a0 0c 50 00 00 00 #a3 = 0, a4 = 1.25
w a0 10 20 00 10 00 #b1 = 0.25, b2 = 0.5
w a0 14 00 00 33 33 #b3 = 0.8, b4 = 0
w a0 18 00 00 00 00 #c1 = 0, c2 = 0
w a0 1c 00 00 00 00 #c3 = 0, c4 = 0
w a0 20 00 00 00 00 #d1 = 0, d2 = 0
w a0 24 00 00 00 00 #d3 = 0, d4 = 0

#Aux ASI Mixer Coefficients
w a0 48 19 9a 0c cd #a1 = 0.2, a2 = 0.4
w a0 4c 00 00 46 66 #a3 = 1.1, a4 = 0
w a0 50 20 00 15 1f #b1 = 0.33, b2 = 0.5
w a0 54 20 00 00 00 #b3 = 0, b4 = 0.5

w a0 00 00 #Page 0
w a0 76 0f #DAC Channels 1-4 enabled
w a0 78 40 #DAC Powered Up

```

Mixer Inputs:

IN1 = 1.5kHz Sine (0.4FS ASI Input, PASI RX CH1)
IN2 = 3.3kHz Sine (0.4FS ASI Input, PASI RX CH2)

IN3 = 100Hz Sine (0.5FS ASI input, SASI RX CH1)
IN4 = 900Hz Sine (0.6FS ASI Input, SASI RX CH2)

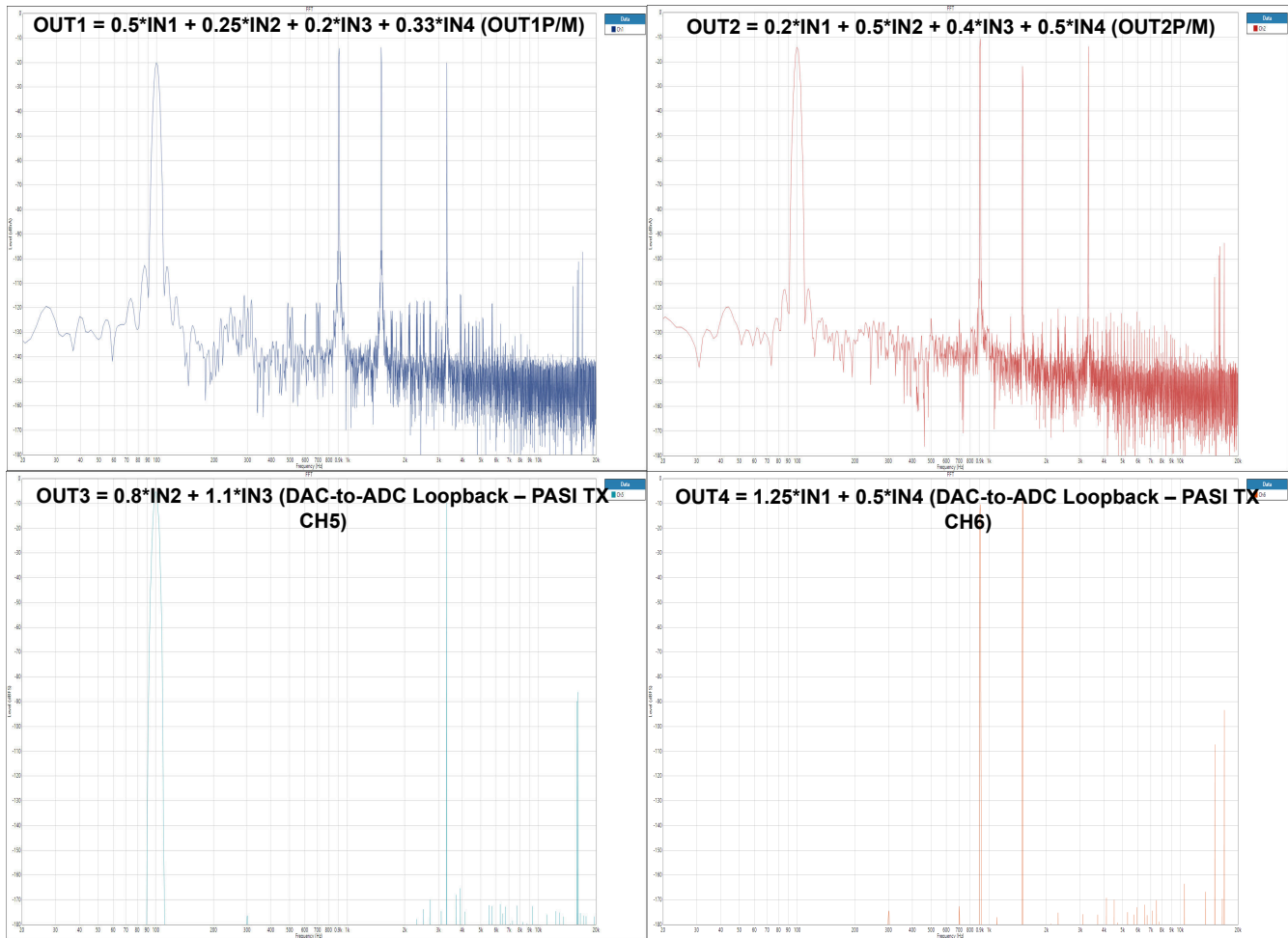


图 3-5. 辅助 ASI 混频器的回放通道输出

3.3 回放路径侧链混频器

如图 3-6 所示，侧链 (SC) 混频器混合了以下信号：

1. 来自 4 路回放通道信号链的数字双二阶滤波器的输出。
2. 两个 ADC 至 DAC 环回混频器的输出 (A2D_LBx)
3. 内置信号发生器 SG1 和 SG2。

如 [TAx5x1x 器件的音调生成和应用模式](#) 所示，信号发生器的输出振幅由各自的侧链混频器系数决定。将这些特定系数编程为高于 1 会导致数据溢出和饱和。

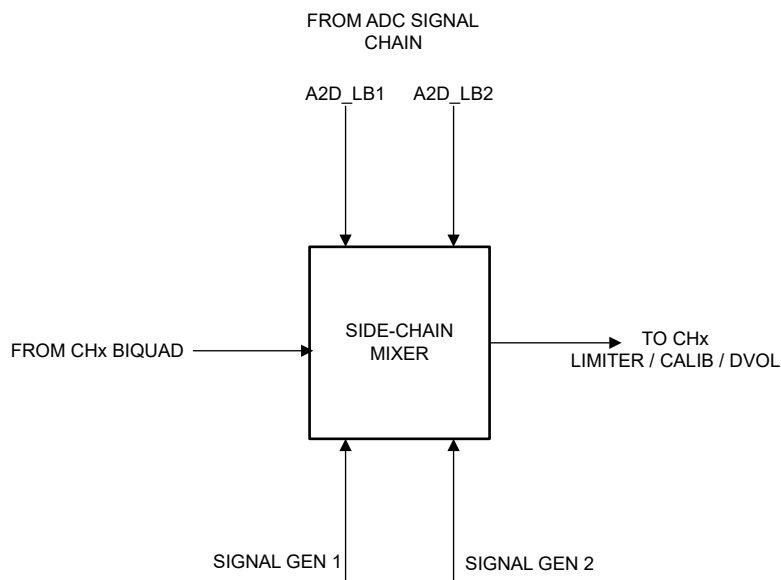


图 3-6. 侧链混频器

SC 混频器的输出信号被发送到信号链中的通道限制器/校准/数字音量控制块。

系数 $[a_x, b_x, c_x, d_x]$ 被编程为 16 位整数，并写入表 3-3 中所述第 17 页寄存器。这些系数以节 3.1.1 中所述的 2.14 格式编写。

表 3-3. 第 17 页 SC 混频器的寄存器

寄存器地址	寄存器	寄存器说明	复位值
0x58	SC_DAC_MIX_ADCLB_CH1_RD AC_MIX_BYT1[7:0]	SC DAC 混频器，ADC 环回 CH1 至 RDAC 系数字节[15:8]	0x00
0x59	SC_DAC_MIX_ADCLB_CH1_RD AC_MIX_BYT2[7:0]	SC DAC 混频器，ADC 环回 CH1 至 RDAC 系数字节[7:0]	0x00
0x5A	SC_DAC_MIX_ADCLB_CH1_LD AC_MIX_BYT1[7:0]	SC DAC 混频器，ADC 环回 CH1 至 LDAC 系数字节[15:8]	0x00
0x5B	SC_DAC_MIX_ADCLB_CH1_LD AC_MIX_BYT2[7:0]	SC DAC 混频器，ADC 环回 CH1 至 LDAC 系数字节[7:0]	0x00
0x5C	SC_DAC_MIX_ADCLB_CH1_RD AC2_MIX_BYT1[7:0]	SC DAC 混频器，ADC 环回 CH1 至 RDAC2 系数字节[15:8]	0x00
0x5D	SC_DAC_MIX_ADCLB_CH1_RD AC2_MIX_BYT2[7:0]	SC DAC 混频器，ADC 环回 CH1 至 RDAC2 系数字节[7:0]	0x00
0x5E	SC_DAC_MIX_ADCLB_CH1_LD AC2_MIX_BYT1[7:0]	SC DAC 混频器，ADC 环回 CH1 至 LDAC2 系数字节[15:8]	0x00
0x5F	SC_DAC_MIX_ADCLB_CH1_LD AC2_MIX_BYT2[7:0]	SC DAC 混频器，ADC 环回 CH1 至 LDAC2 系数字节[7:0]	0x00
0x60	SC_DAC_MIX_ADCLB_CH2_RD AC_MIX_BYT1[7:0]	SC DAC 混频器，ADC 环回 CH2 至 RDAC 系数字节[15:8]	0x00
0x61	SC_DAC_MIX_ADCLB_CH2_RD AC_MIX_BYT2[7:0]	SC DAC 混频器，ADC 环回 CH2 至 RDAC 系数字节[7:0]	0x00
0x62	SC_DAC_MIX_ADCLB_CH2_LD AC_MIX_BYT1[7:0]	SC DAC 混频器，ADC 环回 CH2 至 LDAC 系数字节[15:8]	0x00
0x63	SC_DAC_MIX_ADCLB_CH2_LD AC_MIX_BYT2[7:0]	SC DAC 混频器，ADC 环回 CH2 至 LDAC 系数字节[7:0]	0x00
0x64	SC_DAC_MIX_ADCLB_CH2_RD AC2_MIX_BYT1[7:0]	SC DAC 混频器，ADC 环回 CH2 至 RDAC2 系数字节[15:8]	0x00
0x65	SC_DAC_MIX_ADCLB_CH2_RD AC2_MIX_BYT2[7:0]	SC DAC 混频器，ADC 环回 CH2 至 RDAC2 系数字节[7:0]	0x00

表 3-3. 第 17 页 SC 混频器的寄存器（续）

寄存器地址	寄存器	寄存器说明	复位值
0x66	SC_DAC_MIX_ADCLB_CH2_LD AC2_MIX_BYT1[7:0]	SC DAC 混频器，ADC 环回 CH2 至 LDAC2 系数字节[15:8]	0x00
0x67	SC_DAC_MIX_ADCLB_CH2_LD AC2_MIX_BYT2[7:0]	SC DAC 混频器，ADC 环回 CH2 至 LDAC2 系数字节[7:0]	0x00
0x68	SC_DAC_MIX_SIGGEN_CH1_R DAC_MIX_BYT1[7:0]	SC DAC 混频器，信号发生器 CH1 至 RDAC 系数字节[15:8]	0x00
0x69	SC_DAC_MIX_SIGGEN_CH1_R DAC_MIX_BYT2[7:0]	SC DAC 混频器，信号发生器 CH1 至 RDAC 系数字节[7:0]	0x00
0x6A	SC_DAC_MIX_SIGGEN_CH1_L DAC_MIX_BYT1[7:0]	SC DAC 混频器，信号发生器 CH1 至 LDAC 系数字节[15:8]	0x00
0x6B	SC_DAC_MIX_SIGGEN_CH1_L DAC_MIX_BYT2[7:0]	SC DAC 混频器，信号发生器 CH1 至 LDAC 系数字节[7:0]	0x00
0x6C	SC_DAC_MIX_SIGGEN_CH1_R DAC2_MIX_BYT1[7:0]	SC DAC 混频器，信号发生器 CH1 至 RDAC2 系数字节[15:8]	0x00
0x6D	SC_DAC_MIX_SIGGEN_CH1_R DAC2_MIX_BYT2[7:0]	SC DAC 混频器，信号发生器 CH1 至 RDAC2 系数字节[7:0]	0x00
0x6E	SC_DAC_MIX_SIGGEN_CH1_L DAC2_MIX_BYT1[7:0]	SC DAC 混频器，信号发生器 CH1 至 LDAC2 系数字节[15:8]	0x00
0x6F	SC_DAC_MIX_SIGGEN_CH1_L DAC2_MIX_BYT2[7:0]	SC DAC 混频器，信号发生器 CH1 至 LDAC2 系数字节[7:0]	0x00
0x70	SC_DAC_MIX_SIGGEN_CH2_R DAC_MIX_BYT1[7:0]	SC DAC 混频器，信号发生器 CH2 至 RDAC 系数字节[15:8]	0x00
0x71	SC_DAC_MIX_SIGGEN_CH2_R DAC_MIX_BYT2[7:0]	SC DAC 混频器，信号发生器 CH2 至 RDAC 系数字节[7:0]	0x00
0x72	SC_DAC_MIX_SIGGEN_CH2_L DAC_MIX_BYT1[7:0]	SC DAC 混频器，信号发生器 CH2 至 LDAC 系数字节[15:8]	0x00
0x73	SC_DAC_MIX_SIGGEN_CH2_L DAC_MIX_BYT2[7:0]	SC DAC 混频器，信号发生器 CH2 至 LDAC 系数字节[7:0]	0x00
0x74	SC_DAC_MIX_SIGGEN_CH2_R DAC2_MIX_BYT1[7:0]	SC DAC 混频器，信号发生器 CH2 至 RDAC2 系数字节[15:8]	0x00
0x75	SC_DAC_MIX_SIGGEN_CH2_R DAC2_MIX_BYT2[7:0]	SC DAC 混频器，信号发生器 CH2 至 RDAC2 系数字节[7:0]	0x00
0x76	SC_DAC_MIX_SIGGEN_CH2_L DAC2_MIX_BYT1[7:0]	SC DAC 混频器，信号发生器 CH2 至 LDAC2 系数字节[15:8]	0x00
0x77	SC_DAC_MIX_SIGGEN_CH2_L DAC2_MIX_BYT2[7:0]	SC DAC 混频器，信号发生器 CH2 至 LDAC2 系数字节[7:0]	0x00

3.3.1 回放路径侧链 - 示例

本节将介绍回放路径上侧链 (SC) 混频器的实现示例。以下示例代码是在 TAC5112EVM-K 评估模块上使用 PurePath™ Console 3 执行测试。SC 混频器混合以下输入：

1. IN1P/IN1M 上通过 ADC 至 DAC 环回混频器混合的 1kHz、1Vrms 差分模拟正弦信号。
2. IN2P/IN2M 上通过 ADC 至 DAC 环回混频器混合的 2.2kHz、0.5Vrms 差分模拟正弦信号。
3. PASI RX 通道 1 上的 100Hz、0.4FS (满标度) 数字正弦音调。
4. PASI RX 通道 2 上的 750Hz、0.6FS (满标度) 数字正弦音调。
5. 通过 SG1 信号发生器生成的 3.33kHz 正弦信号。

该器件通过 DAC 分别在 OUT1P/M 和 OUT2P/M 模拟输出上播放 2 个混合信号。

```
w a0 00 00 #Page 0
w a0 01 01 #Sw Reset
d 01
```

```

w a0 00 00 #Page 0
w a0 02 09 #Exit Sleep Mode with DREG and VREF Enabled
w a0 1a 30 #TDM protocol with 32-bit word length
w a0 4d 00 #VREF set to 2.75V for 2Vrms differential fullscale input
w a0 50 00 #ADC Channel 1 configured for AC-coupled differential input with 5kOhm input impedance
and audio bandwidth
w a0 55 00 #ADC Channel 2 configured for AC-coupled differential input with 5kOhm input impedance
and audio bandwidth
w a0 64 20 #DAC Channel 1 configured for differential output with 0.6*Vref as common mode
w a0 65 20 #DAC OUT1P configured for line out driver and audio bandwidth
w a0 66 20 #DAC OUT1M configured for line out driver and audio bandwidth
w a0 6b 20 #DAC Channel 2 configured for differential output with 0.6*Vref as common mode
w a0 6c 20 #DAC OUT2P configured for line out driver and audio bandwidth
w a0 6d 20 #DAC OUT2M configured for line out driver and audio bandwidth

w a0 26 01 #RX Offset = 1
w a0 28 20 #RX CH1 to DAC CH1
w a0 29 21 #RX CH2 to DAC CH2

w a0 00 01 #Page 1
w a0 2c d0 #Enable DAC ASI Mixer, Loopback Mixer, DAC Side-Chain Mixer

#ADC INPUTS
#CH1 = 1kHz, 1Vrms (0.5FS)
#CH2 = 2.2kHz, 0.5Vrms (0.25FS)
#ADC Loopback mixers
#LB1 = 0.2*CH1 + 0.8*CH2
w a0 00 0a #Page 10
w a0 48 19 99 99 9a #a1 = 0.2
w a0 4c 66 66 66 66 #b1 = 0.8
w a0 50 00 00 00 00 #c1 = 0
w a0 54 00 00 00 00 #d1 = 0

#LB2 = 0.6*CH1 + 0.4*CH2
w a0 58 4c cc cc cd #a2 = 0.6
w a0 5c 33 33 33 33 #b2 = 0.4
w a0 60 00 00 00 00 #c2 = 0
w a0 64 00 00 00 00 #d2 = 0

#Tone generator
#TG1 = 3.33kHz sine tone
#TG2 = No Signal
w a0 00 12
w a0 24 74 3e 09 17
w a0 20 6a 84 fe 00
w a0 2c 35 96 a4 6c
w a0 28 38 03 3c 00

#DAC ASI Inputs
#IN1 = 100Hz, 0.4FS (0.4FS)
#IN2 = 750Hz, 0.6FS (0.6FS)

w a0 00 11 #Page 17
#DAC output OUT1 = IN1 + 0.5*LB1
#DAC output OUT2 = IN2 + 0.4*LB2 + 0.2*TG1
w a0 58 00 00 20 00 #a1 = 0.5, a2 = 0
w a0 5c 00 00 00 00 #a3 = 0, a4 = 0
w a0 60 19 9a 00 00 #b1 = 0, b2 = 0.4
w a0 64 00 00 00 00 #b3 = 0, b4 = 0
w a0 68 0c cd 00 00 #c1 = 0, c2 = 0.2
w a0 6c 00 00 00 00 #c3 = 0, c4 = 0
w a0 70 00 00 00 00 #d1 = 0, d2 = 0
w a0 74 00 00 00 00 #d3 = 0, d4 = 0

w a0 00 00 #Page 0
w a0 76 cc #ADC CH1-2, DAC CH1-2 Enabled
w a0 78 c0 #ADC, DAC Paths enabled

```

Mixer Inputs:

IN1 = 1kHz, 1Vrms Sine (0.5FS analog, IN1P/M)
IN2 = 2.2kHz, 0.5Vrms Sine (0.25FS analog, IN1P/M)
LB1 = ADC-to-DAC Loopback 1 = $0.2 \cdot \text{IN1} + 0.8 \cdot \text{IN2}$
LB2 = ADC-to-DAC Loopback 2 = $0.6 \cdot \text{IN1} + 0.4 \cdot \text{IN2}$
SG1 = Signal Generator 1 = 3.3kHz Sine tone (1FS)
SG2 = Signal Generator2 = No Signal
IN3 = 100Hz Sine (0.4FS ASI Input, PASI RX CH1)
IN4 = 750Hz Sine (0.6FS ASI Input, PASI RX CH2)

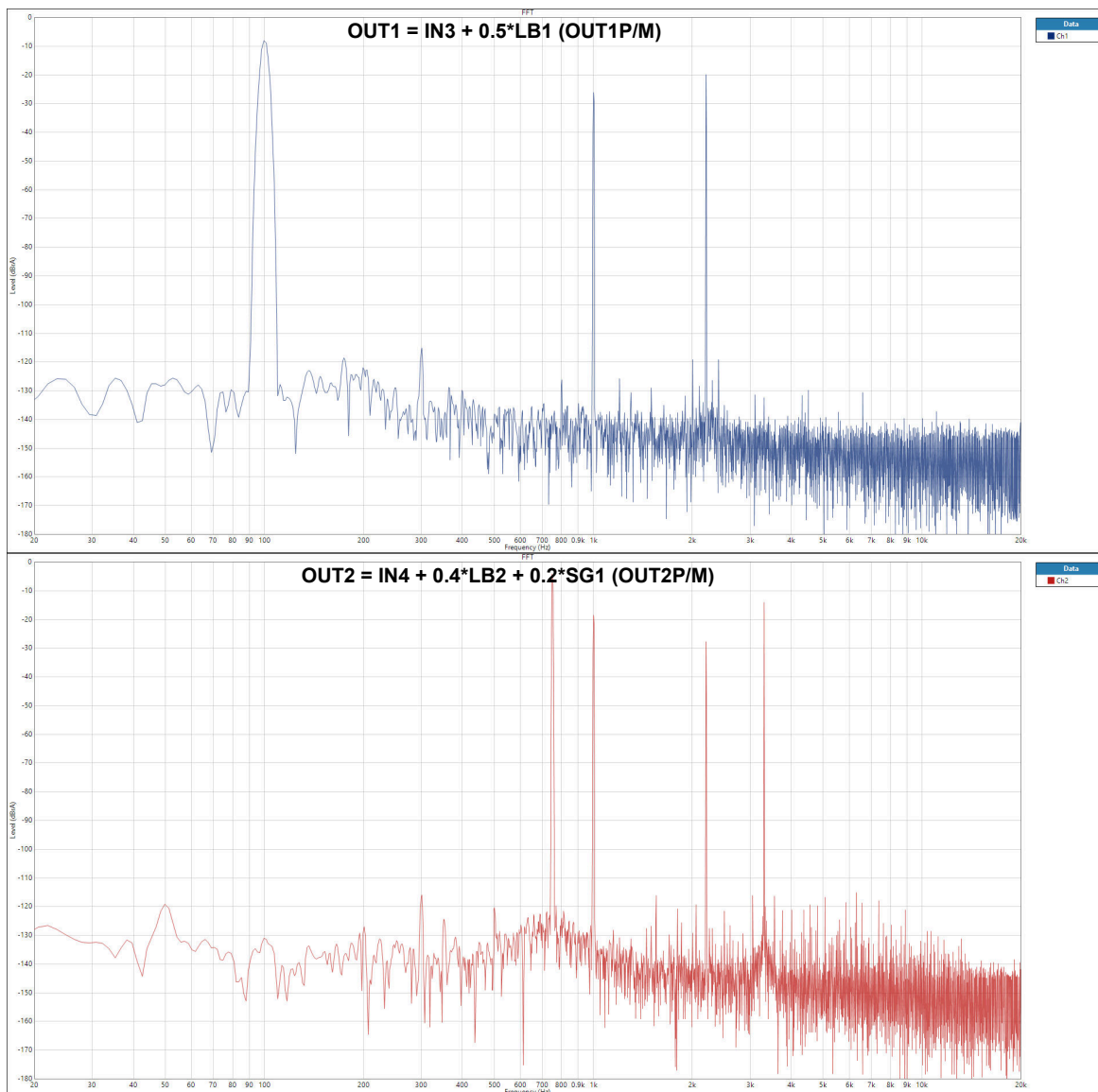


图 3-7. 针对侧链混频器的回放通道输出

4 应用：用于提高 TAC5212 动态范围的 ADC 通道求和

考虑两个输入，它们具有信号分量和噪声分量。

$$\begin{aligned} V_{in1} &= V_{sig1} + V_{noise1} \\ V_{in2} &= V_{sig2} + V_{noise2} \end{aligned} \quad (6)$$

当这两个输入混合在一起时，信号分量是相关的，因此会直接相加，而噪声分量是不相关的，需按平方和根的形式相加。

因此，当两个输入以相等权重混合时，得到的输出为：

$$V_{out} = \left(\frac{V_{sig1} + V_{sig2}}{2} \right) + \frac{\sqrt{V_{noise1}^2 + V_{noise2}^2}}{2} \quad (7)$$

如果两个输入使用相同的源（如图 4-1 中所示），则：

$$\begin{aligned} V_{sig1} &= V_{sig2} = V_{sig} \\ V_{noise1} &= V_{noise2} = V_{noise} \end{aligned} \quad (8)$$

最终输出为

$$V_{out} = V_{sig} + \frac{V_{noise}}{\sqrt{2}} \quad (9)$$

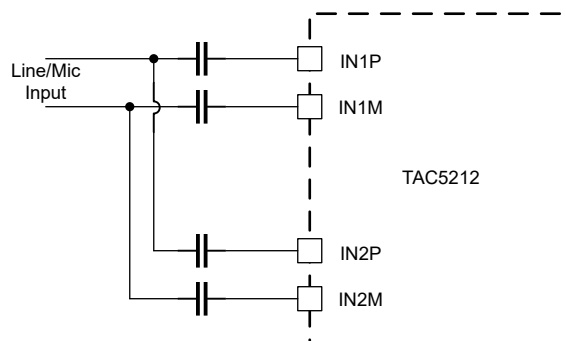


图 4-1. 连接到两个 ADC 通道以进行通道求和的同一输入

当信号振幅保持不变时，噪声降低了 1.414 倍。这会使有效输出的信噪比提高 3dB

这一观点在 TAC5212EVM-K 中经过了测试，其中采用以下配置脚本，并在 IN1P/M 和 IN2P/M 上连接了相同的模拟信号。

```
w a0 00 00 # Page 0
w a0 01 01 #SW Reset
d 01

# Page 0 Register Writes
w a0 00 00
w a0 02 09 #Exit Sleep Mode with DREG and VREF Enabled
d 10
w a0 1a 30 #PASI in TDM protocol with 32-bit word length
w a0 4d 00 #VREF set to 2.75V for 2Vrms differential fullscale input
w a0 50 00 #ADC Channel 1 configured for AC-coupled differential input with 5kohm input impedance
and audio bandwidth
w a0 55 00 #ADC Channel 2 configured for AC-coupled differential input with 5kohm input impedance
and audio bandwidth

w a0 1e 20 #Recording Channel 1 on TDM Slot 0
w a0 1f 21 #Recording Channel 2 on TDM Slot 0
```



```
#Same signal on ADC CH1, ADC CH2
w a0 00 0a #Page 10
#Confugre Mixer1 for OUT1 = 0.5*IN1 + 0.5*IN2
w a0 08 40 00 00 00
w a0 0c 40 00 00 00
w a0 10 00 00 00 00
w a0 14 00 00 00 00
#Confugre Mixer1 for OUT2 = 0.5*IN1 + 0.5*IN2
w a0 18 40 00 00 00
w a0 1c 40 00 00 00
w a0 20 00 00 00 00
w a0 24 00 00 00 00

w a0 00 00 #Page 0
w a0 76 c0 #ADC Channels 1-2 Enabled
w a0 78 80 #ADC Powered Up
```

表 4-1 展示了单独使用 CH1 和 CH2 时的动态范围，以及通过通道求和获得 3dB 改进。测量采用的是 A 加权方式。

表 4-1. TAC5212 在启用和未启用通道求和的动态范围

通过混频器进行通道求和	CH1 动态范围 (dB)	CH2 动态范围 (dB)
未启用	118.9dB	118.8dB
启用	121.9dB	121.9dB

5 应用：TAC5412-Q1 中的模拟输入转模拟输出信号流

在 TAC5412-Q1 器件中，模拟输入可与 DAC 信号链混合，并通过数字混频器播放到模拟输出上。这是通过使用 ADC 至 DAC 回路路径和侧链混频器将模拟输入电压转换为相应的模拟输出电压来完成的。图 5-2 展示了模拟输入和模拟输出连接：

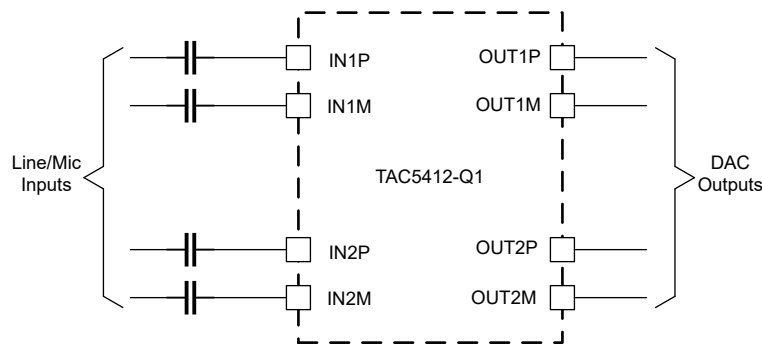


图 5-1. TAC5412-Q1 的输入和输出连接

我们使用以下脚本在 TAC5412Q15B5EVM-K 评估模块上对此进行了测试，其中 ADC 路径配置为 10Vrms 满标度差分输入，而 DAC 路径配置为 2Vrms 满标度差分输出。在此情况下的预期是，当在 INxP/M 引脚处提供有效值为 8.91Vrms (对于 ADC 而言为 -1dBFS) 的信号时，在相应的 OUTxP/M 引脚上能够观察到有效值为 1.78Vrms (对于 DAC 而言为 -1dBFS) 的信号。图 5-2 中展示了测试结果。

```

w a0 00 00 # Page 0
w a0 01 01 #Sw Reset
d 01
# Page 0 Register Writes
w a0 00 00
w a0 02 09 #Exit Sleep Mode with DREG and VREF Enabled
d 10
w a0 1a 30 #PASI in TDM protocol with 32-bit word length
w a0 4d 00 #VREF set to 2.75V for 2Vrms differential fullscale input
w a0 50 00 #ADC Channel 1 configured for differential input with 10Vrms swing
w a0 55 00 #ADC Channel 2 configured for differential input with 10Vrms swing
w a0 64 20 #DAC Channel 1 configured for differential output with 0.6*Vref as common mode
w a0 65 20 #DAC OUT1P configured for line out driver and audio bandwidth
w a0 66 20 #DAC OUT1M configured for line out driver and audio bandwidth
w a0 6b 20 #DAC Channel 2 configured for differential output with 0.6*Vref as common mode
w a0 6c 20 #DAC OUT2P configured for line out driver and audio bandwidth
w a0 6d 20 #DAC OUT2M configured for line out driver and audio bandwidth

w a0 26 01 #RX Offset = 1

w a0 28 20 #RX CH1 to DAC CH1
w a0 29 21 #RX CH2 to DAC CH2

#ADC INPUTS
#CH1 = 1kHz, 8.91Vrms Sine (-1dBFS)
#CH2 = 2.2kHz, 5Vrms Sine (-6dBFS)
#ADC Loopback mixers
#LB1 = 1*CH1 + 0*CH2
w a0 00 0a #Page 10
w a0 48 7f ff ff ff #a1 = 1
w a0 4c 00 00 00 00 #b1 = 0
w a0 50 00 00 00 00 #c1 = 0
w a0 54 00 00 00 00 #d1 = 0

#LB2 = 0*CH1 + 1*CH2
w a0 58 00 00 00 00 #a2 = 0
w a0 5c 7f ff ff ff #b2 = 1
w a0 60 00 00 00 00 #c2 = 0
w a0 64 00 00 00 00 #d2 = 0

#DAC Inputs
#CH1 = CH2 = 0

w a0 00 11 #Page 17
#DAC output OUT1 = 1*LB1

```

```
#DAC output OUT2 = 1*LB2
w a0 58 00 00 3f ff #a1 = 0, a2 = 0
w a0 5c 00 00 00 00 #a3 = 0, a4 = 0
w a0 60 3f ff 00 00 #b1 = 0, b2 = 0
w a0 64 00 00 00 00 #b3 = 0, b4 = 0
w a0 68 00 00 00 00 #c1 = 0, c2 = 0
w a0 6c 00 00 00 00 #c3 = 0, c4 = 0
w a0 70 00 00 00 00 #d1 = 0, d2 = 0
w a0 74 00 00 00 00 #d3 = 0, d4 = 0

w a0 00 00 #Page 0
w a0 76 cc #ADC CH1-2, DAC CH1-2 Enabled
w a0 78 e0 #ADC, DAC Path and MICBIAS enabled
```

Analog Inputs (ADC Full-Scale = 10Vrms):
CH1 = 8.91Vrms, 1kHz Sine (-1dBFS, IN1P/M)
CH2 = 5Vrms, 1kHz Sine (-6dBFS, IN1P/M)
DAC Full-Scale = 2Vrms

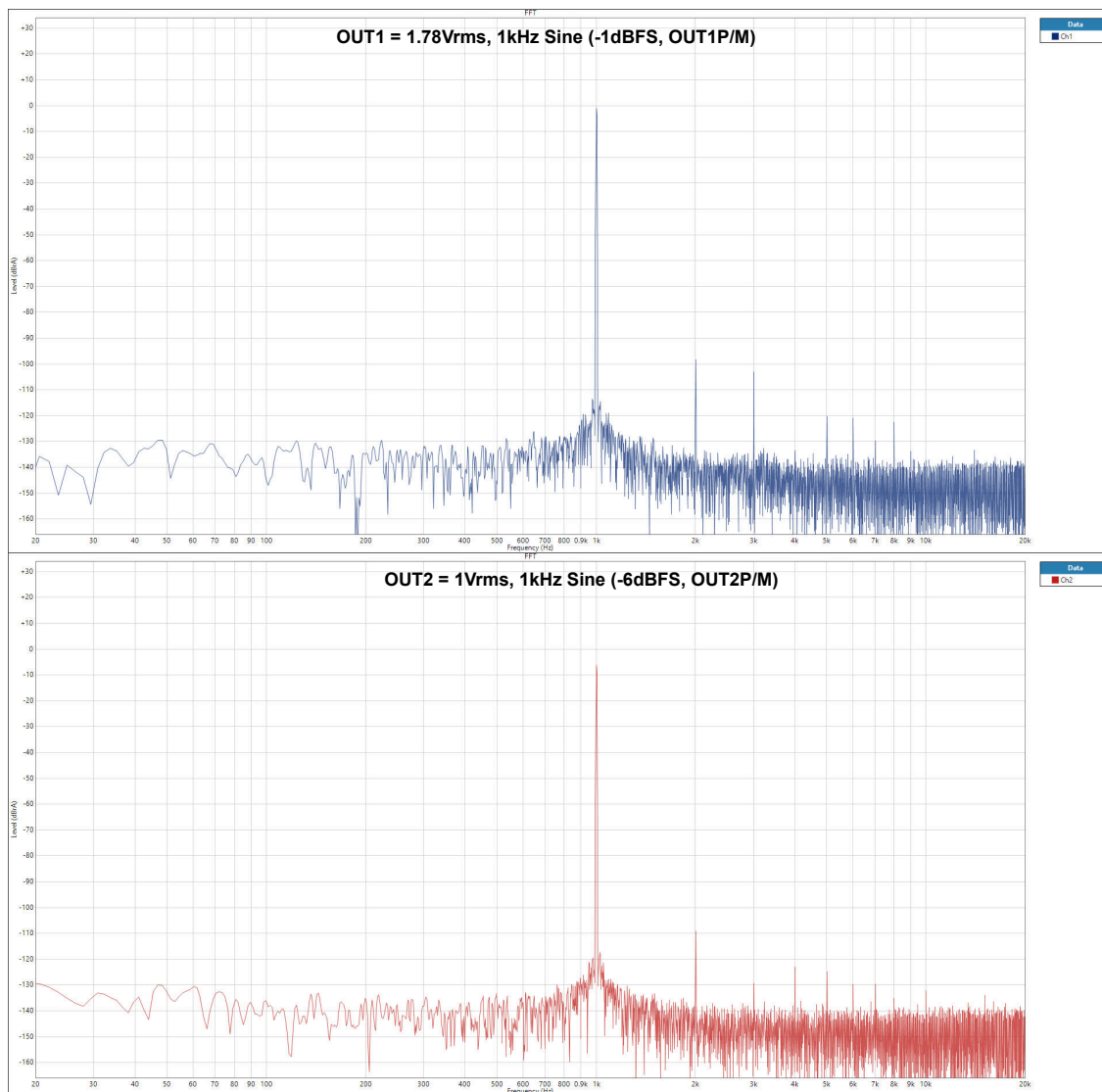


图 5-2. 在 TAC5412-Q1 上测得的模拟输入至模拟输出

6 总结

本应用手册介绍了录音和回放信号链中不同数字混频器的运行，并提供了各种示例来演示如何使用 **PurePath™™ Console 3** 配置这些混频器。本文档还介绍了在音频系统中配置和使用这些混频器的两种应用场景。

7 参考资料

- 德州仪器 (TI), [TAC5212 具有 119dB 动态范围 ADC 和 120dB 动态范围 DAC 的高性能立体声音频编解码器](#) 数据表。
- 德州仪器 (TI), [TAC5412-Q1 具有集成可编程升压、麦克风偏置和诊断功能的汽车级低功耗立体声音频编解码器](#) 数据表。
- 德州仪器 (TI), [I 通过通道求和提高音频 ADC 的动态范围和 SNR](#), 应用手册。
- 德州仪器 (TI), [TAx5x1x 同步采样速率转换](#) 应用手册。
- 德州仪器 (TI), [TAx5x1x 器件的音调生成和应用模式](#), 应用手册。

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司