

Application Note

采用时钟器件的 EMI 降低策略



Cris Kobierowski, Vicente Flores Prado

Clocks and Timing Solutions

摘要

电磁干扰 (EMI) 是外部源对电路造成的不利干扰。EMI 可以分为传导或辐射。传导 EMI 是由寄生阻抗、电源和接地连接引起的一种传导耦合。辐射 EMI 是来自无线电传输的无用信号的耦合。本应用手册讨论了如何通过频率规划和印刷电路板 (PCB) 设计尽量减少时钟器件产生的辐射 EMI。

内容

1 简介.....	2
2 输出建议.....	2
2.1 差分与单端.....	2
2.2 压摆率.....	3
2.3 扩频时钟.....	3
3 PCB 设计.....	4
3.1 堆叠.....	4
3.2 电源滤波.....	4
3.3 避免产生瓶颈.....	6
3.4 战略性过孔布置.....	7
4 尽量减少可能使用的天线数量.....	11
4.1 残桩.....	11
4.2 网络覆铜.....	11
5 总结.....	12
6 参考资料.....	13

商标

所有商标均为其各自所有者的财产。

1 简介

在为 EMI 敏感应用设计 PCB 布局时，最好实施一种经过优化的初步设计，以实现最佳 EMI 性能。本应用手册讨论了这些布局策略以及如何充分利用时钟器件特性来实现最佳 EMI 性能。

2 输出建议

2.1 差分与单端

时钟波形往往具有非常高的转换率。无论是在输出频率还是在后续谐波中，这种剧烈的电压变化都容易导致较大的 EMI 尖峰。例如，25MHz 可能在 25MHz、50MHz（第 2 个谐波）、75MHz（第 3 个谐波）处产生 EMI 杂散，以此类推。在生成这些输出的同时谐波是无法避免的，因此，选择正确的输出类型有助于降低杂散的功耗。

使用差分输出类型（例如 LVDS 或 HCSL）就是最佳状况。差分信号同时使用 P 布线和 N 布线，每条布线的相位差为 180 度。当 P 为高电平时，N 为低电平，反之亦然（图 2-1）。此外，从时钟发生器到终端器件之间，差分信号在整个 PCB 上的布线非常靠近。这种模式和较短的距离能有效地将单条布线的 EMI 影响降至最低。

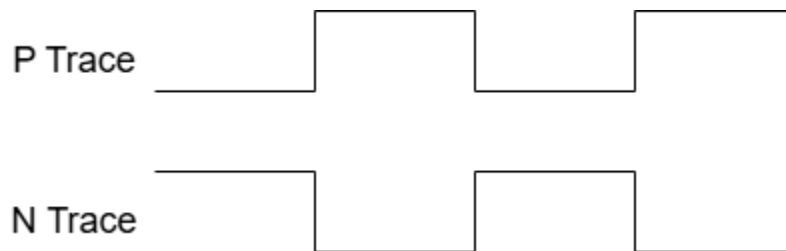


图 2-1. P 和 N 布线

我们可以将相同的方法用于单端输出类型，例如 CMOS。与差分信号不同，单端输出类型没有相同的 P 和 N 关系；通常仅使用 P 布线或 N 布线。但是许多时钟器件（例如 LMK3C0105）可以通过单个输出通道块产生两个彼此相位差为 180 度的单端信号。我们可以通过尽可能接近的模拟差分信号，让这一点给我们带来益处。按照差分对布线可实现出色的 EMI 性能。如果仅使用 LVCMOS 对其中一条，则进行两条布线，尽可能靠近接收器终止不使用的一条布线。如果 LVCMOS 对用于两个不同的接收器，请制定频率计划和 PCB 布局，以便尽可能按照差分方式对时钟对进行布线。

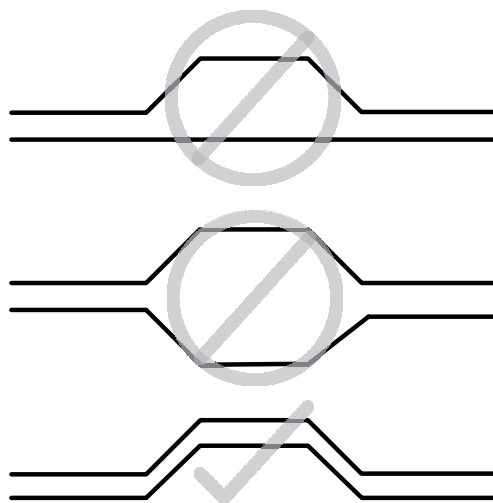


图 2-2. 差分对对称

使用 CMOS 时，考虑布线长度也很重要。这种输出类型的布线越长，需要的功率就越大，继而产生更大的 EMI 输出杂散。无论是差分输出还是单端输出，最好尽可能使用低功耗输出类型，例如，使用 LVCMOS 而不是 CMOS，或使用 LP-HCSL 而不是 HCSL。

2.2 压摆率

转换率是指电压电平的变化率。时钟信号通常是方波，与其他类型的信号相比，转换率通常更快。电压电平快速变化，导致电路中出现电流浪涌，从而产生 EMI 尖峰。为了减轻这种影响，CDC6C 之类器件采用了转换率控制（也称为可调节上升或下降时间）。降低转换率可减少电流浪涌，从而降低功耗 EMI 尖峰。

2.3 扩频时钟

展频时钟 (SSC) 是缓解这种 EMI 来源的最常用策略。SSC 能够通过以受控方式改变频率来降低数字时钟信号的峰值振幅，从而将能量分散在频域中。然而，这不会影响时域中的时钟振幅。中心展频 SSC 将能量均匀分散在目标频率的任一侧。向下展频 SSC 仅将能量分散到目标频率以下的频率。两种 SSC 强度可能会有所不同。图 2-3 显示了 0 % (蓝色)、 $\pm 0.5\%$ (绿色)、 $\pm 1\%$ (青色) 和 $\pm 2\%$ (红色) 中心展 SSC 的结果。CDCE6214 和 LMK3H 系列等时钟器件具有 SSC 功能。

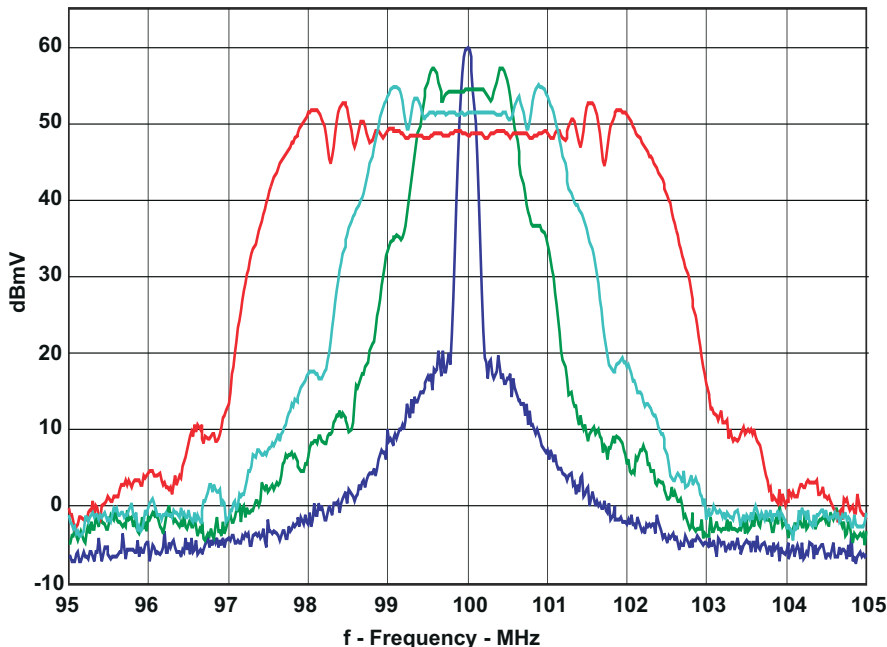


图 2-3. 100MHz 输出，具有 0%、 $\pm 0.5\%$ 、 $\pm 1\%$ 和 $\pm 2\%$ SSC

如需了解更多信息，请参阅 [使用 CDCS502/503 的展时钟](#)，应用手册。

3 PCB 设计

3.1 堆叠

为了最大限度降低 EMI，请规划 PCB 堆叠，使时钟信号和电源布线采用带状线 (图 3-1)。使用接地环绕这些高能源有助于进行现场抑制。图 3-2 显示了一个 8 层堆叠的示例。该示例使用第 1 层、第 3 层和第 6 层进行电源和信号布线，并用接地平面环绕其中每一层。虽然仅使用这种堆叠并不能完全包覆住布线，但的确可以覆盖大部分表面区域，有助于限制辐射 EMI。

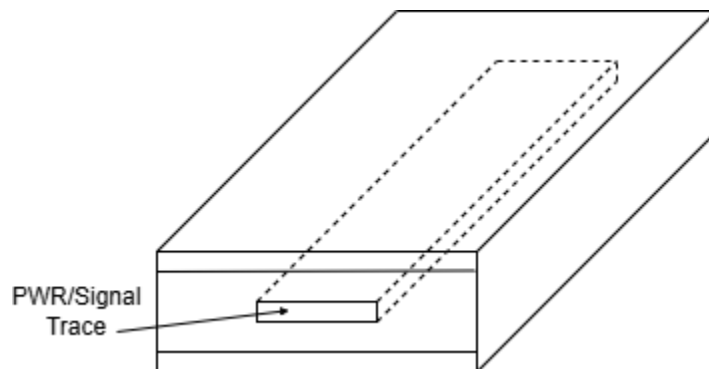


图 3-1. 带状线

Top Layer
Ground
Power
Ground
Ground
Signal
Ground
Bottom Layer

图 3-2. 8 层 PCB 堆叠示例

除了层顺序外，还必须考虑材料特性对布线阻抗的影响。布线宽度和堆层叠必须确保和所用输出类型的布线进行正确的阻抗匹配。例如，LVCMOS 通常需要 $50\ \Omega$ 布线阻抗，而 LP-HCSL 通常使用 $85\ \Omega$ 或 $100\ \Omega$ 。当器件和信号层未实现阻抗匹配时，其过渡可能会导致较大的 EMI 杂散。大多数 PCB 软件和制造商都提供工具，可以协助完成此过程。如果使用过孔将时钟布线走线到不同的层，还必须考虑过孔阻抗。

3.2 电源滤波

频率在电源平面上耦合和辐射，是一种常见 EMI 来源。如果需要 CISPR-25 认证，这一点尤为重要，因为天线测量是通过器件的电源线进行的 (图 3-3)。

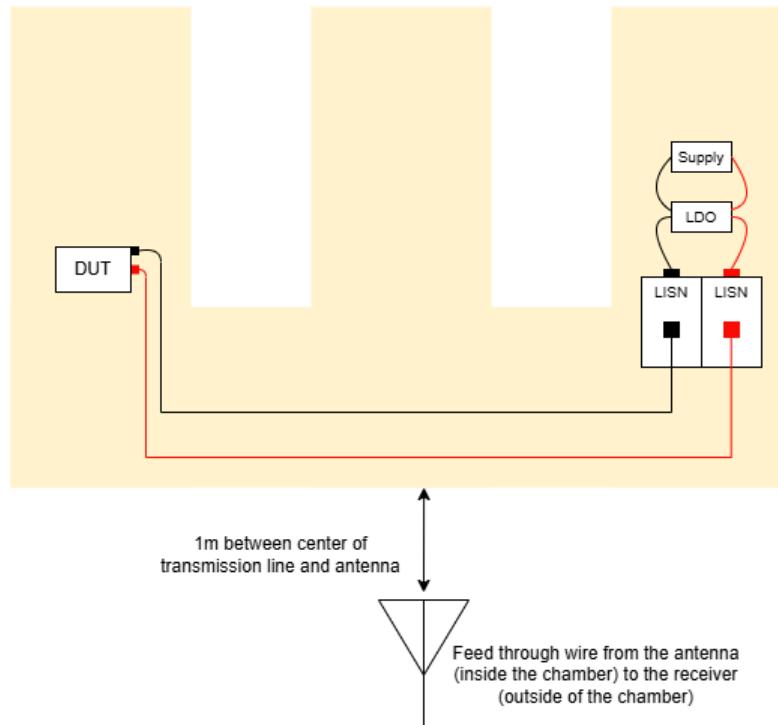


图 3-3. CISPR-25 设置

使用去耦电容器是在电路中产生纯净电源的主要方法。电容器在连接到直流电源后存储能量，因此如果电压从标称值波动，电容器内存储的能量会释放并输送到负载。这会拉平总电压，保持电源稳定并减少 EMI 杂散。

去耦电容器的常见值为 0.1 μ F 和 1 μ F；但是，这些值无法滤除每个频率。电容器的内部电阻有限，且具有电阻和电感特性。发生谐振以及容抗和感抗相等的频率称为自谐振频率 (SRF)。在该频率处，电容器阻抗变为零。在我们需要对电源进行滤波的频率处，我们需要去耦电容器的阻抗尽可能低。

在时序方面，CDC6C 提供了具有各种上升时间选项。由于具备可减轻 EMI 影响的优势，上升时间大幅减慢的时钟通常应用于汽车应用。CDC6 慢速模式 4 的典型上升时间为 2.7ns。该 2.7ns 上升时间对应于 370MHz 处的 EMI 杂散和后续谐波。在这种情况下，具有 370MHz SRF 的去耦电容器可以降低开关噪声对电源的影响，并在负载电流尖峰时有效放电。

Würth Elektronik 提供了 [EMI 滤波器设计者工具](#)，可以帮助选择针对特定频率的适当电容器和铁氧体磁珠值。

3.3 避免产生瓶颈

如上一节所述，电源平面和接地平面可以作为强大的 EMI 辐射源。PCB 设计中的一个常见错误是在电源和接地布线中造成**瓶颈**。当功耗大量强制集中在一个较小的区域时，就会出现**瓶颈**。

在以下各图中，红色箭头表示较大的功耗集中，绿色箭头表示较小的功耗集中。

在图 3-4 中，VDD 布线变为较窄的布线。其中，两处连接是**瓶颈**。该区域大量集中了电流，可充当 EMI 天线，如红色箭头所示。

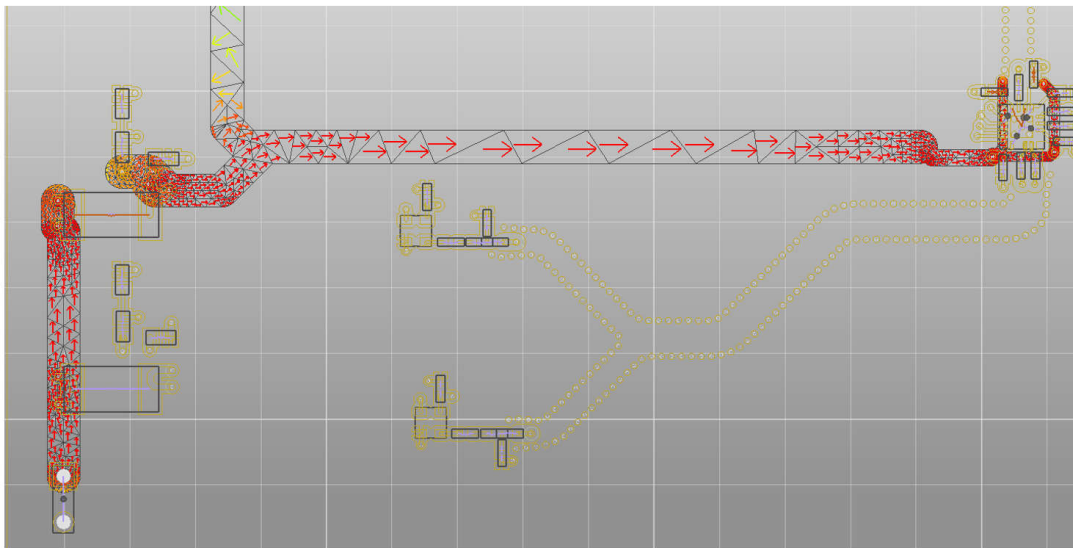


图 3-4. 窄电源布线

在新布局中(图 3-5)，利用的是整个平面而不是单条布线，这降低了任何给定点的功率集中，如绿色箭头所示。

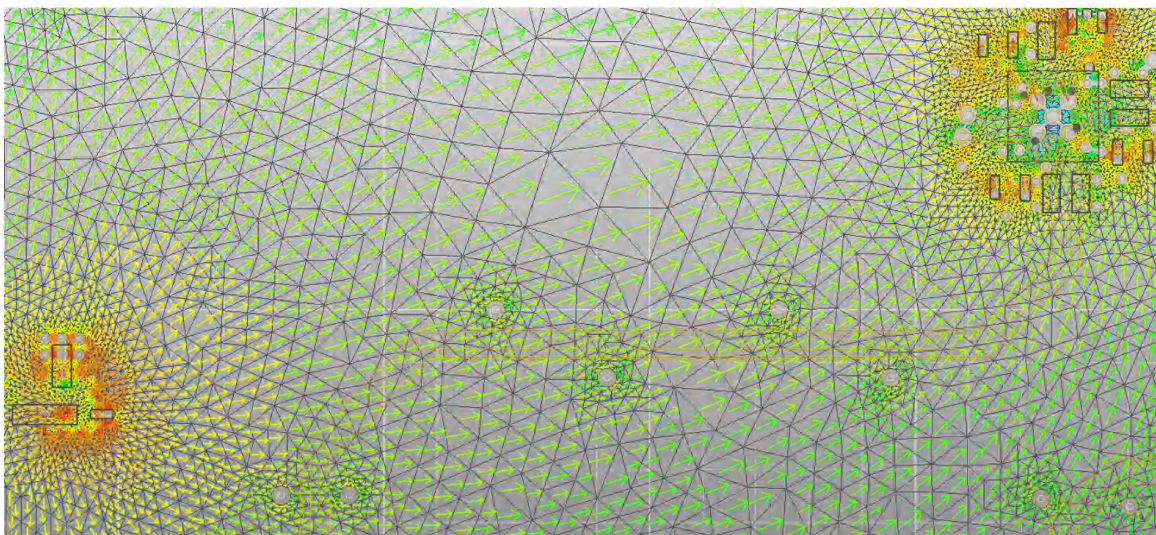


图 3-5. 更宽的电源布线

3.4 战略性过孔布置

3.4.1 分散功耗集中

任何大量功耗集中都可能导致 EMI 杂散。虽然节 3.3 一节讨论了功耗集中和布线宽度，但 PCB 的其他区域也会出现大量功耗集中的情况。过孔和无源器件在连接点往往具有这类更高程度的功耗集中。例如，如果过孔明显小于布线宽度，这种过渡可以充当 EMI 天线。同样，较大的无源元件焊盘连接到宽度较小的布线或两个平面之间的过渡，可能具有相同的效果。

3.4.1.1 过孔尺寸

穿过过孔布线会造成电流干扰，可能导致 EMI 尖峰。然而，如果过孔明显大于布线宽度，则会产生更突兀的过渡 (图 3-6)。这种更突兀的过渡可以充当天线，产生更大的 EMI 杂散。穿过过孔布线时，布线宽度应略大于过孔 (图 3-7)。

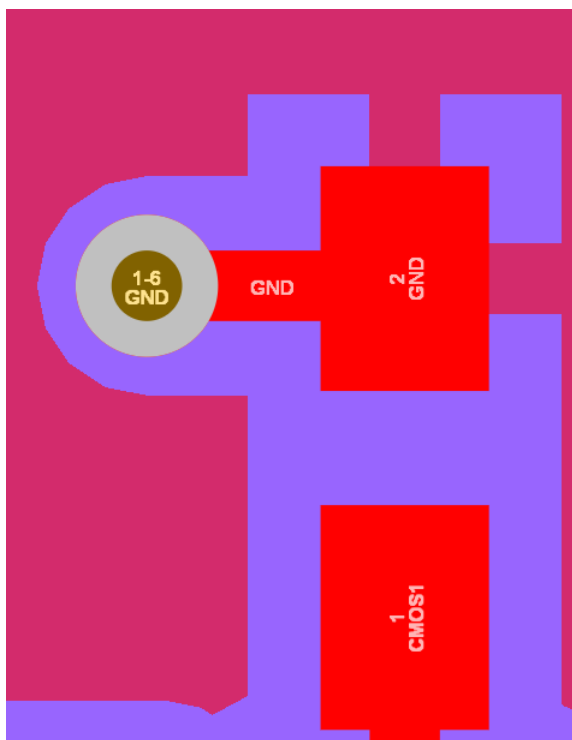


图 3-6. 采用窄布线
穿过接地过孔的无源器件

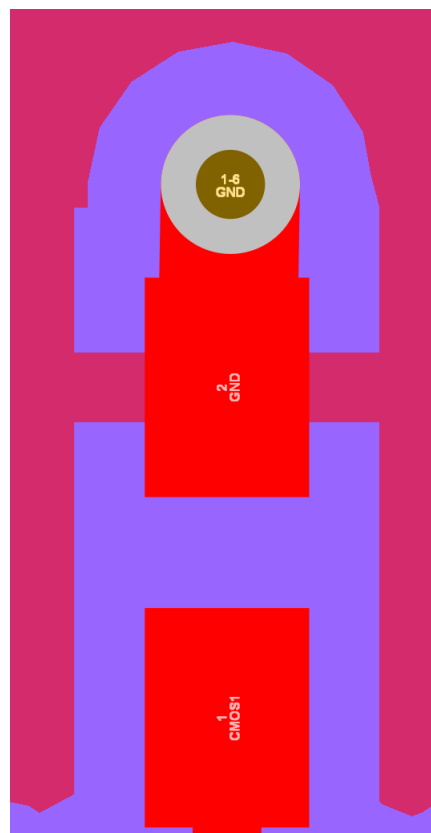


图 3-7. 采用较宽布线穿过
接地过孔的无源器件

3.4.1.2 焊盘和覆铜

较大的无源元件焊盘连接到宽度较小的布线，也可以是 EMI 尖峰的来源 (图 3-8)。连接无源器件时，布线宽度要与焊盘尺寸相匹配。同样，在两个平面之间连接网时，使用几个过孔更均匀地分散能量 (图 3-9)。这对于电源网和接地网尤其重要。

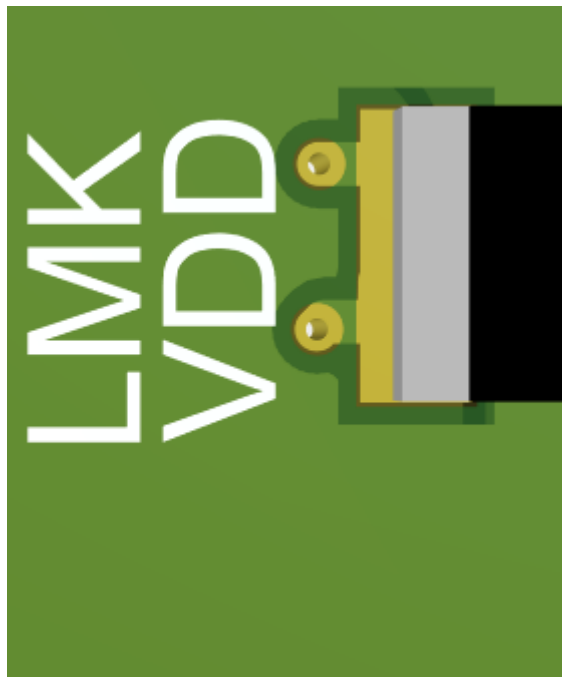


图 3-8. 大型无源器件和较少的过孔



图 3-9. 大型无源器件和很多过孔

3.4.2 屏蔽和拼接过孔

在 PCB 设计中，降低 EMI 的常用方法是使用穿孔拼接和屏蔽过孔。拼接是指使用散布在整个电路板上的通用接地过孔模式。根据设计需求，每个过孔之间的间距可以变化。这些过孔将 PCB 的接地平面连接（装订）在一起，为电路形成一个稳固的整体接地。额外的接地还用于进一步环绕电源平面或布线，有助于现场抑制（图 3-10）。在电路中提供稳固的接地是降低 EMI 的最有效方法之一。

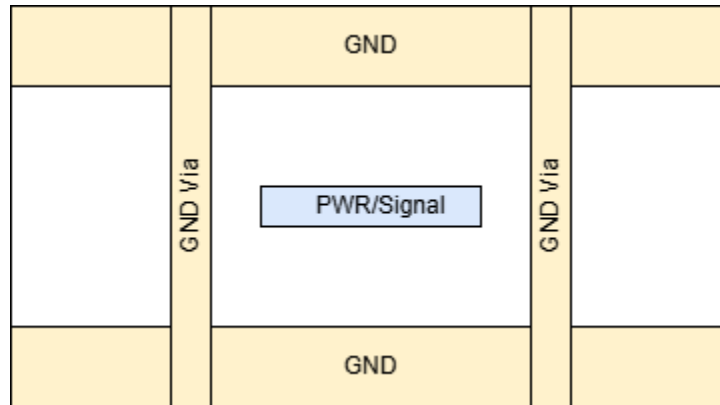


图 3-10. 利用过孔实现带状线堆叠

妥善做法是在连接点布置一个额外的接地过孔（图 3-11）。连接点可以是布线连接到另一元件的任何位置，例如过孔或无源器件。额外的过孔可实现更短的接地路径，减少电感和 EMI。

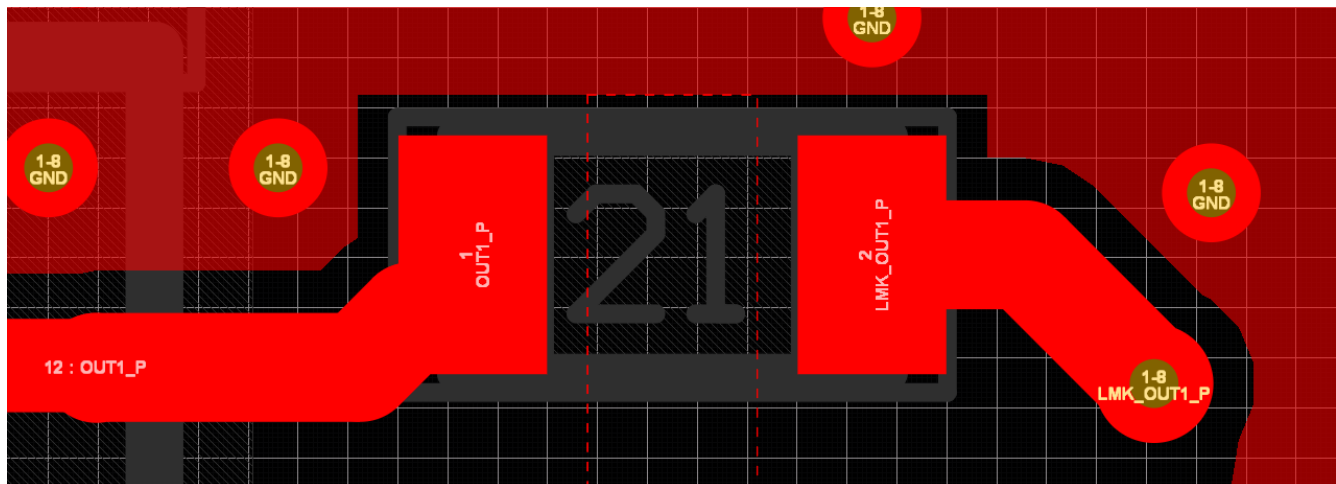


图 3-11. 带有接地过孔的电阻器（靠近布线连接点）

屏蔽（如拼接）也利用接地过孔。但是，屏蔽过孔不会散布在整个电路板上，而是沿信号布线布置（图 3-12）。这些过孔可以帮助滤除某些频率。对于较低的时钟频率，以波长的 $1/20$ 将一组过孔隔开；对于较高频率，以波长的 $1/10$ 将其隔开。虽然这种方法优先处理带状线相关的布线，但使用通孔过孔可能和使用拼接过孔有着类似的效果，可以加强电源平面的整体接地和带状线部分。

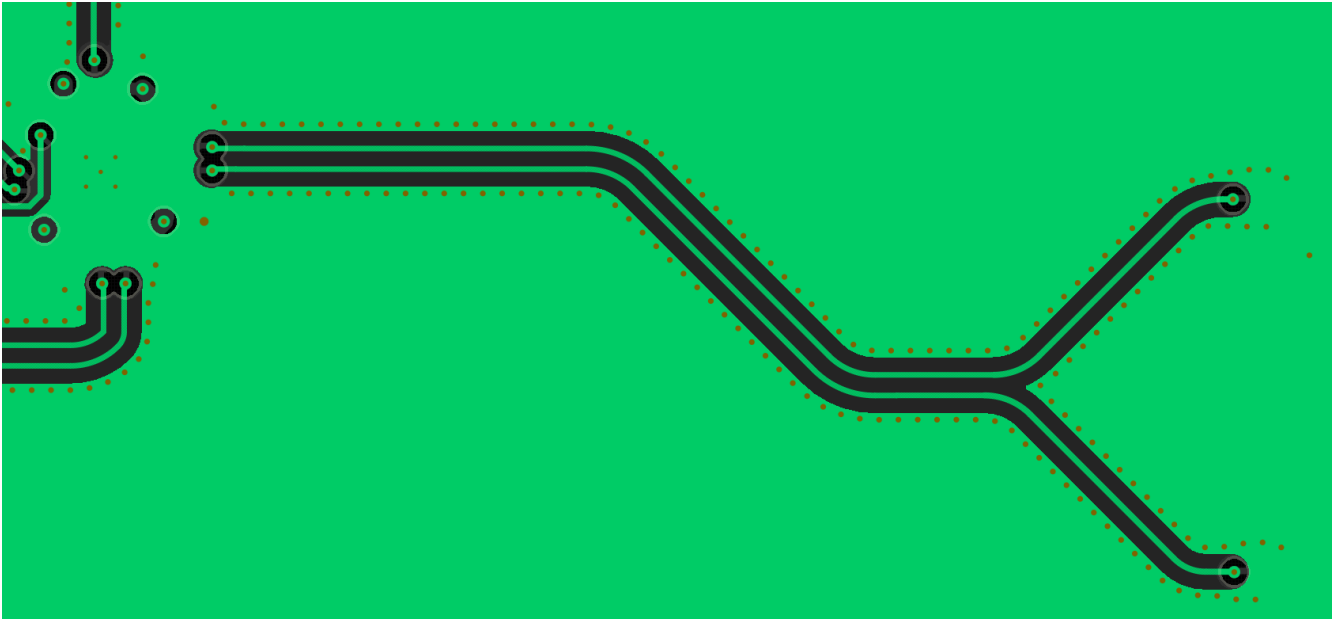


图 3-12. 带有屏蔽过孔的时钟布线

4 尽量减少可能使用的天线数量

4.1 残桩

电路中的任何残桩都可能成为天线，而 PCB 表面的残桩在顶部没有额外接地层来实现场抑制。元件焊盘（尤其是 DNP 焊盘）是常见的残桩示例。最好在顶层实施接地覆铜以环绕元件周围并将接地平面作为第二层来减少影响。

4.2 网络覆铜

在 PCB 顶层形成接地覆铜时，自动化软件有时可以在元件之间形成接地手指(图 4-1)。这些手指可以通过切断接地覆铜清除 (图 4-2)。



图 4-1. 接地手指

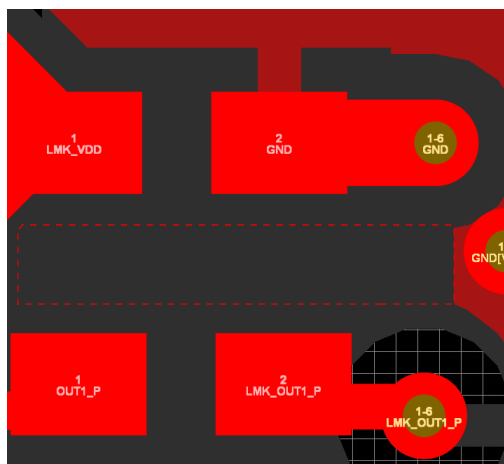


图 4-2. 接地手指已清除

同样，检查网络覆铜的边界是否平滑。覆铜中存在的任何毛刺都会导致电流阻滞和辐射 (图 4-3)。

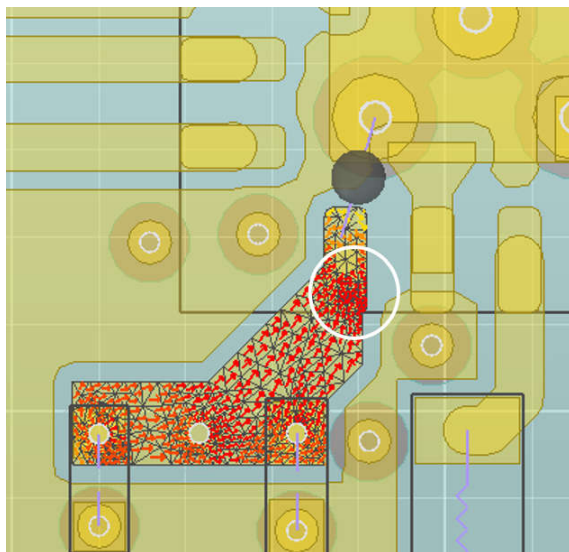


图 4-3. 带有毛刺的电源覆铜

5 总结

PCB 布局是影响系统 EMI 性能的主要因素之一。在设计电路板时，它是（通过电容器和铁氧体磁珠）保持纯净电源并（通过额外的接地过孔）维持稳固接地的关键。PCB 层堆叠和布线布局也可以进行优化，以提供额外的接地屏蔽和平滑的功率流。

使用时钟器件时，可以使用不同的设置（如 SSC）进一步降低 EMI 发射。

6 参考资料

- 德州仪器 (TI), [降低 EMI 的 PCB 设计](#), 应用手册。
- 德州仪器 (TI), [降低 LVDS 串行器/解串器设计 EMI 的高速布局指南](#), 应用手册。
- 德州仪器 (TI), [使用 CDCS502/503 的展频时钟](#), 应用手册。
- 德州仪器 (TI), [创新的电源 EMI 抑制技术可缩短设计时间和提高成本效益](#), 营销白皮书。
- 德州仪器 (TI), [LMK3H0102 无基准 2 差分或 5 单端输出 PCIe 第 1 代到第 7 代兼容可编程 BAW 时钟发生器](#), 数据表。
- 德州仪器 (TI), [CDC6Cx 低功耗 LVCMOS 输出 BAW 振荡器](#), 数据表。
- Altium, [为增强 EMC 设计一个 6 层 PCB 堆叠](#), PCB 设计。
- Würth Elektronik, [EMI 滤波器设计者](#)。

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司