

Application Note

使用 TI 可编程逻辑器件实现基于 LED 的多路复用显示器



Gerardo Leyva-Hernandez

摘要

字母数字或像素导向多路复用显示器可以由具有少量 GPIO 的电子器件处理。此类显示器的每一列一次被驱动一个，因此高频和持续视觉的组合共同形成了观众的错觉，即整个显示器始终处于活动状态。TI 可编程逻辑器件™ (TPLD) 具有所需的资源，可经过配置生成用例中所需的多个块，例如字符发生器、CLK 和同步信号以及多路复用器列选择器。

本应用手册展示了如何在没有任何逻辑公式的情况下使用状态机和真值表。TI 可编程逻辑器件工具提供用户友好的选项，通过填写表 (FSM) 和选择选项 (LUT) 来实现设计，而不是设计逻辑公式和逻辑代数，这两种活动都很耗时，且容易出错。德州仪器 (TI) PLD 是一种高效的设计，可替代给定设计中的数十个寄存器和逻辑门，最大限度地精简物料清单，降低空间和功耗需求。

内容

1 简介.....	2
2 在 TPLD 中实现多路复用显示器控制器.....	3
2.1 数据和同步发生器.....	3
2.2 在 Interconnect Studio 中配置 FSM.....	3
2.3 在 Interconnect Studio 中配置 D 型触发器 (DFF).....	5
2.4 在 Interconnect Studio 中配置真值表.....	6
2.5 在 Interconnect Studio 中配置振荡器.....	7
3 总结.....	8
4 参考资料.....	9

商标

TI 可编程逻辑器件™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

1 简介

当控制器必须管理多个字母数字显示器或像素导向显示器时，此类控制器所需的输入/输出 (IO) 数量和功率会是一种挑战。如果所有数字同时处于活动状态，则需要 56 个 IO 来控制 8 位 7 段显示器。然而，如果以相同大小实现多路复用显示器，则只需 15 个 IO 即可完成相同的任务，而且功耗更低。

在多路复用显示器中，段或点中的 LED 排列方式使得行和列分别提供数据信息（置位高电平）和数字控制（置位低电平），如 图 1-1 中的显示器方框图所示。

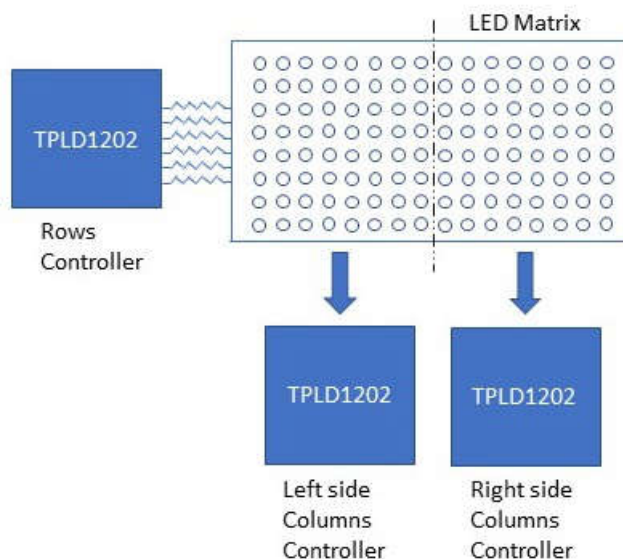


图 1-1. 多路复用显示器方框图

多路复用显示器的每一列一次被驱动一个，从而高频和持续视觉的组合共同形成了观众的错觉，即整个显示屏始终处于活动状态。每行的激活序列通常每秒进行超过 50 次，如 图 1-2 中所示。

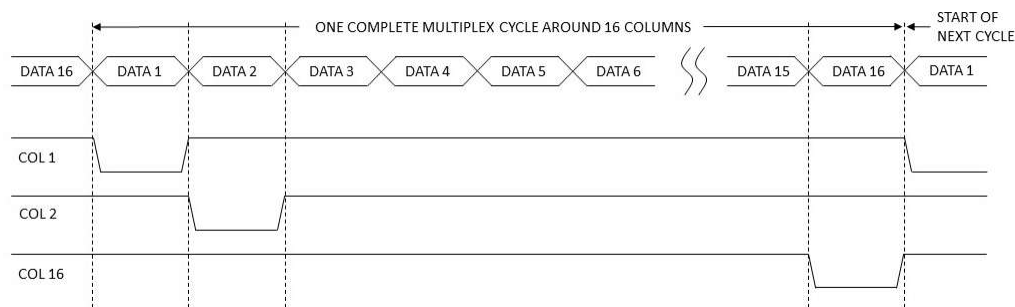


图 1-2. 多路复用显示器时间图

TI 可编程逻辑器件 (TPLD) 可配置为生成用例中所需的多个块，例如字符发生器、CLK 和同步信号以及多路复用器列选择器。本示例中基于 LED 的单色多路复用显示器最多可驱动 16 列（每列 6 点），也可用于分别显示字母数字消息或数字的 8 位 7 段显示器。在第一个案例中，该设计使用 3 个 TPLD，在最后一个案例中，只需要 2 个 TPLD 器件。在这两种情况下，其中一个 TPLD 负责生成将显示在显示器中的数据以及同步信号。其余 TPLD 器件负责生成列多路复用器。

2 在 TPLD 中实现多路复用显示器控制器

TPLD 器件具有大量不同的微型单元来实现此应用所需的所有块，例如振荡器、有限状态机 (FSM)、真值表 (LUT)、输入 - 输出引脚 (IO) 等。接下来的几部分将介绍有关所需的每个块的详细信息。

2.1 数据和同步发生器

在此设计中，系统会在 16x6 图形显示器中显示一条预定义消息，这意味着此类信息需要保存至 TPLD 器件内部的某个位置。此外，每个行必须一次激活一个，因此，还必须包含一个同步系统，以保持对此器件中的内部元件以及外部 TPLD 列的控制器的控制。

关于可显示的数据，使用 16 种状态的有限状态机可以很好地及时生成点阵显示器每行的每个值。TPLD1202 包括一个内置 8 状态 FSM 的硬件，因此可以使用该 FSM 以及一个使用真值表和 D 触发器构建的辅助 FSM 来实现 16 状态 FSM。此外，辅助 FSM 还可以生成所需的同步信号。

图 2-1 显示了可以显示的消息以及涉及的行数据。请注意，左侧部分由 FSM 处理，右侧部分也由序列发生器和 LUT 处理。

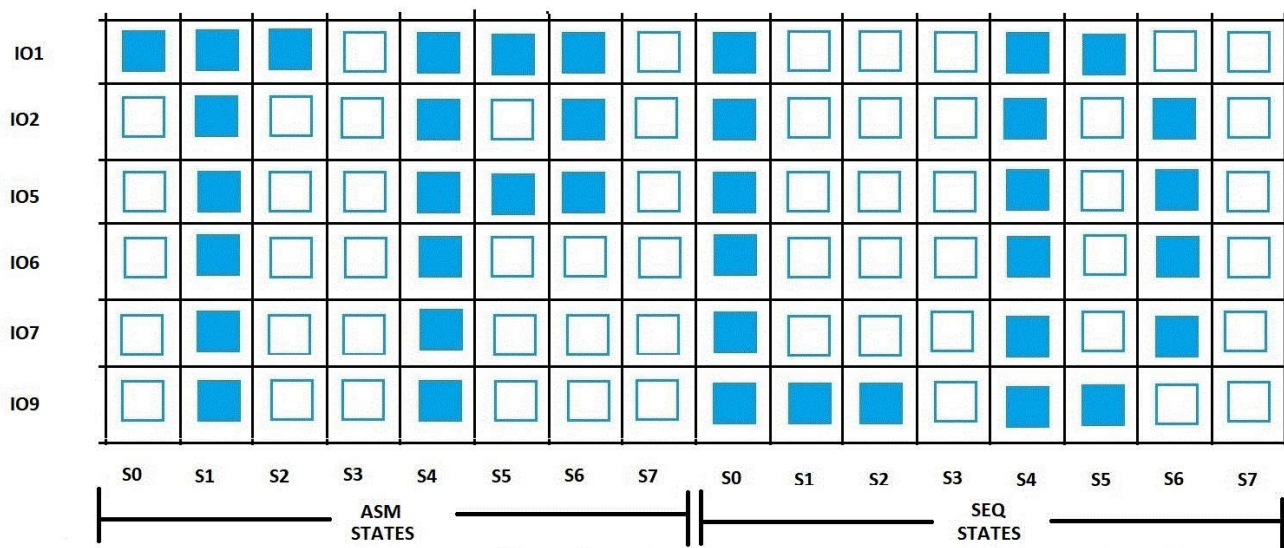


图 2-1. 显示在多路复用显示器上的消息

2.2 在 Interconnect Studio 中配置 FSM

在 InterConnect Studio 中配置 FSM 的过程很简单。将 FSM 宏单元放置在版本区域并点击后，将显示配置选项，包括所需的数量、状态输出的值以及转换的目标位置。用户必须配置所需的所有状态。图 2-2 显示了已定义特性的给定状态。

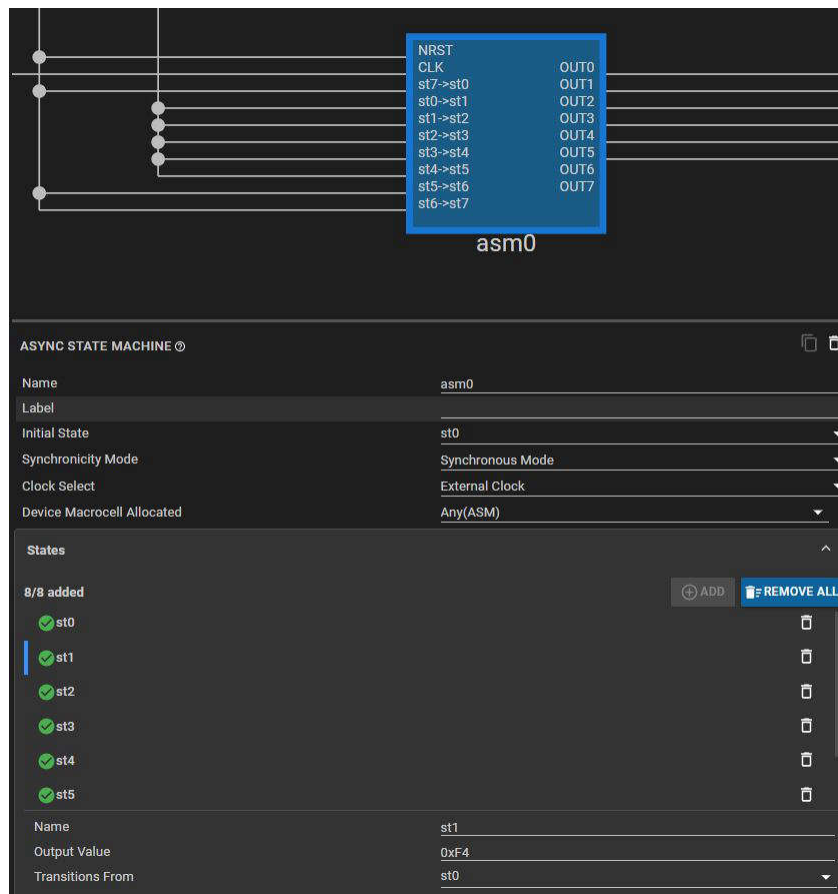


图 2-2. 有限状态机定义

ICS 提供的另一个有用特性是能够为先前定义的 FSM 生成转换和输出，这样用户就可以始终进行仔细检查，以确定 FSM 定义是否捕获了预期的行为。为此，用户可以单击屏幕右下角的状态机图标，然后 ICS 可以显示状态机转换和输出的几个表，如 图 2-3 所示。在状态机输出表中可以看到消息“TP”顺时针旋转了 90 度。

State Machine Transitions		
From State	To State	Connected Signal
st0	st1	dff3
st1	st2	dff3
st2	st3	dff3
st3	st4	dff3
st4	st5	dff3
st5	st6	por0
st6	st7	por0
st7	st0	por0

State	OUT7	OUT6	OUT5	OUT4	OUT3	OUT2	OUT1	OUT0
st0	0	0	0	0	0	0	0	1
st1	0	0	1	1	1	1	1	1
st2	0	0	0	0	0	0	0	1
st3	0	0	0	0	0	0	0	0
st4	0	0	1	1	1	1	1	1
st5	0	0	0	0	0	1	0	1
st6	0	0	0	0	0	1	1	1
st7	0	0	0	0	0	0	0	0

图 2-3. 有限状态机摘要

2.3 在 Interconnect Studio 中配置 D 型触发器 (DFF)

多路复用显示器的数据生成器的下一部分可以通过经典 Moore FSM 实现，其中包括下一状态逻辑、存储器和输出逻辑部分。但是，由于 FSM 要运行从 ST0 到 ST7 的所有时间形式，我们可以使用 DFF 来实现递减计数器，从而在某种序列发生器中保存下一状态逻辑。最后，我们可以添加基于真值表方式的输出逻辑，并在 LUT 宏单元中实现，以便生成相应的序列发生器状态所需的给定数据，如 图 2-4 所示。对于序列发生器，该图也显示了如何将 DFF 定义为以 Toggle FF 的形式运行，因此所有 TFF 一起协作，用作倒数计数器。

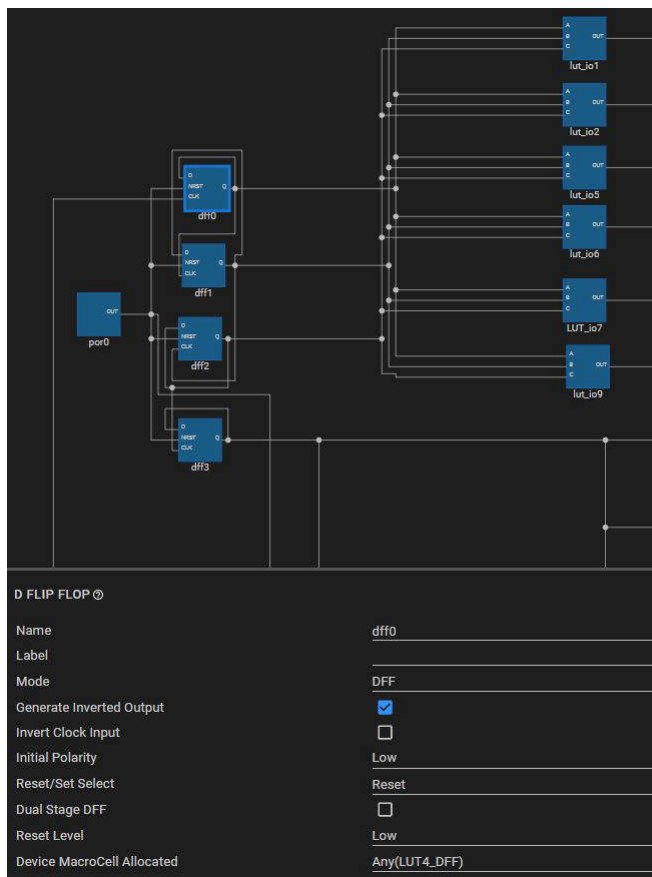


图 2-4. 使用 T-FF 实现的倒数计数器

2.4 在 Interconnect Studio 中配置真值表

ICS 让用户可以通过三种不同的方式处理组合逻辑：使用标准逻辑门、引入逻辑公式或定义真值表的输出（如果逻辑函数使用 2、3 或 4 个输入则可独立处理）。

图 2-5 显示了当前设计中其中一个输出的 3 输入真值表。用户唯一必须注意的是进行检查，确定输出是否表示在给定输入（图中的 C、B 和 A）值的情况下生成逻辑高电平的输出，而不需要使用逻辑代数最大程度地精简逻辑公式。该特性使负责在逻辑宏单元上生成正确配置的工具能够帮助用户避免使用逻辑公式，在某些情况下这是一项耗时的任务。当然，用户可以根据需要使用自己的逻辑公式。

图 2-4 中的每个 LUT 都被分配了一个 IO。图 2-5 显示了 LUT_IO1 的真值表配置。序列发生器部分的第一行必须生成值“10001100”，如 图 2-1 所示。相同的值出现在 图 2-5 上，但顺序为从下至上，即从输入的组合 111 到 000。

LOOKUP TABLE ③

Number of Inputs 3

Boolean Function Table

Custom 3 Input Boolean Function Table

C	B	A	
0	0	0	☐
0	0	1	☐
0	1	0	☒
0	1	1	☒
1	0	0	☐
1	0	1	☐
1	1	0	☐
1	1	1	☒

图 2-5. ICS 处理查找表

请注意，当前设计处理的是 6 个段或行，而不是 7 个或 8 个。但是，根据可以显示的数据，多个输出可以共享相同的逻辑函数，从而允许用户将行扩展到 8 个，而不只是 6 个。

2.5 在 Interconnect Studio 中配置振荡器

可利用振荡器的分频器来生成各种频率。图 2-6 中所示的电路（在 InterConnect Studio (ICS) 中配置）显示了一个使用 TPLD1202 中的 2KHz 振荡器生成 15/16 占空比的 62.5Hz 方波的示例。要实现这一点，将振荡器预分频器设置为 2 分频，从而将基础频率更改为 1KHz。串行接收器将生成该信号 15/16 的占空比，从而为每列生成 16ms 周期的置为低电平的信号。

osc0

asm0

OSCILLATOR ③

Name	osc0
Label	
Power Mode	Force Power On
Clock Source	Internal RC Oscillator
Frequency	2 kHz
Clock Pre Divider	/2
OUT0 Second Stage Divider	/1
OUT1 Second Stage Divider	/1
Power Control Source Select	From register
PDWN Control	Power down
Device MacroCell Allocated	Any(OSC_0)

图 2-6. ICS 中的 OSC 配置

3 总结

可在 TPLD 器件中轻松实现数字设计。本应用手册展示了如何在没有任何逻辑公式的情况下，使用状态机和真值表。ICS 工具提供用户友好的选项，通过填写表 (FSM) 和选择选项 (LUT) 来实现设计，而不是设计逻辑公式和逻辑代数，这两种活动都很耗时，且容易出错。

德州仪器 (TI) PLD 是一种高效的设计，可替代给定设计中的数十个寄存器和逻辑门，最大限度地精简物料清单，降低空间和功耗需求。通过在同一个封装中提供多种类型的模拟和数字资源（例如 OSC、DFF、FSM、GPIO），TPLD 有助于实现更大的集成度和具有成本效益的设计。

4 参考资料

- 德州仪器 (TI) , [可编程逻辑器件 \(PLD\)](#)

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司