

Application Note

如何同步具有可编程实时单位的芯片之间的时序



Chen Gao, Sabari Kannan Muthalagu

摘要

在工业电机驱动系统中，通常需要多个器件或芯片以快速、低延时和同步的方式相互通信。一个典型应用示例是使用两个不同的微编程控制单元 (MCU) 进行闭环控制。若要在每个控制周期中接收和发送数据，通信时序需要是确定且同步的。

工业以太网外设 (IEP) 模块是可编程实时单元和工业通信子系统 (PRU_ICSS) 的一部分，该模块采用工业以太网计时器来执行用于实时控制的硬件工作。

本应用手册介绍了如何使用 IEP 计时器和 PRU 内核在芯片之间执行时间同步，以及如何通过快速串行接口 (FSI) 在控制周期内以可配置的时序传输数据，从而实现闭环电机控制。

内容

1 交流或伺服驱动器热侧控制架构简介.....	2
2 用于时间同步和数据传输的 PRU 和 FSI 实现.....	3
2.1 采用 MCU 的工业系统中时钟的重要性.....	3
2.2 IEP 计时器接口.....	3
2.3 PRU_ICSSG 任务管理器.....	4
2.4 快速串行接口.....	5
2.5 用于时间同步和数据传输的双芯片系统方案.....	6
3 验证.....	10
4 总结.....	13
5 参考资料.....	13

商标

所有商标均为其各自所有者的财产。

1 交流或伺服驱动器热侧控制架构简介

工业电机驱动器的主要实体包括电机控制、工业通信以及用于管理控制和通信功能的应用。

- 电机控制部分包括磁场定向控制 (FOC) 算法、电机脉宽调制 (PWM) 控制器以及电机电流和位置反馈系统组件，这些组件为电机提供正常运行所需的支持。
- 工业通信接口提供与现场网络的实时通信链路和同步系统计时。
- 此应用提供对驱动的高级控制，而该驱动管理整个驱动通信和控制功能。这可能包括配置、启动或关闭、状态、操作、运动控制和其他管理功能。

工业驱动架构的这三个组件可以进一步以多种配置实现。图 1-1 中所示的架构之一是具有热侧电机控制的双芯片设计，该设计提供具有多协议现场总线 and 实时以太网、高级应用算法和控制性能的单轴或多轴驱动器。热侧微编程控制单元 (MCU) 用以恒定周期时间执行 FOC 控制。冷侧 MCU 的一部分用于解码来自电机编码器的角度和速度信息。为了在每个周期时间接收电机角度和速度信息，时序需要是确定的并预先配置，以匹配 FOC 控制环路方案。

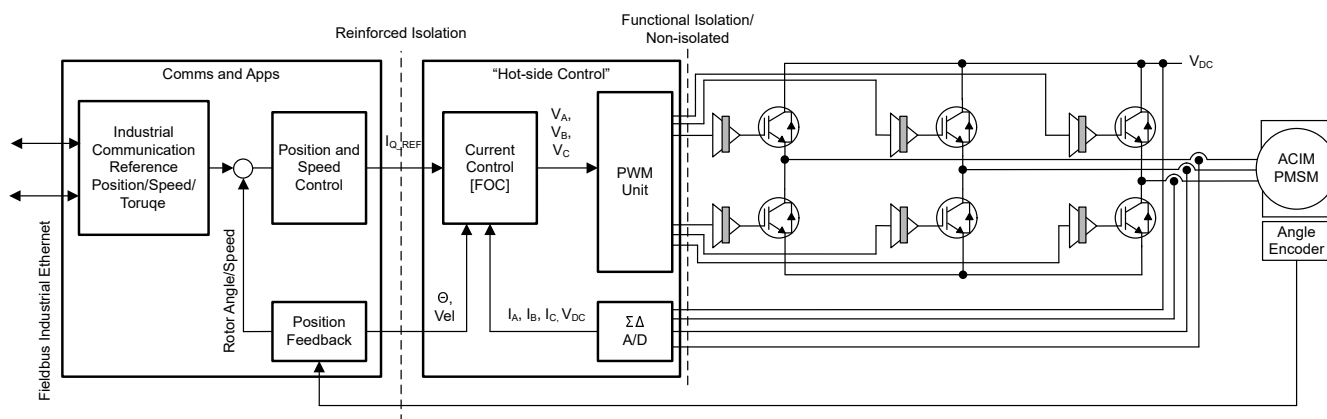


图 1-1. 采用热侧电机控制架构的双芯片设计

2 用于时间同步和数据传输的 PRU 和 FSI 实现

2.1 采用 MCU 的工业系统中时钟的重要性

时钟在包含微控制器单位 (MCU) 的工业系统中发挥着根本作用，因为时钟直接影响系统性能。MCU 内的代码执行速度与时钟频率成正比，这意味着时钟速度越高，指令处理和执行速度就越快。此外，提高时钟频率可提高数据通信速率，从而在互连器件之间实现更高效的数据传输。

保持稳定的时钟频率对于建立可靠的通信和准确的数据交换至关重要，在精度和时序至关重要的工业应用中尤其如此。许多串行通信协议依赖于一致的时钟信号来促进无差错数据传输。但是，随着时钟频率的增加，时钟漂移会变得更加明显。时钟漂移是指由于振荡器稳定性、温度波动和制造公差的变化而导致时钟信号逐渐偏离预期时序。尤其是在部署多个 MCU 以执行协调任务的系统中，这种漂移可能会导致同步问题。

2.2 IEP 计时器接口

IEP 模块采用具有 16 个比较事件的工业以太网计时器、工业以太网同步发生器和锁存捕获、工业以太网看门狗计时器和数字 I/O 端口。IEP 功能方框图如图 2-1 所示。

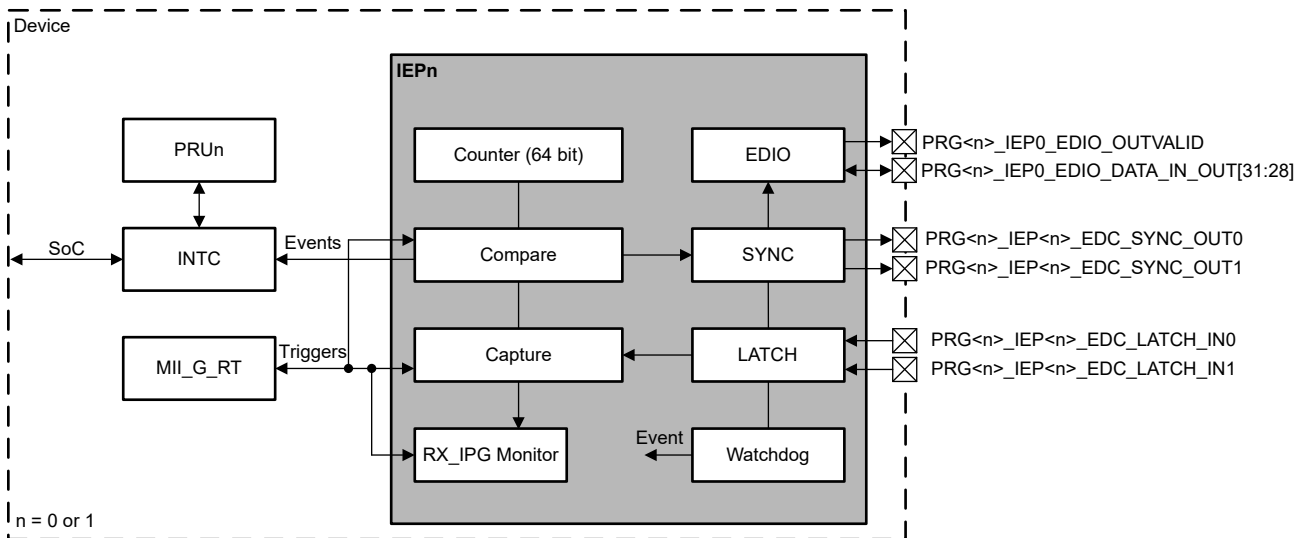


图 2-1. IEP 计时器功能方框图

同步块支持生成两个同步信号：SYNC0 和 SYNC1，它们可以直接映射到输出以供外部器件使用。这些信号还可用于 PRU_ICSSG 中的内部同步。生成模式可以配置为四种操作模式：循环模式、单次模式、循环确认模式和单次确认模式，如图 2-2 所示。

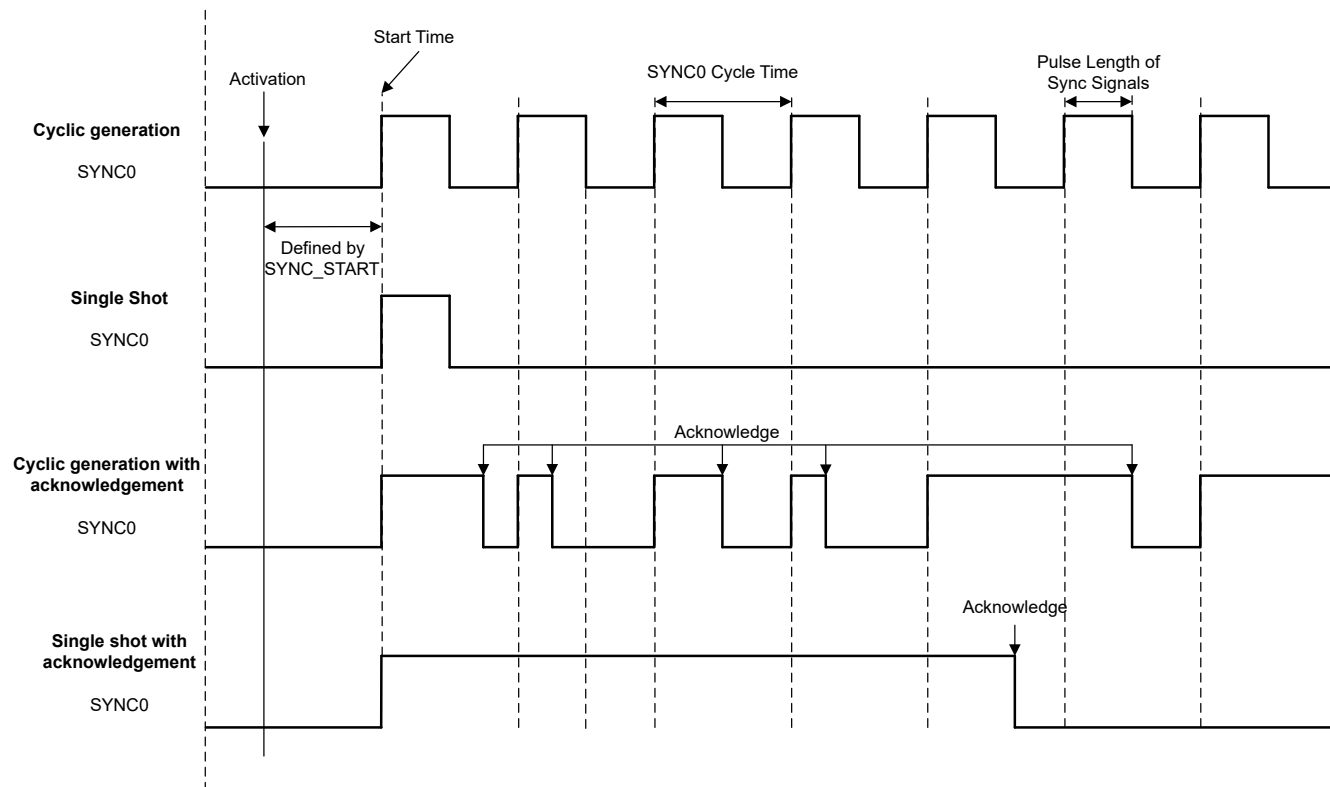


图 2-2. PRU_ICSSG IEP SYNC0 信号生成模式

根据设计，时间同步路由器 (TSR) 模块可向多个接收者发送一个同步信号。此同步信号允许处理器内的多个外设或内核将其计数器同步到单个“主时钟”。如果处理器外部的某个器件也需要接收同步信号，则甚至可以将 TSR 信号路由到处理器引脚。将 IEP 锁存信号连接到 TSR 输出，以建立从 PRU GPIO 到 ICSSG_IEP_Latch 的信号路径。[\[常见问题解答\] AM64x：时间同步路由器有什么用？如何使用它？介绍 TSR 模块的 E2E 论坛帖子链接为-处理器论坛 - 处理器 - TI E2E 支持论坛。](#)

控制器可以根据控制环路频率发送循环 SYNC0。同时，该器件可以通过 IEP 锁存器捕获 SYNC0 信号，然后补偿延迟时间并与控制器对齐时间戳。

两个 MCU 的 IEP 计数器通过同步输出信号、锁存器和 IEP 计数器补偿寄存器进行同步。两个 MCU 均配置为以相同的频率和相同的增量值运行 IEP 计数。在此应用手册设置中，IEP 时钟频率被设置为 250MHz，IEP 计数器的默认增量值为 4。

2.3 PRU_ICSSG 任务管理器

PRU_ICSSG 系统的每个 PRU 内核都集成了专用任务管理器，用于在任务之间进行高效切换。每个任务管理器独立于其他任务管理器工作。任务管理器有两种运行模式，即通用模式和用于以太网的 RX_TX 模式。

在此应用中，使用通用模式来提高固件效率和性能。此功能可使软件被抢占以执行另一个更高优先级的任务。任务管理器可以发出硬件抢占请求，并通过保存当前程序计数器和标志位以及提供新程序计数器 (PC) 来启动新任务，从而响应相关指令。当固件完成此新任务时，固件可以通过发出专用指令来终止此任务。当任务管理器看到此指令执行时，任务管理器可以从最后保存的任务返回 PRU 的状态。此硬件上下文切换方框图如图 2-3 中所示。固件负责保存和恢复在任务执行期间可能被覆盖的任何内部寄存器。数据 RAM 或共享 RAM 可用于存储寄存器值。多任务可以由 IEP 比较事件、IEP 捕获事件和中断控制器 (INTC) 主机事件等源事件映射和触发，以便所有任务时序都是确定的并预先配置。

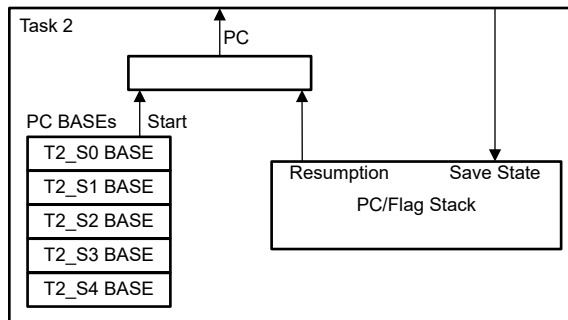


图 2-3. PRU_ICSSG 任务管理器硬件上下文切换方框图

2.4 快速串行接口

快速串行接口 (FSI) 模块是一个串行通信外设，能够跨隔离器件进行可靠的高速通信。电隔离器件用于两种不同的电路（没有共同的电源和接地连接）必须交换信息的情况。尽管隔离器件有助于实现这些信号通信，但隔离器件也会在信号线路上引入较大的延迟并增加信号之间的偏移。FSI 专门设计用于确保在跨隔离栅进行通信的系统场景中实现可靠的高速通信，而不添加组件。FSI 包含独立发送器 (FSITX) 和接收器 (FSIRX) 内核。FSITX 和 FSIRX 内核是独立配置和运行的。图 2-4 显示了 FSI 高级通信方框图。使用 50MHz 时钟和 2 条数据线时，FSI 的通信速度可达到 200Mbit/sec。

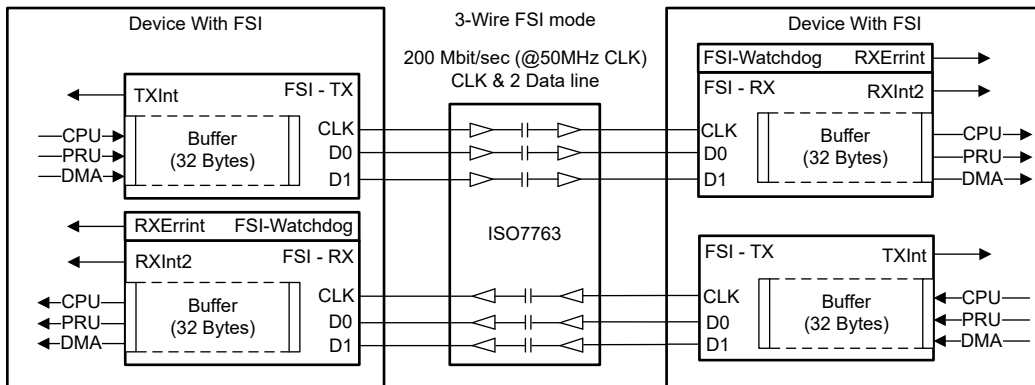


图 2-4. FSI 高级通信模块

2.5 用于时间同步和数据传输的双芯片系统方案

假设使用两个带有 PRU_ICSSG 的 AM243x 器件来实现时间同步和数据传输。图 2-5 和 图 2-6 显示了控制周期内时间同步和数据传输的系统方框图和时序。

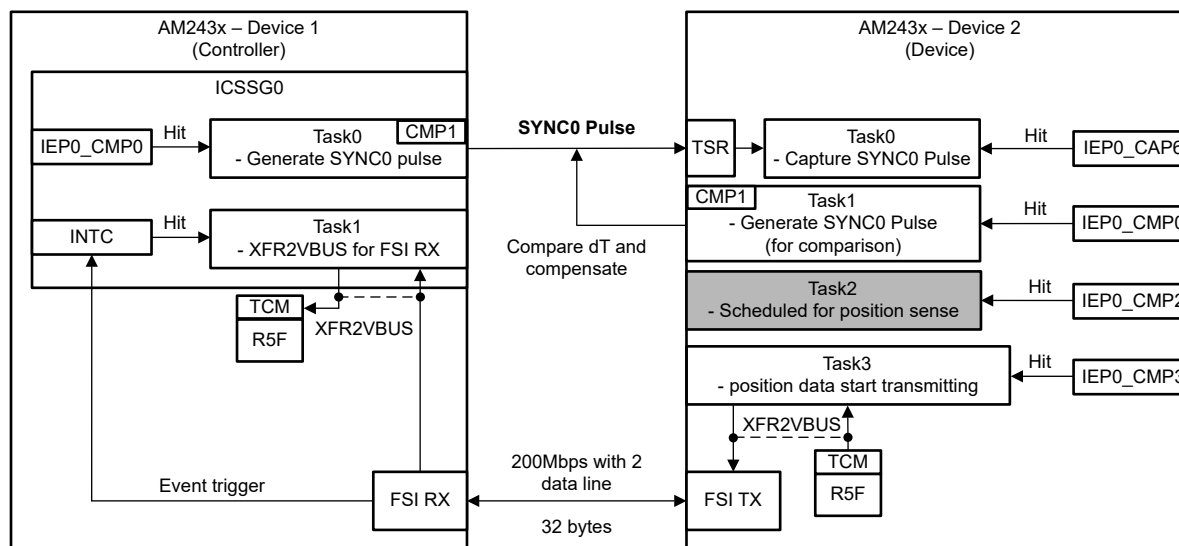


图 2-5. 时间同步和数据传输方框图

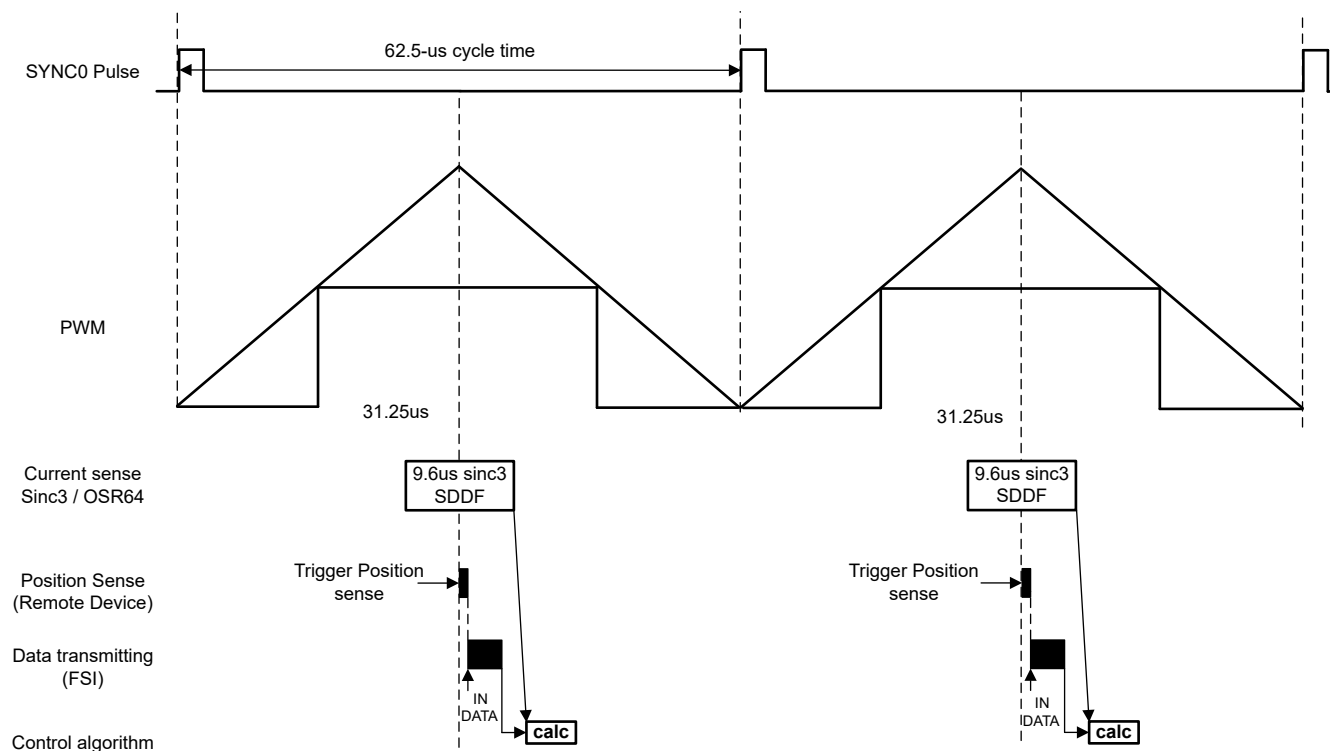


图 2-6. 时间同步和数据传输时序

2.5.1 器件 1 配置

AM243x 器件 1 (控制器) 作为控制器而实现。FSI 配置和 PRU 初始化都是在 ARM 代码中完成的。以下是器件 1 的配置：

2.5.1.1 焊盘配置

AM243x 引脚和焊盘可使用引脚多路复用配置为多种功能。本应用手册中选择一个特定引脚从 ICSSG0 IEP0 输出同步信号。设置 PADCONFIG107 寄存器 (0x000F41AC) 中的 MUXMODE 位字段 = 0x2，以将球名为 PRG0_PRU0_GPO19 的引脚路由到信号 PRG0_IEP0_EDC_SYNC_OUT0。此引脚用作由 IEP 生成的 SYNC 信号。器件 2 使用此信号作为基准来调整 IEP 计数器，从而与器件 1 建立同步。

2.5.1.2 时钟源配置

配置 CTRLMMR_ICSSG0_CLKSEL 寄存器 (0x43008040) 并设置 CORE_CLKSEL 位字段 = 0x1 以选择 ICSSG0 内核时钟为 PLL0_HSDIV_CTRL9，并设置 IEP_CLKSEL 位字段 = 0x1 以选择 ICSSG0 IEP 时钟为 PLL0_HSDIV_CTRL6。

设置 ICSSG0 内核时钟为 333MHz，设置 IEP 时钟为 250MHz。这通过选择合适的 PLL 分频器来实现。

在 PLL0_HSDIV_CTRL9 寄存器 (0x006800a4) 中配置 HSDIV 位字段 = 0x2，使 ICSSG0 内核时钟频率为 333MHz。

在 PLL0_HSDIV_CTRL6 寄存器 (0x00680098) 中配置 HSDIV 位字段 = 0x3，使 ICSSG0 IEP 时钟频率为 250MHz。

2.5.1.3 IEP 计时器配置

可以从 IEP_COUNT_REG0 (0x3002E010) 和 IEP_COUNT_REG1 (0x3002E014) 寄存器中读取 IEP 计数器值。当 IEP 计数器达到 CMP0 寄存器中设置的比较值时，将生成比较事件 (CMP0 事件)。

将 IEP 计数器设置为在计数器达到 CMP0 值时回绕。为此，请设置 IEP_CMP_CFG_REG 寄存器 (0x3002E070) 中的 CMP0_RST_CNT_EN 位字段 = 0x1 并启用 CMP0 事件。

在 IEP_CMP0_REG0 寄存器 (0x3002E078) 中配置 CMP0_0 位字段 = 62500 - 4，使 IEP 计数器每 62500 个计数时复位一次。当 IEP 时钟源以 250MHz 运行并且每个时钟周期 IEP 计数器递增四时，这个对应于 62.5μs。

配置 IEP_CMP1_REG0 寄存器 (0x3002E080) 中的 CMP1_0 位字段 = 1000 - 4，以定义到 1μs 的同步信号激活时间，这将定义同步信号在 IEP 计数器的哪个点被激活，并启用 CMP1 事件。

通过配置 IEP_GLOBAL_CFG_REG 寄存器 (0x3002E000) 中的 DEFAULT_INC 位字段 = 0x4，设置 IEP 计数器的默认增量值，使 IEP 计数器每个 IEP 源时钟周期递增四次。

通过写入 IEP_SYNC_PWIDTH_REG 寄存器 (0x3002E190) 中的 SYNC_HPWW 位字段 = 10 - 1，将 SYNC0 脉冲宽度定义为 10 个时钟周期。这决定了 SYNC0 信号保持高电平的持续时间。

设置 IEP_SYNC_CTRL_REG (0x3002E180) 寄存器中的 SYNC_EN 和 SYNC0_EN 位字段 = 0x1 以及 SYNC0_CYCLIC_EN 位字段 = 0x0，以便在单次模式下启用 SYNC0。

设置 ICSSG_SA_MX_REG 寄存器 (0x30026040) 中的 PWM_EFC_EN 位字段 = 0x1，以启用 IEP CMP 标志实现自动硬件清除。

一旦完成了所需的寄存器配置，就会写入 CMP0 任务。

2.5.1.4 任务管理器配置

通过配置 TASKS_MGR_GLOBAL_CFG 寄存器 (0x3002A000) 中的 TASKS_MGR_MODE 位字段 = 0x2，将任务管理器设置为通用模式。同时，通过设置 TS2_EN_S1 位字段 = 0x1 启用任务 2 子的任务 1，并通过设置 TS2_EN_S4 位字段 = 0x1 启用任务 2 的子任务 4。

将发生 CMP0 事件时必须执行的 TS2_S1 (CMP0 任务) 的地址写入 TASKS_MGR_TS2_PC_S1 寄存器 (0x3002A020)。CMP0 任务在单次模式下生成同步信号。在 TASKS_MGR_TS2_GEN_CFG1 寄存器

(0x3002A040) 中写入 TS2_GEN_S1_MX 位字段 = 16，以将 CMP0 事件配置为执行 TS2_S1 任务 (CMP0 任务) 的触发器。

由此，IEP 的比较 0 事件被配置为以 62.5us 周期时间复位 IEP 计时器，并命中任务 0 以生成用于同步的 SYNC0 脉冲。SYNC0 激活时间由 IEP 比较 1 事件触发。SYNC0 脉冲生成模式设置为单次模式，脉冲宽度设置为 50ns。在任务 0 期间，SYNC0 脉冲被禁用，然后被启用。

将发生 FSI_RX 中断事件时必须执行的 TS2_S4 (INTC 任务) 的地址写入 TASKS_MGR_TS2_PC_S4 寄存器 (0x3002A02C)。一旦 FSI RX 缓冲区填满，INTC 可以生成事件以命中任务 1。在任务 1 期间，PRU 固件可以通过 PRU XFR2VBUS 硬件加速器将从远程器件 2 接收到的位置数据移动到 R5F 内核的紧耦合存储器 (TCM)。XFR2VBUS 小工具的 TX 写入缓冲器和 RX 读取缓冲器均为 64 字节深。在 TASKS_MGR_TS2_GEN_CFG2 寄存器 (0x3002A044) 中写入 TS2_GEN_S4_MX 位字段 = 136，以将 INTC 事件配置为执行 TS2_S4 任务 (INTC 任务) 的触发器。

2.5.2 器件 2 配置

AM243x 器件 2 (器件) 被实现为该器件。与控制器软件类似，FSI 配置和 PRU 驱动程序在 ARM 代码中进行初始化。以下是器件 2 的配置：

2.5.2.1 焊盘配置

通过设置 PADCONFIG106 寄存器 (0x000F41A8) 中的 MUXMODE 位字段 = 0x2，将引脚 PRG0_PRU0_GPO18 路由到 PRG0_IEP0_EDC_LATCH_IN0 信号。PRG0_PRU0_GPO19 引脚配置与器件 1 的配置类似。

2.5.2.2 时钟配置

ICSSG0 内核时钟和 IEP 时钟配置与器件 1 的时钟配置相同。

2.5.2.3 IEP 计时器配置

比较事件和 SYNC0 配置与器件 1 相同，但需要执行以下额外步骤。通过设置 IEP_CAP_CFG_REG 寄存器 (0x3002E018) 中的位 6 来启用捕获 6 事件 CAP6。当由于器件 1 的同步信号发生锁存事件时，会将 IEP 计数器值捕获到 CAP6 寄存器。这是通过使用 TSR 模块将同步信号从器件 1 通过 PRG0_PRU0_GPO18 路由到器件 2 的 IEP 锁存器来实现的。

2.5.2.4 TSR 配置

配置 TSR 以将 PRG0_IEP0_EDC_LATCH_IN0 信号路由到 PRU_ICSSG0_pr1_edc0_latch0_IN_0。这会建立从 PRG0_PRU0_GPO18 到 ICSSG0 IEP0 锁存器的信号路径。通过为 TSR 选择适当的输入和输出信号来执行路由。设置 TIMESYNC_EVENT_INTRROUTE R0 寄存器 (0x00a40024) 中的 MUX_CNTL 位字段 = 0x4。

2.5.2.5 任务管理器配置

器件 2 的 PRU 固件有 4 个任务，任务管理器配置与器件 1 的任务类似：

- IEP 的捕获 6 事件命中任务 0，以锁存控制器的 SYNC0 脉冲。同时还要补偿 IEP 的增量值，以使时序与控制器同步。可使用以下公式计算补偿值：

补偿值 = CAP6 - CMP1 - 硬件延迟

补偿是根据计算值应用的。如果补偿值为正值，则设置 IEP_GLOBAL_CFG_REG 寄存器 (0x3002E000) 中的 CMP_INC 位字段 = 0x3。写入 IEP_COMPEN_REG 寄存器 (0x3002E008) 中的 COMPEN_CNT 位字段 = 计算的补偿值。因此，IEP 计数器可以在计算的补偿值指定的次数内递增 3。如果补偿值为负，则设置 CMP_INC 位字段 = 0x5。写入 IEP_COMPEN_REG 寄存器 (0x3002E008) 中的 COMPEN_CNT 位字段 = 补偿值的绝对值。在这种情况下，IEP 计数器可以在计算的补偿值指定的次数内递增 5。

- IEP 的比较 0 事件命中任务 1，生成 SYNC0 脉冲，以便将器件的输出 SYNC0 脉冲与来自控制器的 SYNC0 脉冲进行比较。此外，比较 0 事件用于复位 IEP 计时器。SYNC0 激活时间由 IEP 比较 1 事件触发。SYNC0 脉冲生成模式设置为单次模式，并分别通过 IEP_SYNC_CTRL_REG 和 IEP_SYNC_PWIDTH_REG 将脉冲宽度设置为 50ns。在任务 0 期间，SYNC0 脉冲被禁用，然后由 IEP_SYNC_CTRL_REG [0] 启用。
- 任务 2 被 IEP 的比较 2 事件（预先调度）命中。假设位置检测可以从该时间段开始。
- IEP 的比较 3 事件命中 3，以开始通过 FSI 接口传输位置数据。在任务期间，PRU 固件可以设置 FSI TX 缓冲器，通过 PRU XFR2VBUS 硬件加速器将位置数据从 TCM 移动到 FSI TX 缓冲器，并开始 FSI 传输。

3 验证

为了验证该方案，使用 2 块 AM243x Launch Pad，并进行了以下硬件连接：

- 通过导线将 LP-AM243x 器件 1 BP.45 (SYNCOUT0) 连接到 LP-AM243x 器件 2 BP.8 (LATCH_IN0)
- 通过导线将器件 1 J16 引脚 1 (FSI RXCLK) 连接到器件 2 J16 引脚 2 (FSI TXCLK)
- 通过导线将器件 1 的 J16 引脚 5 (FSI RXD0) 连接到器件 2 的 J16 引脚 6 (FSI TXD0)
- 通过导线将器件 1 的 J16 引脚 7 (FSI RXD1) 连接到器件 2 的 J16 引脚 8 (FSI TXD1)
- 通过导线将器件 1 的 J16 引脚 3 (GND) 连接到器件 2 的 J16 引脚 4 (GND)

图 3-1 显示了演示的验证设置，图 3-2 是所有信号的时序波形，包括：

- 通道 0：器件 2 - Bp.33 (PRG0_PRU0_GPO0 切换以显示使用 IEP 比较 0 事件的周期时间)
- 通道 1：器件 2 - BP.32 (PRG0_PRU0_GPO1 切换以显示由 IEP 比较 2 事件触发的任务 2，该事件用于位置检测的预定开始时间)
- 通道 2：器件 2 - BP.31 (PRG0_PRU0_GPO2 切换以显示由 IEP 比较 3 事件触发的任务 3，该事件用于通过 FSI 进行位置数据传输的预定开始时间)
- 通道 3：器件 1 - J6 引脚 1 (FSI TX CLK) 或器件 2 - J16 引脚 2 (FSI RX CLK)
- 通道 4：器件 1 - BP.11 (PRG0_PRU1_GPO0 切换以显示由 INTC 事件触发的任务 1，该事件用于将位置数据从 FSI RX 缓冲器移动到 TCM)
- 通道 5：器件 1 - BP.51 (系统 GPO1_20 切换以在位置数据移动完成后显示 PRU1 中断)
- 通道 6：器件 1 - BP.45 (IEP0_SYNCOUT0)
- 通道 7：器件 2 - BP.45 (IEP0_SYNCOUT0)

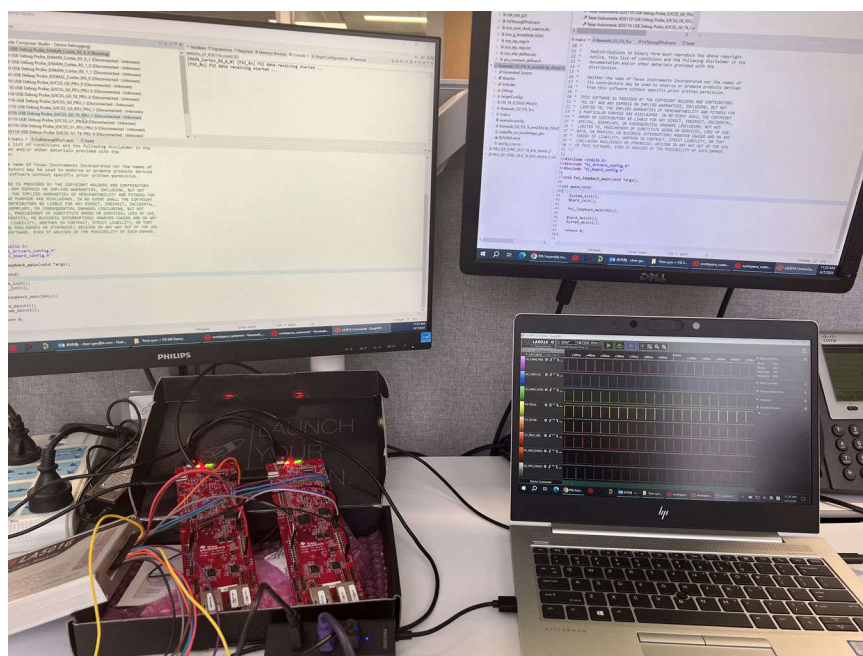


图 3-1. 验证演示设置



图 3-2. 所有信号的总体时序

在通道 0 上显示的 PWM 周期电平 (16kHz) 下, 周期时间设置为 62.5us。位置检测从通道 1 所示周期的中心点开始。通道 2、通道 4 和通道 3 分别显示了 FSI 延时 (包括 FSI TX 和 RX 的处理时间以及数据传输时间)。对于传输 32 字节数据字, 通过 FSI 的总通信延时约为 3.046us。通道 6 和 7 是器件 1 和器件 2 生成的 IEP SYNCOUT0 信号, 通过补偿延迟使其保持良好对齐。图 3-3 显示了上面提到的验证结果。同时, 图 3-4 还显示了器件 1 和器件 2 之间的 IEP SYNCOUT0 脉冲漂移在隔夜测试中小于 5ns。漂移在器件 2 中得到补偿。因此, 该过程会同步两个 AM243x 器件的 IEP 计数器。

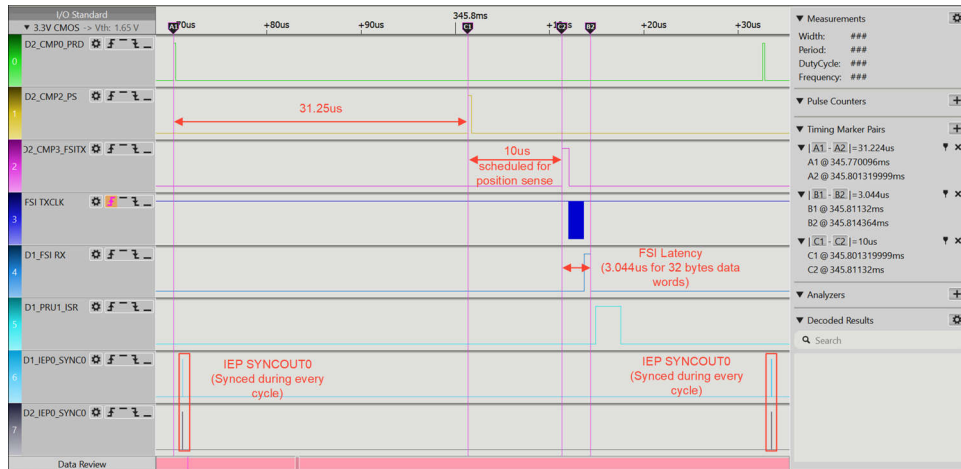


图 3-3. 时序验证结果

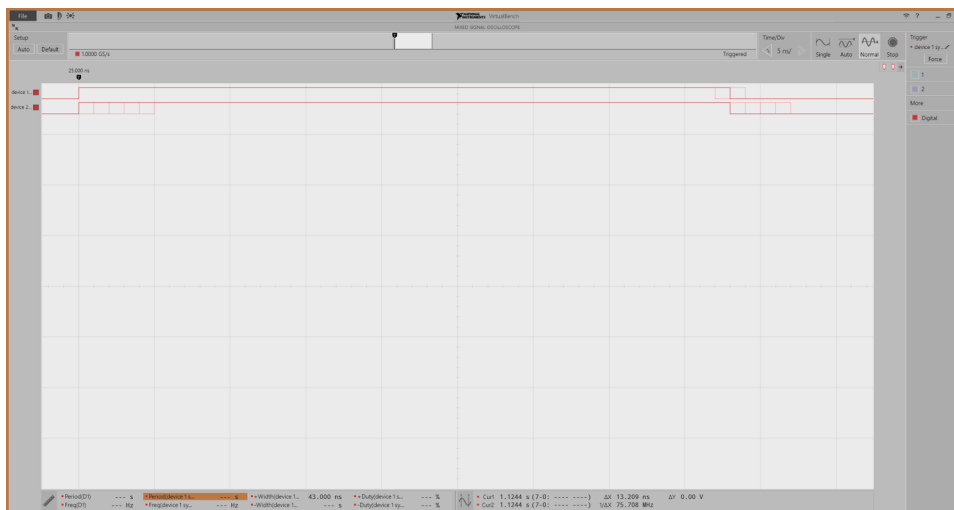


图 3-4. 器件间 IEP SYNCOUT0 漂移的隔夜测试结果

数据传输验证结果如 图 3-5 所示。32 字节数据作为位置数据提前写入器件 2 的 ICSSG 动态随机存取存储器 (DRAM)。器件 1 的紧密耦合存储器 (TCM) 存储从 FSI RX 缓冲器接收到的数据。所有数据都复制到 PRU 内核中断内的调试缓冲器 `gRxBufData`，以显示数据验证。

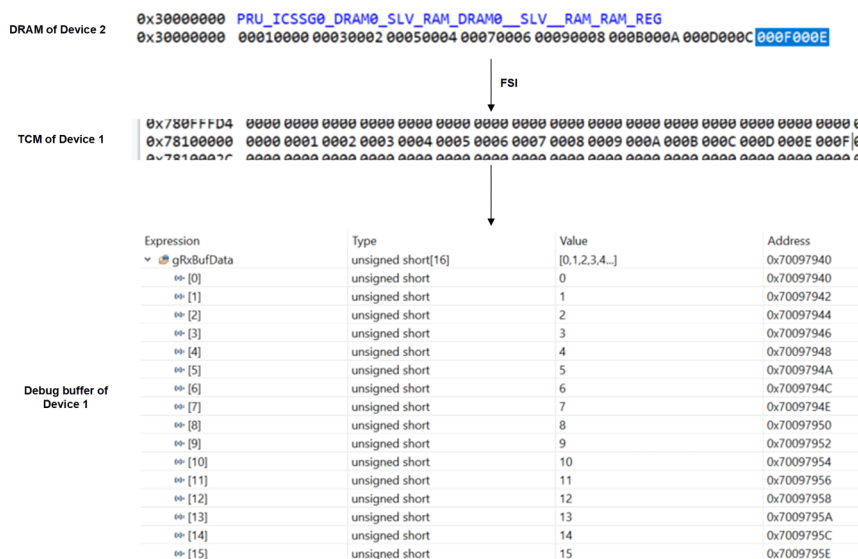


图 3-5. 数据传输验证结果

4 总结

本应用手册介绍了如何使用 IEP 计时器和 PRU 内核在芯片之间执行时间同步，以及如何通过 FSI 接口在控制周期内以可配置时序传输数据，来实现闭环电机控制。

5 参考资料

1. 德州仪器 (TI) [AM243x Sitara 微控制器](#) 数据表。
2. 德州仪器 (TI) [AM64x/AM243x 技术参考手册](#) 用户指南。

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司