

如何提升 TAS58xx 功放的效率

Anderson Cheng

Shenzhen OEM Team

摘要

D 类数字音频功放凭借其高效率、体积小、成本低廉等优势，在音频领域得到了广泛应用。在便携式音箱中，电池续航时间是非常关键的指标，然而，传统的 D 类功放存在一些效率限制，如开关损耗、导通损耗带来的效率损失，以及音频信号失真等问题。本文简要介绍两种在系统设计上 TI TAS58xx 功放提升效率的方法，一是采用数字 Class-H 实现功放 PVDD 音频包络跟踪减少开关损耗和导通损耗带来得效率损失，二是通过在芯片外部提供更高效率电源给到 GVDD 和 AVDD，功放芯片 GVDD 是给内部驱动电路供电的电源轨，AVDD 是给内部模拟电路供电的电源轨，通常由内部集成的 LDO 供电，效率比较低，通过外供高效率电源可以达到提升效率的目的。

TI 主流的消费类中功率功放产品 TAS58xx 系列：TAS5825, TAS5827, TAS5828, TAS5830, SN0058xx 和主流的汽车类功放 TAS6584, TAS6582 都可以同时采用这两种方法来显著提升效率。而低功率功放产品 TAS257x 和 TAS278x 都支持 Class-H 功能。

目录

1	D 类数字功放的电源架构及其损耗组成	2
2	采用 Class-H 方法提升功放效率	4
3	采用 GVDD 和 AVDD 外部供电提升效率以及注意事项	8
4	小结	14
	参考文献	14

图例

图 1	TAS58xx 电源架构	2
图 2	PVDD 的损耗组成	3
图 3	TPS61288 VOUT=5.5V efficiency vs VOUT=13V Efficiency	4
图 4	TAS5825P Efficiency vs PVDD	5
图 5	PVDD 音乐包络追踪	5
图 6	音乐包络追踪模拟方案示意图	6
图 7	音乐包络追踪模拟方案示意图	7
图 8	TAS5825P PPC3 工具 Class-H 调试窗口	7
图 9	EVM Hybrid 开和关效率比较	8
图 10	TAS5825P 内部电源架构	8
图 11	TAS5825P 外供 GVDD/AVDD idle power saving vs PVDD	9
图 12	THD vs Frequency	10
图 13	THD vs Output Power	10
图 14	SN005825P 外供 GVDD/AVDD 功放启动时序	12

图 15 SN005825P 外供 GVDD/AVDD 掉电时序	12
图 16 TAS5828/TAS5827 外供 GVDD/AVDD 开机时序	13
图 17 TAS5828/TAS5827 外供 GVDD/AVDD 掉电时序	14

1 D 类数字功放的电源架构及其损耗组成

要提升 D 类数字功放的效率，首先要了解其电源架构及其功率损耗的组成，下面以 TAS58xx 为例进行说明，正常情况下 TAS58xx 只需要提供两组电源，DVDD 和 PVDD。

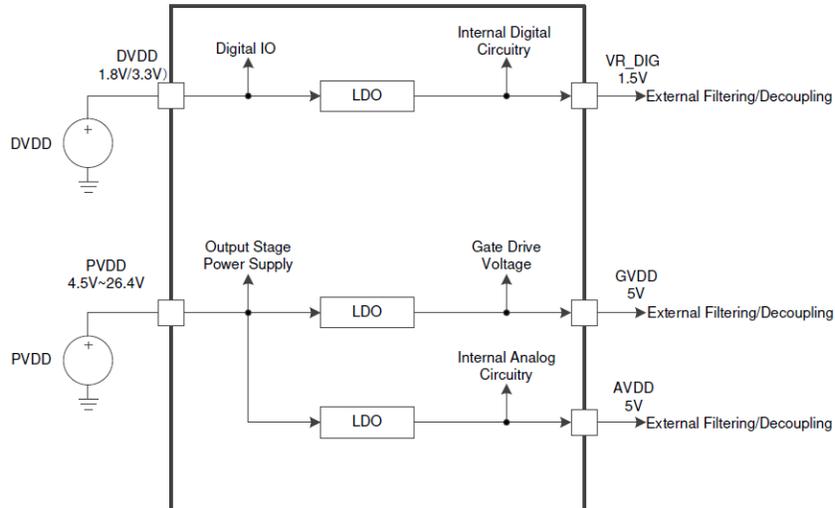


图 1 TAS58xx 电源架构

DVDD 通常是 1.8V 或者 3.3V，消耗电流一般有 22mA 左右，是给数字输入功放的内部数字电路供电的，例如给数字 IO 供电，以及经过 LDO 转成 VR_DIG（1.5V）给到数字数字电路如 DSP 核供电。而常见的模拟输入的 D 类功放如 TPA3128D2 没有数字部分电路，所以没有 DVDD 供电。DVDD 供电的最主要损耗来源于 LDO 降压的低效率损耗以及 DSP 工作时的耗电，DSP 功率损耗大小跟 DSP 架构，半导体工艺，工作模式比如工作频率，信号采样率，DSP 处理流程等息息相关，需要优化这部分的功耗可以从这些方面进行考虑。本篇文档仅仅针对 PVDD 的功耗优化进行深入研究。

PVDD 供电范围是 4.5V~26.4V，根据不同电压情况和不同工作模式，静态消耗电流一般达到 20mA 到 100mA，是给功放芯片功率输出级以及经过 LDO 降压后给到模拟电路（AVDD）和驱动电路（GVDD）供电的。PVDD 损耗主要包括导通损耗，开关损耗，GVDD 驱动损耗，AVDD 模拟电路损耗，死区时间损耗，LC 滤波器电路损耗。

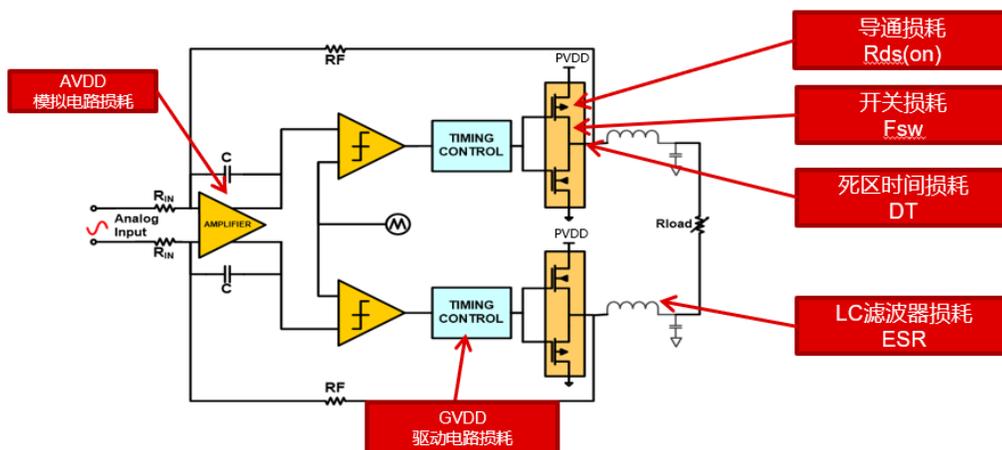


图 2 PVDD 的损耗组成

导通损耗由 MOSFET 导通时候的阻抗 $R_{ds(on)}$ 产生，在导通会有一个上管和下管两个 MOSFET 同时导通，该阻抗会跟喇叭负载产生分压，消耗功率，产生热量，如下述公式-1 所示，导通损耗在 $R_{ds(on)}$ 和 PVDD 电压越大时损耗越大。随着输出功率越大，PVDD 电压越高，导通电流也会越大，导通阻抗引起的损耗会越大，因此导通损耗在大功率输出时占主导地位。

$$P_{cond} = I^2 \times R = 2 \times \left\{ \frac{V_{pvdd}}{2R_{ds(on)} + R_L} \right\}^2 \times (2R_{ds(on)})$$

开关损耗是在 MOSFET 在打开和关闭的非理想状态引起的，由于完全导通和完全关闭会需要一定的时间，在这个过程中会产生功耗，全桥功放有四个 MOSFET，因此开关损耗公式如下公式-2 所示，从公式可以看出，开关损耗跟开关频率和 PVDD 电压，输出电流成正比例关系。

$$P_{sw} = 2 \times V_{pvdd} \times I_{out} \times (t_{swon} + t_{swoff}) \times f_{sw}$$

驱动损耗是驱动 MOSFET 打开和关闭所需要的功耗，跟驱动电压和 MOSFET 的 Q_g 参数以及开关频率有关，而驱动电压是从 PVDD 经过 LDO 降压以及自举电路得到，LDO 的效率 $\eta = V_{gvd} \div V_{pvdd}$ ，驱动损耗参考如下公式-3 所示，从公式可以看出 PVDD 电压约到，LDO 效率越低，开关损耗就会越大。

$$P_{gd} = 4 \times Q_g \times V_{pvdd} \times \eta \times f_{sw}$$

死区时间损耗，因为上下管的关闭和导通需要一定的时间，为了避免上下管同时导通而出现击穿，添加一定的死区延时。死区时间跟音频指标以及击穿电流有关系，一般的集成功放的死区时间是不开放给用户调整的。死区时间损耗参考公式-4，从公式可以看出，死区时间跟 PVDD 的电压也成正比例关系。

$$P_{DT} = 4 \times V_F \times I_{out} \times t_{DT} \times f_{sw} = 4 \times V_F \times \left(\frac{V_{pvdd}}{2R_{ds(on)} + R_L} \right) \times t_{DT} \times f_{sw}$$

LC 滤波器的损耗主要体现在电感的阻抗 DCR 损耗上, $P_{L(DCR)} = 2 \times \left(\frac{V_{pvdd}}{2R_{ds(on)} + R_L} \right)^2 \times DCR$, 也跟 PVDD 的电压成正比例关系。

在高功率输出的时候导通损耗占主导, 而在低功率输出时开关损耗和驱动损耗会占主导, 这些损耗加起来就是总的损耗, 会影响到功放工作的效率, 在设计时根据实际应用条件来优化这些损耗。 f_{sw} , Q_g , $R_{ds(on)}$, t_{DT} 等参数对损耗有很大的影响, 然而通常在集成功放中调整的可能性有限, 比如 TAS58xx 的开关频率 f_{sw} 只有 384Khz/480Khz/576Khz/768Khz 档位可以调整, Q_g , $R_{ds(on)}$, t_{DT} 等用户是不能调整的。那么怎么优化效率呢, 下面列出两种减少损耗, 优化功放效率的有效方法。

2 采用 Class-H 方法提升功放效率

2.1 Class-H 提升效率的原理

通常的便携式音箱产品架构通常包含锂电池, 电源升压芯片和音频功放等组成, 功放的主功率供电 (PVDD) 是由锂电池通过升压芯片升压到较高电压提供的。音频功放需要放大的信号源是音乐, 通常具有很高的动态范围, 合适幅度的 PVDD 有助于防止音乐峰值的削波失真, 然而对于音乐中大部分较小幅度的信号来说, 一个固定的 PVDD 电压是一种能源浪费, 因为可以从上面的公式看出, 工作在较高 PVDD 时功放芯片的损耗会比较大, 此时升压芯片的效率也是比较低的, 这样系统的效率就会比相对低 PVDD 电压的效率要低。

当升压芯片输出升压电压较高, 输出和输入电压比例较大, 升压芯片的效率也会较低, 如下图 1, 以 TI 升压芯片主流产品 [TPS61288](#) 规格书效率数据为例: 在同样的输入电压 $V_{IN}=3.6V$, 和同样的输出负载 $I_{OUT}=0.1A$ 条件下, 输出 $V_{OUT}=5.5V$ 的效率, 比输出 $V_{OUT}=13V$ 的效率高约 3%。

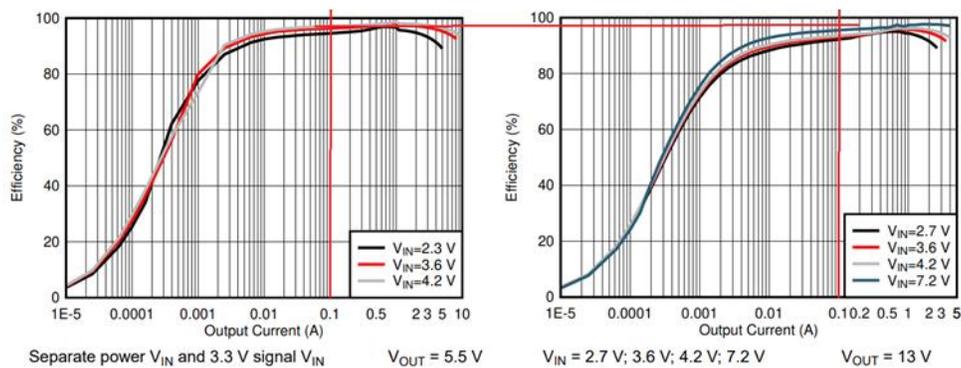


图 3 TPS61288 $V_{OUT}=5.5V$ efficiency vs $V_{OUT}=13V$ Efficiency

同样的道理，功放芯片在 PVDD 电压较高的时候也会有更差的效率，如下图 2，以 TI 主流功放 [TAS5825P](#) 规格书中的效率数据为例：在同样的输出功率，例如 10W 的情况下，PVDD=12V 效率比 PVDD=24V 的效率有高出接近 10% 的巨大差异。

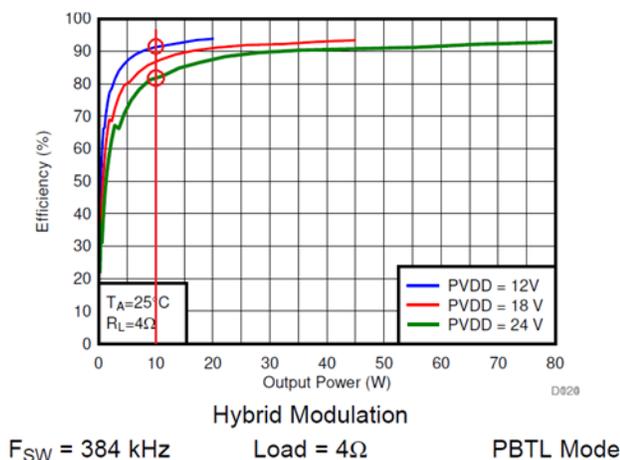


图 4 TAS5825P Efficiency vs PVDD

所以如果 PVDD 电压可以动态的跟随音乐波形的动态而变化，实现包络跟踪，将能够实现升压芯片和功放芯片的效率提升。如图 3 所示 PVDD 电压跟随音乐波形幅度变化而变化：

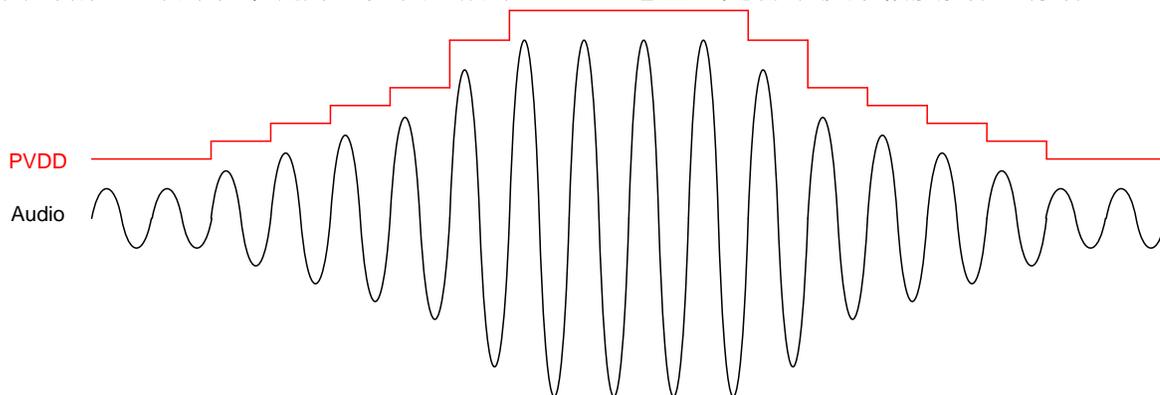


图 5 PVDD 音乐包络追踪

2.2 TI 的数字 Class-H 创新方案

传统的包络跟踪的电路，例如 [TIDA-050024](#) 中的参考设计，如图 4 所示，是通过模拟运放采样功放输出的音乐波形，经过整形滤波后再对升压芯片进行 PVDD 电压调整，PVDD 电压的跟随是滞后于音乐波形的，会存在较为严重的削波失真的问题，并且需要复杂的模拟运放电路配合，电路复杂程度和 BOM 成本都较高。

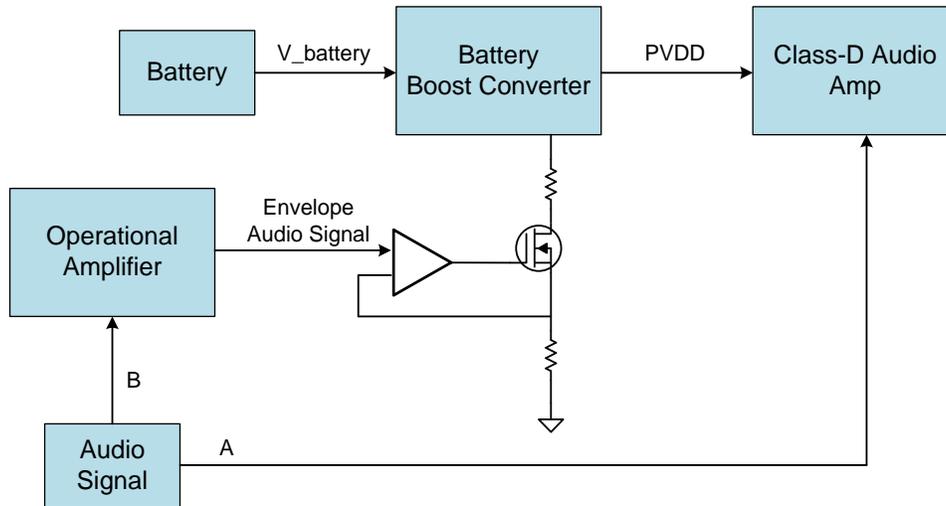


图 6 音乐包络追踪模拟方案示意图

TI 创新的把 PVDD 音乐包络跟踪的 Hybrid-Pro 算法集成到功放的 DSP 中，[TAS5825P](#) 是第一个创新的使用数字 Hybrid-Pro 的功放方案，Hybrid-Pro 通常也称为 Class-H，算法通过提供一个非常方便控制的 PWM 反馈来控制升压电路的输出电压，并且通过音乐波形和 Class-H 波形之间的延时，提供了 PVDD 电压的提前控制，可以在音乐峰值出来之前已经将 PVDD 调整到位，完美预防了音乐波形的削波失真。

音乐峰值输出和 PVDD 调整控制之间的延时量主要考虑两个方面，一个是客户能够接受的延时长度，这个根据客户的产品类型来决定，在一些 Partybox 产品中会存在麦克风的输入，通常要求从麦克风输入到功放输出整个链路的总延时小于 5ms，此时要求功放的延时必需尽量小，才能让人的原声和喇叭输出的声音不让听众听得到有延时。二是延时时间需要大于 PVDD 上升到位需要的时间，这样才能避免出现削波失真，这里主要受到升压芯片环路反应时间和输出电容大小和当前带载功率的影响，影响因素比较多，需要根据实际条件进行调试，TI 提供了简单易用的 [PurePath™- Console 3 \(PPC3\)](#) 软件来控制 Class-H 功能的调试。

TAS5825P Class-H 功能实现如下图 5 所示，音乐信号进入功放 DSP 后分为两个处理路径，一路音乐信号经过 Class-H 算法在计算信号大小后输出与音乐幅度相关的不同占空比的 PWM 反馈信号，再经过两阶 RC 低通网络(LPF)滤波后，给到升压芯片的 FB 反馈控制脚，调节 PVDD 输出电压刚刚好达到足够防止音乐削波的幅度，以达到尽量节省功耗的目的，而第二路音乐信号是在 DSP 中经过可调节的延时后，待 PVDD 电压调整到位后再从放大器输出。

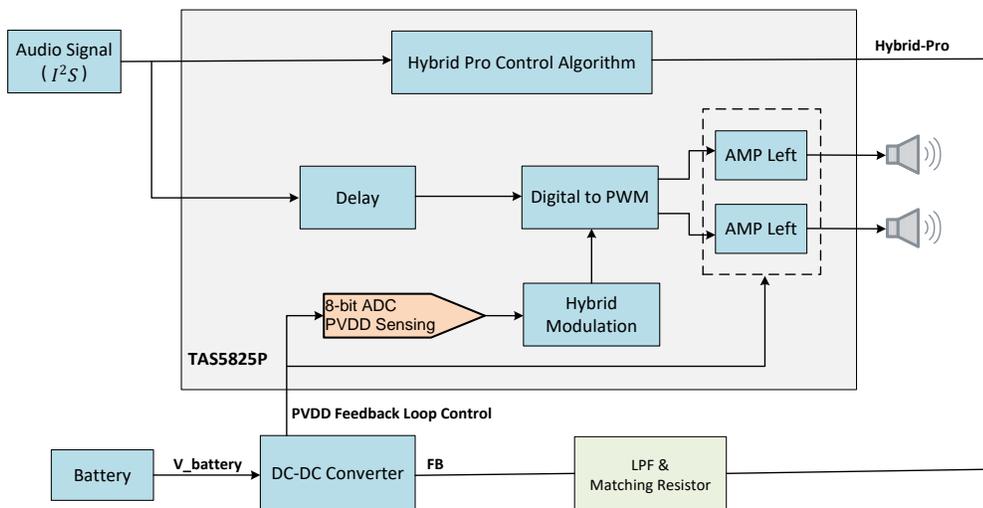


图 7 音乐包络追踪模拟方案示意图

PPC3 Class-H 功能调试界面如下图 6 所示，通过这个 GUI 工具可以非常方便的设定 PVDD 电压范围，计算升压芯片的反馈电阻参数，计算 RC 滤波网络参数。

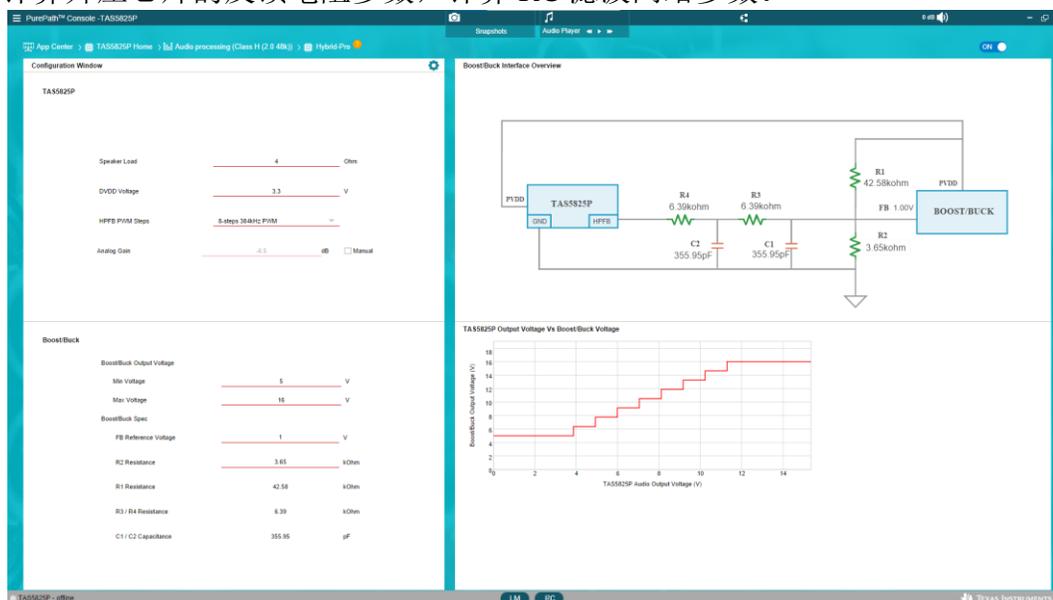
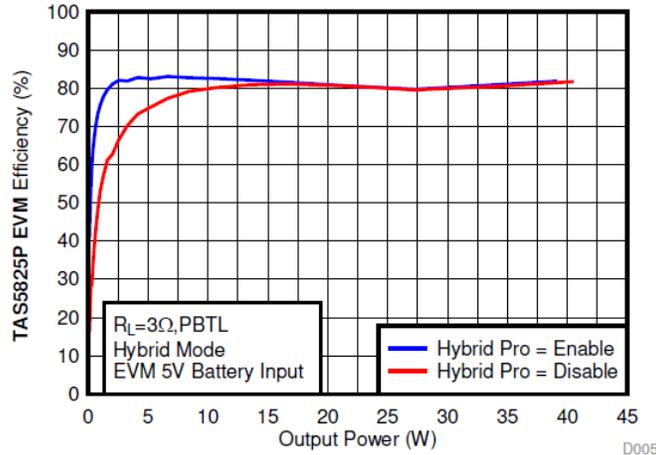


图 8 TAS5825P PPC3 工具 Class-H 调试窗口

参考图 7，[TAS5825P](#) 规格书效率数据可以看到使用 Class-H 功能后对功放效率有显著提升：enable Hybrid-pro(Class-H)功能后，蓝色线显示效率最高可以提升 15%。



Hybrid Modulation
 $F_{SW} = 384 \text{ kHz}$ 5V Battery Input Default PPC3 Setting
 Load=3Ω, PBTl 5V~16V Boost (-5.5dB AGAIN)

图 9 EVM Hybrid 开和关效率比较

3 采用 GVDD 和 AVDD 外部供电提升效率以及注意事项

TAS5825P 内部电源架构如下图 8 所示，GVDD，AVDD 是 5V 的电源轨，是给功放内部模拟电路和驱动电路供电，是从 PVDD 经过 LDO 降压后得到的，当 PVDD 电压较高，比如 PVDD=26V 时，简单计算可以得知这一路电源的效率就会非常低，只有约 19.2%。

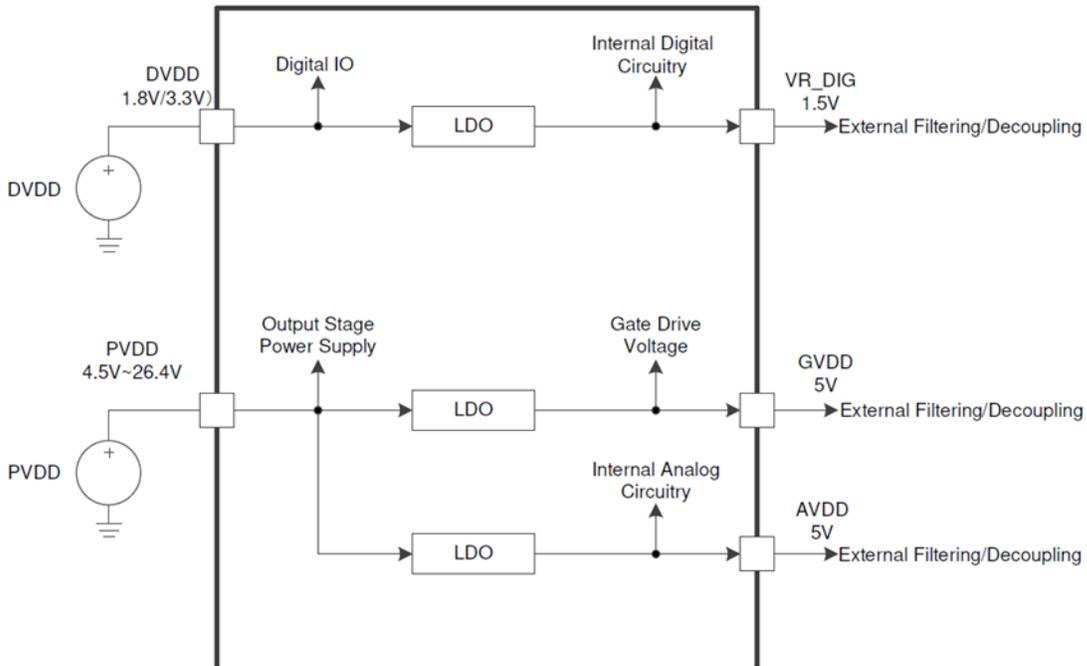


图 10 TAS5825P 内部电源架构

所以如果使用外部高效率 DCDC 给 GVDD 和 AVDD 供电，效率将会有明显的提升，功放的功耗降低。TI 的 TAS5825, TAS5827, TAS5828, TAS5830 功放都支持外部供 GVDD 和 AVDD 的选择。

3.1 外供 GVDD 和 AVDD 的功耗节省测试以及音频指标影响测试

如下图 9 是直接外部提供 GVDD 和 AVDD 测试的静态功耗节省数据，可以看到 PVDD 越高功耗节省越明显，在 PVDD=26V 时，同时外部供 GVDD 和 AVDD，可以节省约 431mW 的功耗。

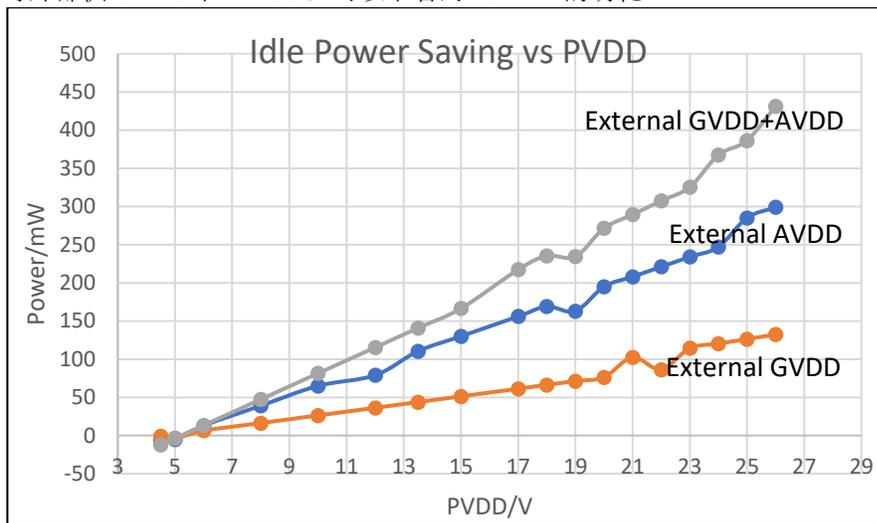


图 11 TAS5825P 外供 GVDD/AVDD idle power saving vs PVDD

Test Condition: Idle status, 384KHZ, Hybrid mode, 10uH+0.68uF filter, external GVDD/AVDD 5.1V.

表 1 是带负载效率测试比较，可以看到在无论轻重负载，效率都有提升，轻负载效率提升更明显，在便携式音箱这种会大部分时间都工作在较小功率的工作条件下，这种方式的效率提升效果显著。

Efficiency	Internal GVDD/AVDD	external 5.1V to AVDD/ GVDD
2 * 0.5W	59.400%	63.873%
2 * 1W	68.876%	71.690%
2 * 5W	83.333%	84.817%
2 * 10W	85.910%	86.421%
2 * 20W	86.955%	87.856%

表 1 外供 GVDD/AVDD 效率和内供 AVDD/GVDD 的效率对比

如下图 10 和图 11 测试功放 THD 指标发现外部供 GVDD,AVDD 对功放性能没有影响。

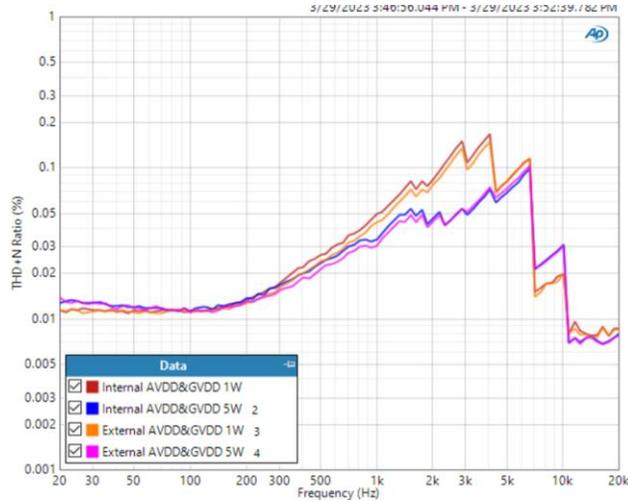


图 12 THD vs Frequency

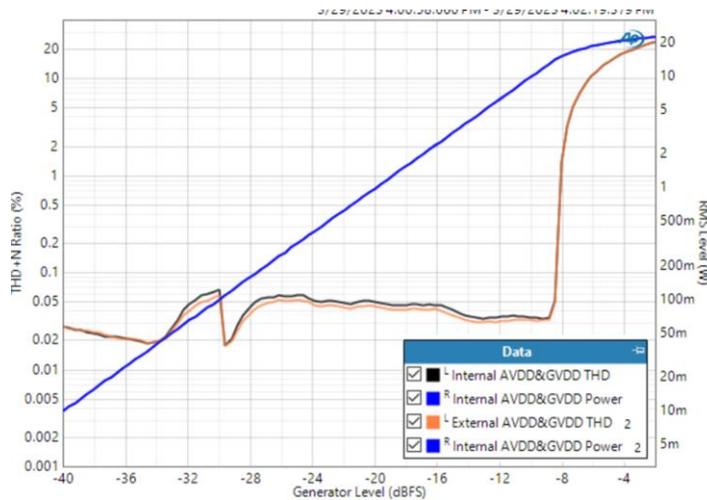


图 13 THD vs Output Power

3.2 外供 GVDD 和 AVDD 的注意事项:

3.2.1 外供 GVDD 和 AVDD 的电压范围:

TAS58xx 内部 LDO 并没有关闭选项，所以使用外部供电需要确保外部最低电压高于功放内部 LDO 输出电压，此时内部 LDO 输出就会截止，内部电路由外部电压进行供电，外

部电压和内部 LDO 电压哪个高，内部电路就会采用哪个的电压，并没有特别的风险，通常建议外部供电电压最高不要超过 5.5V。

这里需要特别注意的是外部供电的电压上电和下电需要满足 TI 要求的时序，否则可能会因为漏电而会出现预料之外的问题。下面会给出 TI 推荐的时序要求。在其他客户的应用中曾经出现因为不遵守 TI 规定时序而导致的因为 AVDD 漏电而干扰到 OTP Memory 的问题。

- TAS5825P 有一个定制料号 SN005825P，出厂前已经经过 GVDD 和 AVDD 电压校准，内部 LDO 最高输出电压不会高于 5.0V，所以只需要确保外部电压范围 5.0V-5.5V 即可。
- TAS5827、TAS5828、TAS5830 可以通过增加软件代码把内部 LDO 输出电压中心值降低到 4.3V，也可以保证内部输出不会超过 5.0V，所以只需要确保外部电压范围在 5.0V-5.5V 即可。TAS5827/TAS5828/TAS5830 修改内部 LDO 输出电压 4.3V 的代码如下：

```
w c0 00 00
w c0 7f 00
w c0 00 00 # enter book0 page0
w c0 7d 11
w c0 7e ff
w c0 00 02 # enter page2
r c0 08 01 # read the value of register 0x08
w c0 08 xx #only change bit7 of register 0x08, other bit remains no change.
# for example, the default value of register 0x08 is 0x0f (00001111), then should
write 0x8f to register 0x08 (10001111).
w c0 00 00 # enter page0
w c0 7f 00
w c0 7d 00
w c0 7e 00 #exit engineer mode
```

3.2.2 外供 GVDD 和 AVDD 的时序要求:

GVDD 和 AVDD 使用外部供电必需满足 TI 规定的上电和下电时序要求:

- SN005825P 外供 GVDD 和 AVDD 的时序:
 - 开机功放启动时序:
 1. 给 PVDD 和 DVDD 供电
 2. 当电源稳定后，拉高 PDN，并开始提供 I2S。
 3. 当 I2S 时钟稳定之后，开始 I2C 写功放配置。
 4. 功放配置完成后打开外部 GVDD/AVDD 供电

Startup Sequence

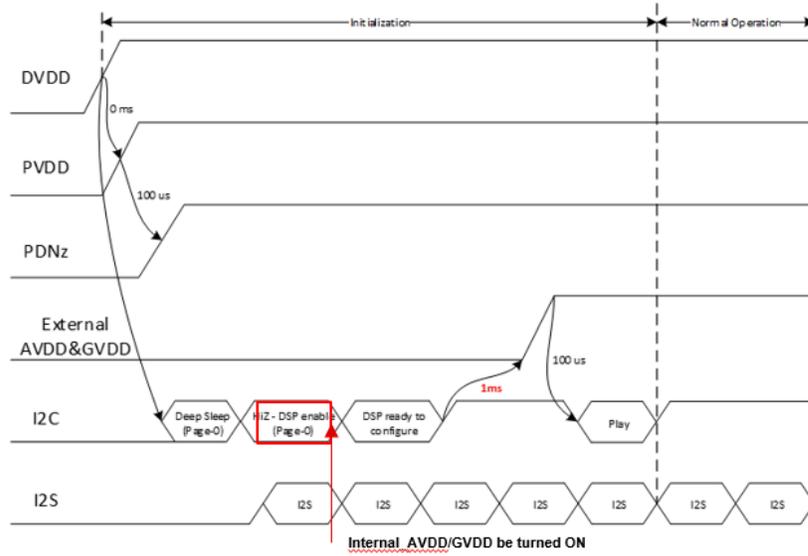


图 14 SN005825P 外供 GVDD/AVDD 功放启动时序

关键考虑点:

1. 功放进入 HIZ 后，内部 GVDD/AVDD 会打开。
2. 内部 GVDD 和 AVDD 打开后，延时 1ms 可以打开外部的 GVDD/AVDD 供电
3. 外部 GVDD/AVDD 供电必需在 PVDD 上电和 PDN 拉高之后。

○ 关机功放掉电程序:

1. I2C 命令功放进入 HIZ
2. 等待至少 6ms (48KHZ) 等数字音量淡出
3. 关闭外部 GVDD&AVDD 供电
4. 关闭 PVDD 和 DVDD

Shutdown Sequence

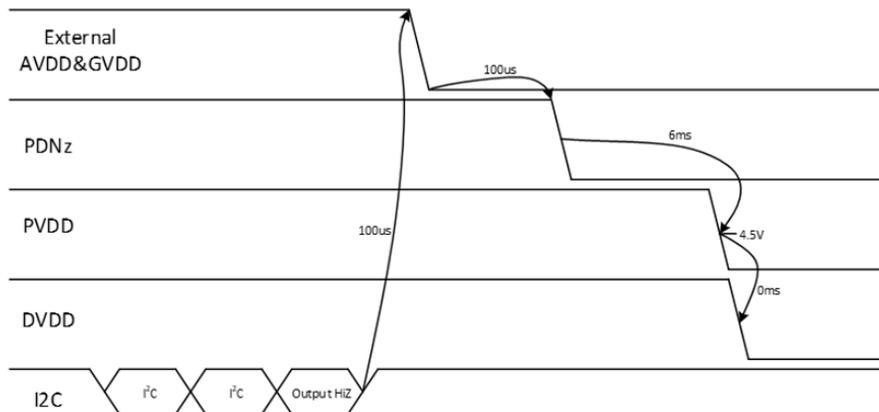


图 15 SN005825P 外供 GVDD/AVDD 掉电时序

关键考虑点：在 PDN 被拉低之前，要先将外部 GVDD/AVDD 关闭。

- TAS5827/TAS5828/TAS5830 的外供 GVDD 和 AVDD 的时序要求：
 - Startup sequence (图 16) :
 1. Bring up power supplies (PVDD, DVDD)
 2. Once power supplies are stable, bring up PDN,
 3. Configure I2C initialization. 4.3V code insert to 'DSP ready to configure' section
 4. Provide external power rail to AVDD/GVDD
 5. Complete I2C initialization.
 5. No special requirement for I2S sequence, but suggest to provide stable clock before enter play.
 6. Enter play mode.

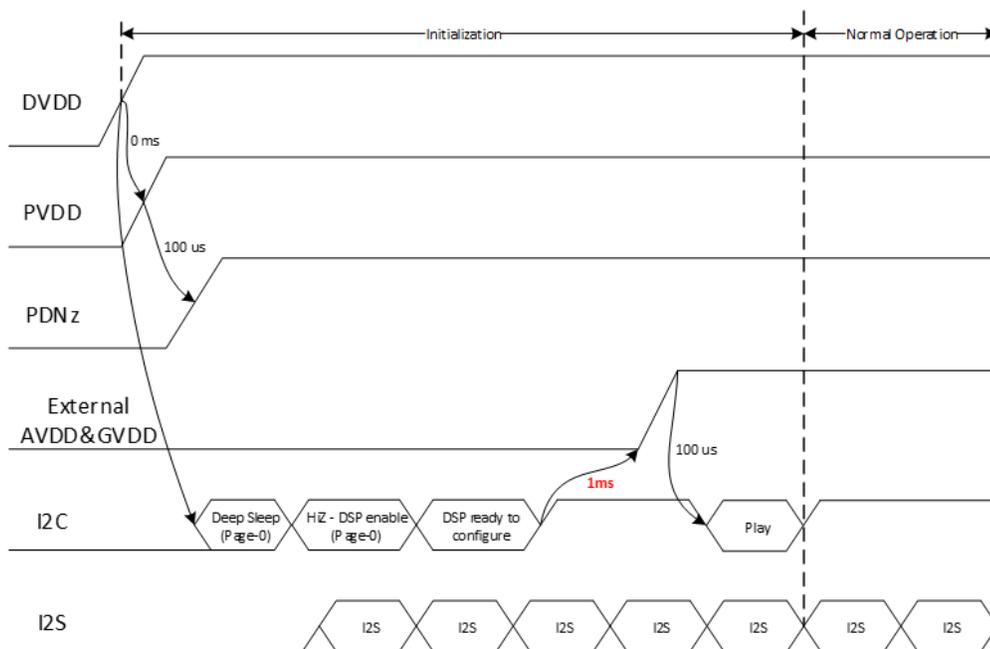


图 16 TAS5828/TAS5827 外供 GVDD/AVDD 开机时序

- Power down sequence (图 17) :
 - 1 I2C command let AMP enter HIZ.
 2. Turn off external GVDD & AVDD supply.

3. I2C command enter deep sleep or pull PDN down
4. Delay at least 6ms (48KHZ) for volume ramp down,
5. Turn off PVDD and then DVDD

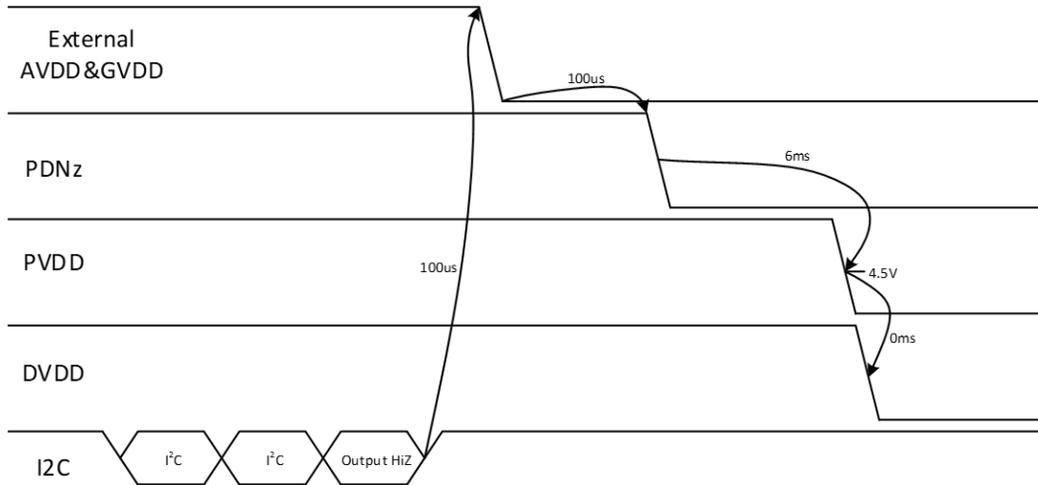


图 17 TAS5828/TAS5827 外供 GVDD/AVDD 掉电时序

4 小结

功放效率在便携式音箱产品中非常关键，功放效率的提升能够给用户带来直观的播放时长的延长体验。通过 TI 创新的 Class-H 包络跟踪算法，以及外部供 GVDD 和 AVDD 可以有效的提升 Class-D 功放的效率，同时效率的提升也会给系统带来包括温升降低，电池续航寿命延长等好处，最终使得终端用户获益。

参考文献

- [1]. TAS5825P Datasheet. <https://www.ti.com/product/TAS5825P>
- [2]. TPS61288 Datasheet. <https://www.ti.com/product/TPS61288>
- [3]. PurePath™- Console 3 (PPC3).
https://www.ti.com/video/5817768371001?keyMatch=PPC3&tisearch=universal_search
- [4]. TIDA-050024 analog tracking solution . https://www.ti.com/tool/TIDA-050024?keyMatch=TIDA-050024&tisearch=universal_search&usecase=refdesign

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司