

Technical White Paper

运算放大器失调电压和偏置电流限制



Art Kay

摘要

输入失调电压是会添加到输入信号中或从输入信号中减去的直流误差源。输入偏置电流是运算放大器输入端子上的直流电流，该电流在流过源电阻和/或反馈电阻器时转换为失调电压。这些误差源受温度、电源电压、输入共模电压和输出电压的影响。本文档展示了如何计算与输入失调电压和输入偏置电流相关的误差。本文档还介绍了运算放大器技术中失调电压和偏置电流的影响。它包括用于更大限度地减小失调电压和偏置电流的内部 IC 设计方法。了解该材料有助于您根据特定的系统要求选择最佳的放大器。

内容

1 输入失调电压 (V_{OS}) 定义	2
1.1 输入失调电压漂移 (dV_{OS}/dT) 定义	3
1.2 放大器内部的 V_{OS} 和 V_{OS} 温度漂移	5
1.3 通过激光修整调节性能	8
1.4 通过封装修整 (e-Trim™) 调节性能	11
2 输入偏置电流 (I_B) 定义	13
2.1 放大器内部的输入偏置电流 (I_B) 和 I_B 温度漂移	16
2.2 根据 I_B 推导 V_{OS}	19
2.3 内部偏置电流消除	21
2.4 超 β 输入晶体管	23
3 影响失调电压的其他因素	23
3.1 有限开环增益 (A_{OL})	24
3.2 共模抑制比 (CMRR)	25
3.3 电源抑制比 (PSRR)	27
3.4 A_{OL} 、CMRR 和 PSRR 随频率的变化	28
3.5 电磁干扰抑制比 (EMIRR)	29
3.6 机械应力引起的失调电压变化	30
3.7 寄生热电偶	31
3.8 焊剂残留物和清洁度	33
4 可更大限度地减小 V_{OS} 和 V_{OS} 漂移的零漂移放大器	34
5 V_{OS}、I_B 和增益误差校准	35
6 参考资料	36
7 修订历史记录	36

商标

e-Trim® is a registered trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

1 输入失调电压 (V_{OS}) 定义

输入失调电压可以被建模为与运算放大器的同相输入串联的误差电压源 (请参阅图 1-1)。失调电压的范围为微伏级至毫伏级 (请参阅表 1-1)。对于放大器, 术语精密通常用于描述输入失调电压低于 1mV 的放大器。

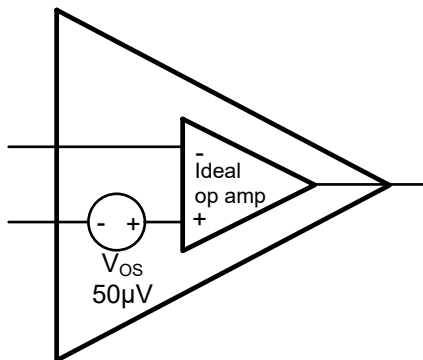


图 1-1. 失调电压模型

由于失调电压源直接与运算放大器输入串联, 因此对于小输入信号范围, 失调电压误差的影响更显著。图 1-2 和图 1-3 说明了增益为 10V/V 和 100V/V 时放大器的 1mV 失调电压引入的误差。方程式 1 至方程式 4 展示了针对 10V/V 增益的误差计算, 方程式 5 至方程式 8 展示了针对 100V/V 的计算。在两种情况下, 施加的输入信号都将输出驱动至接近满标度 (5V 电源上为 4.5V)。请注意, 当增益增加 10 倍时, 百分比误差会增加 10 倍。因此, 在增益较高的系统中, 失调电压通常是一个更大的问题。

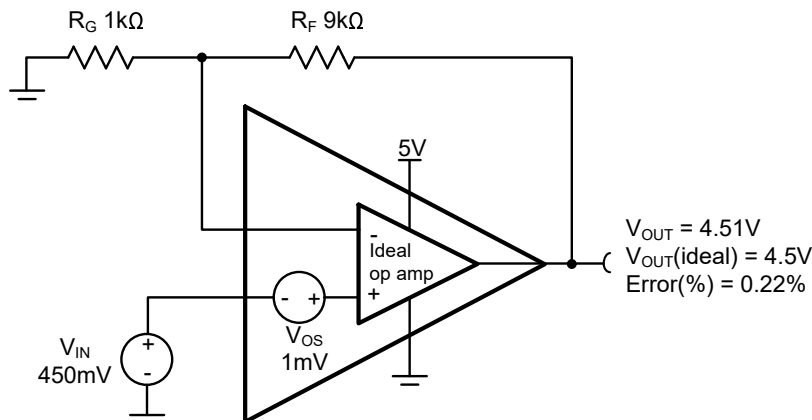


图 1-2. 低增益中的输出失调电压和百分比误差

$$G = \frac{R_F}{R_G} + 1 = \frac{9k\Omega}{1k\Omega} + 1 = 10V/V \quad (1)$$

$$V_{OUT} = (V_{IN} + V_{OS})G = (450mV + 1mV)(10V/V) = 4.51V \quad (2)$$

$$V_{OUT(ideal)} = (V_{IN})G = (450mV + 1mV)(10V/V) = 4.50V \quad (3)$$

$$Error(\%) = 100 \left(\frac{V_{OUT} - V_{OUT(ideal)}}{V_{OUT(ideal)}} \right) = 100 \left(\frac{4.51V - 4.50V}{4.50V} \right) = 0.22\% \quad (4)$$

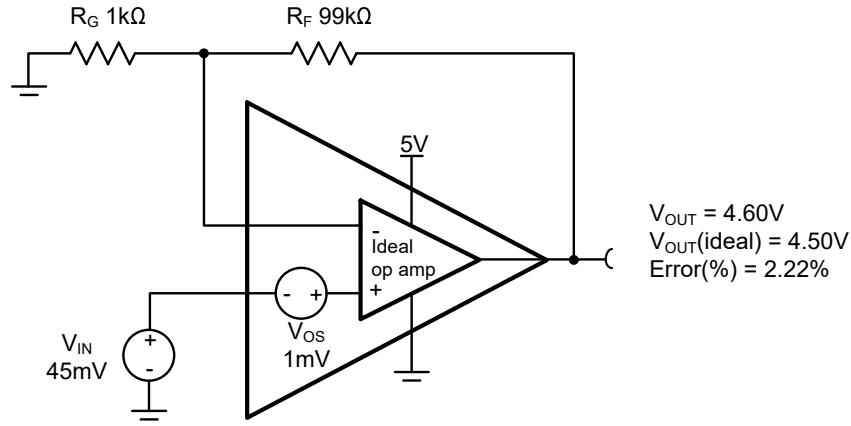


图 1-3. 高增益中的输出失调电压和百分比误差

$$G = \frac{R_F}{R_G} + 1 = \frac{99k\Omega}{1k\Omega} + 1 = 100V/V \quad (5)$$

$$V_{OUT} = (V_{IN} + V_{OS})G = (45mV + 1mV)(100V/V) = 4.60V \quad (6)$$

$$V_{OUT(ideal)} = (V_{IN})G = (45mV + 1mV)(100V/V) = 4.50V \quad (7)$$

$$\text{Error}(\%) = 100 \left(\frac{V_{OUT} - V_{OUT(ideal)}}{V_{OUT(ideal)}} \right) = 100 \left(\frac{4.60V - 4.50V}{4.50V} \right) = 2.22\% \quad (8)$$

1.1 输入失调电压漂移 (dV_{OS}/dT) 定义

输入失调电压是在室温 (25°C) 和整个温度范围内指定的 (V_{OS} 漂移或 dV_{OS}/dT)。对于精密器件，典型的 V_{OS} 漂移最大规格范围为 0.001 $\mu V/^\circ C$ 至 5 $\mu V/^\circ C$ 。成本优化型和高速器件通常未针对输入失调电压和 V_{OS} 温度漂移进行优化，因此其漂移可能高达 100 $\mu V/^\circ C$ (请参阅表 1-1)。可以通过将相对于 25°C 的温度变化乘以 V_{OS} 漂移项来估算由于 V_{OS} 漂移而引起的失调电压变化， $\Delta V_{OS} = (dV_{OS}/dT)(T - 25^\circ C)$ 。由温度漂移引起的失调电压变化会增加初始室温 V_{OS} 。该计算假设放大器 V_{OS} 漂移在温度范围内呈线性，但并非所有放大器都是如此。某些放大器数据表提供了 V_{OS} 与温度间的关系图，这有助于了解漂移的线性度。图 1-4 展示了在 125°C 温度下针对 OPA2205 进行的该计算，其中使用规定的最大失调电压和漂移。在该示例中，室温 V_{OS} 为 15 μV ， V_{OS} 漂移为 20 μV ，125°C 时的总 V_{OS} 为 35 μV 。

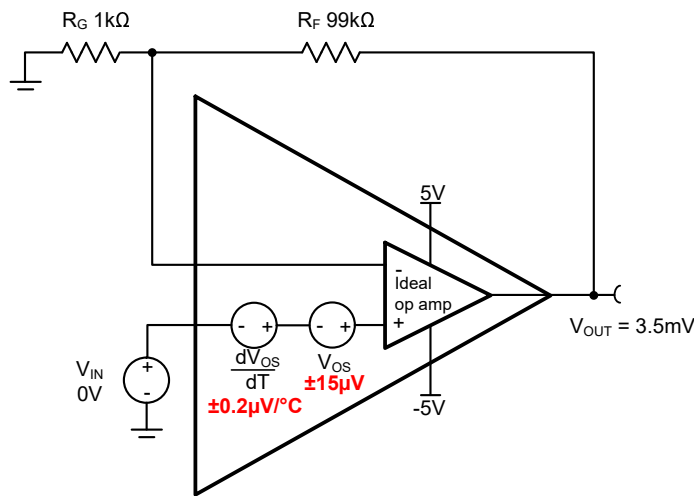


图 1-4. OPA2205 的最大输入失调电压漂移模型和计算

$$T = 125^\circ C \quad (9)$$

$$G = \frac{R_F}{R_G} + 1 = \frac{99k\Omega}{1k\Omega} + 1 = 100V/V \quad (10)$$

$$V_{OS}(T) = V_{OS}(25^\circ C) - \frac{dV_{OS}}{dT}(T - 25^\circ C) \quad (11)$$

$$V_{OS}(125^\circ C) = 15\mu V - (0.2\mu V/^\circ C)(125^\circ C - 25^\circ C) = 35\mu V \quad (12)$$

$$V_{OUT} = (V_{OS})G = (35\mu V)(100V/V) = 3.5mV \quad (13)$$

表 1-1. 不同放大器类型的 V_{OS} 和 V_{OS} 漂移范围

运算放大器	V_{OS} (最大值) (高等级)	V_{OS} 漂移 (最大值) (高等级)	技术
OPA387	2 μV	0.012 $\mu V/^\circ C$	低压零漂移 CMOS
OPA182	4 μV	0.012 $\mu V/^\circ C$	高压零漂移 CMOS
OPA2186	10 μV	0.04 $\mu V/^\circ C$	24V 零漂移 CMOS
OPA192	25 μV	0.5 $\mu V/^\circ C$	e-Trim™ 高压 CMOS
OPA210	35 μV	0.5 $\mu V/^\circ C$	超 β 双极
OPA827	150 μV	1.5 $\mu V/^\circ C$	JFET 输入, 激光修整, 双极
OPA828	300 μV	1.3 $\mu V/^\circ C$	DiFET (JFET), 激光修整
LMV841	500 μV	5 $\mu V/^\circ C$	12V CMOS
OPA835	1.85mV	13.5 $\mu V/^\circ C$	高速双极
LM741	3mV	15 $\mu V/^\circ C$	双极商用级 (成本较低)

1.2 放大器内部的 V_{OS} 和 V_{OS} 温度漂移

双极和 CMOS 运算放大器都有一个用作放大器的第一级的输入差分对 (请参阅图 1-5 和图 1-6)。对于双极器件, 失调电压主要是基极-发射极结电压 (V_{be1} 和 V_{be2}) 不匹配导致的。这种不匹配是由光刻效果、掺杂梯度以及在器件封装过程中引入的应力引起的。类似地, CMOS 器件中的失调电压来自栅源电压不匹配, 该不匹配是由与双极器件相同类型的制造问题导致的。

通过调节 R_{os1} 或 R_{os2} 的值, 可以降低双极和 CMOS 运算放大器中的 V_{OS} 。该过程称为修整, 可以通过激光修整或封装级修整 (e-Trim®) 来完成。在这两种情况下, 都会测量 V_{OS} 并调整电阻器以更大限度地减小失调电压。在激光修整中, 薄膜电阻器的各个部分被物理切除以增加电阻 (请参阅节 1.3)。封装级修整使用数字通信断开二进制加权电阻器网络中的开关或保险丝 (请参阅节 1.4)。第三种更大限度地减小运算放大器 V_{OS} 的方法是使用内部自校准电路。这些类型的放大器称为零漂移放大器, 将在节 4 中进行介绍。

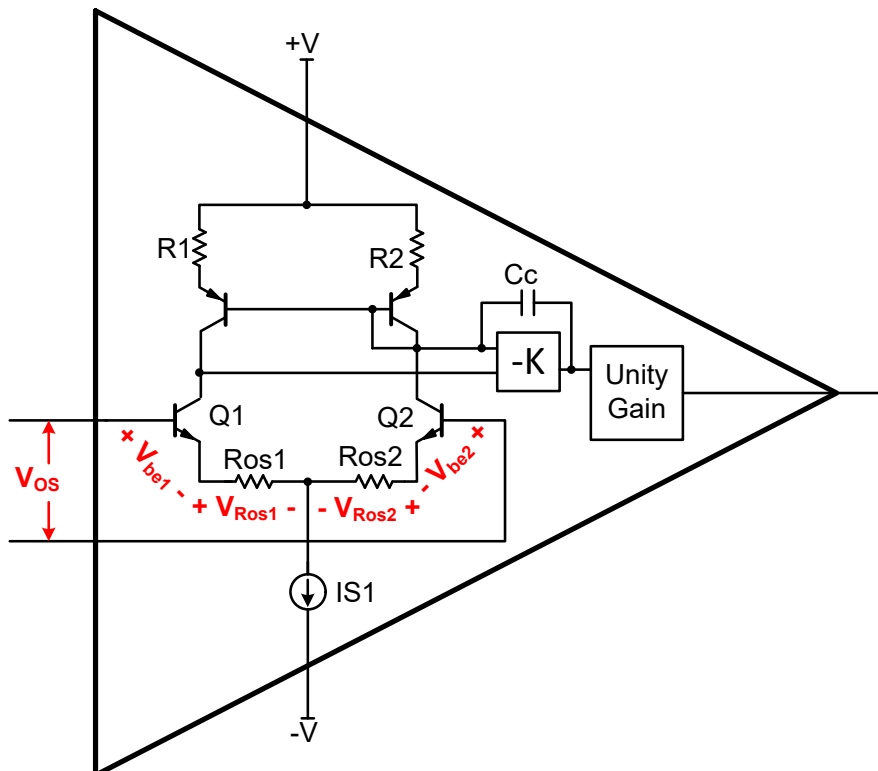


图 1-5. 双极差分输入, 简化的运算放大器模型

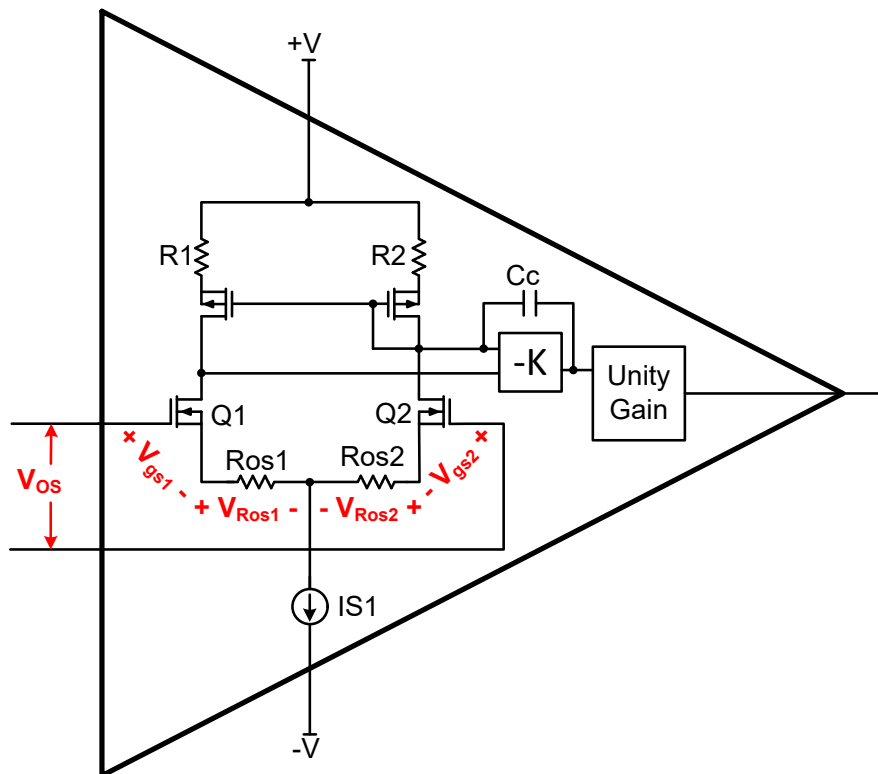


图 1-6. CMOS 差分输入，简化的运算放大器模型

双极运算放大器的温度漂移是线性的，与失调电压成正比（请参阅图 1-7）。实际上，每一毫伏的失调电压都会产生大约 $3.3\mu\text{V}/^\circ\text{C}$ 的失调电压漂移。因此，将双极运算放大器上的失调电压修整为零也会将漂移修整为接近零（请参阅图 1-7）。相反，CMOS 器件的漂移是非线性的，与双极器件不同，它与失调电压不成正比（请参阅图 1-8）。修整 CMOS 器件上的温度漂移需要调整电阻器 R_1 、 R_2 ，使用 R_{OS1} 和 R_{OS2} 修整失调电压（请参阅图 1-6）。此外，必须在多个温度下测量 CMOS 运算放大器失调电压以修整温度漂移，而双极器件温度漂移可以在单个温度下进行修整。CMOS V_{OS} 和 V_{OS} 漂移修整的额外复杂性使得实现与双极器件相同的性能变得具有挑战性。

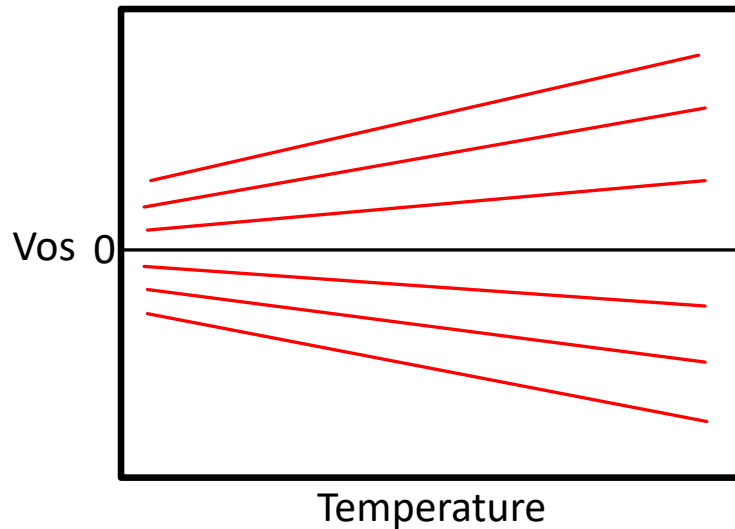


图 1-7. 双极 V_{OS} 与温度间的关系

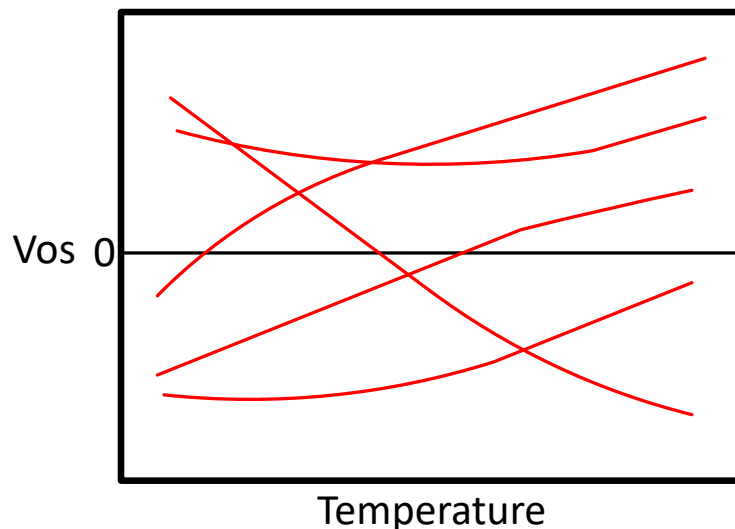


图 1-8. CMOS V_{OS} 与温度间的关系

1.3 通过激光修整调节性能

激光修整和封装修整都是用于调整运算放大器和其他半导体器件的裸片上电阻器阻值的方法。激光修整通过使用激光束切掉电阻器上的材料来调整电阻器。通常在薄膜电阻器上使用激光修整。图 1-9 展示了使用激光修整来调节 V_{OS} 和静态电流 (I_Q) 的运算放大器芯片的图片。粗略的激光修整调整可以有效延长电流路径，从而显著增加电阻。精细的激光修整调整可以使电阻器宽度更窄，从而引入更小、更渐进的电阻增加。

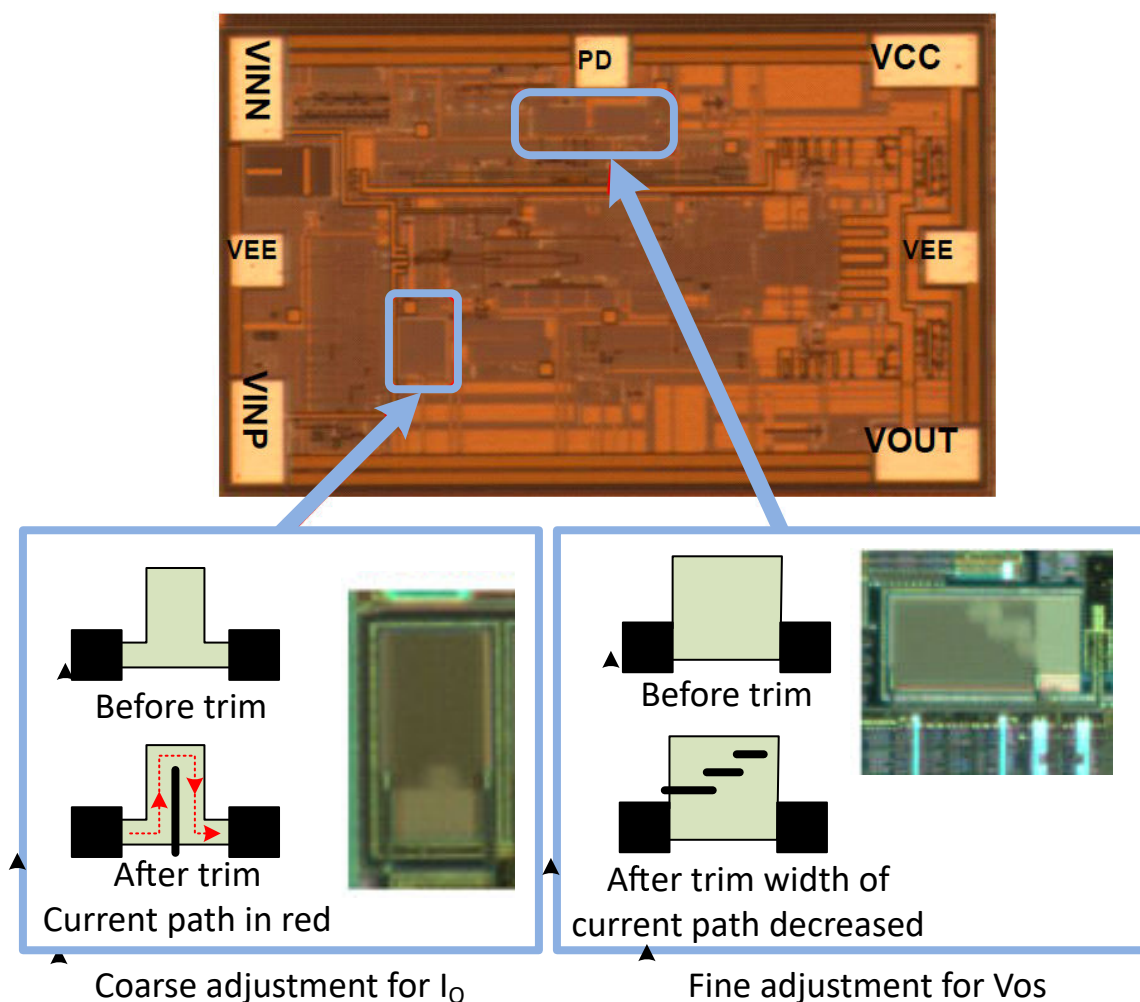


图 1-9. 薄膜电阻器的粗略和精细激光修整

如果器件在封装前为晶圆形式，则进行激光修整。典型的运算放大器晶圆上具有数以万计的器件。每个器件或裸片都通过接触焊盘的探针施加电信号来进行测试。在测试期间，会测量 V_{OS} 等各种参数，并使用激光通过对修整电阻器进行适当调整来降低失调电压。图 1-10 展示了为晶圆、探针卡和激光的简化视图。上下移动晶圆吸盘，使晶圆与探针接触。通过左右移动吸盘来选择晶圆上的不同裸片。图 1-11 展示了与单个裸片接触的探针的放大视图。

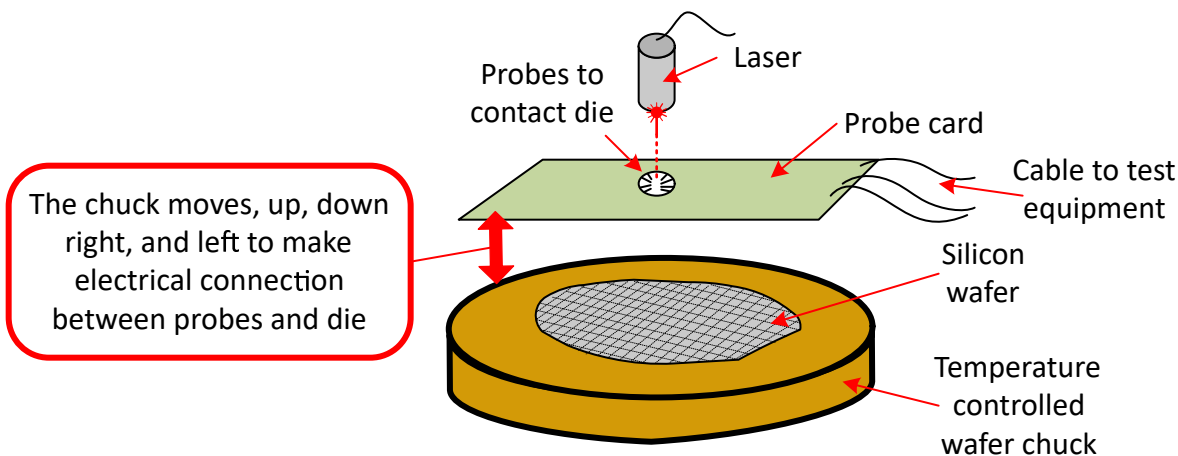


图 1-10. 激光探针硬件 (侧视图)

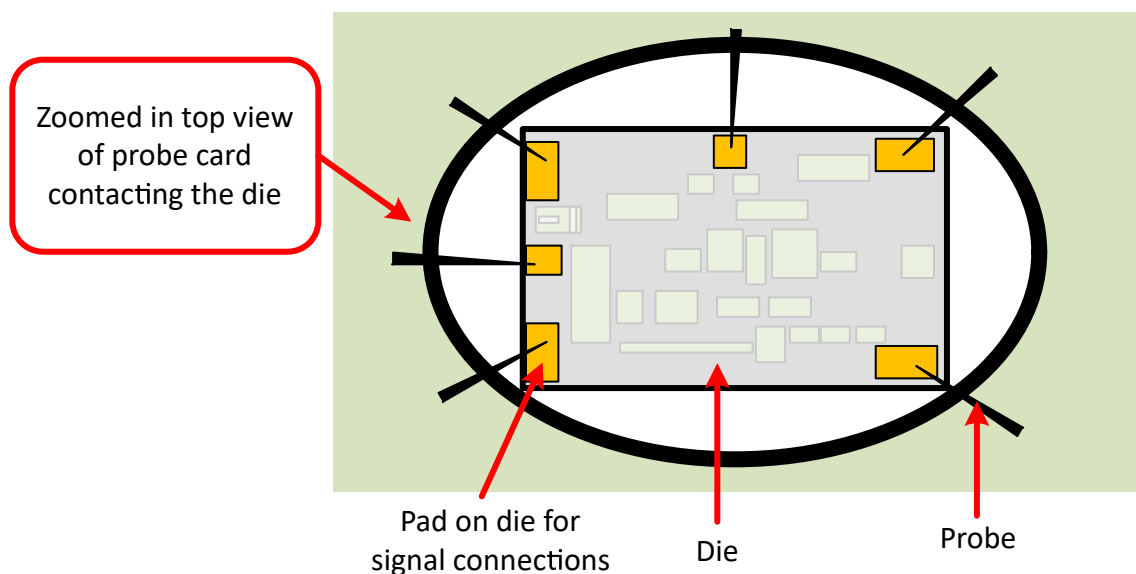


图 1-11. 与裸片接触的激光探针卡 (放大的顶视图)

完成晶圆探测后，晶圆将被锯成单个裸片，然后粘接到引线框上，其焊盘线连接到相应的引脚，最后用塑料封装（请参阅图 1-12）。封装工艺会在芯片上引入物理应力（弯曲、变形），从而导致器件性能发生变化。例如，在激光修整过程中，失调电压可能会被修整到 $10\mu\text{V}$ 的水平，但封装会引入应力，使失调电压变为 $100\mu\text{V}$ 。通过精心的对称布局和关键元件的相互交错放置，可以在一定程度上减小这种封装变化，但无法完全消除这种误差源。因此，激光修整具有固有的精度限制，这是晶圆修整器件无法实现小于十微伏的失调电压的主要原因。

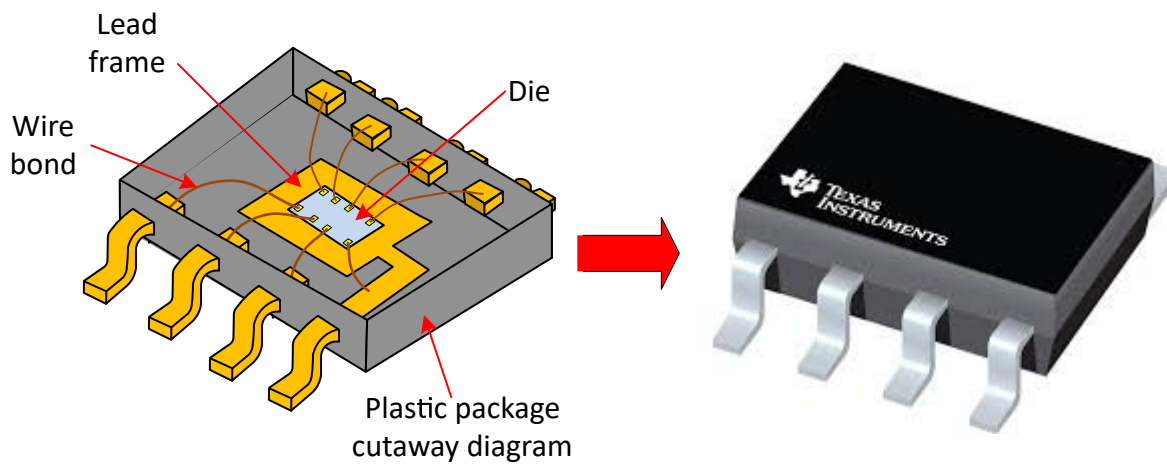


图 1-12. 采用 SOIC 封装的裸片的剖视图

1.4 通过封装修整 (e-Trim™) 调节性能

德州仪器 (TI) 的每个放大器都要接受封装形式的器件最终测试。最终测试向器件施加电源和电信号并测量性能。该测量结果与产品数据表中给出的规格进行了比较。不符合规格的器件会被丢弃。对于使用封装级修整 (e-Trim®) 的器件, 在最终测试期间会调整 V_{OS} 等参数以优化性能。该调整的执行方法为: 测量失调电压并调整电阻值来更最大限度地减小误差来。在封装修整中, 内部修整电阻器分为多个二进制加权段。可以通过断开易熔链路或使用一次性可编程 (OTP) 非易失性存储器将这些段添加到电阻器中。德州仪器 (TI) 的现代设计主要使用 OTP 来实现。

图 1-13 展示了如何使用封装修整来调整电阻器阻值的简化视图。在最终测试期间, 会测量初始 V_{OS} , 并根据测量结果计算所需的修整电阻器阻值。通过输出引脚向器件施加数字信号, 以对 OTP 存储器进行编程。OTP 用于断开与电阻器段并联的开关。该示例显示二进制加权电阻器可以具有从 0Ω 到 $15k\Omega$ 的值 (以 $1k\Omega$ 为增量)。当测试程序完成时, 该信号会向器件发送写保护命令以禁用数字接口, 从而防止将来意外地对 OTP 重新编程。编程后, 运算放大器在启动期间读取 OTP, 并且器件会配置开关以将修整电阻器设置为其目标值。

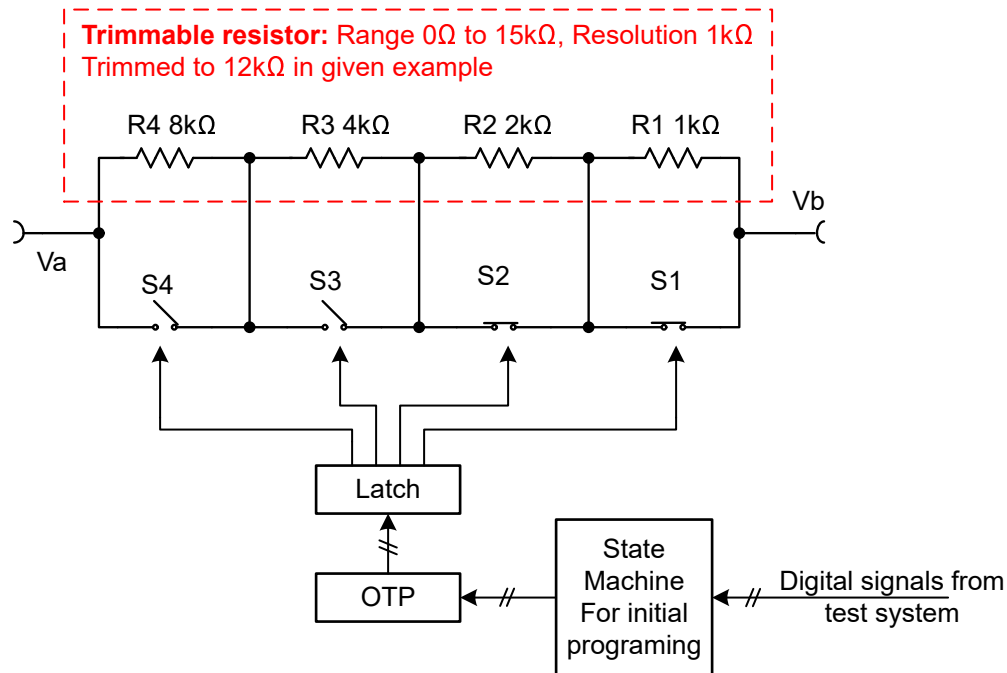


图 1-13. 封装修整电阻器配置

图 1-14 展示了如何向器件施加数字信号的简化视图。请记住，器件经过封装，运算放大器通常没有任何用于数字接口的引脚。对于运算放大器，输出引脚最初用于施加数字信号。器件将输出置于三种状态之一：**5mA 拉电流**、**5mA 灌电流**或**悬空**。比较器电路会检测这些输出电流负载并创建两个数字信号图形。数字信号驱动用于对 OTP 进行编程的状态机。

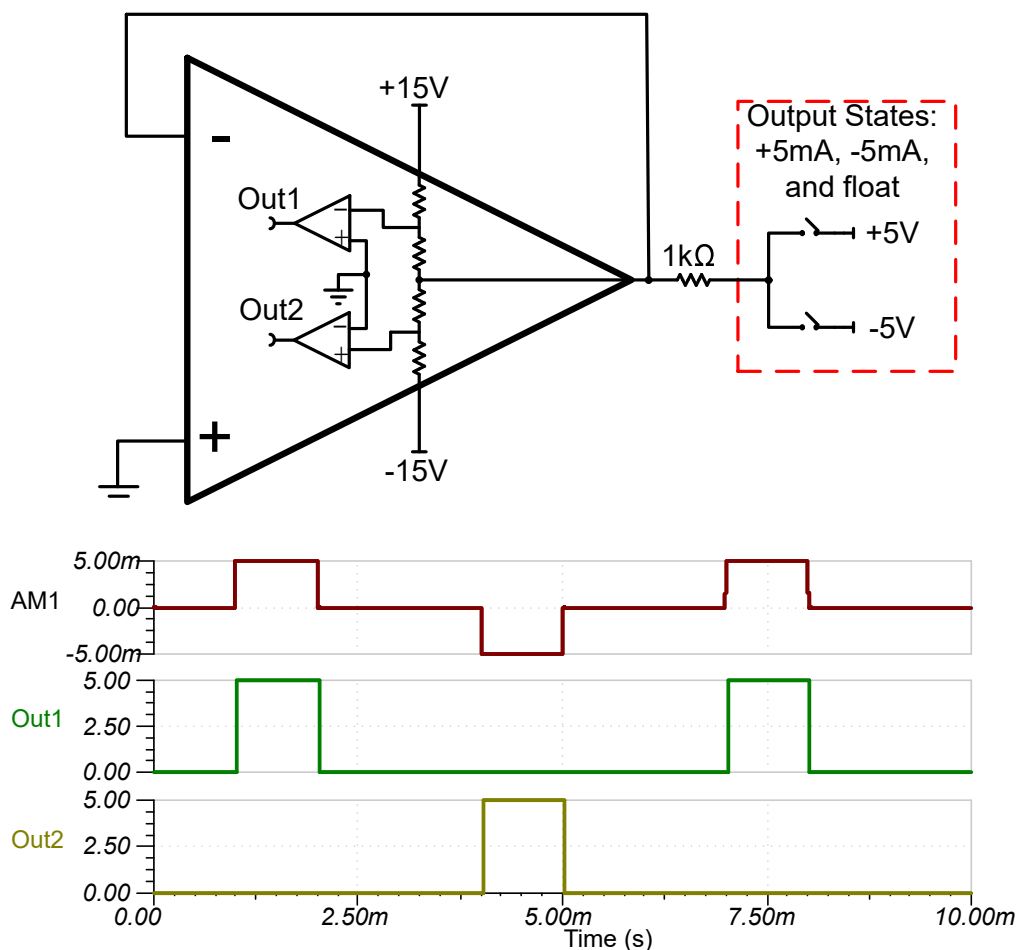


图 1-14. 封装修整通信

2 输入偏置电流 (I_B) 定义

输入偏置电流 (I_B) 可以建模为反相和同相输入端子上的直流电流源 (请参阅图 2-1)。当该偏置电流流经反馈网络和源阻抗时, 会产生误差电压。误差电压以输入为基准, 因此它会与 V_{OS} 和 V_{OS} 漂移误差源相加。方程式 14 和方程式 15 展示了将偏置电流转换为失调电压的计算方法。图 2-2 和方程式 17 展示了输入偏置电流转换为失调电压源的方式。

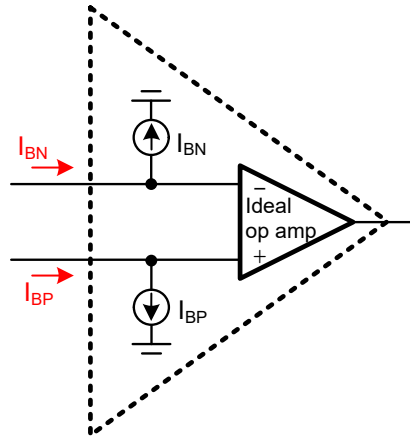


图 2-1. 偏置电流模型

$$V_{IBP} = -I_{BP}R_S \quad (14)$$

$$V_{IBN} = I_{BN}(R_F \parallel R_G) \quad (15)$$

$$(R_F \parallel R_G) = \frac{R_F R_G}{R_F + R_G} \quad (16)$$

$$V_{IB} = I_{BN}(R_F \parallel R_G) - I_{BP}R_S \quad (17)$$

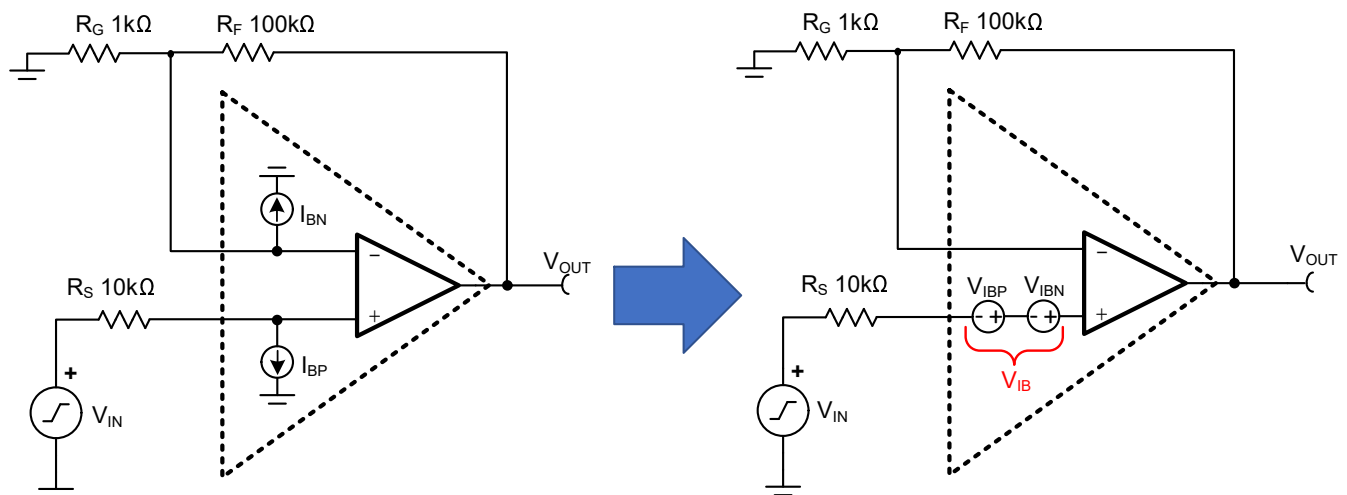


图 2-2. 转换为输入失调电压的偏置电流

放大器数据表通常不分别指定反相和同相输入的偏置电流，而是将偏置电流之间的差值指定为偏置电流失调 ($I_{OS} = I_{BP} - I_{BN}$)。如果偏置电流相等且源阻抗等于反馈网络阻抗 ($R_S = R_F \parallel R_G$)，则偏置电流失调电压会相互抵消 (请参阅 [方程式 19](#))。但是，在大多数现代精密放大器中，偏置电流具有较大的失调 ($I_{OS} \neq 0$)。事实上，对于大多数 CMOS 放大器和许多双极放大器，偏置电流和偏置失调在幅度上是相当的 ($I_B \approx I_{OS}$)。因此，平衡源阻抗和反馈阻抗的方法通常不是更最大限度地减小由偏置电流引起的输入失调电压的实用方法。当 $I_{OS} \geq I_B$ 时，更最大限度地减小 V_{IB} 的最佳方法是更最大限度地减小 R_S 和 $R_F \parallel R_G$ ，而不是平衡源阻抗和反馈阻抗。[方程式 20](#) 展示了两个输入端的 I_{OS} 相等 ($I_{BP} = I_B + I_{OS}/2$, $I_{BN} = I_B - I_{OS}/2$) 的 V_{IB} 。该等式的第二项强调了当 $R_S = R_F \parallel R_G$ 时 I_{OS} 影响不会被抵消。

$$I_{OS} = I_{BP} - I_{BN} \quad (18)$$

$$V_{IB} = I_B((R_F \parallel R_G) - R_S), \text{ for } I_{OS} = 0 \quad (19)$$

$$V_{IB} = I_B((R_F \parallel R_G) - R_S) + \frac{I_{OS}}{2}((R_F \parallel R_G) + R_S), \text{ for } I_{OS} \text{ equal on each input} \quad (20)$$

[方程式 21](#) 和 [方程式 22](#) 是估算偏置电流引起的失调电压的好方法。这些公式假设偏置电流失调的一半在反相输入和同相输入之间均匀分布。这两个公式在计算因 I_B 而产生的失调时考虑了偏置电流失调的极性 (I_{OS} 在 [方程式 21](#) 中为负，在 [方程式 22](#) 中为正)。对于最坏情况下的误差分析，应计算这两个值并选择最大的绝对值 (请参阅 [方程式 23](#))。示例 1 在计算 OPA205A 由于偏置电流而产生的最大输入失调电压时使用这些公式。

$$V_{IB1} = \left(I_B + \frac{I_{OS}}{2}\right)(R_F \parallel R_G) - \left(I_B - \frac{I_{OS}}{2}\right)R_S \quad (21)$$

$$V_{IB2} = \left(I_B - \frac{I_{OS}}{2}\right)(R_F \parallel R_G) - \left(I_B + \frac{I_{OS}}{2}\right)R_S \quad (22)$$

$$V_{IB} = \max(|V_{IB1}|, |V_{IB2}|) \quad (23)$$

示例 1：OPA205 最大偏置电流到输入失调电压的计算

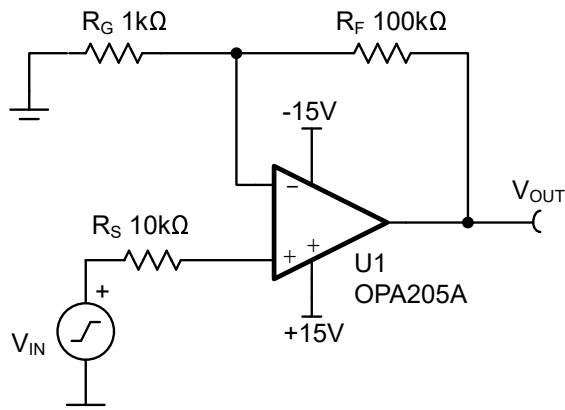


图 2-3. 用于 I_B 示例计算的电路

参数	测试条件	最小值	典型值	最大值	单位
I_B	输入偏置电流		± 0.1	± 0.5	nA
I_{OS}	输入失调电流		± 0.1	± 0.4	nA

$$V_{IB1} = \left(0.5\text{nA} + \frac{0.4\text{nA}}{2}\right)(0.99\text{k}\Omega) - \left(0.5\text{nA} - \frac{0.4\text{nA}}{2}\right)(10\text{k}\Omega) = -2.31\mu\text{V} \quad (24)$$

$$V_{IB2} = \left(0.5\text{nA} - \frac{0.4\text{nA}}{2}\right)(0.99\text{k}\Omega) - \left(0.5\text{nA} + \frac{0.4\text{nA}}{2}\right)(10\text{k}\Omega) = -6.70\mu\text{V} \quad (25)$$

$$V_{IB} = \max(|-6.70\mu\text{V}|, |-2.31\mu\text{V}|) = 6.70\mu\text{V} \quad (26)$$

2.1 放大器内部的输入偏置电流 (I_B) 和 I_B 温度漂移

晶体管技术 (双极、CMOS 或 JFET) 的选择对输入偏置电流有显著的影响。双极晶体管是电流控制器件，而 CMOS 和 JFET 是电压控制器件。双极晶体管集电极电流等于基极电流乘以电流增益。因此，所有双极晶体管都需要具有最小的基极电流才能运行。由于 CMOS 器件受电压控制，因此漏极电流由栅极到源极的电压控制。此外，栅极通过一层金属氧化物与漏源沟道绝缘，因此输入阻抗非常高，实际上没有漏电流。JFET 器件也是电压控制器件。JFET 晶体管使用反向偏置栅极来提供 P-N 结电压，从而控制漏极电流。因此，会有非常小的反向偏置漏电流。然而，与双极晶体管的基极电流相比，JFET 栅极电流可以忽略不计 (请参阅图 2-4)。

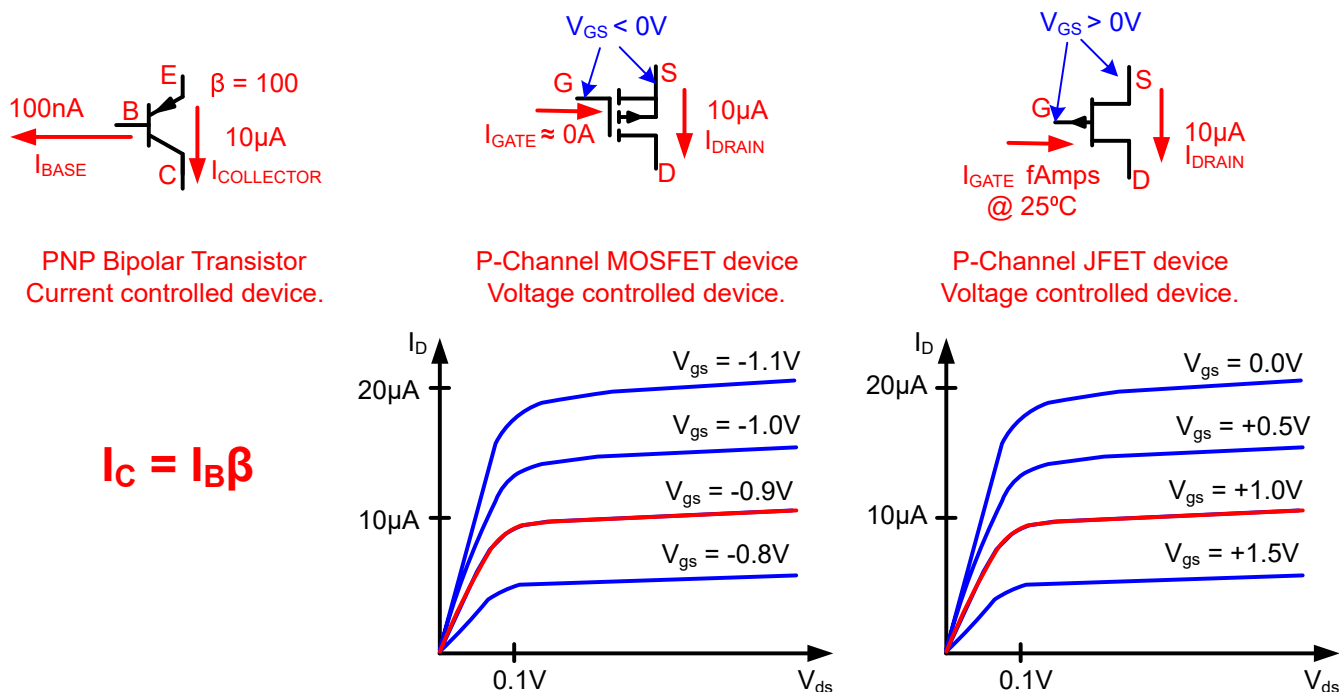


图 2-4. 双极、MOSFET 和 JFET 偏置总结

输入级的基极电流是双极运算放大器中的输入偏置电流 (I_B)。根据带宽、压摆率和工艺技术的不同，未校正的双极运算放大器的输入偏置电流范围可以从纳安级到微安级不等。由于 ESD 结构，两个输入也有一些漏电流，但与基极电流相比，此电流通常可忽略不计（请参阅图 2-5）。此外，输入晶体管并不是完全匹配的，因此流入每个放大器的 I_B 略有不同。该差值称为偏置电流失调 (I_{OS})。相反，CMOS 和 JFET 器件的 I_B 主要是由 ESD 结构的泄漏导致的，在室温下通常处于皮安或飞安范围内（请参阅图 2-6）。

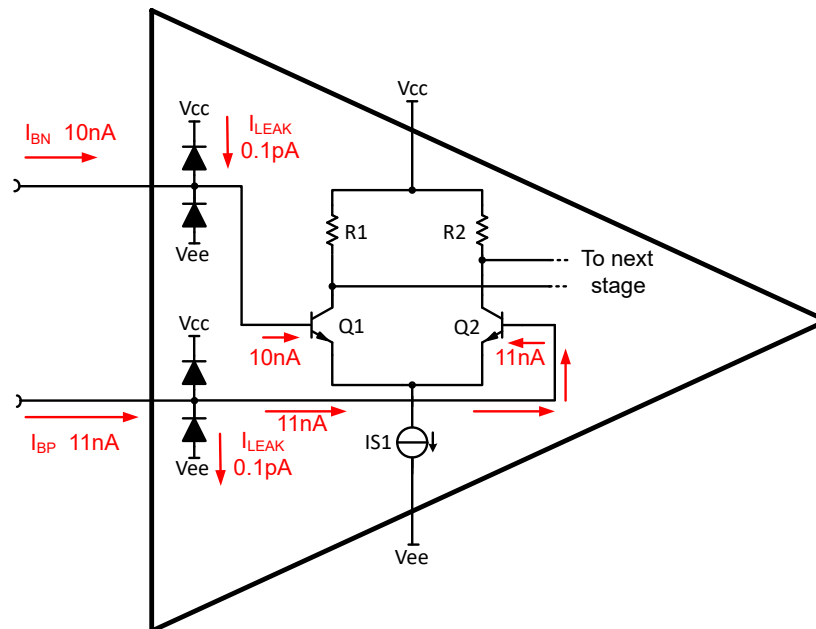


图 2-5. 双极运算放大器输入端的输入偏置电流

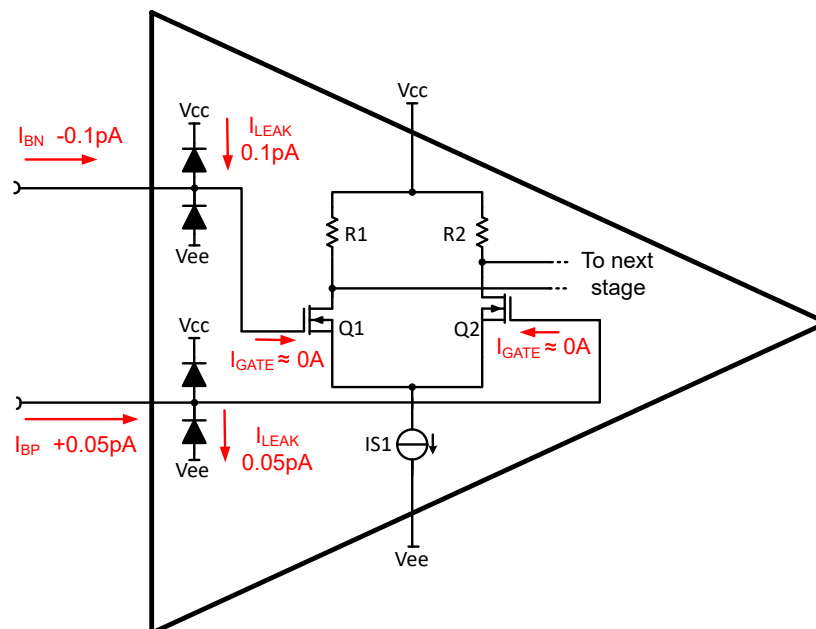


图 2-6. CMOS 运算放大器输入端的输入偏置电流

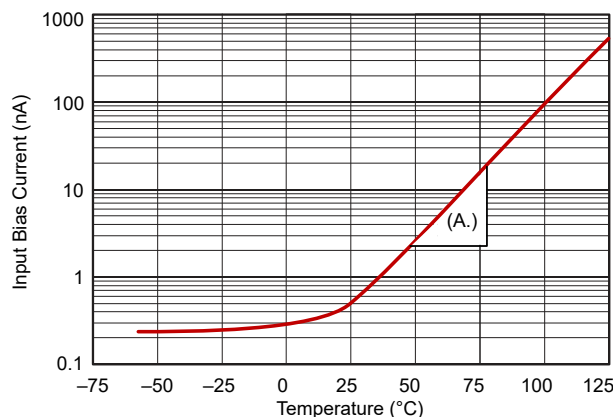
I_B 通常在数据表中在室温和不同的温度范围内指定 (请参阅表 2-1)。数据表中的表通常仅说明温度范围内的最大偏置电流。特性曲线提供了额外的详细信息以帮助理解 I_B 与温度间的关系曲线的形状 (请参阅图 2-7)。在比较双极器件与 CMOS/JFET 器件时, 该关系非常不同。由于 CMOS 和 JFET 器件中的 I_B 主要来自输入 ESD 二极管的泄电流, 因此 I_B 温漂是漏电流随温度的变化。一般而言, 温度每升高 10°C , 硅二极管漏电流都会加倍。因此, 在室温下, CMOS 器件的 I_B 通常处于很低的皮安级别, 而在高温下, I_B 可以增加至纳安级别 (请参阅图 2-7)。

对于双极器件, I_B 与温度间的关系更为复杂。这取决于输入级的整体偏置温度系数以及电流增益与温度间的关系。因此, 一些双极器件的输入偏置电流在温度范围内保持恒定 (在零 TC 偏置中), 一些器件在 PTAT (与绝对温度成正比) 偏置中随温度升高而增大, 而其他器件在 CTAT (与绝对温度互补) 偏置中随温度升高而减小。这些偏置方案的温度系数主要在 85°C 以下有效。在 85°C 以上, 由于输入晶体管的 β 值减小, 双极器件的输入偏置电流通常会增加 3 倍至 5 倍。在 CMOS 或 JFET 器件中, 由于温度每升高 10°C , ESD 二极管漏电流都会加倍, 因此在室温至 125°C 之间输入偏置电流通常会增加 1000 倍 (请参阅图 2-7)。

图 2-7 比较了 CMOS 器件与双极器件在温度范围内的 I_B , 如图 2-8 所示。CMOS 图的纵轴为对数, I_B 在整个温度范围内从约 200fA 增加至 500pA (增加了 2,500 倍)。相反, 双极放大器偏置电流在 85°C 时略微增加 2 倍或 3 倍。尽管 CMOS 器件电流的增加系数比双极器件高得多, 但双极器件中 I_B 的绝对幅度更大。在示例曲线中, 您可以看到双极器件在 125°C 处的 I_B 大于 3nA , 而 CMOS 器件在 125°C 处的 I_B 为 0.5nA 。因此, 在高温下, 示例 CMOS 器件的偏置电流比双极器件更低。这里的关键点是, 在对 CMOS 器件上的 I_B 执行误差分析时, 务必考虑应用的工作温度范围。

表 2-1. OPA392 的偏置电流与温度间的关系

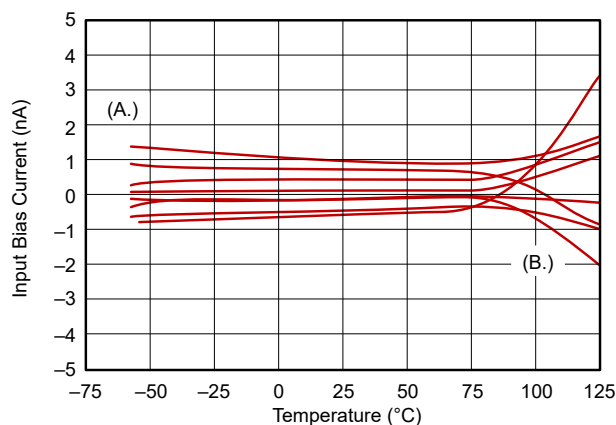
参数	测试条件	最小值	典型值	最大值	单位
I_B	输入偏置电流	$T_A = 25^{\circ}\text{C}$	± 0.01	± 0.8	pA
		$T_A = -40^{\circ}\text{C}$ 至 125°C		± 30	
I_{OS}	输入失调电流	$T_A = 25^{\circ}\text{C}$	± 0.01	± 0.8	pA
		$T_A = -40^{\circ}\text{C}$ 至 125°C		± 30	



OPA350

A. 温度每升高 10°C , I_B 都会加倍。

图 2-7. CMOS 输入偏置电流与温度间的关系



OPA277

A. 曲线表示典型的量产器件。

B. I_B 在高温下增加 2 倍或 3 倍。

图 2-8. 双极输入偏置电流与温度间的关系

2.2 根据 I_B 推导 V_{OS}

图 2-9 展示了运算放大器的偏置电流模型。利用叠加原理可以分别确定每个偏置电流源的失调漂移，然后对结果进行合并。在叠加中，一次只考虑一个源，未使用的电流源会替换为开路，而未使用的电压源会替换为短路。图 2-10 所示的叠加图用于计算因 I_{BN} 而产生的输出失调电压。在理想放大器中，反相和同相输入端子之间存在虚拟短路。由于同相输入接地，因此反相输入为虚拟接地，且 R_G 上的电压为 $0V$ 。所以，没有电流流过 R_G ，这样所有偏置电流都流过 R_F 。输出失调电压为 $I_{BN}R_F$ (请参阅方程式 27)。通过使用幅度除以运算放大器闭环增益，可让此失调电压以输入为基准。简化此公式可得到方程式 28。因此，从 I_{BN} 产生的以输入为基准的失调电压等于偏置电流乘以 R_F 与 R_G 的并联组合。

$$V_{IBN_RTO} = I_{BN}R_F \quad (27)$$

$$V_{IBN} = \frac{V_{IBN_RTO}}{G} = \frac{I_{BN}R_F}{R_F/R_G + 1} = I_{BN} \left(\frac{R_F R_G}{R_F + R_G} \right) = I_{BN}(R_F || R_G) \quad (28)$$

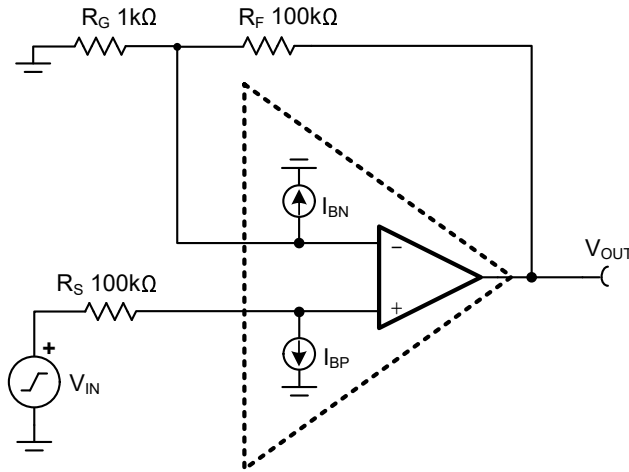


图 2-9. 运算放大器的偏置电流模型

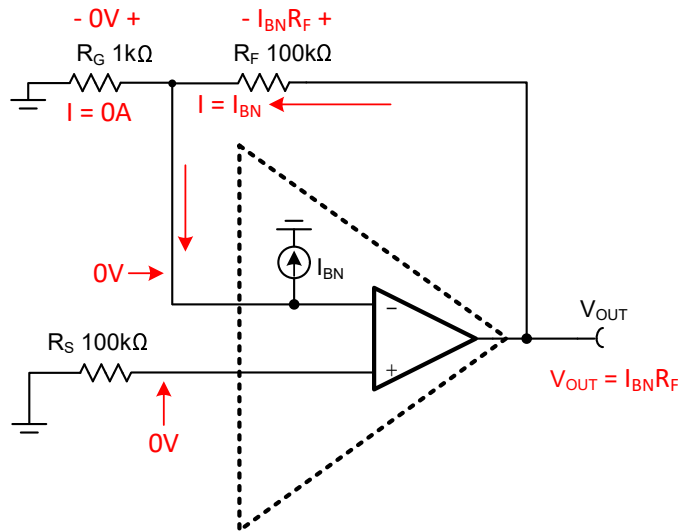


图 2-10. 用于叠加计算的因 I_{BN} 而产生的失调电压

图 2-11 所示的叠加图用于计算因 I_{BP} 而产生的输出失调电压。在这种情况下，失调电压计算就是偏置电流乘以源阻抗，即 $V_{IBP} = -I_{BP}R_S$ 。请注意，当反相和同相输入的偏置电流沿相同方向流动时，反相和同相输入产生的失调电压具有相反极性。在 $I_{BN} = I_{BP}$ 且两个电流沿相同方向流动的情况下，可以平衡反馈网络阻抗和源阻抗来消除偏置电流的影响， $R_S = (R_F \parallel R_G)$ 。但是，通常情况下，两个 CMOS 输入偏置电流和斩波器瞬态不相等，因此平衡其阻抗可能无法大幅改善偏置电流产生的失调电压误差，实际上可能会使误差更糟。节 4 更详细地介绍了该主题。

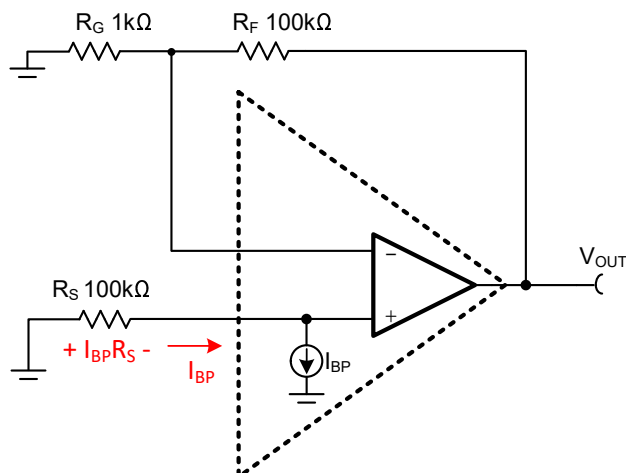


图 2-11. 用于叠加计算的因 I_{BP} 而产生的失调电压

2.3 内部偏置电流消除

运算放大器输入引脚连接到差分输入对中晶体管的基极。双极晶体管是电流控制器件，因此需要使用基极电流来适当地偏置输入级（请参阅节 2.1）。输入级集电极电流偏置的选择取决于运算放大器的带宽、噪声和压摆率要求。输入晶体管的基极电流将是集电极电流除以晶体管的电流增益 (β)。因此，双极器件的输入偏置电流 I_B 将取决于具体的产品要求和工艺技术。然而，未校正的输入偏置电流的典型范围为数百纳安至几微安。对于某些应用，未校正的偏置电流值会引入较大的误差，而这些误差是不可接受的。为了解决该问题，使用了集成电路设计方法 **偏置电流消除** 以显著降低偏置电流。

输入偏置电流消除方法监测晶体管基极电流，并将大小相等但方向相反的电流加到运算放大器输入端子中以消除基极电流（请参阅图 2-12）。如果消除电路运行良好，则从运算放大器外部看到的输入偏置电流将降至零。但是，消除电流存在容差，因此会存在一些残余偏置电流。通常，输入偏置电流消除产生的改进会使 I_B 降低为原来的一百分之一。图 2-12 展示了从 10nA 降低至大约 1nA 的偏置电流。此外，如果没有偏置电流消除功能，双极器件的偏置电流会始终沿相同方向流动。对于 NPN 器件，基极电流流入基极，而对于 PNP 器件，基极电流流出基极。但是，当使用偏置电流消除功能时，校正后的残余电流可以沿任一方向流动。

使用偏置电流消除功能也会影响输入偏置电流失调 (I_{OS})。通常，对于不使用偏置电流消除功能的器件， I_B 往往远大于 I_{OS} （大约为 10 倍）。这是因为输入晶体管匹配良好。相反，在使用偏置电流消除功能时，消除后的残余 I_B 是误差项，因此两个输入不再良好匹配。因此，对于使用偏置电流消除功能的器件， I_B 的幅度与 I_{OS} 大致相同。当 $I_B \gg I_{OS}$ 时，通过匹配反馈网络阻抗和运算放大器的同相输入，可以降低 I_B 的影响。相反，当 $I_B \cong I_{OS}$ 时，匹配阻抗不再有助于降低 I_B 的影响，实际上可能使误差加倍。

表 2-2 和表 2-3 将不具有 I_B 消除功能的器件与具有 I_B 消除功能的器件进行比较。需要注意的是，使用 I_B 消除时， I_B 的绝对幅度要低得多（-35nA 与 ± 4.5 nA）。此外，请注意，如果不具有 I_B 消除功能，则 $I_B \gg I_{OS}$ ，但如果具有消除功能，则 $I_B \cong I_{OS}$ 。最后，请注意，如果不具有 I_B 消除功能，则 I_B 的极性沿一个方向，而如果具有 I_B 消除功能，则其极性沿两个方向（-35nA 与 ± 4.5 nA）。不具有 I_B 消除功能时 I_B 的负极性表示 PNP 输入结构。

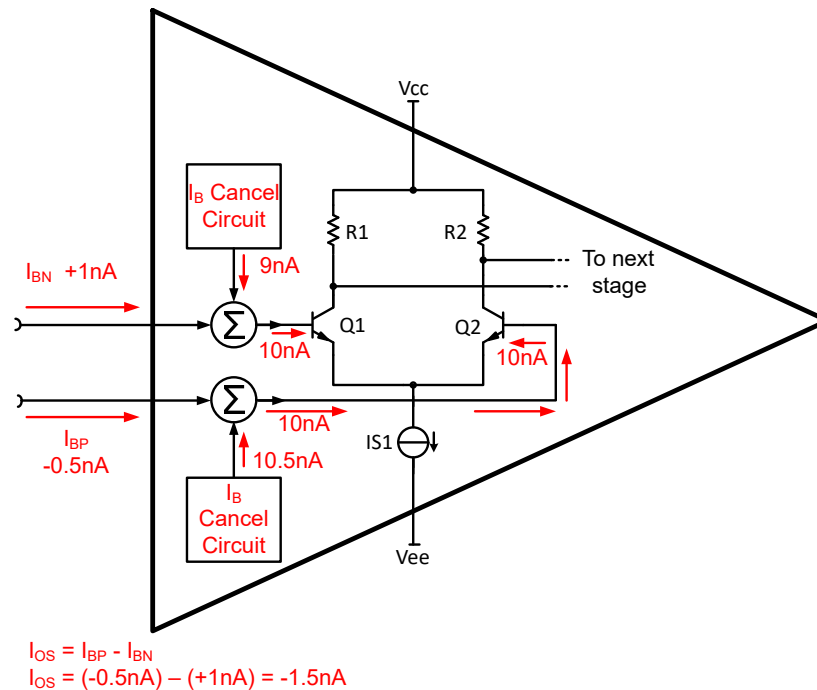


图 2-12. 内部偏置电流消除

表 2-2. 不具有偏置电流消除功能的器件 (LM358B) 的 I_B 和 I_{OS}

参数	测试条件	最小值	典型值	最大值	单位
LM358B 输入偏置电流					

表 2-2. 不具有偏置电流消除功能的器件 (LM358B) 的 I_B 和 I_{OS} (续)

参数	测试条件	最小值	典型值	最大值	单位
I_B	输入偏置电流		-10	-35	nA
		$T_A = -40^\circ\text{C}$ 至 85°C		-60	
I_{OS}	输入失调电流		± 0.5	± 4	nA
		$T_A = -40^\circ\text{C}$ 至 85°C		± 5	

表 2-3. 具有偏置电流消除功能的器件 (OPA209) 的 I_B 和 I_{OS}

参数	测试条件	最小值	典型值	最大值	单位
OPA209 输入偏置电流					
I_B	输入偏置电流	$V_{CM} = 0V$	$T_A = 25^\circ\text{C}$	± 1	nA
			$T_A = -40^\circ\text{C}$ 至 125°C	± 15	
I_{OS}	输入失调电流	$V_{CM} = 0V$	$T_A = 25^\circ\text{C}$	± 0.7	nA
			$T_A = -40^\circ\text{C}$ 至 125°C	± 15	

2.4 超 β 输入晶体管

双极晶体管电流增益 (β) 是集电极电流与基极电流之比 ($\beta = I_C/I_B$)。用于运算放大器 IC 设计的典型双极晶体管的 β 为 50 至 150A/A。超 β 晶体管需要进行额外的处理才能使 β 超过 1,000A/A。由于超 β 晶体管具有高电流增益，因此实现目标集电极电流所需的基极电流可能远低于传统的双极晶体管。差分输入对的集电极电流决定了带宽、压摆率、噪声和其他参数。因此，与同类传统双极运算放大器相比，采用超 β 晶体管的双极运算放大器具有更低的基极电流。较低的 I_B 不仅可以降低 I_B 转换为输入失调电压所导致的误差，而且还可以改善输入偏置电流噪声 ($i_n = \sqrt{2qI_B}$)。超 β 技术还可以与输入偏置电流消除功能配合使用，以进一步降低 I_B 。图 2-13 比较了具有和不具有 I_B 消除功能的双极晶体管的基极电流与具有 I_B 消除功能的超 β 晶体管的基极电流。超 β 和偏置电流消除功能相结合，可将 I_B 减小为传统放大器的 1/100。超 β 输入放大器：特性和优势提供了有关该技术的更多详细信息。

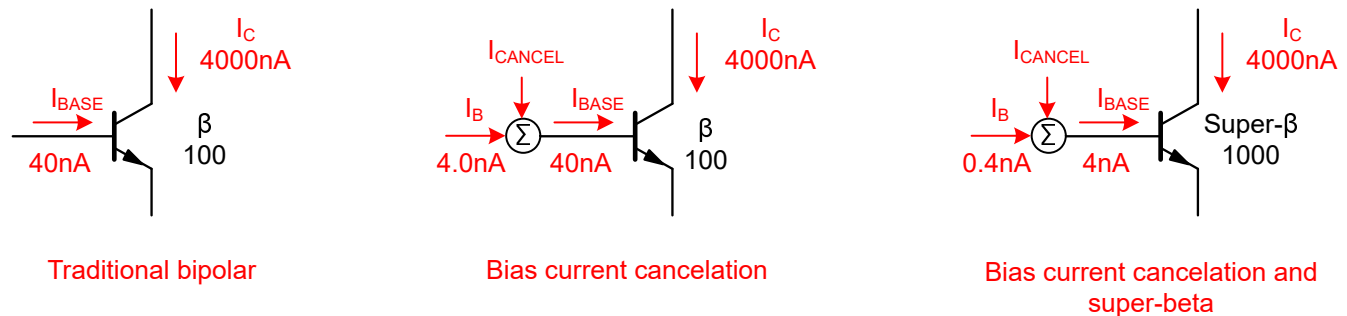


图 2-13. 超 β 与传统方法的比较

3 影响失调电压的其他因素

本节介绍可能导致 V_{OS} 发生变化的几种不同因素。本节在计算和仿真示例中使用了 OPA210。表 3-1 列出了用于示例的 OPA210 数据表摘录。由于德州仪器 (TI) SPICE 模型使用典型参数，因此计算全部使用典型参数以便于比较。

表 3-1. OPA210 数据表中的电气规格

参数	测试条件	最小值	典型值	最大值	单位
V_{OS}	输入失调电压		± 5	± 35	μV
A_{OL}	开环电压增益	$R_L = 10k\Omega$, $T_A = 25^\circ C$	126	132	dB
		$R_L = 10k\Omega$, $T_A = -40^\circ C$ 至 $125^\circ C$	120		dB
		$R_L = 600\Omega$, $T_A = 25^\circ C$	114	120	dB
		$R_L = 600\Omega$, $T_A = 25^\circ C$ 至 $125^\circ C$	110		dB
CMRR	共模抑制比	$(V^-) + 1.5V < V_{CM} < (V^+) - 1.5V$	132	140	dB
PSRR	V_{OS} 与电源	$V_S = \pm 2.25V$ 至 $\pm 18V$	0.05	0.5	$\mu V/V$

3.1 有限开环增益 (A_{OL})

运算放大器的开环增益 (A_{OL}) 定义为运算放大器输出随差分输入变化的变化。对于理想运算放大器，差分输入被视为零， A_{OL} 为无穷大。但对于实际运算放大器，差分输入是输入失调电压 (V_{OS})，开环增益通常约为 1MV/V 或 120dB。 A_{OL} 的计算公式为 $A_{OL} = \Delta V_{OUT} / \Delta V_{OS}$ 或 $20\log(\Delta V_{OUT} / \Delta V_{OS})$ (以分贝为单位)。重新排列该公式表明 V_{OS} 会随着输出信号的变化而变化，其关系为 $\Delta V_{OS} = \Delta V_{OUT} / A_{OL}$ 。图 3-1 展示了一个增益为 -1V/V 的反相放大器，其中输出摆幅为 -12V 至 +12V。由于采用了反相配置，共模电压 (V_{CM}) 保持恒定的 0V。改变共模也会导致失调电压发生变化，因此反相配置有助于说明 A_{OL} 对失调电压的影响，而无需将影响与 V_{cm} 合并。

表 3-1 展示了 OPA210 示例的规格。根据规格，您可以预计典型失调电压为 $\pm 5\mu V$ 。请注意，表顶部列出的测试条件表明这些参数均假设 $V_{CM} = V_{OUT} = 1/2 V_S$ 。然而，输出电压范围为 -12V 至 +12V，共模电压为 0V。因此，输出电压的 24V 变化将导致失调相应发生 6 μV 变化 (请参阅计算 方程式 30 和仿真 图 3-2)。在仿真中，请注意，当 $V_{OUT} = 0V$ 时， $V_{OS} = 5\mu V$ ，这是根据测试条件预期的结果。

$$A_{OL(lin)} = 10^{(A_{OL(dB)}/20)} = 10^{(132dB/20)} = 3.981 \cdot 10^6 \text{ V/V} \quad (29)$$

$$\Delta V_{OS} = \frac{\Delta V_{OUT}}{A_{OL(lin)}} = \frac{24 \text{ V}}{3.981 \cdot 10^6 \text{ V/V}} = 6.0 \mu\text{V} \quad (30)$$

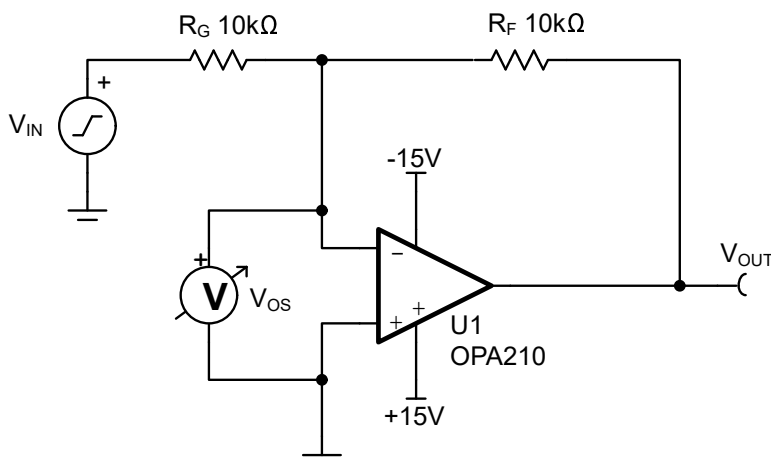


图 3-1. 反相 OPA210 配置上因有限 A_{OL} 而导致的 V_{OS} 变化

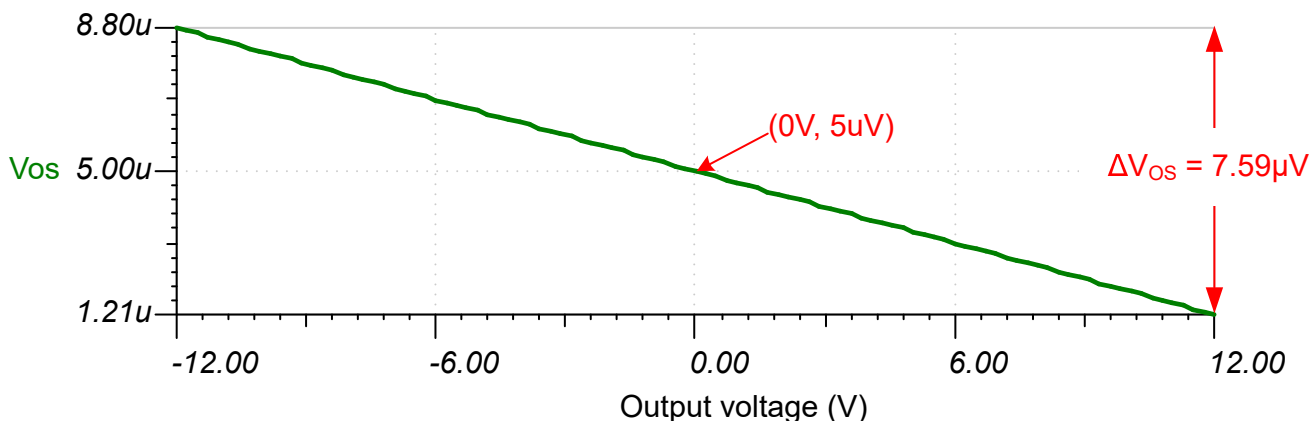


图 3-2. 反相 OPA210 电路的仿真 V_{OS} 和输出摆幅

3.2 共模抑制比 (CMRR)

运算放大器的共模抑制比 (CMRR) 定义为 V_{OS} 变化与运算放大器共模电压变化之间的关系。对于理想运算放大器，共模信号不影响 V_{OS} (即 CMRR 为无穷大)。然而，对于实际运算放大器，CMRR 的范围为 60dB 至 170dB。CMRR 的计算公式为 $CMRR = \Delta V_{CM} / \Delta V_{OS}$ 或 $20\log(\Delta V_{CM} / \Delta V_{OS})$ (以分贝为单位)。

图 3-3 展示了增益为 1V/V 的差分放大器，其中输入连接在一起以强制差分输入电压为零。电压源 (V_{IN}) 从 -24V 摆动至 +24V，这使共模电压 (V_{CM}) 从 -12V 摆动至 +12V。由于差分输入为 0V ($1/2 V_S$)，输出保持为接近零伏。有限的 A_{OL} 不影响失调电压 (请参阅节 3.1)。因此，影响失调电压变化的主要因素是共模电压的变化。

表 3-1 展示了 OPA210 示例的规格。根据规格，您可以预计典型失调电压为 $\pm 5\mu V$ 。请注意，表顶部列出的测试条件表明这些参数均假设 $V_{CM} = V_{OUT} = 1/2 V_S$ 。然而，共模电压范围为 -12V 至 +12V，输出电压为 0V。针对 V_{CM} 电压 24V 变化的计算表明，失调电压相应发生 $2.4\mu V$ 变化 (请参阅计算 方程式 31)。在该示例中，仿真的失调电压变化 $3.85\mu V$ (CMRR = 136dB) 与计算的变化 $2.4\mu V$ (CMRR = 140dB) 相比效果良好。在仿真中，请注意，当 $V_{CM} = 0V$ 时， $V_{OS} = 5\mu V$ ，这是您根据测试条件预期的结果。

$$\Delta V_{OS} = \frac{\Delta V_{CM}}{CMRR_{(lin)}} = \frac{24V}{10^{(140/20)}} = 2.4 \mu V \quad (31)$$

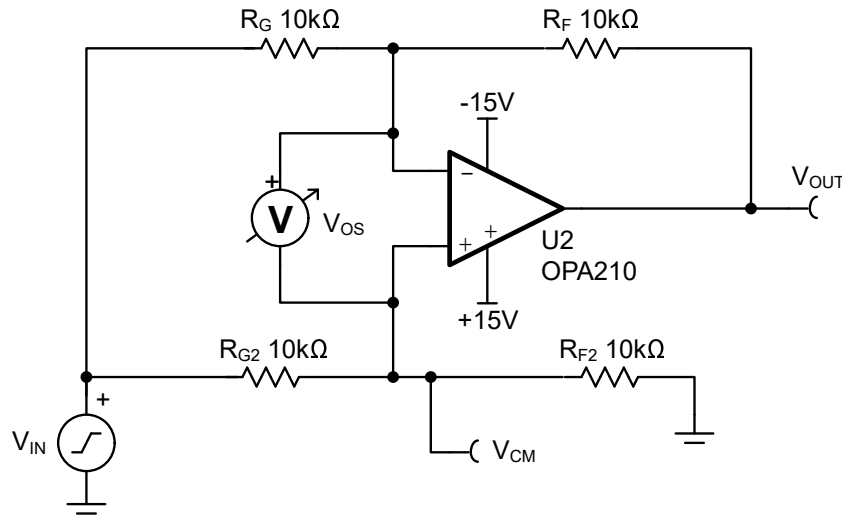


图 3-3. 由于 OPA210 差分放大器配置上的 CMRR 而产生的 V_{OS} 变化

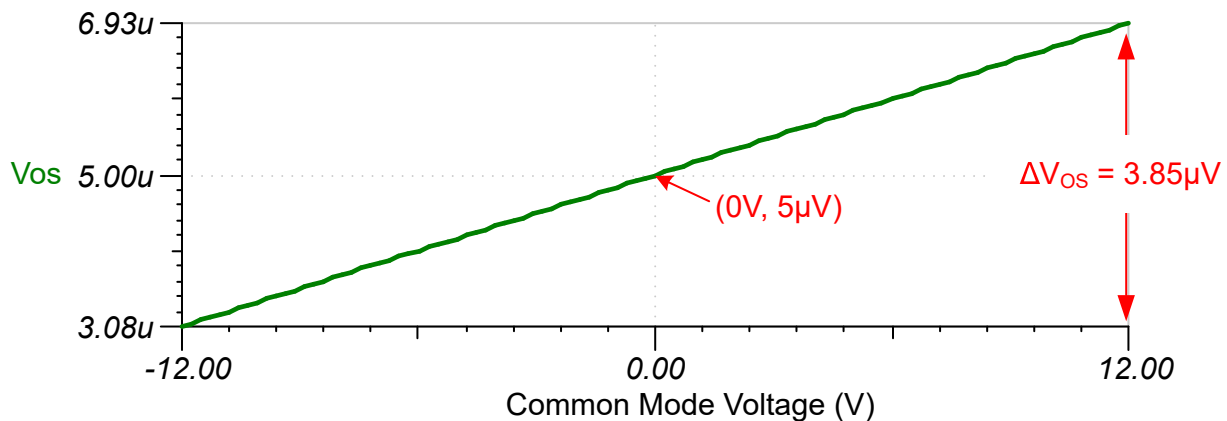


图 3-4. 差分放大器配置的仿真 V_{OS} 和输出摆幅

在许多情况下，开环增益和共模抑制的效果会结合在一起，就像单位增益缓冲器 ($G = 1$ 的跟随器) 的情况一样。从计算角度来看，这两项计算可以分别进行，然后将结果合并。仿真对两种影响都进行了建模，输出反映了器件的典型操作。在该示例中，模型显示由于 A_{OL} 而导致的 V_{OS} 斜率为负，而 V_{OS} 相对于 V_{cm} 的斜率为正。通常，

V_{OS} 相对于 V_{CM} 的斜率可以为正，也可以为负，但由于 A_{OL} 而导致的 V_{OS} 始终具有负斜率。因此，在该示例中，这两种影响是相互减去的。

$$\Delta V_{OS(\text{total calculated})} = \frac{\Delta V_{CM}}{CMRR(\text{lin})} - \frac{\Delta V_{OUT}}{A_{OL}(\text{lin})} = \frac{24V}{10^{(140/20)}} - \frac{24V}{10^{(132/20)}} = -3.63\mu V \quad (32)$$

$$\Delta V_{OS(\text{total simulated})} = \Delta V_{OS(CMRR)} - \Delta V_{OS(AOL)} = 3.85\mu V - 7.59\mu V = -3.74\mu V \quad (33)$$

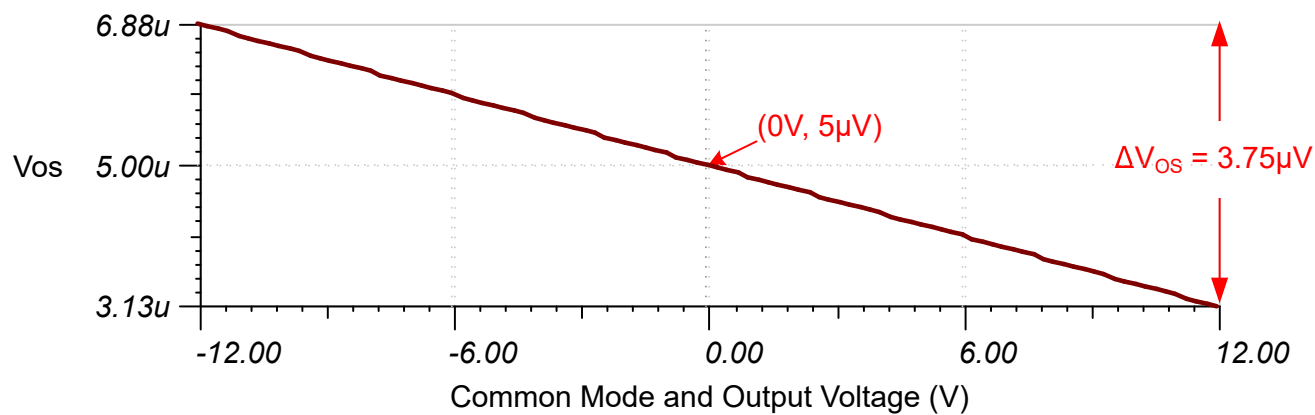


图 3-5. A_{OL} 和 V_{CM} 对 V_{OS} 的综合影响

3.3 电源抑制比 (PSRR)

运算放大器的电源抑制比 (PSRR) 定义为 V_{OS} 变化与运算放大器电源电压变化之间的关系。对于理想运算放大器, 电源电压不影响 V_{OS} (即 PSRR 为无穷大)。然而, 对于实际的运算放大器, PSRR 范围为 60dB 至 166dB (1000 μ V/V 至 0.005 μ V/V)。PSRR 的计算公式为 $PSRR = \Delta V_{OS} / \Delta V_S$ 或 $20\log(\Delta V_{OS} / \Delta V_S)$ (以分贝为单位)。图 3-6 展示了增益为 1V/V 的缓冲放大器, 其中同相输入接地。正负电源的变化大小相等, 以便保持 0V 的共模电压。由于 $V_{CM} = 0V$ 且 $V_{OUT} = 0V$, 因此 CMRR 和 A_{OL} 不会改变失调电压, 所以电源抑制是改变失调电压的唯一因素。

表 3-1 展示了 OPA210 示例的规格。根据规格, 您可以预计典型失调电压为 $\pm 5\mu V$ 。请注意, 表顶部列出的测试条件表明这些参数均假设 $V_S = \pm 15V$ 且 $V_{CM} = V_{OUT} = 1/2 V_S$ 。在这种情况下, V_{CM} 和 V_{OUT} 处于 $1/2 V_S$ ($V_{CM} = V_{OUT} = 0V$), 但电源电压从 $\pm 15V$ 变为 $\pm 10V$ 。 V_S 电压的 10V 变化会导致失调电压发生相应的 0.5 μV 变化 (请参阅计算方程式 34 和仿真图 3-6)。

$$\Delta V_{OS} = \frac{\Delta V_S}{PSRR(\text{lin})} = \frac{10V}{10^{(146/20)}} = 0.5 \mu V \quad (34)$$

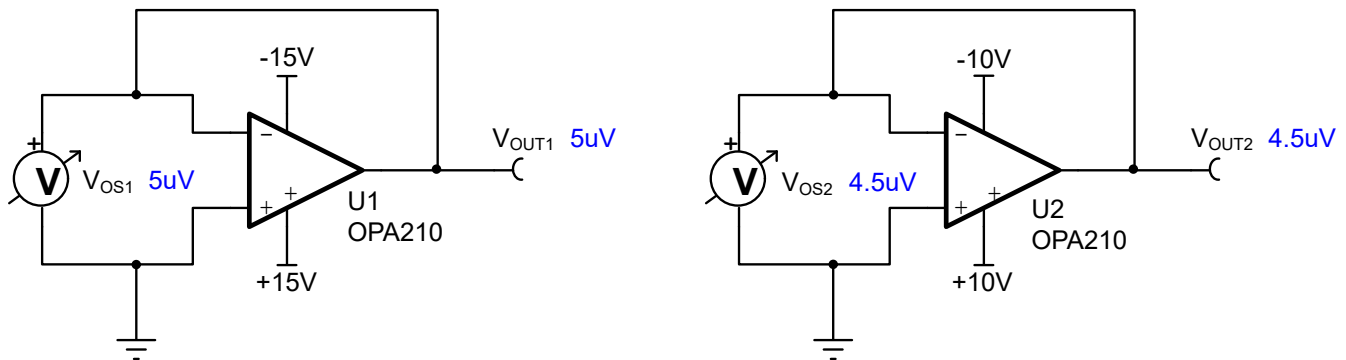


图 3-6. 由于 OPA210 差分放大器配置上的 PSRR 而产生的 V_{OS} 变化

由于共模抑制和电源抑制, 电源电压的非对称变化会导致 V_{OS} 发生变化。请记住, 规格表顶部的测试条件规定 $V_{CM} = V_{OUT} = 1/2 V_S$ 。对于 $\pm 15V$ 电源, $1/2 V_S$ 为 0V, 因此 $V_{CM} = 0V$ 符合测试条件。当电源发生非对称变化时, 共模电压会相对于测试条件发生变化。例如, 如果电源电压从 (+15V、-15V) 变为 (+15V、-5V), 则 $1/2 V_S$ 值从 0V 变为 5V。这实际上是共模和 V_{OUT} 的 5V 变化以及电源的 10V 变化, 因此必须考虑 PSRR、 A_{OL} 和 CMRR。相反, 如果电源电压从 (+15V、-15V) 变为 (+10V、-10V), 则两种情况下的 $1/2 V_S$ 均为 0V, 只有 PSRR 影响 V_{OS} 。

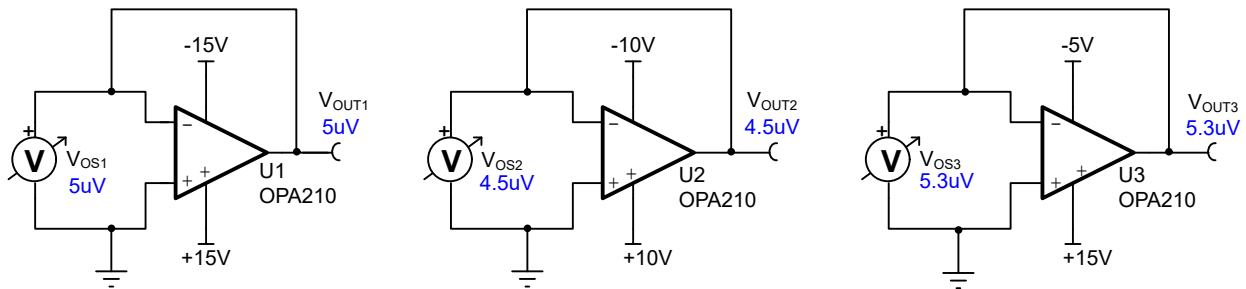


图 3-7. 电源不对称时 PSRR 和 CMRR 引起的 V_{OS} 变化

3.4 A_{OL} 、 $CMRR$ 和 $PSRR$ 随频率的变化

开环增益、共模抑制比和电源抑制比均随频率的增大而降低。通常，该频率响应是一阶响应。也就是说，低频时的响应是平坦的，然后开始以 20dB/十倍频程的速率滚降。这种随频率变化的滚降意味着这些参数引入的失调电压在较高频率下会增大。此外，这些带宽限制是小信号响应。小信号通常意味着信号需要低于 10mV，但具体要求可能因设计或技术而异。对于较大的信号，由于放大器的压摆率限制，响应可能与指定的小信号响应不同。这些压摆率限制有时称为全功率带宽限制。

图 3-8 是在正电源上添加交流信号的仿真示例。该电路情况对放大器电源上的噪声信号进行仿真。交流信号会使电源随频率发生变化，因此将测试 $PSRR$ 。但是，由于电源变化是非对称的，因此也将使用 $CMRR$ 限制。最后，由于输出信号不保持恒定， A_{OL} 限制也会影响结果。除了显示 A_{OL} 、 $CMRR$ 和 $PSRR$ 如何随频率变化之外，该仿真还说明了如何使用仿真来解决具有多种相互作用的因素的复杂问题。图 3-9 将数据表中的 $PSRR$ 曲线与图 3-8 的 $PSRR$ 仿真进行了比较。

一般而言， A_{OL} 、 $CMRR$ 和 $PSRR$ 曲线等波德图适用于正弦信号。通常，施加到电源的噪声信号不是正弦信号。要理解抑制曲线在非正弦曲线上如何发挥作用，使用傅立叶定理会很有帮助。该定理指出，任何非正弦信号都可以由一系列正弦信号构成。例如，一个 100kHz 的方波由 100kHz、300kHz、500kHz 和其他 100kHz 奇数倍的正弦波组成。方波频率的各种倍数称为谐波。所有正弦分量都可以应用于波德图，以查看每个分量受到的影响。 $SPICE$ 仿真会自动完成这项工作，但考虑仿真器背后的数学计算很有用，因为对非正弦信号的响应在其他方面可能不直观。

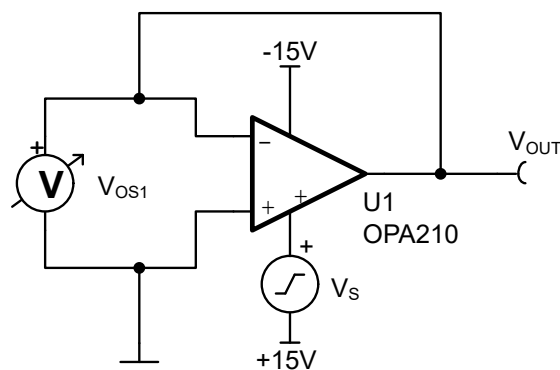


图 3-8. 正电源上有噪声信号的 OPA210

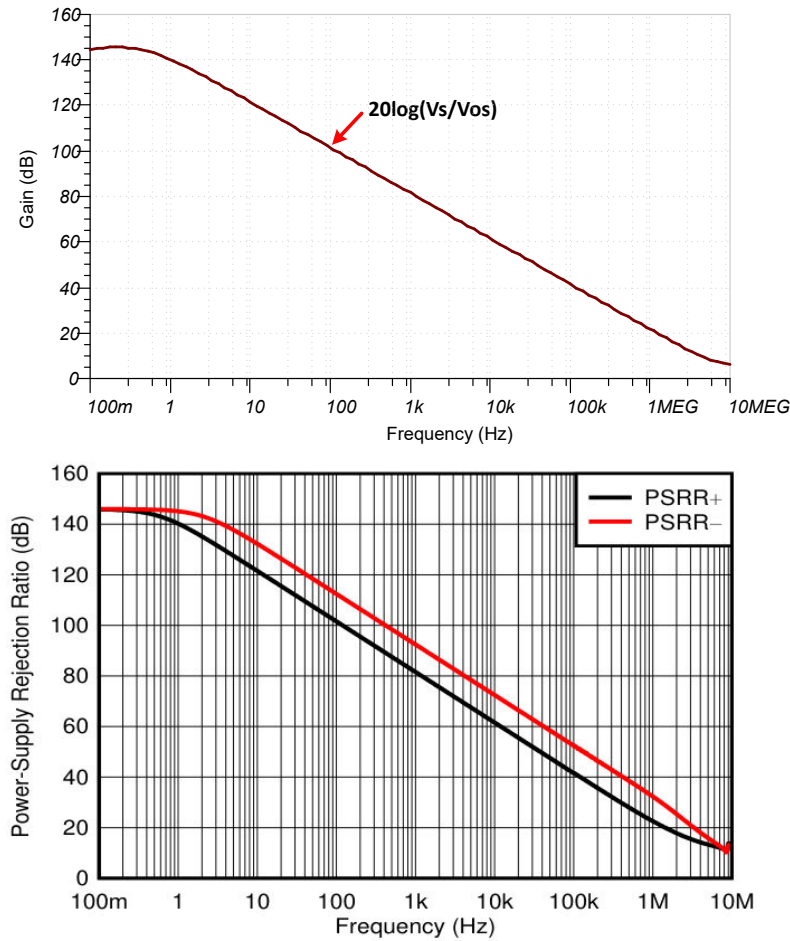


图 3-9. V_{OS} 与电源上噪声信号频率间的关系

3.5 电磁干扰抑制比 (EMIRR)

电磁干扰抑制比 (EMIRR) 用于衡量运算放大器带宽之外的高频信号对 V_{OS} 的影响。具体而言, EMIRR 测试直接耦合频率范围为 10MHz 至 10GHz 的正弦波形并查看 V_{OS} 的变化。直流参数 (例如失调电压) 受到放大器带宽之外的信号的影响似乎很不寻常。然而, 该高频交流输入信号通过内部二极管进行整流, 并从高频交流信号转换为放大器的直流运行变化 (V_{OS})。该测试可被视为传导抗扰度测试。有关如何测试 EMIRR 的详细信息, 请参阅[运算放大器的 EMI 抑制比](#)。

图 3-10 展示了 OPA206 的 EMIRR 图。举个例子, 假设一个 40mVpk、100MHz 的噪声信号被施加到放大器的同相输入端。可以使用[方程式 35](#) 计算出 V_{OS} 的变化为 90 μ V。

$$\Delta V_{OS} = \left(\frac{(V_{RF_PEAK})^2}{100mVpk} \right) 10^{(-EMIRR/20)} = \left(\frac{(40mVpk)^2}{100mVpk} \right) 10^{(-45dB/20)} = 90\mu V \quad (35)$$

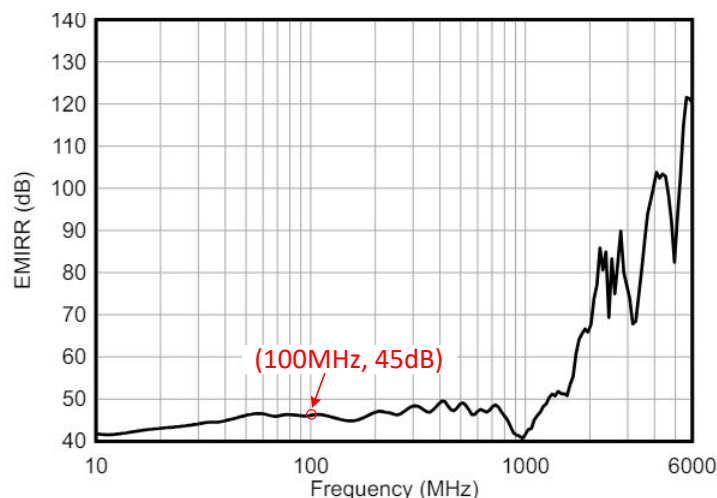


图 3-10. OPA206 的 EMIRR 与频率间的关系

3.6 机械应力引起的失调电压变化

由于对内部元件施加的压缩或张力，对集成电路施加的微小机械应力会导致运行发生细微变化。这种应力可能来自安装 IC 的印刷电路板的弯曲，甚至来自焊接工艺。对于运算放大器，机械应力通常与 V_{OS} 的微小变化有关。失调电压变化的幅度取决于施加到器件的机械应力大小以及器件对应力的敏感性。可以使用精心的布局方法来改善内部运算放大器设计对应力的敏感性，其中最敏感的内部输入晶体管以对称的相互交错模式布置在远离芯片边缘的地方。这种对称布局方法通过保持两个输入晶体管上的 V_{BE} 变化相等来更大限度地减小失调电压变化 ($V_{OS} = V_{BE1} - V_{BE2} \cong \text{常量}$)。

将运算放大器焊接到印刷电路板的过程也可能会引入高达 $100\mu V$ 的变化。然而，焊接过程中引入的应力会随着时间的推移而减弱，器件的失调电压最终会恢复到接近焊接前的值（例如 $\Delta V_{OS} < 10\mu V$ ）。但是，在室温下，该过程可能需要几周的时间。加快应力弛豫过程的一种方法是在清洁电路板后在高温（ $100^\circ C$ 或更高）下烘烤印刷电路板。烘烤会软化 IC 封装的刚度，从而显著缩短释放应力所需的时间。

除了焊料回流引入的应力外，大多数器件会随着时间的推移而发生参数变化，这称为长期变化。这些变化在最初运行的 1000 小时内比器件使用寿命的后期更大。因此，清洗后烘烤过程通过固化器件的模塑料来减小初始变化，从而更大限度地降低初始更显著的影响。长期变化和焊接相关应力影响对于仪表放大器的电压基准精度和增益精度也很重要。[电压基准的长期漂移](#)介绍了长期变化的背景知识以及可更大限度地减轻该问题的烘烤方法。

印刷电路板的弯曲也可能会导致失调电压变化。因此，PCB 厚度、安装硬件和由连接器张力引入的应力都可能会导致失调电压性能发生变化。因此，机械设计、外壳和连接都可能会对电气性能产生一定影响。

3.7 寄生热电偶

只要两个不同的金属连接在一起，就会形成热电偶。热电偶会产生与温度成正比的较小直流电压。寄生热电偶是两种不同金属的意外连接点，可能会引入误差。印刷电路板包含数百个寄生热电偶。例如，表面贴装电阻器通常具有镀锡镍末端电容器。该末端电容器焊接在铜引线上。带有镍锡末端电容器的铜连接点形成了一个热电偶。在该简单的元件中，末端电容器与薄膜电阻器接触的地方可能还存在其他热电偶（请参阅图 3-11）。大多数 PCB 设计都具有几百甚至几千个类似的元件。对于精密直流电路而言，数百个寄生热电偶的存在似乎是一个严重的精度问题，但这通常不是一个重大问题，因为当 PCB 温度均匀时，热电偶电压会相互抵消。因此，寄生热电偶效应只在 PCB 上具有温度梯度的精密直流系统中才是需要考虑的问题。这种梯度可能是由于 PCB 局部区域的高功率耗散或邻近热源未均匀施加到 PCB 所致。

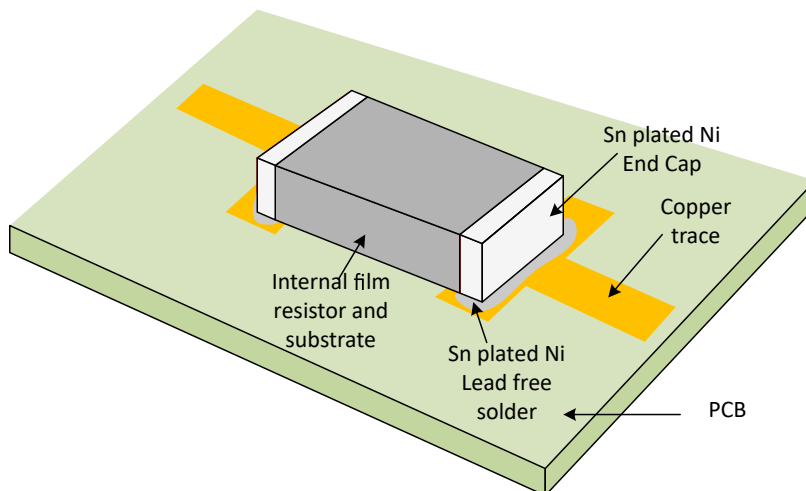


图 3-11. 显示了不同金属连接点的电阻器上的机械连接

图 3-12 和图 3-13 展示了一个具有垂直和水平温度梯度的水平建模电阻器。对于垂直温度梯度，各个寄生热电偶处于相同的温度，因此连接点电压相互抵消 ($V_{\text{error}} = 0V$)。相反，在水平温度梯度下，两个连接点不再处于同一温度，因此误差不会完全抵消 ($V_{\text{error}} = 20\mu V$)。

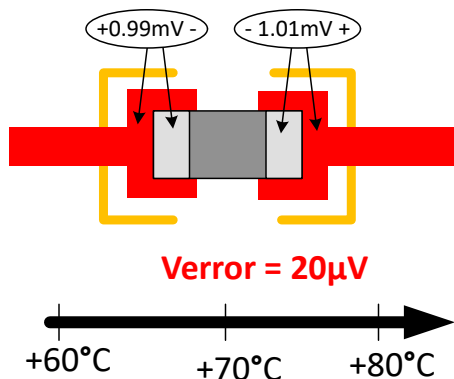


图 3-12. 具有垂直温度梯度的水平安装电阻器

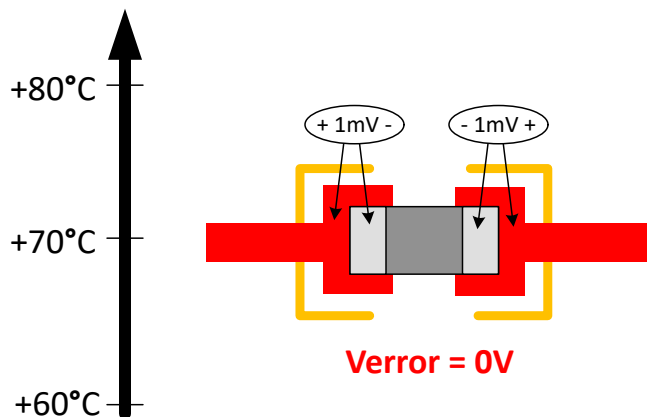


图 3-13. 具有水平温度梯度的垂直安装电阻器

图 3-14 和图 3-15 展示了低热电动势电阻器布局。该布局可用于具有较大温度梯度的精密直流应用，以最大限度地减小寄生热电偶效应。该双电阻器串联布局可以替代图 3-12 和图 3-15 中显示的单个电阻器。图 3-14 显示，在垂直温度梯度下，两个电阻器各自产生相等的误差电压，但两个误差电压相互抵消 ($V_{\text{error}} = +10\mu\text{V} - 10\mu\text{V} = 0\text{V}$)。图 3-15 显示，在水平温度梯度下，两个电阻器的温度各不相同，但每个电阻器的温度都是恒定的。也就是说，左侧电阻器的温度约为 65°C ，右侧电阻器的温度约为 75°C 。此处的重点是，每个电阻器的温度是均匀的，因此该电阻器上的各个热电偶会相互抵消，净误差为 0V 。

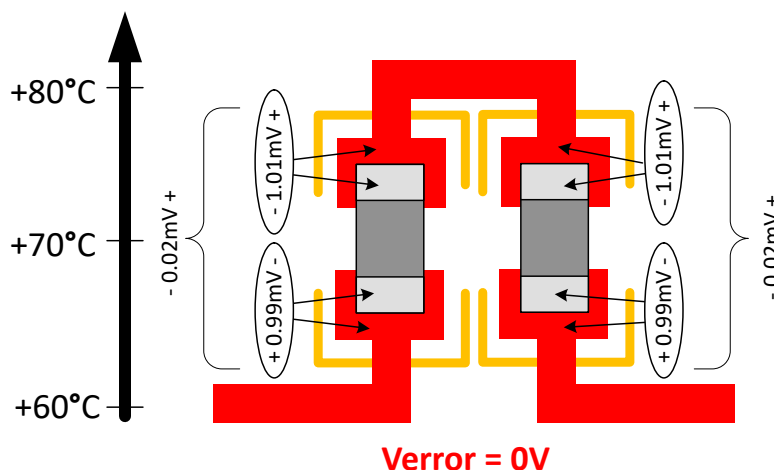


图 3-14. 具有垂直温度梯度的双电阻器低热电动势布局

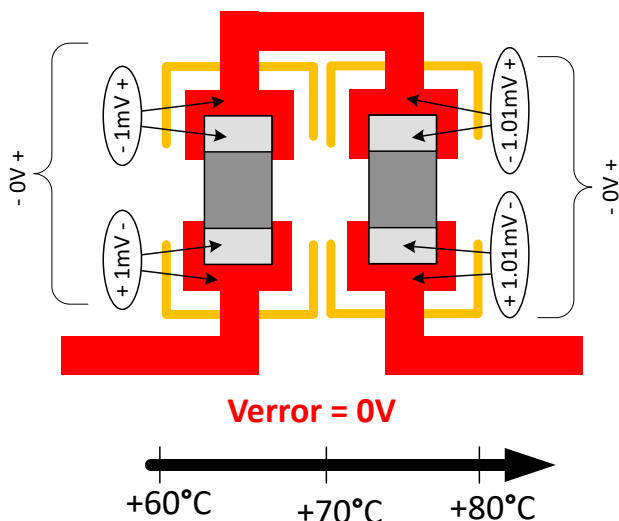


图 3-15. 具有水平温度梯度的双电阻器低热电动势布局

3.8 焊剂残留物和清洁度

焊剂是一种化学物质，它通过清除表面的氧化物来帮助形成良好的焊接连接，并增强焊料连接的流动性。完成焊接过程后，正确清洁 PCB 表面以去除残留焊剂非常重要。残留焊剂具有高阻抗，该阻抗会随时间、湿度和温度而变化。在涉及高阻抗电路的应用中，焊剂残留物最容易出现的问题。例如，低功耗运算放大器可以使用 $100\text{k}\Omega$ 或更大的反馈电阻器来最大限度地降低功耗。在这种情况下，焊剂残留物会在反馈网络上形成寄生路径，从而引入增益误差。该误差对于阻值较大的反馈电阻器更为显著，因为焊剂阻抗通常较高。不同类型的焊剂需要不同的溶剂和清洁方法，因此为了获得最佳效果，请参考焊剂制造商的建议。例如，通常在 60°C 的超声波水浴中清洗水溶性焊剂。超声波振动有助于震碎焊剂材料。对于带有机械设备（例如继电器）的组件，超声波清洗和浸泡在液体中是不实际的，因为该过程可能会损坏机械部件。如果液体浸泡不切实际，可以使用喷雾式清洁。

图 3-16 展示了有未清除的焊剂残留物的电路。焊剂残留物看起来像一种类似于糖浆的透明浓稠物质。受焊剂影响的电路是由仪表放大器放大的桥式传感器（请参阅图 3-17）。图 3-18 和图 3-19 展示了不同程度的污染如何随着时间的推移影响放大器反相输入和输出。免清洗结果表明，随着时间的推移，会发生很大的漂移。该漂移受温度和湿度的影响。图表定性表明，焊剂会对性能产生显著影响，并且这种影响对高阻抗电路尤其显著。

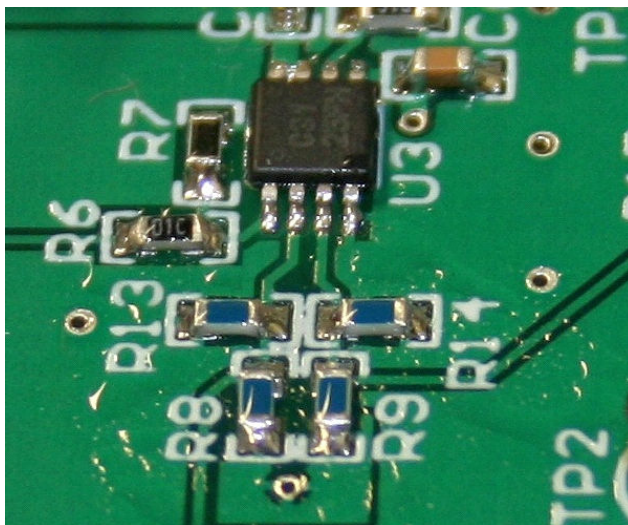


图 3-16. PCB 焊剂残留物

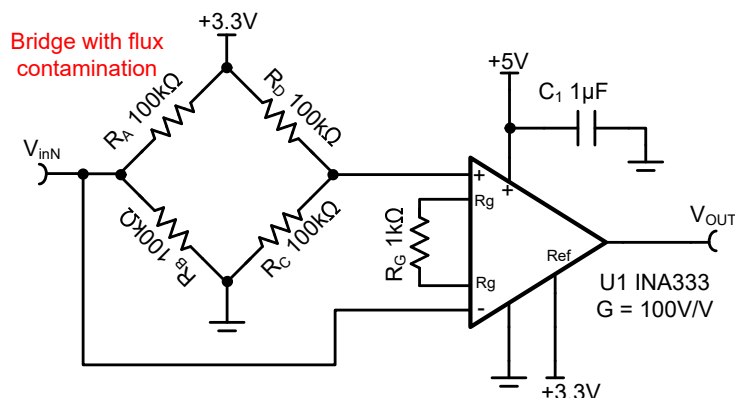


图 3-17. 具有焊剂污染的桥式放大器

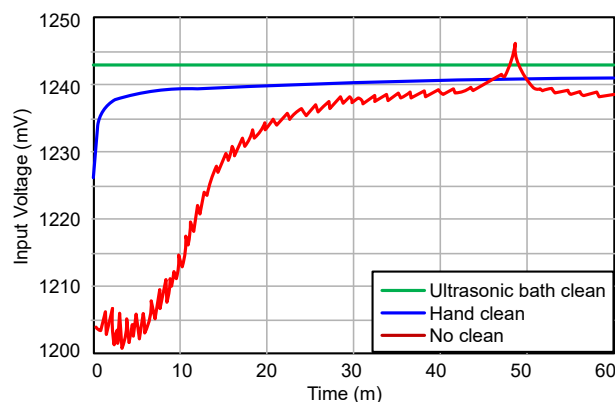


图 3-18. 焊剂对放大器输入的影响

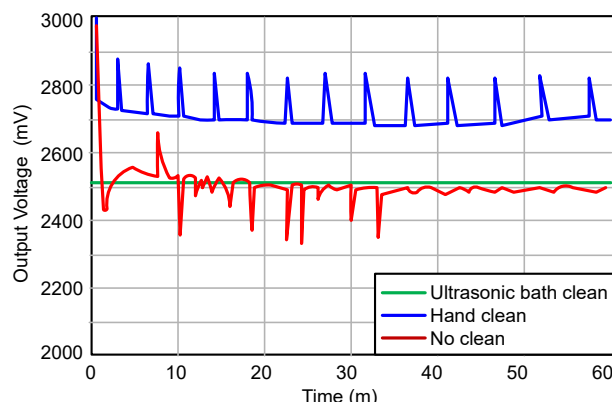


图 3-19. 焊剂对放大器输出的影响

一些阻抗极高的应用需要极其彻底的 PCB 清洁并且具有特殊处理要求。通常，这些非常敏感的应用使用阻抗非常高的传感器，例如 pH 传感器 ($R_S > 100M\Omega$)。这些类型的应用通常需要使用不同的溶剂进行多次清洁。在阻抗超高的应用中，必须避免直接处理 PCB，因为皮肤上的油脂、水分和盐分都可能引入误差。此外，这些应用还可能需要使用 PCB 防护迹线以更大限度地减小漏电流。有关这些偏置电流超低的应用的详细信息，请参阅低漏电流设计系列第 1 部分、第 2 部分和第 3 部分。

4 可更大限度地减小 V_{OS} 和 V_{OS} 漂移的零漂移放大器

零漂移放大器使用内部电路来持续校正 V_{OS} 和 V_{OS} 漂移。斩波和自动置零是用于实现 V_{OS} 校正的两种不同架构，因此术语零漂移、斩波和自动置零通常可以互换使用。内部失调电压校正通常将最大 V_{OS} 降至小于 $10\mu V$ ，将 V_{OS} 漂移降至小于 $0.05\mu V/^\circ C$ 。AOL、PSRR、CMRR 和 EMIRR 等其他参数也会因失调电压的减小而得到改善。零漂移放大器的主要限制是来自开关电荷注入和时钟馈通的输入偏置电流瞬态。当使用大反馈电阻器时，这些可能会转化为额外的 V_{OS} 。此外，该瞬态可能会在零漂移自动校正频率下引入不必要的噪声信号。应用手册[优化斩波放大器精度](#)详细介绍了如何使用零漂移放大器和更大限度地减小 I_B 瞬态引入的误差。

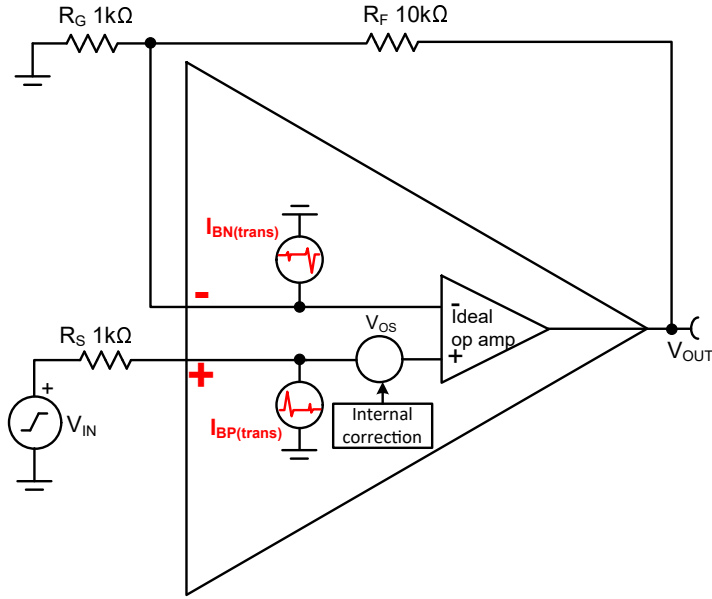


图 4-1. 零漂移放大器 V_{OS} 校正和 I_B 瞬态

5 V_{OS} 、 I_B 和增益误差校准

校准是测量系统以了解误差源并以数学方式校正误差的过程。在许多情况下，微控制器（校准系数存储在本地 EEPROM 中）会执行数学校正。发现的误差对于每个产品通常是唯一的，因此每个产品都需要单独校准。对于放大器，校准可以更大限度地减小失调电压和增益误差。对于放大器，增益误差主要由电阻器容差导致。电阻器的阻值相对于标称值的任何偏差都会引入增益误差。

图 5-1 展示了一个简单的同相运算放大器电路及其相关的直流传输特性。要校准该电路的增益和失调电压，需要在输入端施加两个精密测试信号。通常，完整的系统校准包括误差源、多个放大器级以及模数转换器，但可以使用该简单示例中给出的相同方法。两个校准测试信号需要位于传递函数的线性部分，否则计算得出的增益和失调电压误差将不正确。在该示例中，0V 输入信号不是可接受的校准信号，因为由于 0V 输入信号的输出摆幅限制，放大器是非线性的。该示例使用 0.25V 和 2.25V 的输入信号来实现 0.5V 至 4.5V 的理想输出范围。校准信号必须非常精确且噪声很低，这一点也很重要。在非线性区域进行校准或使用噪声校准信号实际上会引入额外的误差，而不是校正系统固有误差。有关确定放大器线性范围的详细信息，请参阅[运算放大器输入和输出摆幅限制](#)。

方程式 36 展示了线性系统校准中使用的一般直线方程。方程式 37 和方程式 38 展示了增益和失调电压校准系数的计算。增益的理想值为 2.0V/V，但由于电阻器容差，测得的值为 2.00088V/V。此外，理想失调电压应为 0V，但计算出的失调电压为 31.25μV。方程式 39 展示了如何使用校准系数来校正增益和失调电压误差，从而确定更准确的 V_{IN} 值。该方法可用于校正放大器线性范围中的任何信号。该示例的仿真结果表明，当输出为 2.5V 时，输入为 1.2494V。对于 2.5V 输出，1.25V 的电路输入（ $G = 2V/V$ ， $V_{OS} = 0V$ ）是最佳的。校准计算消除了增益和失调电压误差，从而为输入信号确定了更准确的值。

总体而言，校准是更大限度地减小增益和失调电压误差源的有效方法。但是，校准温度漂移以及 PSRR 和 CMRR 等影响都颇具挑战性。通过选择低误差精密放大器和低漂移精密电阻器网络（而不是通过校准），通常可以更大限度地降低温度漂移和其他间接影响。斩波放大器（例如 OPA182）在低微伏级具有最大 V_{OS} （对于 OPA182， $V_{OSMax} = \pm 4\mu V$ ， $V_{OSDrift} = \pm 0.012\mu V/^\circ C$ ）。RES11 等电阻器网络可用于更大限度地减小增益误差和漂移（对于 RES11，增益误差 = $\pm 0.05\%$ ，增益漂移 = $\pm 2ppm/^\circ C$ ）。校准的成本可能很高，因为它会增加最终产品的制造测试时间并且需要精确的校准源。

$$V_{OUT} = G \cdot V_{IN} + V_{Offset} \quad (36)$$

$$G = \frac{V_{OUT2} - V_{OUT1}}{V_{IN2} - V_{IN1}} = \frac{4.502 - 0.50025}{2.25 - 0.25} = 2.00088 \text{ V/V} \quad (37)$$

$$V_{Offset} = V_{OUT1} - G \cdot V_{IN1} = 0.50025 - 2.00088 \cdot 0.25 = 31.25\mu V \quad (38)$$

$$V_{IN} = \frac{V_{OUT} - V_{Offset}}{G} = \frac{2.5V - 31.25\mu V}{2.00088 V/V} = 1.2494V \quad (39)$$

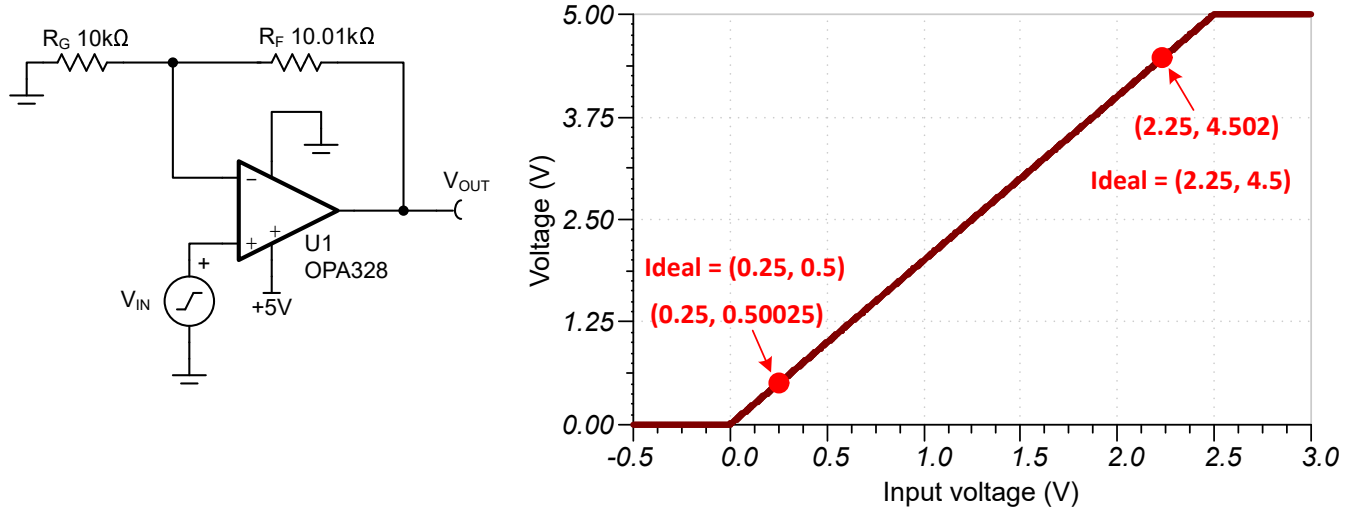


图 5-1. 用于校准的运算放大器直流传输特性

6 参考资料

- Williams, I., “我为何应提供焊剂？”, Precision Hub 博客, 2013 年 9 月, https://e2e.ti.com/blogs_/archives/b/precisionhub/posts/why-should-i-give-a-flux
- "Solder Flux - A Basic Introduce Is Here - NextPCB", www.nextpcb.com,
[Solder Flux - A Basic Introduce Is Here - NextPCB](http://www.nextpcb.com)
- Blake, K., "Op Amp Precision Design: PCB Layout Techniques", 2009, <https://ww1.microchip.com/downloads/en/AppNotes/01258B.pdf>
- Grohe, P., "Design femtoampere circuits with low leakage, part 1", November 2011, <https://www.edn.com/design-femtoampere-circuits-with-low-leakage-part-one/>
- Grohe, P., "Design femtoampere circuits with low leakage, part 2: Component selection", November 2011, <https://www.edn.com/design-femtoampere-circuits-with-low-leakage-part-2-component-selection/>
- Grohe, P., "Design femtoampere circuits with low leakage, part 3: Low-current design techniques", September 2012, <https://www.edn.com/design-femtoampere-circuits-with-low-leakage-part-3-low-current-design-techniques/>

7 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
November 2024	*	初始发行版

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司