

## Application Note

## 使用 TI 可编程逻辑器件 (TPLD) 中的时序分量



Ding-Shin Kuo

## 摘要

系统通常需要范围为数百微秒至几秒的计时器，并且通常在设计时采用多个时序分量和分立式逻辑来实现这一点。TI 可编程逻辑器件 (TPLD) 可配置为在单个器件内生成多个计时器和其他胶合逻辑，从而显著减小整体设计尺寸，缩减 BOM 并缩短产品上市时间。本应用手册将讨论如何使用 TPLD 内的振荡器和计数器/延迟发生器宏单元生成各种计时器以及可实现的结果。

## 内容

1 引言.....	2
2 配置 TPLD 中的振荡器.....	2
3 在 InterConnect Studio (ICS) 中配置时序宏单元.....	2
4 同步信号示例.....	4
5 总结.....	6
6 参考资料.....	6

## 插图清单

图 2-1. 振荡器宏单元方框图.....	2
图 3-1. InterConnect Studio (ICS) 中的时序分量配置.....	3
图 3-2. ICS 仿真输出.....	4
图 3-3. TPLD1201 输出的逻辑分析仪捕获结果.....	4
图 4-1. 同步信号示例电路.....	5
图 4-2. 同步信号电路的 ICS 仿真.....	5
图 4-3. 同步信号电路的逻辑分析仪捕获结果.....	6

## 表格清单

表 2-1. 使用 TPLD1201 中的内部分频器可实现的最小时钟和最大时钟.....	2
--	---

## 商标

所有商标均为其各自所有者的财产。

## 1 引言

系统通常需要范围为数百微秒至几秒的计时器，并且通常需要多个时序分量和分立式逻辑来实现这一点。TI 可编程逻辑器件 (TPLD) 可配置为在单个器件内生成多个计时器和其他胶合逻辑，从而显著减小整体设计尺寸并缩短设计时间。本应用手册将讨论 TPLD 内的振荡器和计数器/延迟发生器宏单元在生成各种计时器方面可实现的结果。

## 2 配置 TPLD 中的振荡器

TPLD 内的振荡器是可配置的，其中工作频率可在图 2-1 所示的两个选项之间选择，也可固定为特定频率。工作频率馈送到预分频器和次级分频器级，从而提供可在 TPLD 设计中使用的各种频率。预分频器级输出也会路由到计数器/延迟发生器宏单元的时钟输入，在此处可以使用单独的第二级分频器。有关每个器件内的可用选项，请参阅器件特定的 TPLD 数据表。

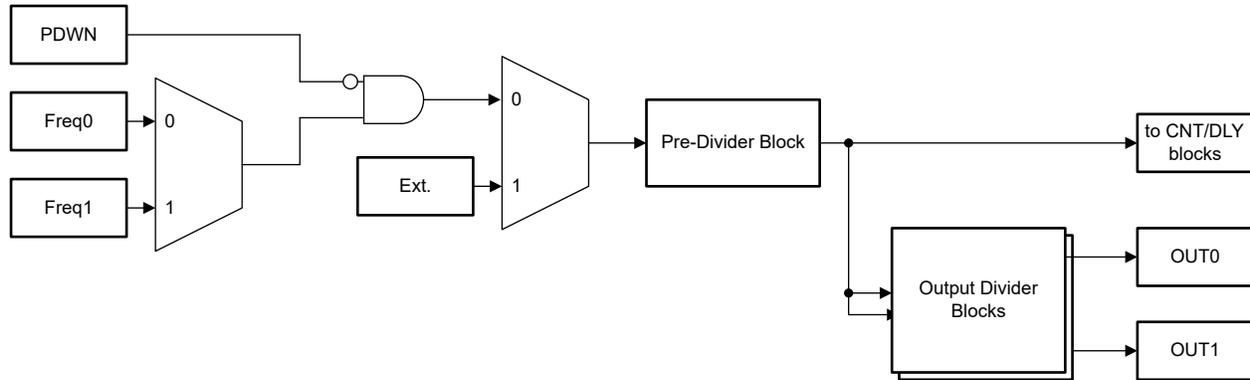


图 2-1. 振荡器宏单元方框图

以 TPLD1201 为例，它具有一个内部振荡器，可选择以 25kHz 或 2MHz 的频率运行。所选时钟随后馈入预分频器级，该预分频器级将工作频率进行 1、2、4 或 8 分频。输出分频器级为每个输出提供额外的 1、2、3、4、8、12、24 和 64 分频选项。根据预分频器的输出，每个计数器都有额外的分频值 1、4、12、24、64 或 4096。

表 2-1 展示了 TPLD1201 中振荡器输出端可实现的最小和最大频率以及驱动计数器和/或延迟发生器的时钟。

表 2-1. 使用 TPLD1201 中的内部分频器可实现的最小时钟和最大时钟

频率	25kHz						2MHz					
	1			8			1			8		
预分频器	1	64	4096	1	64	4096	1	64	4096	1	64	4096
第二个分频器	1	64	4096	1	64	4096	1	64	4096	1	64	4096
CLK 频率	25kHz	390Hz	6.1Hz	3.1kHz	48.8Hz	0.7Hz	2.0MHz	31.2kHz	488Hz	250kHz	3.9kHz	61Hz
CLK 周期	40μs	2.56ms	163ms	320μs	20.4ms	1.31s	500ns	32μs	2.04ms	4 μs	256μs	16.3ms

## 3 在 InterConnect Studio (ICS) 中配置时序宏单元

振荡器分频器以及计数器宏单元可用于生成各种频率。计数器输出的频率可通过以下公式计算： $f_{out} = f_{clk} / (DATA + 1)$ 。复位后，将需要 2 个额外的时钟周期以进行时钟同步。

下面图 3-1 中所示的电路（在 InterConnect Studio (ICS) 中配置）显示了一个使用 TPLD1201 中的 25kHz 振荡器生成 50% 占空比的 625Hz 方波的示例。要实现这一点，将振荡器预分频器设置为 2 分频，从而将基础频率更改为 12.5kHz。为生成 1.25kHz 信号，以下是计数器宏单元时钟端口的输入，可通过上述公式计算得出： $f_{out} = 12.5kHz / 10$ ，其中  $f_{clk} = 12.5kHz$ ， $DATA = 9$ 。为了实现 50% 占空比，计数器的输出随后馈入 D 型触发器，该触发器将输入频率进一步除以 2，从而生成 625Hz 信号。

The screenshot displays the InterConnect Studio (ICS) interface for configuring timing components in a TPLD1201 device. The top diagram shows the interconnection of three components: an Oscillator (osc0), a Counter (cnt0), and a D Flip Flop (dff0). The Oscillator (osc0) provides a clock signal to the Counter (cnt0), which in turn provides a clock signal to the D Flip Flop (dff0). The outputs of these components are connected to specific pins: OSC out (IO9 Pin:2), CNT out (IO1 Pin:5), and CLK out (IO2 Pin:6).

The configuration panels for each component are shown below:

### OSCILLATOR (osc0)

- Name: osc0
- Label: (empty)
- Power Mode: Force Power On
- Clock Source: Internal RC Oscillator
- Frequency: 25 kHz
- Clock Pre Divider: /2
- OUT0 Second Stage Divider: /1
- OUT1 Second Stage Divider: /1
- Power Control Source Select: From register
- PDWN Control: Power down
- Device MacroCell Allocated: Any(OSC)

Port	Frequency
osc0 OUT0	12.50 kHz
osc0 OUT1	12.50 kHz
osc0 OSC/1	12.50 kHz
osc0 OSC/4	3.125 kHz
osc0 OSC/12	1.042 kHz
osc0 OSC/24	520.8 Hz
osc0 OSC/64	195.3 Hz
osc0 OSC/4096	3.052 Hz
cnt0 CLK	12.50 kHz
cnt0 OUT	1.389 kHz
OSC out.IN	12.50 kHz

### COUNTER (cnt0)

- Name: cnt0
- Label: (empty)
- Clock Source: OSC/1
- Control Data: 9
- Reset Mode: High Level Reset
- Device MacroCell Allocated: Any(CNTDLY0)

Port	Frequency
osc0 OUT0	12.50 kHz
osc0 OUT1	12.50 kHz
osc0 OSC/1	12.50 kHz
osc0 OSC/4	3.125 kHz
osc0 OSC/12	1.042 kHz
osc0 OSC/24	520.8 Hz
osc0 OSC/64	195.3 Hz
osc0 OSC/4096	3.052 Hz
cnt0 CLK	12.50 kHz
cnt0 OUT	1.389 kHz
OSC out.IN	12.50 kHz

### D FLIP FLOP (dff0)

- Name: dff0
- Label: (empty)
- Mode: DFF
- Generate Inverted Output:
- Invert Clock Input:
- Initial Polarity: Low
- Reset/Set Select: No Reset or Set
- Device MacroCell Allocated: Any(LUT2\_0\_DFF0)

Port	Frequency
osc0 OUT0	12.50 kHz
osc0 OUT1	12.50 kHz
osc0 OSC/1	12.50 kHz
osc0 OSC/4	3.125 kHz
osc0 OSC/12	1.042 kHz
osc0 OSC/24	520.8 Hz
osc0 OSC/64	195.3 Hz
osc0 OSC/4096	3.052 Hz
cnt0 CLK	12.50 kHz
cnt0 OUT	1.389 kHz
OSC out.IN	12.50 kHz

图 3-1. InterConnect Studio (ICS) 中的时序分量配置

图 3-2 和图 3-3 分别显示了 ICS 内的电路仿真结果，以及 TPLD1201 中电路的逻辑分析仪捕获结果。



图 3-2. ICS 仿真输出

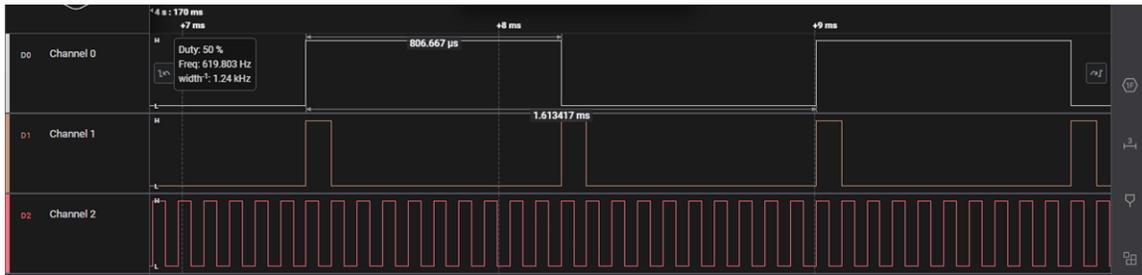


图 3-3. TPLD1201 输出的逻辑分析仪捕获结果

## 4 同步信号示例

可以使用延迟发生器宏单元来同步两个信号。延迟发生器将输入信号延迟的时间为  $t_d = (DATA + t_{d\_err} + 2)/f_{clk}$ ，其中  $t_{d\_err}$  为输入和时钟之间相移产生的误差， $f_{clk}$  为传递到延迟发生器时钟输入端的信号的频率。要正确使用延迟发生器，需要注意的一点是输入信号的脉宽（高电平和低电平）必须大于时钟输入周期的三倍。

图 4-1 中所示的电路生成两个信号，一个信号的输出频率约为 357Hz，另一个信号的输出频率约为 4.17kHz。较慢信号应路由到延迟发生器的 IN 端口，而较快信号使用“External Clock”选项，应路由到 CLK 端口。

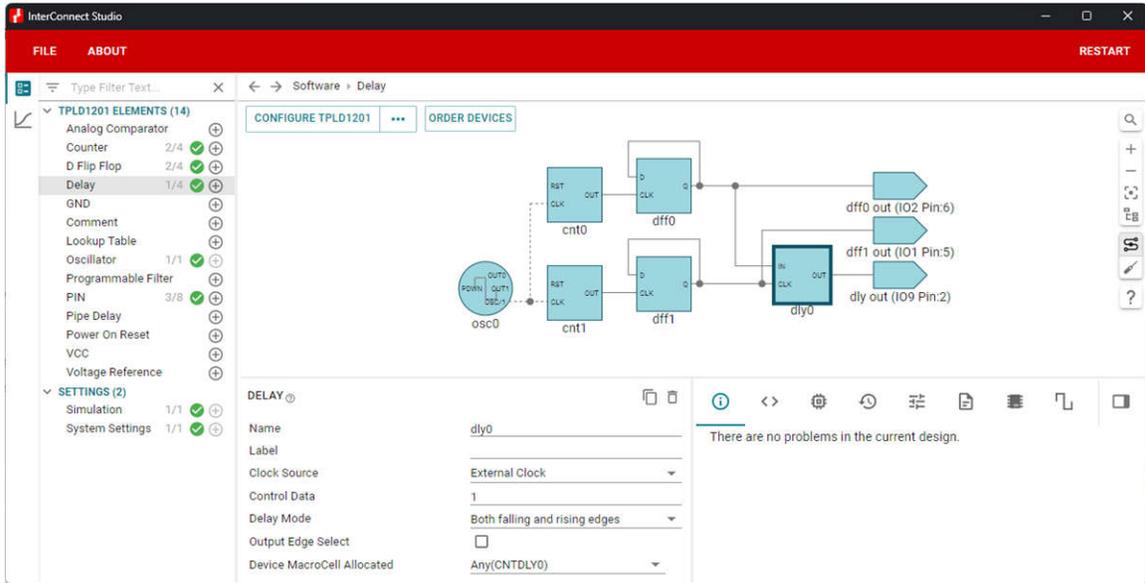


图 4-1. 同步信号示例电路

ICS 中的仿真结果和 TPLD1201 上测量的逻辑分析仪捕获结果分别如图 4-2 和图 4-3 所示。从图中可以看出，*dff0\_out* 和 *dff1\_out* 信号最初是异步的，随后使用 *dly0* 将 *dff0\_out* 同步到 *dff1\_out*。注意：如果两个信号的频率不是计算因数，则延迟将导致输入信号轻微失真。

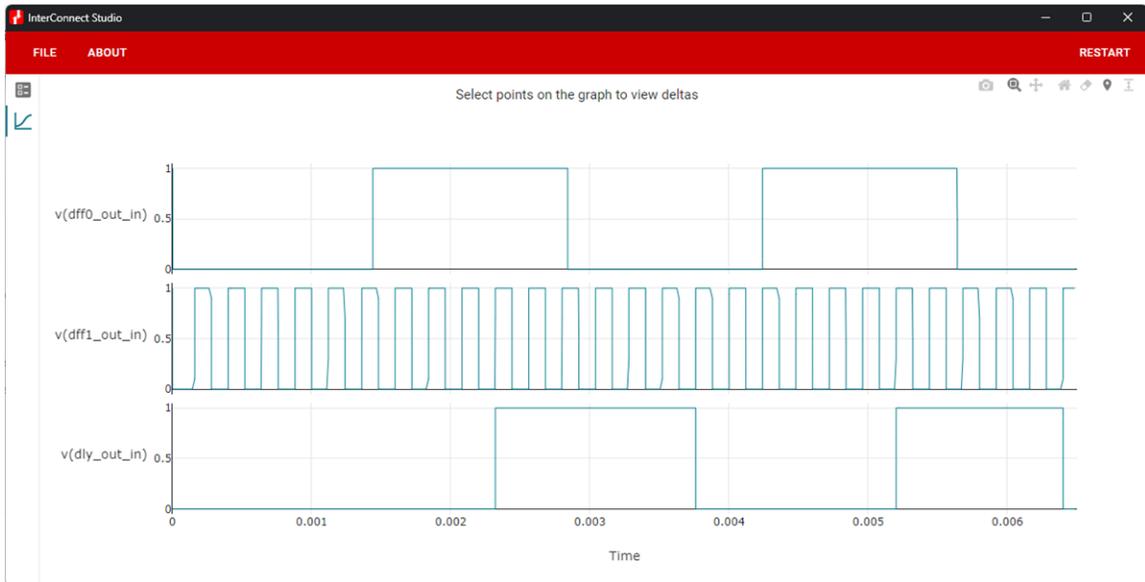


图 4-2. 同步信号电路的 ICS 仿真

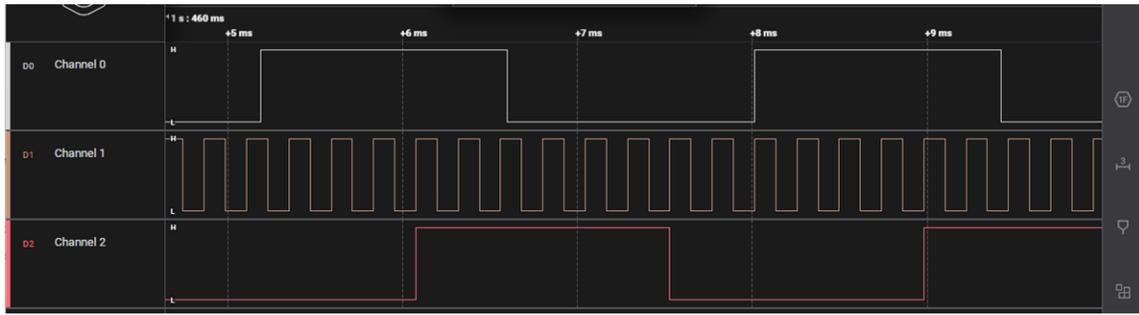


图 4-3. 同步信号电路的逻辑分析仪捕获结果

## 5 总结

通过考虑使用 TPLD 代替分立式实施方案，可以轻松简化设计并降低复杂性。TPLD 提供具有不同数量通用 I/O (GPIO)、查询表、D 型触发器和锁存器、计数器、延迟发生器以及集成振荡器的多种解决方案，有助于将设计提升到更高水平。TPLD 具有灵活性，并且易于编程，无论是开发低功耗手持设备还是连接各种传感器，都是一种不容忽视的解决方案。

## 6 参考资料

- 德州仪器 (TI), [TI 可编程逻辑器件](#)
- 德州仪器 (TI), [TPLD1201 产品文件夹](#)

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司