

Analog Engineer's Circuit

带比较器电路的过流锁存电路

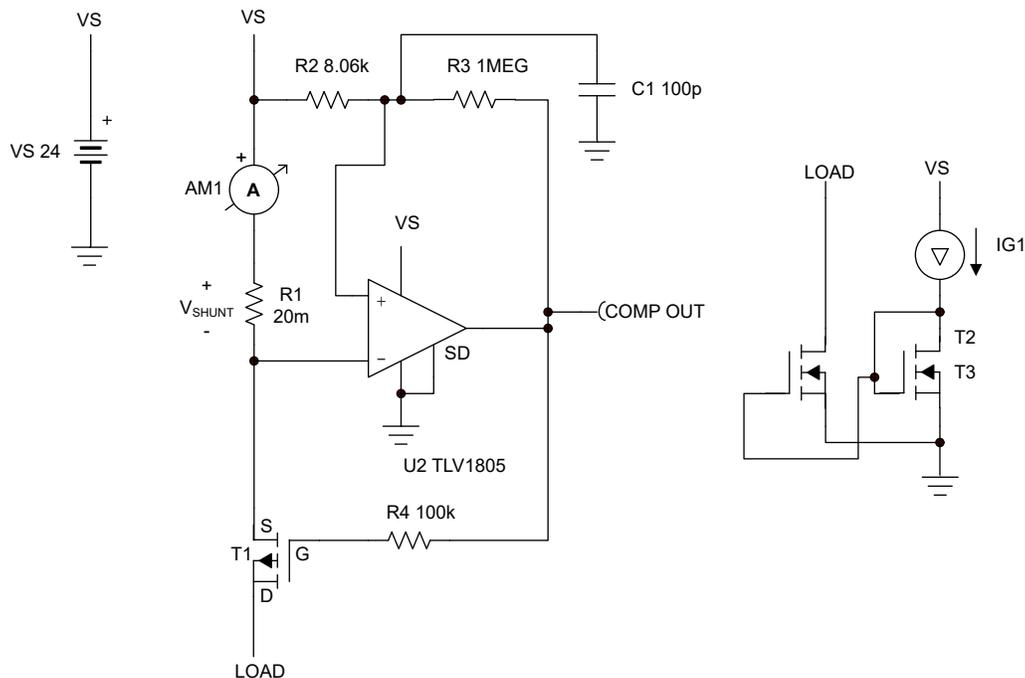


设计目标

负载电流 (I_L)		系统电源 (V_S)	比较器输出状态	
过流 (I_{OC})	恢复	典型值	过流	正常运行
10A	重启	24V	$> V_S - 0.4V$	$< 0.4V$

设计说明

该高侧电流检测解决方案使用高压轨到轨输入比较器和 p 沟道 MOSFET 来创建过流 (OC) 锁存电路。当负载电流超过 10A 时，比较器的 OC 输出信号为逻辑高电平。逻辑高输出电平将 MOSFET 开关关断并将负载与系统电源 (V_S) 断开。比较器输出还驱动用以控制 OC 阈值电平的 R2/R3 电阻分压器的底部。在正常工作电流电平下，电阻分压器的底部在接地电势下保持低电平。但是，当超出 OC 水平时，比较器输出会变高，并将比较器的同相输入提升到等于 V_S 的水平。由于比较器的集成迟滞，比较器输出将保持高电平，从而实现锁存输出条件。只有对 V_S 进行下电上电才能消除锁存输出条件。如果在比较器的输出端添加了下拉电阻器，也可以利用关断引脚来清除锁存。



设计注意事项

1. 选择具有轨到轨输入共模范围的比较器，以实现高侧电流检测。
2. 选择具有推挽输出级的比较器，以高效驱动 p 沟道 MOSFET。
3. 选择具有低输入偏移电压的比较器，以优化精度。
4. 选择具有集成迟滞的比较器来创建锁存输出条件。

设计步骤

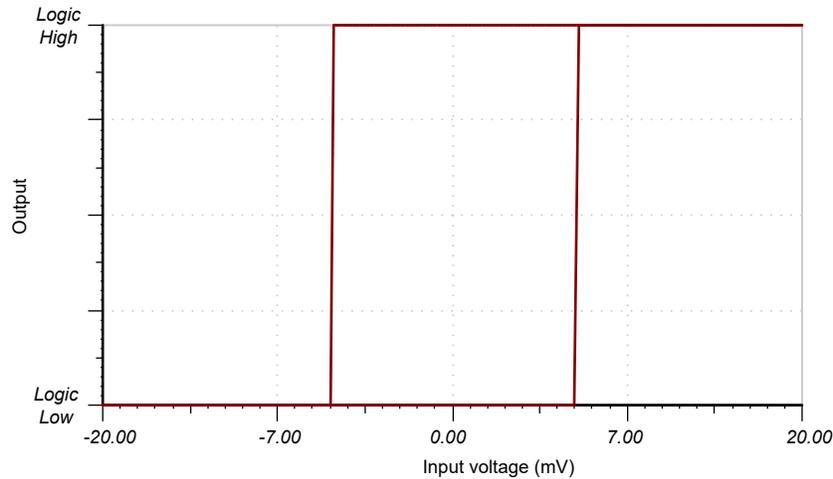
1. 选择分流电阻 (R_1) 的值, 使分流电压 (V_{SHUNT}) 至少比较器输入失调电压 (V_{IO}) 大 10 倍。请注意, 选择非常大的 R_1 值会提高 OC 检测精度, 但会降低电源余量。

$$V_{SHUNT} = (I_{OC} \times R_1) \geq 10 \times V_{IO}$$

对于 $I_{OC} = 10A$ 且 $V_{IO} = 6.5mV$ (最大值, 针对 TLV1805), $V_{SHUNT} \geq 65mV$

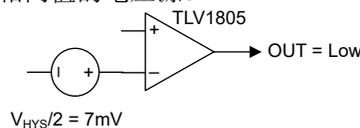
设置 $R_1 = 20m\Omega$ 以使 $V_{SHUNT} = 200mV$ (针对 $I_{OC} = 10A$)

2. 由于采用了具有集成迟滞功能的比较器, 因此需要在设计中适应迟滞。请注意具有集成迟滞的比较器如何在相同的输入电压电平下不从高电平转换为低电平, 也不从低电平转换为高电平。对于 TLV1805, 迟滞为 $14mV$, 因此转换阈值分别为 $\pm 7mV$ 。

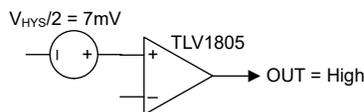


TLV1805 转换阈值

3. 比较器内部迟滞建模的一种好方法如下所示。可以将迟滞视为有意添加到设计中的失调电压。当比较器的输出为低电平时, 增加一个与 $V_{HYS}/2$ 等效的电压源, 与反相输入引脚串联。但是, 当比较器输出为高电平时, 迟滞建模为与同相输入串联添加的具有相同值的电压源。



比较器输出低电平



比较器输出高电平

4. 选择电阻分压器 R_2 和 R_3 的值, 以便在 V_{SHUNT} 超过 $200mV$ 时, 比较器输出将从低电平转换为高电平。由于比较器的输出在发生 OC 状态之前为低电平, 因此请使用比较器输出低电平模型。对于集成迟滞值为 $14mV$ 的 TLV1805, 集成迟滞可有效地将开关阈值从 $V_S - 200mV$ 改变为 $V_S - 193mV$ 。请记住, 已施加 $1/2$ 的迟滞, 因为迟滞定义为比较器的两个开关阈值之间的差异。
5. 以下公式用于求解 R_2 和 R_3 。

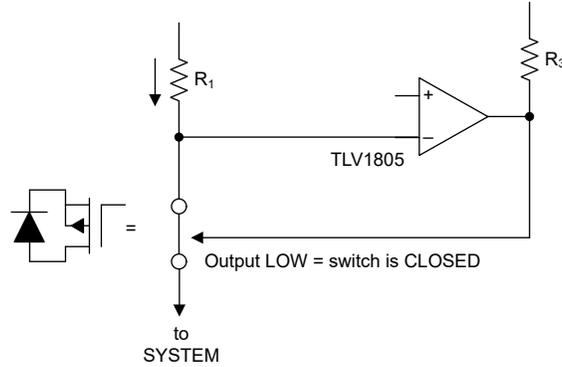
$$R_2 = \frac{(V_{SHUNT} - V_{HYS}/2) \times R_3}{V_S - (V_{SHUNT} - V_{HYS}/2)}$$

根(对于 $V_S = 24V$, $V_{SHUNT} = 200mV$: $V_{HYS} = 14mV$ 和 $R_3 = 1M\Omega$)

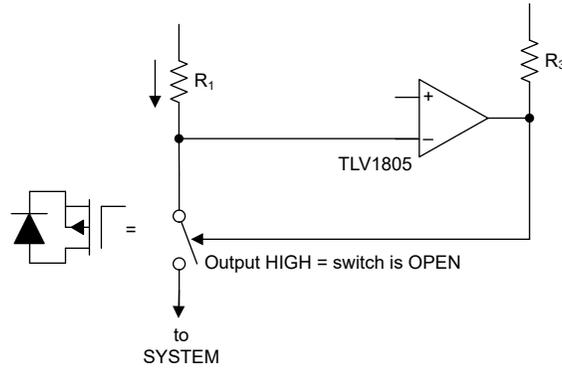
$$R2 = \frac{(200m - 14m/2) \times 1M}{24 - (200m - 14m/2)}$$

$$R2 = 8.107k\Omega \text{ (最近 1\% value 为 } 8.06k\Omega)$$

6. 该设计的目标是创建一个在发生 OC 条件时将负载与系统电源断开的电路，因此比较器的输出连接到 p 沟道 MOSFET 开关的栅极。请记住，当源栅电压大于电压阈值 ($V_{SG} > V_{TH}$) 时，p 沟道 MOSFET 看起来像闭合开关。同样，当 $V_{SG} < V_{TH}$ 时，MOSFET 将看起来像开路 (请参阅下图)。



正常工作 = 输出低电平和闭合开关

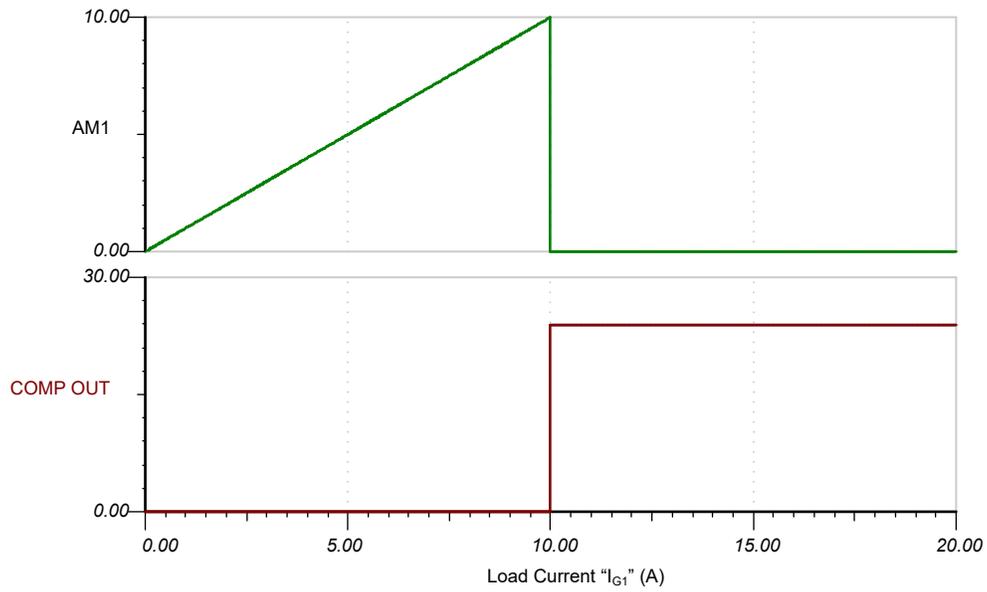


OC 条件 = 输出高电平和断开开关

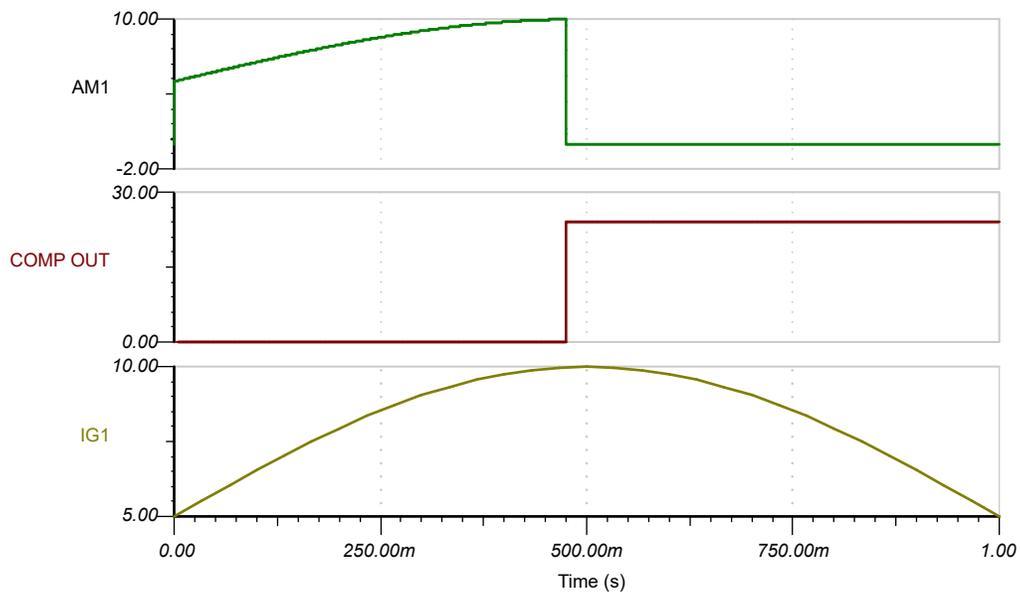
- 在比较器输出和 MOSFET 的栅极之间添加一个串联电阻 ($R4$)，以限制从低电平转换为高电平时的输出电流。将电流保持在 mA 范围内就足够了。为 $R1$ 选择 $10k\Omega$ 的值，将电流限制为 $2.4mA$ ($24V/10k\Omega$)。
- 此设计的另一个目标是在发生 OC 条件时锁存电路。这是通过向 $R2/R3$ 的电阻分压器网络提供反馈来实现的。当比较器的输出变为高电平，它会关闭 MOSFET，并将比较器的同相节点提升到 V_S 的电压电平。
- 请注意， V_{SHUNT} 也会降低到 $0V$ ，因为负载电流现在为 $0A$ 。设计步骤 2 中先前提到的比较器迟滞将使同相输入比反相输入高 $7mV$ 。通过这种方法，可以将比较器输出锁存在逻辑高电平状态。
- 最后，电容器 $C1$ 从同相输入端连接到地，以确保当 V_S 在初始上电时上升时，比较器以逻辑低输出状态启动。

设计仿真

直流仿真结果



瞬态仿真结果



设计参考资料

有关 TI 综合电路库的信息，请参阅 [模拟工程师电路手册](#)。

请参阅电路 SPICE 仿真文件 [SLOM456](#)。

设计特色比较器

TLV1805-Q1、TLV1805	
V_S	3.3V 至 40V
V_{inCM}	轨到轨
V_{OUT}	推挽
V_{OS}	500 μ V
I_Q	135 μ A
$t_{PD(HL)}$	250ns
#通道数	1
TLV1805-Q1、TLV1805	

设计备用比较器

	LMC6762	TLV370x-Q1、TLV370x
V_S	2.7 V 至 15 V	2.7V 至 16V
V_{inCM}	轨到轨	轨到轨
V_{OUT}	推挽	推挽
V_{OS}	3mV	250 μ V
I_Q	20 μ A	560nA/通道
$t_{PD(HL)}$	4 μ s	36 μ s
#通道数	1	1、2 和 4
	LMC6762	TLV370x-Q1、TLV370x

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司