参考文献

Application Note

MSPM0 C 系列 MCU 硬件开发指南

MSP APP

摘要

MSPM0 C 系列微控制器 (MCU) 产品系列提供多种具有超低功耗和集成式模拟数字外设的低成本 32 位 MCU，适用于检测、测量和控制应用。本应用手册涵盖了使用 MSPM0 G 系列 MCU 进行硬件开发所需的信息，包括电源、复位电路、时钟、调试器连接、关键模拟外设、通信接口、GPIO 和电路板布局布线指南的详细硬件设计信息。

内容

1 MSPM0C 硬件设计检查清单....3
2 MSPM0C 器件中的电源....3
2.1 数字电源....4
2.2 模拟电源....4
2.3 内置电源和电压基准....5
2.4 推荐的电源去耦电路....5
3 复位和电源监控器....6
3.1 数字电源....6
3.2 电源监控器....6
4 时钟系统....8
4.1 内部振荡器....8
4.2 外部振荡器和外部时钟输入....8
4.3 外部时钟输出 (CLK_OUT)....10
4.4 频率时钟计数器 (FCC)....11
5 调试器....13
5.1 调试端口引脚和引脚排列....13
5.2 使用标准 JTAG 连接器的调试端口连接....13
6 主要模拟外设....16
6.1 ADC 设计注意事项....16
6.2 COMP 和 DAC 设计注意事项....16
7 主要数字外设....18
7.1 计时器资源和设计注意事项....18
7.2 UART 和 LIN 资源以及设计注意事项....18
7.3 I2C 和 SPI 设计注意事项....21
8 GPIO....23
8.1 GPIO 输出开关速度和负载电容....23
8.2 GPIO 灌电流和拉电流....23
8.3 开漏 GPIO 可在没有电平转换器的情况下支持 5V 通信....24
8.4 在没有电平转换器的情况下与 1.8V 器件通信....24
8.5 未使用引脚连接....25
9 布局指南....26
9.1 电源布局....26
9.2 接地布局注意事项....26
9.3 布线、过孔和其他 PCB 元件....27
9.4 如何选择电路板层和建议堆叠....28
10 引导加载程序....29
11 总结....29

English Document: SLAAEG4
Copyright © 2025 Texas Instruments Incorporated

12 参考资料.....29
13 修订历史记录.....29

插图清单

图 1-1. MSPM0C 典型应用原理图.....3
图 2-1. VREF 电路.....5
图 2-2. 电源去耦电路.....5
图 3-1. NRST 推荐的电路.....6
图 3-2. POR/BOR 与电源电压 (VDD) 间的关系.....7
图 4-1. MSPM0C 系列 LFOSC.....8
图 4-2. MSPM0C1105 和 MSPM0C1106 LFXT 电路.....9
图 4-3. MSPM0C1103 和 MSPM0C1104 外部时钟输入 LFCLK_IN.....9
图 4-4. MSPM0C1105 和 MSPM0C1106 HFXT 电路.....9
图 4-5. MSPM0C1103 和 MSPM0C1104 外部时钟输入 HFCLK_IN.....10
图 4-6. MSPM0C1103 MSPM0C1104 外部时钟输出.....10
图 4-7. MSPM0C1105 和 MSPM0C1106 外部时钟输出.....11
图 4-8. MSPM0C1103 和 MSPM0C1104 系列频率时钟计数器方框图.....11
图 4-9. MSPM0C1105 和 MSPM0C1106 系列频率时钟计数器方框图.....12
图 5-1. 主机到目标器件的连接.....13
图 5-2. MSPM0C SWD 内部上拉.....13
图 5-3. JTAG 和 MSPM0C 连接.....13
图 5-4. XDS110 探针简要方框图.....14
图 5-5. LP-MSPM0C1104 上的探针.....14
图 5-6. LP-MSPM0C1106 上的探针.....15
图 6-1. ADC 输入网络.....16
图 6-2. MSPM0C1105 和 MSPM0C1106 比较器方框图.....17
图 7-1. 典型的 LIN TLIN1021A 收发器.....20
图 7-2. 带有 MSPM0C 的典型 LIN 应用（指挥官）.....20
图 7-3. 带有 MSPM0C 的典型 LIN 应用（响应者）.....21
图 7-4. 针对不同 SPI 配置的外部连接.....21
图 7-5. 典型 I2C 总线连接.....22
图 8-1. 建议的 ODIO 电路.....24
图 8-2. 与 1.8V 器件通信的建议电路.....24
图 9-1. 建议的电源布局.....26
图 9-2. 数字地和模拟地以及公共区域.....27
图 9-3. 直角弯曲布线的错误和正确方式.....27
图 9-4. 模拟和高频信号的错误和正确交叉布线.....27
图 9-5. 四层 PCB 堆叠示例.....28

表格清单

表 1-1. MSPM0C 硬件设计检查清单.....3
表 5-1. MSPM0C 调试端口.....13
表 7-1. TIMx 实例配置.....18
表 7-2. UART 特性.....19
表 7-3. MSPM0C UART 规格.....19
表 7-4. MSPM0C I2C 特性.....22
表 8-1. MSPM0C1103 和 MSPM0C1104 GPIO 开关特性.....23
表 8-2. MSPM0C1105 和 MSPM0C1106 GPIO 开关特性.....23
表 8-3. MSPM0C GPIO 最大绝对额定值.....23
表 8-4. 未使用引脚的连接.....25

商标

所有商标均为其各自所有者的财产。

Copyright © 2025 Texas Instruments Incorporated

1 MSPM0C 硬件设计检查清单

表 1-1 描述了 MSPM0C 硬件设计过程中需要检查的主信号。以下各节提供了更多详细信息。

表 1-1. MSPM0C 硬件设计检查清单

引脚[(1)]	说明	要求
VDD	电源正极引脚	在 VDD 和 VSS 之间放置 10μF 和 100nF 电容器，并使这些器件靠近 VDD 和 VSS。
VSS	电源负极引脚	
NRST	复位引脚	连接一个外部 47kΩ 上拉电阻和一个 10nF 下拉电容。
VREF+[(2)]	用于外部基准输入的电压基准电源	当使用 VREF+ 和 VREF- 为 ADC 等模拟外设提供外部电压基准时，必须在 VREF+ 与 VREF-/GND 之间放置一个去耦电容，该电容基于外部基准源。如果未使用外部电压基准，则可以保持开路。
VREF-[(2)]	用于外部基准输入的电压基准接地电源	
SWCLK	来自调试探针的串行线时钟	内部下拉到 VSS，不需要任何外部器件。
SWDIO	双向（共享）串行线数据	内部上拉到 VDD，不需要任何外部器件。
PA0、PA1	开漏 I/O	输出高电平所需的上拉电阻
PA18[(2)]	默认 BSL 调用引脚	保持下拉状态，以避免在复位后进入 BSL 模式。（BSL 调用引脚可以重新映射。）
PAx（不包括 PA0、PA1）	通用 I/O	将相应的引脚功能设置为 GPIO (PINCMx.PF = 0x1) 并使用内部上拉或下拉电阻器将未使用的引脚配置为输出低电平或输入。

(1) 对于具有与通用 I/O 共享的功能的任何未使用引脚，请按照节 8.5 进行操作。
(2) 仅 MSPM0C1105 和 MSPM0C1106 支持外部基准输入，而 MSPM0C1103 和 MSPM0C1104 仅支持内部基准。仅 MSPM0C1105 和 MSPM0C1106 具有默认 BSL 调用引脚，而 MSPM0C1103 和 MSPM0C1104 没有默认 BSL 调用引脚。

TI 建议将 10μF 和 0.1nF 的低 ESR 陶瓷去耦电容组合连接至 VDD 和 VSS 引脚。可以使用值更大的电容，但可能会影响电源轨斜升时间。去耦电容必须尽可能靠近去耦的引脚（几毫米范围内）。

NRST 复位引脚需要连接一个外部 47kΩ 上拉电阻器和一个 10nF 下拉电容器。

对于支持外部晶振的 MSPM0C1105 和 MSPM0C1106，在使用外部晶振时，需要为晶体振荡器引脚使用外部旁路电容。

对于 5V 容限开漏 (ODIO)，如果使用 ODIO，则需要一个上拉电阻来输出内部集成电路 (I2C) 和通用异步接收器/发送器 (UART) 功能所需的高电平。

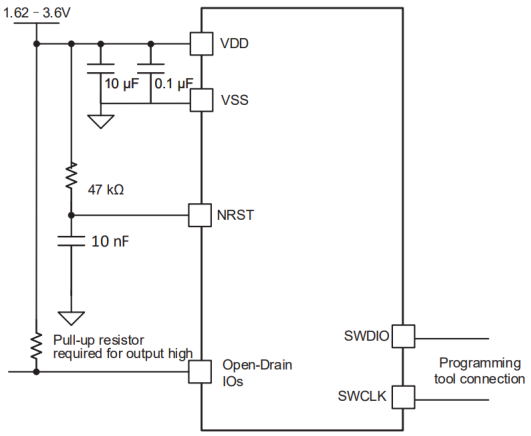

图 1-1. MSPM0C 典型应用原理图

2 MSPM0C 器件中的电源

该器件由 VDD 和 VSS 连接进行供电。该器件支持在 1.62V 至 3.6V 的电源电压下运行，并能够以 1.62V 电源电压启动。电源管理单元 (PMU) 为器件生成稳压内核电源，并对外部电源进行监控。PMU 还包含供 PMU 和其他模

Copyright © 2025 Texas Instruments Incorporated

拟外设使用的带隙电压基准。VDD 直接用于提供 IO 电源 (VDDIO) 和模拟电源 (VDDA)。VDDIO 和 VDDA 在内部连接到 VDD，因此无需额外的电源引脚（有关详细信息，请参阅器件特定的数据表）。

2.1 数字电源

内核稳压器

器件内部有一个低压降线性稳压器来生成一个 1.35V 电源轨，以便为器件内核供电。在除关断外的所有电源模式中，内核稳压器均处于运行状态。在所有其他功耗模式（运行、休眠、停止和待机）中，稳压器的驱动强度会自动配置为支持每种模式的最大负载电流。这降低了使用低功耗模式时稳压器的静态电流，从而提高了低功耗性能。

2.2 模拟电源

模拟多路复用器 VBOOST

在支持 COMP 的 MSPM0C1105 和 MSPM0C1106 中，PMU 中的 VBOOST 电路会生成 COMP 中的模拟多路复用器使用的内部 VBOOST 电源。VBOOST 电路可在外部电源电压 (VDD) 范围内实现一致的模拟多路复用器性能。

启用和禁用 VBOOST

在 MSPM0C1105 和 MSPM0C1106 中，SYSCTL 会根据以下参数自动管理 VBOOST 电路的使能请求：

1. COMP 外设 PWREN 设置。
2. 任何 COMP 已启用的模式设置（FAST 与 ULP 模式）。
3. SYSCTL 中 GENCLKCFG 寄存器的 ANACPUMPCFG 控制位。

在 SYSRST 之后，VBOOST 默认被禁用。在使用 COMP 之前，使用应用软件启用 VBOOST 电路。当 COMP 由应用软件启用时，SYSCTL 还会启用 VBOOST 电路来支持模拟外设。

VBOOST 电路具有从禁用状态转换到启用状态的启动时间要求（典型值为 12 μs）。如果 COMP 的启动时间小于 VBOOST 启动时间，则会延长外设启动时间以计入 VBOOST 启动时间。

带隙电压基准

PMU 提供一个温度和电源电压稳定的带隙电压基准，此基准供器件用于内部功能，其中包括：

- 驱动欠压复位电路阈值。
- 支持内核稳压器。
- 驱动片上模拟外设的片上 VREF 电平。

带隙基准在 RUN、SLEEP 和 STOP 模式下启用。带隙电压在待机模式下以采样模式运行，以降低功耗，并在关断模式下禁用。SYSCTL 会自动管理带隙状态，无需用户配置。

Copyright © 2025 Texas Instruments Incorporated

2.3 内置电源和电压基准

MSPM0C 系列的 VREF 模块是共享电压基准模块，可供各种板载模拟外设利用。

VREF 模块的功能包括：

- 用户可选择 1.4V 和 2.5V 内部基准电压。
- 支持在 VREF+ 和 VREF- 器件引脚上接收外部基准电压。
- 采样保持模式支持在 STANDBY 工作模式下运行 VREF。
- 内部基准支持 ADC、COMP。

为 MCU 提供外部基准时，TI 建议在基准引脚上连接一个去耦电容器，具体值取决于电压源（请参阅图 2-1）。

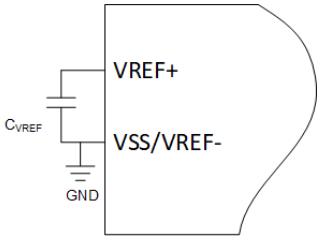

图 2-1. VREF 电路

2.4 推荐的电源去耦电路

建议将 10µF 和 100nF 的低 ESR 陶瓷去耦电容组合连接至 DVCC 引脚（请参阅图 2-2）。可以使用值更大的电容，但可能会影响电源轨斜升时间。去耦电容必须尽可能靠近去耦的引脚（几毫米范围内）。

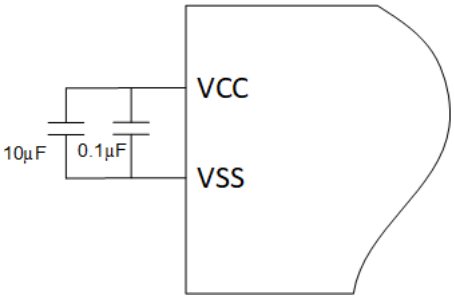

图 2-2. 电源去耦电路

Copyright © 2025 Texas Instruments Incorporated

3 复位和电源监控器

3.1 数字电源

该器件有五个复位级别：

- 上电复位 (POR)
- 欠压复位 (BOR)
- 引导复位 (BOOTRST)
- 系统复位 (SYSRST)
- CPU 复位 (CPURST)

MSPM0 C 系列 24MHz 微控制器技术参考手册 中详细介绍了各个复位级别之间的关系。

冷启动后，NRST 引脚配置为 NRST 模式。NRST 引脚必须为高电平才能成功引导器件。NRST 上没有内部上拉电阻。外部电路（上拉电阻连接至 DVCC，或复位控制电路）必须主动将 NRST 拉至高电平才能使器件启动。手动复位需要一个电容器和一个打开按钮（请参阅图 3-1）。器件启动后，NRST 上持续时间短于 1 秒的低电平脉冲会触发 BOOTRST。如果 NRST 上的低电平脉冲保持时间超过 1 秒，则会触发 POR。

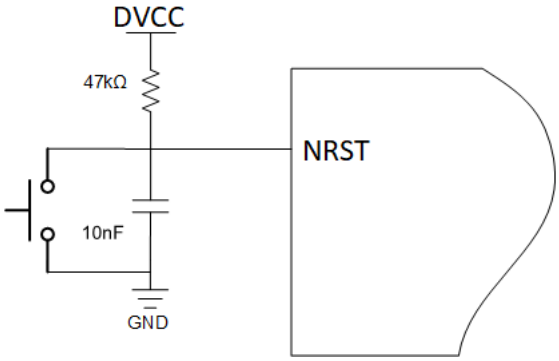

图 3-1. NRST 推荐的电路

3.2 电源监控器

3.2.1 上电复位 (POR) 监测器

上电复位 (POR) 监测器会监视外部电源 (VDD) 并为 SYSCTL 将 POR 违例设置为有效或使其无效。在冷上电期间，器件保持为 POR 状态，直到 VDD 超过 POR+。一旦 VDD 超过 POR+，便会释放 POR 状态，并会启动带隙基准和 BOR 监测器电路。如果 VDD 降至 POR- 电平以下，则会发生 POR- 违例，并且器件再次保持为 POR 复位状态。

POR 监测器不会指示 VDD 已达到足以支持器件正确运行的电平，而是作为引导过程的第一步用于确定电源电压是否足以为带隙基准和 BOR 电路上电，然后再使用带隙基准和 BOR 电路来确定电源是否达到足以使器件正确运行的电平。POR 监测器在包括 SHUTDOWN 模式在内的所有功耗模式下均处于活动状态，无法禁用。POR 触发波形如 节 3.2.3 所示。

3.2.2 欠压复位 (BOR) 监测器

欠压复位 (BOR) 监测器会监控外部电源 (VDD) 并使 SYSCTL 的 BOR 违例有效或无效。BOR 电路的主要作用是确保外部电源保持足够高的电压，以使包括内核稳压器在内的内部电路能够正常运行。BOR 阈值基准来自内部带隙电路。该阈值可编程，并且始终高于 POR 阈值。在冷启动期间，在 VDD 超过 POR+ 阈值后，带隙基准和 BOR 电路被启动。然后，器件保持在 BOR 状态，直到 VDD 超过 BOR0+ 阈值。一旦 VDD 通过 BOR0+，BOR 监测器便会释放器件以继续执行引导过程，并启动 PMU。BOR 触发波形如 节 3.2.3 所示。

Copyright © 2025 Texas Instruments Incorporated

3.2.3 电源变化期间的 POR 和 BOR 行为

当电源电压 (VDD) 降至 POR- 以下时，将清除整个器件状态。未降至 BOR0- 阈值以下的 VDD 微小变化不会导致 BOR- 违例，此时器件会继续运行。除了 BOR0 以外的 BORx 阈值（例如，BOR1-BOR3）的行为与 BOR0 的行为相同，但 BOR 电路配置为产生中断，而不是立即触发 BOR 复位。

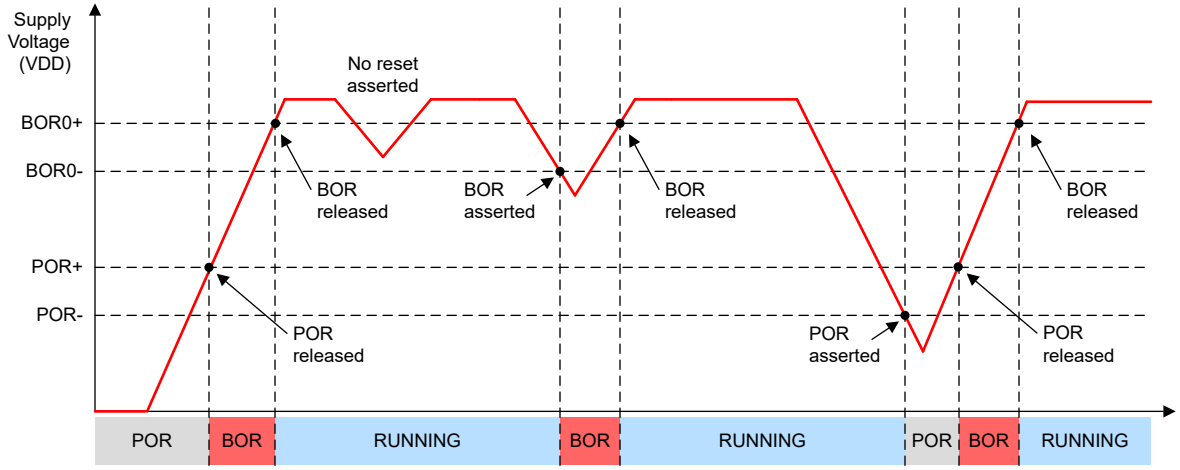

图 3-2. POR/BOR 与电源电压 (VDD) 间的关系

Copyright © 2025 Texas Instruments Incorporated

4 时钟系统

MSPM0C 系列的时钟系统包含内部振荡器、时钟监视器以及时钟选择和控制逻辑。还提供了频率时钟计数器，用于根据 IO 引脚上提供的基准周期或脉冲来检查或校准高速时钟的频率。本节介绍了不同 MSPM0C 系列器件上的时钟资源以及与外部信号或器件的交互。MSPM0C1105 和 MSPM0C1106 支持外部振荡器，但 MSPM0C1103 和 MSPM0C1104 不支持外部振荡器。

4.1 内部振荡器

4.1.1 内部低频振荡器 (LFOSC)

LFOSC 是一种片上低功耗振荡器，出厂时调整为 32.768kHz 的频率。LFOSC 提供了一个低频时钟，可用于帮助系统实现低功耗。当在较低的温度范围内使用时，LFOSC 可提供更高的精度。相关详细信息，请参阅器件特定数据表。

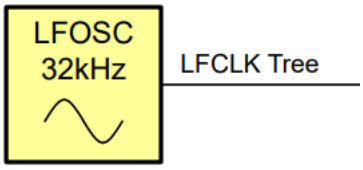

图 4-1. MSPM0C 系列 LFOSC

4.1.2 内部系统振荡器 (SYSOSC)

SYSOSC 是一个片上、精确且可配置的振荡器，其频率为出厂微调频率。在 MSPM0C1103 和 MSPM0C1104 上，基础频率为 24MHz，低频率为 4MHz。在 MSPM0C1105 和 MSPM0C1106 上，基础频率为 32MHz，低频率为 4MHz。SYSOSC 提供了一个高频时钟，让 CPU 能够高速运行以执行代码和处理性能。

SYSOSC 频率校正环路

SYSOSC 应用的整体精度取决于是否使用内部 ROSC 电阻以及温度。在 MSPM0C1103 和 MSPM0C1104 上，在 FCL 模式下，SYSOSC 电路误差在 25°C 时为 ±1.2%，0°C 至 85°C 时为 -1.6% 至 1.4%、-40°C 至 125°C 时为 -2% 至 1.4%。在 MSPM0C1105 和 MSPM0C1106 上，在 FCL 模式下， SYSOSC 电路误差在 -40°C 至 125°C 时 ±1.5%。

4.2 外部振荡器和外部时钟输入

MSPM0C1103 和 MSPM0C1104 以及 MSPM0C1105 和 MSPM0C1106 都支持通过 LFCLK_IN 和 HFCLK_IN 引脚使用外部数字时钟输入。MSPM0C1105 和 MSPM0C1106 都支持外部振荡器、适用于需要在不同器件和温度范围内实现更高时钟精度的应用。LFXT 可以代替 LFOSC，而 HFXT 可以代替 SYSOSC。

4.2.1 低频晶体振荡器 (LFXT)

MSPM0C1105 和 MSPM0C1106 支持 LFXT 功能。LFXT 是一种超低功耗晶体振荡器，支持驱动标准的 32.768kHz 手表晶体。要使用 LFXT，请在 LFXIN 引脚和 LFXOUT 引脚之间组装一个手表晶体。将 LFXIN 和 LFXOUT 引脚上的负载电容器连接到电路地 (VSS)。根据所用晶体的规格确定晶体负载电容器的大小。通过一个可编程驱动强度机制来支持多种晶体类型。有关布局建议，请参阅布局指南。

Copyright © 2025 Texas Instruments Incorporated

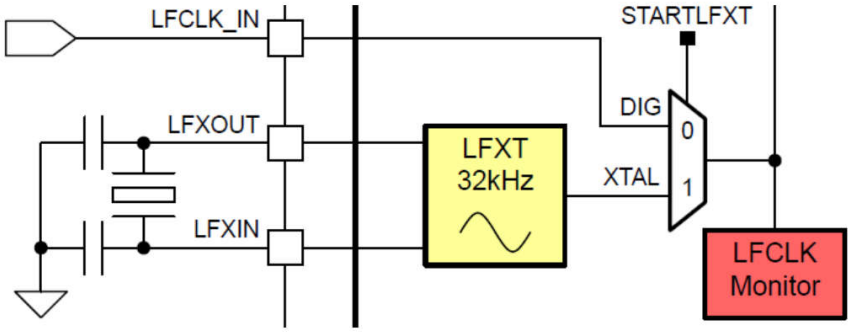

图 4-2. MSPM0C1105 和 MSPM0C1106 LFXT 电路

4.2.2 LFCLK_IN（数字时钟）

可以将一个 32.76kHz 典型频率的数字时钟引入器件，以用作 LFCLK 源。在 MSPM0C1105 和 MSPM0C1106 中。LFCLK_IN 和 LFXT 是互斥的，不得同时启用。

LFCLK_IN 与数字方波 CMOS 时钟输入兼容，且推荐的典型占空比为 50%。用户可以通过启用 LFCLK 监视器来检查 LFCLK_IN 上的有效时钟信号。默认情况下，如果未启动 LFXT，LFCLK 监视器将检查 LFCLK_IN。

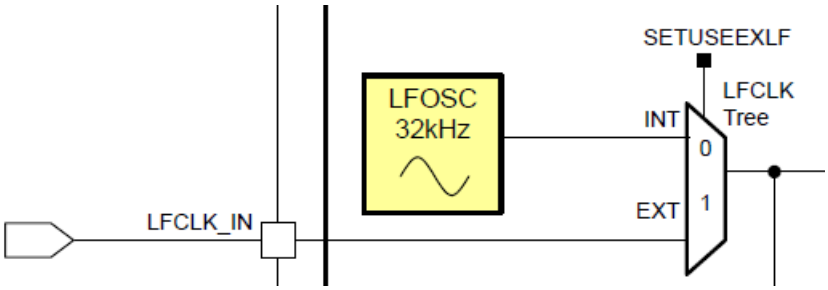

图 4-3. MSPM0C1103 和 MSPM0C1104 外部时钟输入 LFCLK_IN

4.2.3 高频晶体振荡器 (HFXT)

MSPM0C1105 和 MSPM0C1106 支持 HFXT 功能。高频晶体振荡器 (HFXT) 可与 4MHz 至 32MHz 范围内的标准晶体和谐振器搭配使用，为系统生成稳定的高速基准时钟。

要使用 HFXT，请在 HFXIN 和 HFXOUT 引脚之间组装一个晶体或谐振器。将这两个引脚上的负载电容器连接到电路接地 (VSS)。根据所用晶体的规格确定晶体负载电容器的大小。可编程 HFXT 启动时间具有 64µs 的分辨率。有关布局建议，请参阅布局指南。

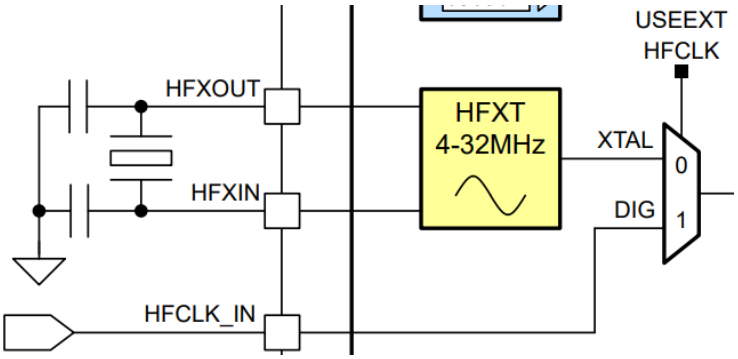

图 4-4. MSPM0C1105 和 MSPM0C1106 HFXT 电路

Copyright © 2025 Texas Instruments Incorporated

4.2.4 HFCLK_IN（数字时钟）

在 MSPM0C1103 和 MSPM0C1104 上，可以将一个 4 至 24MHz 典型频率的数字时钟引入器件，以用作 HFCLK 源。在 MSPM0C1105 和 MSPM0C1106 上，可以将一个 4 至 32MHz 典型频率的数字时钟引入器件，以用作 HFCLK 源，而不使用 HFXT。HFCLK_IN 和 HFXT 是互斥的，不得同时启用。

HFCLK_IN 与数字方波 CMOS 时钟输入兼容，且推荐的典型占空比为 50%。

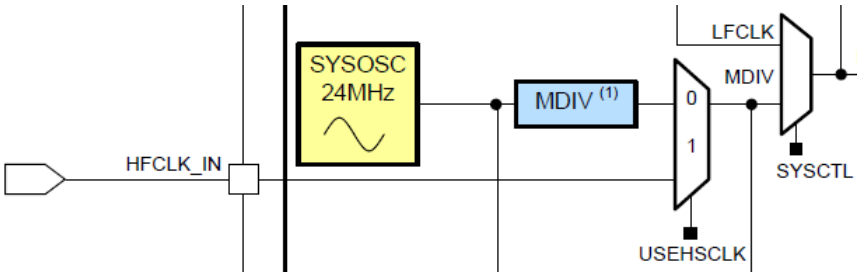

图 4-5. MSPM0C1103 和 MSPM0C1104 外部时钟输入 HFCLK_IN

4.3 外部时钟输出 (CLK_OUT)

器件提供时钟输出单元，用于将数字时钟信号从器件发送到外部电路，或发送到频率时钟计数器。此特性可用于为外部电路计时，例如没有时钟源的外部 ADC。时钟输出单元有一组灵活的源可供选择，并包含一个可编程分频器。

MSPM0C1103 或 MSPM0C1104 上的 CLK_OUT

MSPM0C1103 和 MSPM0C1104 具有用于 CLK_OUT 的可用时钟源：

- SYSOSC
- ULPCLK
- LFCLK

所选时钟源会进行 2、4、6、8、10、12、14 或 16 分频，然后输出到该引脚或频率时钟计数器。

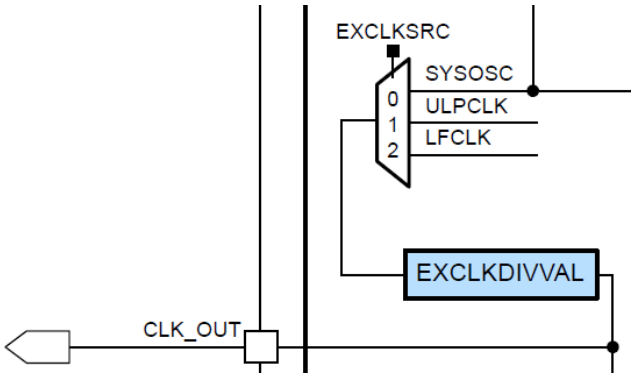

图 4-6. MSPM0C1103 MSPM0C1104 外部时钟输出

Copyright © 2025 Texas Instruments Incorporated

MSPM0C1105 和 MSPM0C1106 上的 CLK_OUT

MSPM0C1105 和 MSPM0C1106 具有用于 CLK_OUT 的可用时钟源：

- SYSOSC
- ULPCLK
- LFCLK
- HFCLK
- MFPCLK

所选时钟源会进行 2、4、6、8、10、12、14 或 16 分频，然后输出到该引脚或频率时钟计数器。

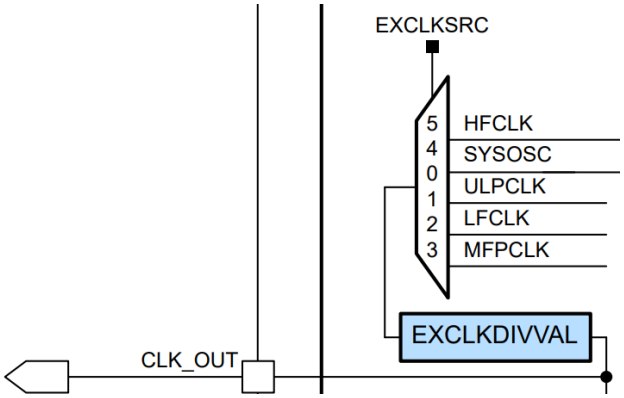

图 4-7. MSPM0C1105 和 MSPM0C1106 外部时钟输出

4.4 频率时钟计数器 (FCC)

频率时钟计数器 (FCC) 可对器件上的各种振荡器和时钟进行灵活的系统内测试和校准。FCC 计算在已知固定触发周期（源自次级基准源）内所选源时钟上显示的时钟周期数，以估算源时钟的频率。

MSPM0C1103 和 MSPM0C1104 上的 FCC

在 MSPM0C1103 和 MSPM0C1104 上，应用软件可以使用 FCC 来测量以下振荡器和时钟的频率：

- MCLK
- SYSOSC
- CLK_OUT
- 外部 FCC 输入 (FCC_IN)

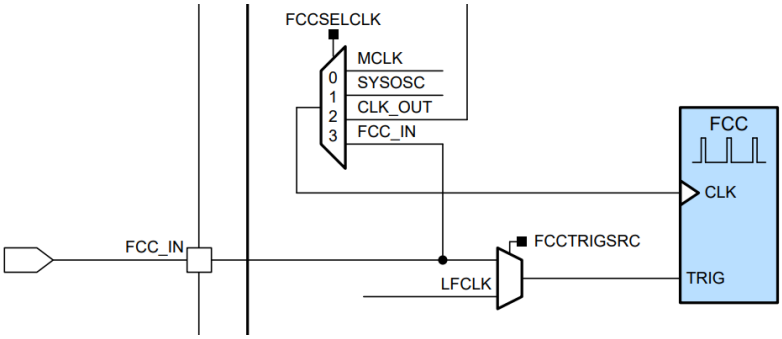

图 4-8. MSPM0C1103 和 MSPM0C1104 系列频率时钟计数器方框图

MSPM0C1105 和 MSPM0C1106 上的 FCC

在 MSPM0C1105 和 MSPM0C1106 上，应用软件可以使用 FCC 来测量以下振荡器和时钟的频率：

- MCLK

Copyright © 2025 Texas Instruments Incorporated

- SYSOSC
- CLK_OUT
- HFCLK
- 外部 FCC 输入 (FCC_IN)

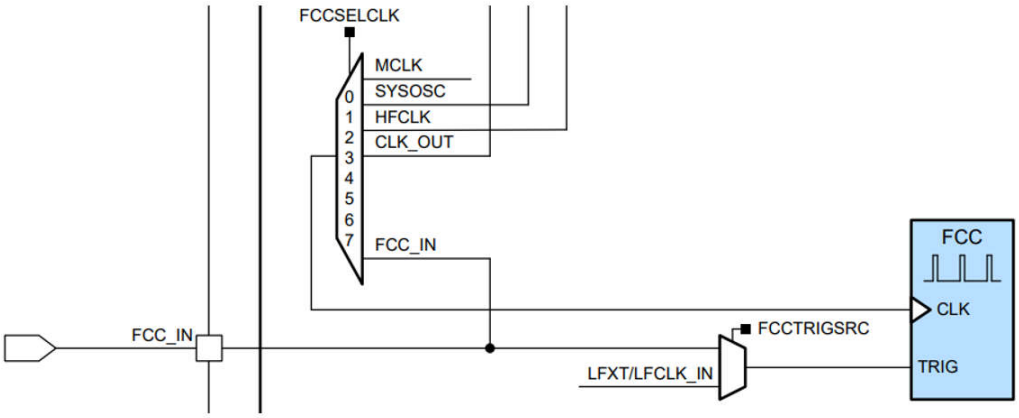

图 4-9. MSPM0C1105 和 MSPM0C1106 系列频率时钟计数器方框图

备注

虽然外部 FCC 输入（FCC_IN 功能）可用作 FCC 时钟源或 FCC 触发输入，FCC 输入在同一 FCC 捕获期间不能同时用于这两个功能。FCC 输入必须配置为 FCC 时钟源或 FCC 触发器。

Copyright © 2025 Texas Instruments Incorporated

5 调试器

调试子系统 (DEBUGSS) 将串行线调试(SWD) 两线制物理接口连接到器件内的多个调试功能。MSPM0C 器件支持调试处理器执行情况、器件状态和电源状态（使用 EnergyTrace 技术）。

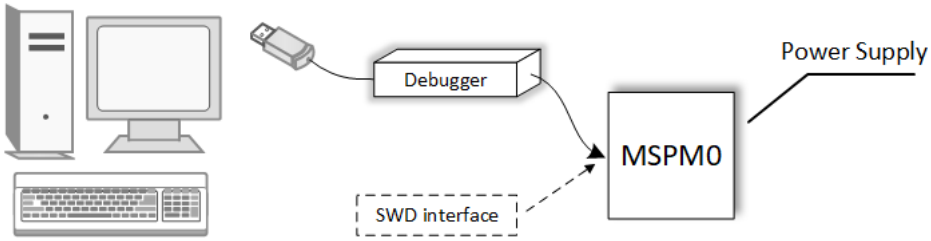

图 5-1. 主机到目标器件的连接

5.1 调试端口引脚和引脚排列

调试端口包含 SWCLK 和 SWDIO（请参阅表 5-1），它们具有内部下拉和上拉电阻器（请参阅图 5-2）。MSPM0L MCU 系列提供多种具有不同数量可用引脚的封装。有关详细信息，请参阅器件特定的数据表。

表 5-1. MSPM0C 调试端口

器件信号	方向	SWD 功能
SWCLK	输入	来自调试探针的串行线时钟
SWDIO	输入/输出	双向（共享）串行线数据

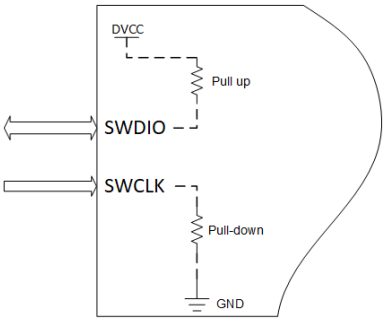

图 5-2. MSPM0C SWD 内部上拉

5.2 使用标准 JTAG 连接器的调试端口连接

图 5-3 展示了 MSPM0C 系列 MCU SWD 调试端口与标准 JTAG 接口之间的连接。

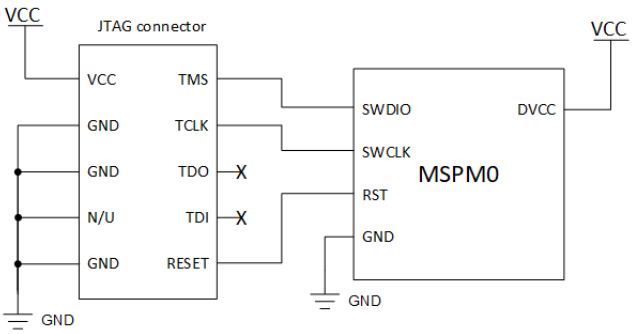

图 5-3. JTAG 和 MSPM0C 连接

对于 MSPM0C 器件，您可以使用 XDS110 来实现调试/下载功能。下面列出了 XDS110 的内容并提供硬件安装说明。

Copyright © 2025 Texas Instruments Incorporated

5.2.1 标准 XDS110

您可以在 ti.com 中购买标准 XDS110。图 5-4 展示了 XDS110 探针的主要功能区域和接口的简要示意图。

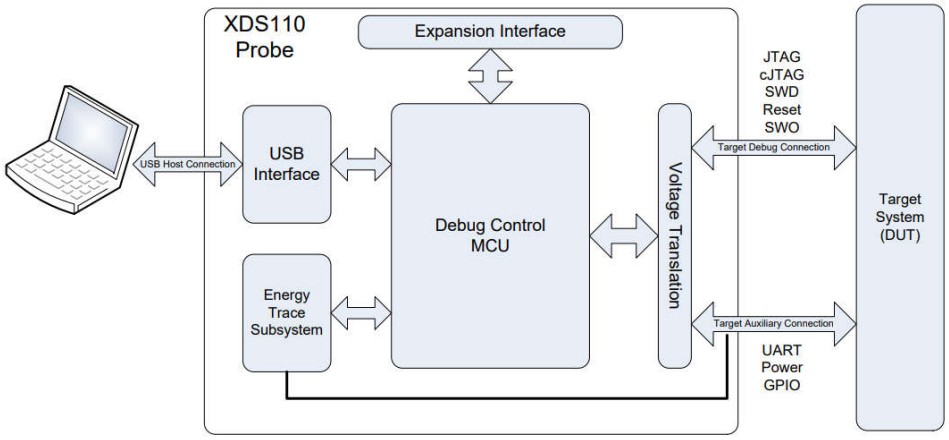

图 5-4. XDS110 探针简要方框图

有关标准 XDS110 的更多信息，请参阅 *XDS110 调试探针用户指南*。

5.2.2 Lite XDS110（MSPM0 LaunchPad™ 套件）

MSPM0 LaunchPad 套件包含 XDS110 (Lite) 电路。您还可以使用此调试器来将固件下载到 MSPM0 器件中。图 5-5 显示了 LP-MSPM0C1104 上的 2.54mm 探针。而 图 5-6 展示了 LP-MSPM0C1106 上的 2.54mm 探针和 10 引脚探针。

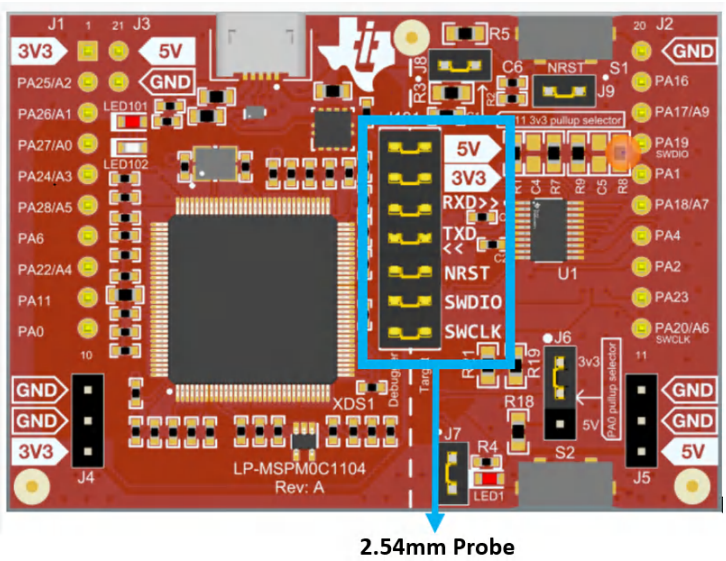

图 5-5. LP-MSPM0C1104 上的探针

Copyright © 2025 Texas Instruments Incorporated

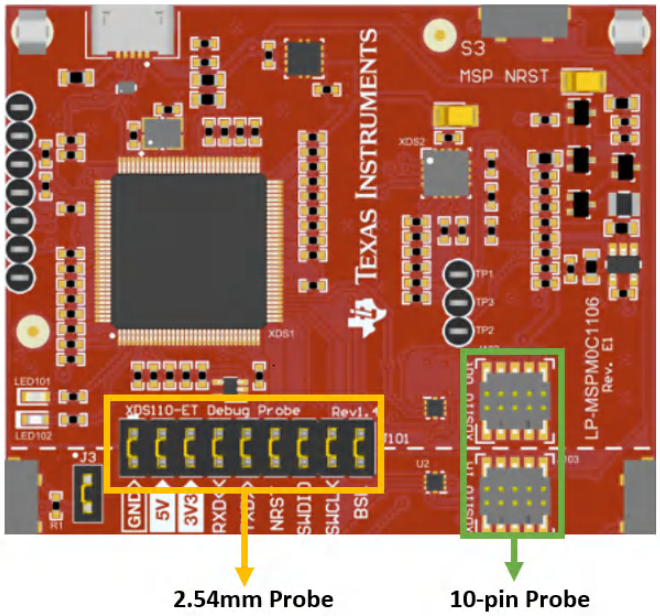

图 5-6. LP-MSPM0C1106 上的探针

2.54mm 探针：该端口支持 SWD 协议，并包含 5V 或 3.3V 电源。您可以将 SWDIO SWCLK 3V3 GND 连接到电路板，并将固件下载到 MSPM0C 器件中。LP-MSPM0C1106 上的 2.54mm 探针还支持 EnergyTrace 技术，可精确地实时测量功耗。有关 EnergyTrace 技术的更多信息，请参阅 EnergyTrace 技术工具页面。

10 引脚探针：在 LP-MSPM0C1106 上，该端口支持 JTAG 和 SWD 协议，并包含一个 3.3V 电源。用户可以使用 10 引脚电缆来连接电路板和 XDS110，并将固件下载到 MSPM0C 器件中。

备注

- 标准 XDS110 支持调试端口的电平转换，而 XDS110 仅支持 3.3V 探针电平。
- TI 不建议使用 XDS110 来为 MSPM0C MCU 以外的其他器件供电。XDS110 集成了具有是限电流驱动能力的 LDO。
- XDS110 2.54mm 探针不支持 JTAG 协议。
- XDS110 10 引脚探针不支持 EnergyTrace 技术。

Copyright © 2025 Texas Instruments Incorporated

6 主要模拟外设

MSPM0C 系列 MCU 包含高性能模拟外设资源，可在芯片内提供基础模拟信号调节功能。为了更大限度地利用 MSPM0C 模拟外设性能，硬件设计中需要考虑一些注意事项。本节讨论了许多典型模拟电路配置的模拟设计注意事项。

6.1 ADC 设计注意事项

MSPM0C1103 和 MSPM0C1104 具有 12 位、速度高达 1.5Msps 的模数转换器 (ADC)，而 MSPM0C1105 和 MSPM0C1106 具有 12 位、速度高达 1.6Msps 的 ADC。此 ADC 支持快速的 12 位、10 位和 8 位模数转换，该 ADC 实现了一个 12 位 SAR 内核、采样和转换模式控制和多达四个独立的转换和控制缓冲区。

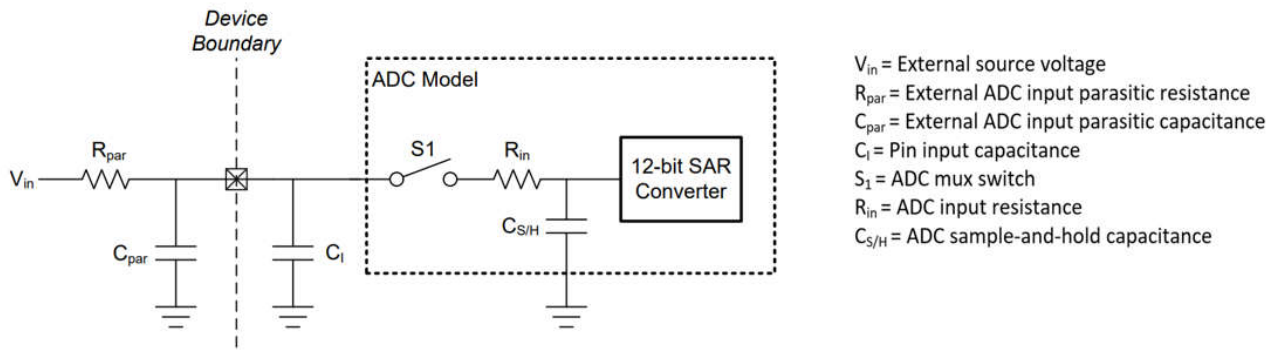

图 6-1. ADC 输入网络

为了实现所需的转换速度并保持高精度，请在硬件设计中设置适当的采样时间。采样（采样保持）时间决定了在执行数字转换之前对信号进行采样的时间。在采样期间，内部开关支持对输入电容器充电。电容器完全充电所需的时间取决于连接到 ADC 输入引脚的外部模拟前端 (AFE)。图 6-1 展示了 MSPM0C MCU 的典型 ADC 模型。R_{in} 和 $C_{S/H}$ 值可从器件特定数据表中获取。了解 AFE 驱动能力并计算对信号进行采样所需的最短采样时间。R_{par} 和 R_{in} 的电阻值会影响 t_{sample}。方程式 1 可用于计算 n 位和固定设置错误转换的最短采样时间 tsample 的保守值：

$$t_{sample} \geqslant (\ln(2^n/\text{Settling error}) - \ln((C_{par} + C_I) / C_{S/H})) \times ((R_{par} + R_{in}) \times C_{S/H} + R_{par} \times (C_{par} + C_I)) \quad (1)$$

6.2 COMP 和 DAC 设计注意事项

MSPM0C1105 和 MSPM0C1106 支持比较器模块 (COMP)，该模块是具有通用比较器功能的模拟电压比较器。请注意，MSPM0C1103 和 MSPM0C1104 不支持 COMP 模块。比较器模块包括内部和外部输入；用户可以灵活地使用这些结构来处理模拟信号。内部温度传感器可以直接作为 COMP 输入。图 6-2 展示了 MSPM0C1105 和 MSPM0C1106 的比较器方框图。

Copyright © 2025 Texas Instruments Incorporated

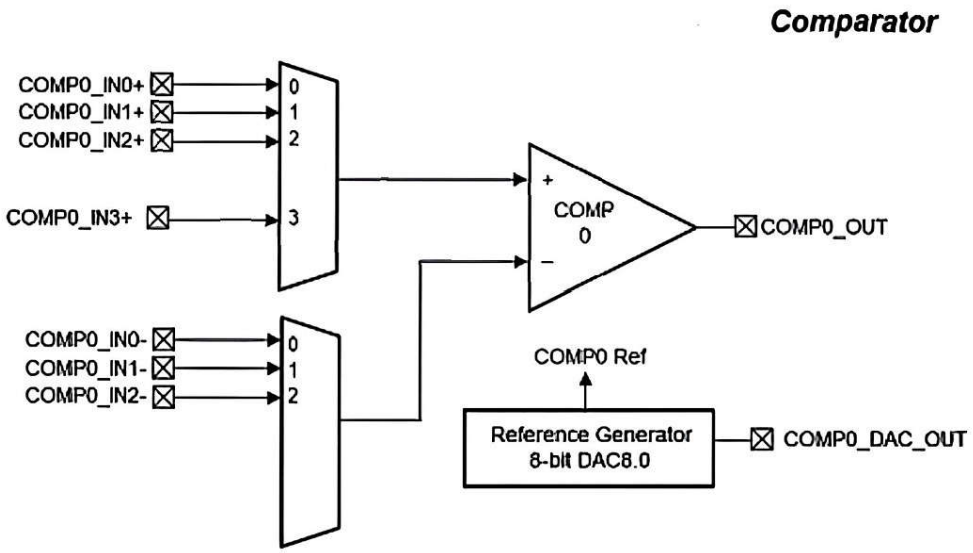

图 6-2. MSPM0C1105 和 MSPM0C1106 比较器方框图

在 MSPM0C1105 和 MSPM0C1106 上，8 位 DAC 可用于生成 COMP 的基准电压，也可输出到器件引脚 (PA11)。当需要将 DAC 输出到器件引脚时，需要进行一些寄存器设置：

- 设置 COMP PWREN 寄存器中的 ENABLE 位= 1h，以启用 COMP 的电源
- 设置 COMP CTL1 寄存器中的 DACOUTEN 位= 1h，以使 DAC 输出到引脚功能
- 设置 GENCLKCFG 寄存器中的 ANACPUMPCFG 位= 2h，以确认 VBOOST 始终启用

请注意，8 位 DAC 输出驱动能力较弱，因此 DACOUT 不能用于驱动外部电阻负载。

Copyright © 2025 Texas Instruments Incorporated

7 主要数字外设

MSPM0C 系列 MCU 包含多种数字外设资源，其中包括计时器、UART、LIN、I2C 和串行外设接口 (SPI) 等，这些资源提供了丰富的通信功能。为了更大限度地利用 MSPM0C 数字外设，硬件设计中需要考虑一些注意事项。本节讨论了许多典型数字外设配置的设计注意事项。

7.1 计时器资源和设计注意事项

计时器是任何 MCU 中最基本和最重要的模块之一，并且所有应用中都会使用此资源。计时器可用于定期处理任务、延迟、输出 PWM 波形，以驱动至器件、检测外部脉冲的宽度和频率，以及模拟波形输出等。

MSPM0C 系列 MCU 包括通用计时器 (TIMG) 和高级控制计时器 (TIMA)。该器件可用于多种功能，包括测量输入信号边沿和周期（捕捉模式）生成输出波形（比较模式输出），例如 PWM 信号。表 7-1 中汇总展示了各个计时器的不同特性和配置。

表 7-1. TIMx 实例配置

实例	电源域	计数器分辨率	预分频器	重复计数器	CCP 通道	相负载	影子负载	流水线型 CC	死区	故障处理程序	QEI
TIMG0	PD0	16 位	8 位	-	2	-	-	-	-	-	-
TIMG1	PD0	16 位	8 位	-	2	-	-	-	-	-	-
TIMG2	PD0	16 位	8 位	-	2	-	-	-	-	-	-
TIMG3	PD0	16 位	8 位	-	2	-	-	-	-	-	-
TIMG4	PD0	16 位	8 位	-	2	-	是	是	-	-	-
TIMG5	PD0	16 位	8 位	-	2	-	是	是	-	-	-
TIMG6	PD1	16 位	8 位	-	2	-	是	是	-	-	-
TIMG7	PD1	16 位	8 位	-	2	-	是	是	-	-	-
TIMG8	PD0	16 位	8 位	-	2	-	-	-	-	-	是
TIMG9	PD0	16 位	8 位	-	2	-	-	-	-	-	是
TIMG10	PD1	16 位	8 位	-	2	-	-	-	-	-	是
TIMG11	PD1	16 位	8 位	-	2	-	-	-	-	-	是
TIMG12	PD1	32 位	-	-	2	-	-	是	-	-	-
TIMG13	PD0	32 位	-	-	2	-	-	是	-	-	-
TIMG14	PD1	16 位	8 位	-	4	-	-	-	-	-	-
TIMA0	PD1	16 位	8 位	是	4/2	是	是	是	是	是	-
TIMA1	PD1	16 位	8 位	是	2/2	是	是	是	是	是	-

- 参考特定于器件的数据表，检查器件上提供了哪些 TIMG 实例和 TIMA 实例
- 在器件特定技术参考手册中，查看每个 TIMG 实例和每个 TIMA 实例具有哪些功能

7.2 UART 和 LIN 资源以及设计注意事项

MSPM0C 系列 MCU 包括通用异步接收器/发送器 (UART)。MSPM0C1103 和 MSPM0C1104 仅支持 UART0，而 MSPM0C1105 和 MSPM0C1106 支持 UART0、UART1、UART2。如表 7-2 所示，UART0 支持 LIN、DALI、IrDA、ISO7816 曼彻斯特编码功能。

Copyright © 2025 Texas Instruments Incorporated

表 7-2. UART 特性

UART 特性	UART0（扩展）	UART1、UART2 (主)
在停止和待机模式下处于运行状态	是	是
独立的发送和接收 FIFO	是	是
支持硬件流控制	是	是
支持 9 位配置	是	是
支持 LIN 模式	是	-
支持 DALI	是	-
支持 IrDA	是	-
支持 ISO7816 Smart Card	是	-
支持曼彻斯特编码	是	-

表 7-3. MSPM0C UART 规格

参数		测试条件		最小值	典型值	最大值	单位
f_{UART}	UART 输入时钟频率	MSPM0C1103 和 MSPM0C1104				24	MHz
		MSPM0C1105 和 MSPM0C1106				32	
f_{BITCLK}	BITCLK 时钟频率（等于波特率，单位为 MBaud）	MSPM0C1103 和 MSPM0C1104				3	MHz
		MSPM0C1105 和 MSPM0C1106				4	
t_{SP}	由输入滤波器进行抑制的尖峰的脉冲持续时间	AGFSELx = 0	MSPM0C1103 和 MSPM0C1104		11	35	ns
			MSPM0C1105 和 MSPM0C1106		6		
		AGFSELx = 1			14	35	ns
		AGFSELx = 2			22	60	ns
		AGFSELx = 3			35	90	ns

MSPM0C1103 和 MSPM0C1104 UART 模块可支持高达 3MHz 的波特率。MSPM0C1105 和 MSPM0C1106 UART 模块可支持高达 4MHz 的波特率。这些波特率可以支持几乎所有 UART 应用。

本地互连网络 (LIN) 是一种常用的低速网络接口，由一个命令节点与多个远程响应者节点通信组成。通信只需一根线，通常包含在车辆接线束中。

TLIN1021A-Q1 变送器支持高达 20 kbps 的数据速率。收发器通过 TXD 引脚控制 LIN 总线的状态，并通过开漏 RXD 输出引脚报告总线的状态。该器件具有限流波形整形驱动器，用于降低电磁辐射 (EME)。

TLIN1021A-Q1 旨在为 12V 应用提供支持，具有宽输入工作电压范围。该器件支持低功耗睡眠模式，并可通过 LIN、WAKE 引脚或 EN 引脚唤醒功能从低功耗模式唤醒。该器件可以通过 TLIN1021A-Q1 INH 输出引脚选择性地启用节点上可能存在的各种电源，从而在整个系统级别减少电池电流消耗。图 7-1 展示了使用 TI TLIN1021A LIN 收发器实现的典型接口。

Copyright © 2025 Texas Instruments Incorporated

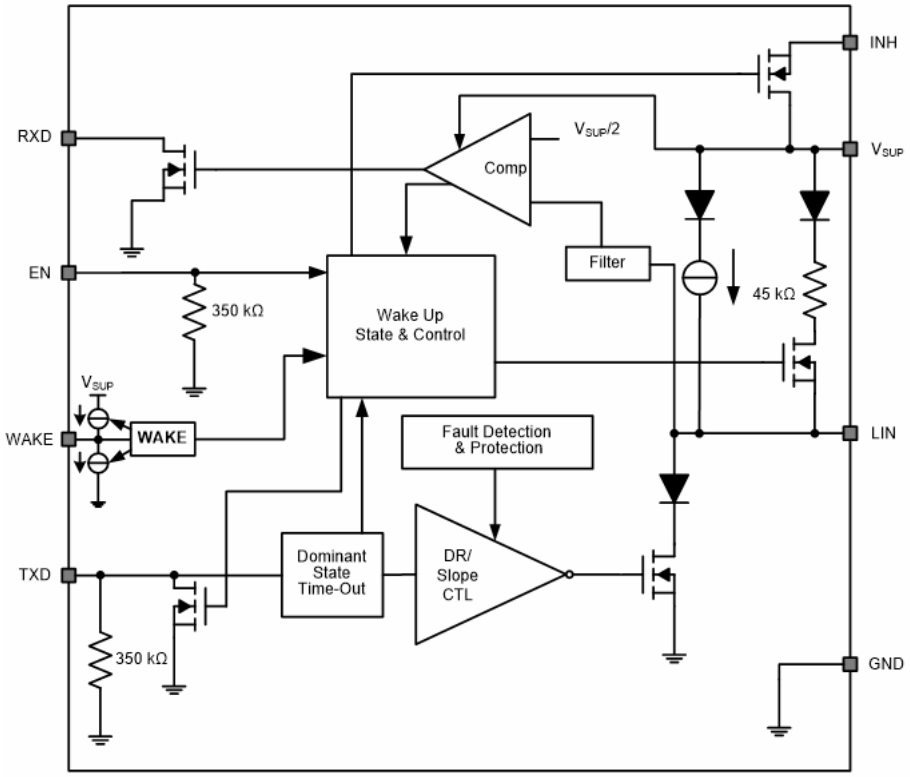

图 7-1. 典型的 LIN TLIN1021A 收发器

通信只需一根线，通常包含在车辆接线束中。图 7-2 和图 7-3 展示了使用 TI TLIN1021A LIN 收发器实现的典型接口。有关更多详细信息，请参阅器件特定的 TLIN1021 数据表。

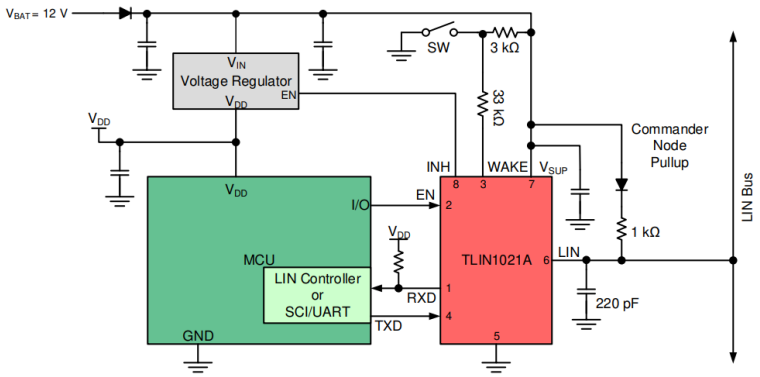

图 7-2. 带有 MSPM0C 的典型 LIN 应用（指挥官）

Copyright © 2025 Texas Instruments Incorporated

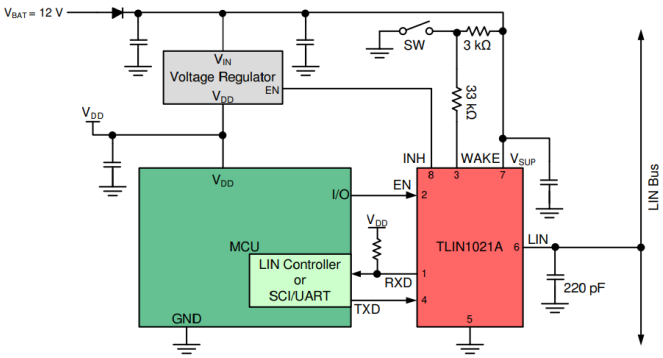

图 7-3. 带有 MSPM0C 的典型 LIN 应用（响应者）

7.3 I2C 和 SPI 设计注意事项

SPI 和 I2C 协议广泛用于器件或电路板之间的通信，例如 MCU 和传感器之间的数据交换。MSPM0C1103 和 MSPM0C1104 包含高达 12MHz 的高速 SPI，MSPM0C1105 和 MSPM0C1106 包含高达 16MHz 的高速 SPI。SPI 支持三线制、四线制、芯片选择和命令模式。要根据要求设计系统，请参阅 图 7-4。

一些 SPI 外设器件需要 PICO（外设输入控制器输出）保持逻辑高电平。在这种情况下，应在 PICO 引脚上添加一个上拉电阻。

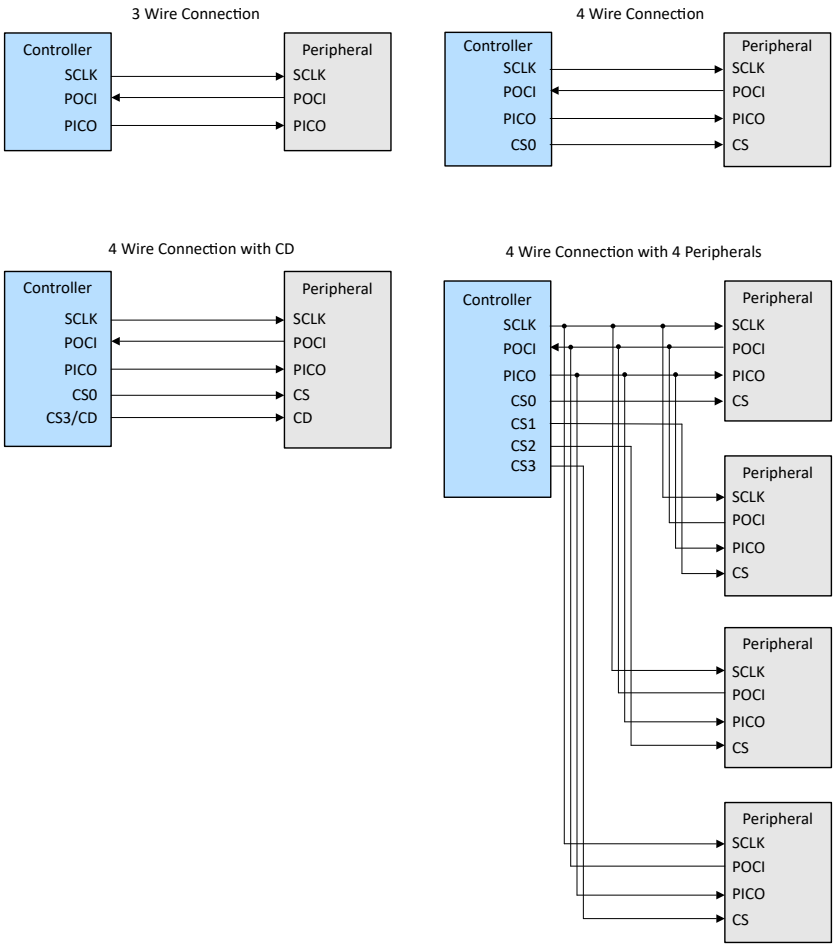

图 7-4. 针对不同 SPI 配置的外部连接

Copyright © 2025 Texas Instruments Incorporated

对于 I2C 总线，MSPM0C 器件支持标准、快速和超快速模式，如 表 7-4 所示。

使用 I2C 总线时，需要外部上拉电阻。这些电阻的值取决于 I2C 速度。TI 建议使用 2.2k，以便支持超快速模式。对于关注功耗的系统，可以使用大电阻值。ODIO（请参阅节 8）可用于实现与 5V 器件的通信。

表 7-4. MSPM0C I2C 特性

参数		测试条件		标准模式		快速模式		超快速模式		单位
				最小值	最大值	最小值	最大值	最小值	最大值	
f_{I2C}	I2C 输入时钟频率	电源域 0 中的 I2C	MSPM0C1103 和 MSPM0C1104		24		24		24	MHz
			MSPM0C1105 和 MSPM0C1106	2	32	8	32	20	32	
f_{SCL}	SCL 时钟频率				100K		400K		1M	Hz
$t_{HD,STA}$	保持时间（重复）启动			4		0.6		0.26		us
t_{LOW}	SCL 时钟的低电平周期			4.7		1.3		0.5		us
t_{HIGH}	SCL 时钟的高电平周期			4		0.6		0.26		us
$t_{SU,STA}$	一个针对重复启动的建立时间			4.7		0.6		0.26		us
$t_{HD,DAT}$	数据保持时间			0		0		0		us
$t_{SU,DAT}$	数据设置时间			250		100		50		us
$t_{SU,STO}$	停止的建立时间			4		0.6		0.26		us
t_{BUF}	STOP 与 START 条件之间的总线空闲时间			4.7		1.3		0.5		us
$t_{VD;DAT}$	数据有效时间				3.45		0.9		0.45	us
$t_{VD;ACK}$	数据有效确认时间				3.45		0.9		0.45	us

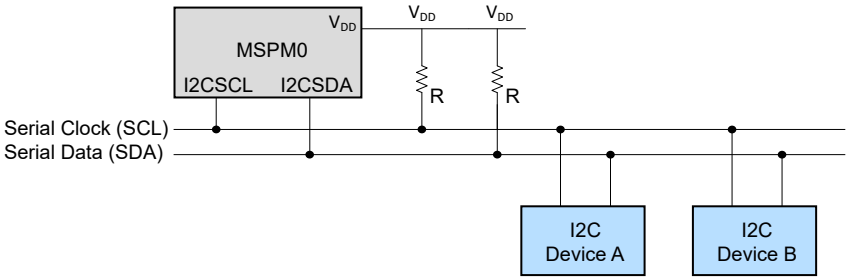

图 7-5. 典型 I2C 总线连接

Copyright © 2025 Texas Instruments Incorporated

8 GPIO

MSPM0C 系列 MCU 包括标准驱动 I/O (SDIO) 和 5V 容限开漏 I/O (ODIO)。用户可以根据实际要求灵活选择合适的 I/O 类型。硬件设计中需要考虑以下特性。

8.1 GPIO 输出开关速度和负载电容

将 GPIO 用作 I/O 时，必须考虑设计注意事项以确认正确运行。随着负载电容增大，I/O 引脚的上升/下降时间会增加。该电容包括引脚寄生电容（Ci = 5pF（典型值））和电路板走线的影响。I/O 特性可在器件具体的数据表中找到。表 8-1 列出了 MSPM0C1103 和 MSPM0C1104 器件的 I/O 输出频率特性。并列出了 MSPM0C1105 和 MSPM0C1106 器件的 I/O 输出频率特性。

表 8-1. MSPM0C1103 和 MSPM0C1104 GPIO 开关特性

参数		测试条件		最小值	典型值	最大值	单位
f_{max}	端口输出频率	SDIO	VDD ≥ 1.71V，C_L = 20pF			24	MHz
		ODIO	VDD ≥ 1.71V，FM^+，C_L = 20pF 至 100pF			1	
t_r，t_f	输出上升或下降时间	除 ODIO 以外的所有输出端口	VDD ≥ 1.71V			0.3* f_{max}	s
t_f	输出下降时间	ODIO	VDD ≥ 1.71V，FM^+，C_L= 20pF 至 100pF	20 × VDD / 5.5		120	ns

表 8-2. MSPM0C1105 和 MSPM0C1106 GPIO 开关特性

参数		测试条件		最小值	典型值	最大值	单位
f_{max}	端口输出频率	SDIO	VDD ≥ 1.71V，CL= 20pF			16	MHz
			VDD ≥ 2.7V，CL= 20pF			32	
		ODIO	VDD ≥ 1.71V，FM+，CL= 20pF - 100pF			1	
t_r，t_f	输出上升/下降时间	SDIO	VDD ≥ 1.71V，CL= 20pF			3.5	ns
		SDIO	VDD ≥ 2.7V，CL= 20pF			6.6	ns
t_f	输出下降时间	ODIO	VDD ≥ 1.71V，FM+，CL= 20pF-100pF			120	ns

备注

- 在指定的翻转频率下，输出电压至少达到 V_{CC} 的 10% 和 90%。
- 开漏 I/O 的输出上升时间由上拉电阻和负载电容决定。

8.2 GPIO 灌电流和拉电流

表 8-3. MSPM0C GPIO 最大绝对额定值

				最小值	标称值	最大值	单位
VDD	电源电压			1.62		3.6	V
C_{VDD}	VDD 和 VSS 之间放置的电容器				10		µF
I_{VDD}	VDD 引脚的电流	MSPM0C1103 和 MSPM0C1104	-40℃ ≤ Ta ≤ 85℃			80	mA
		MSPM0C1105 和 MSPM0C1106	-40℃ ≤ Tj ≤ 130℃			100	
			-40℃ ≤ Tj ≤ 85℃			80	
I_{IO}	SDIO 引脚的电流					6	mA
	ODIO 引脚的电流					20	mA
T_A	环境温度，S 版本			-40		125	°C
T_J	最大结温，S 版本					130	°C

English Document: SLAAEG4
Copyright © 2025 Texas Instruments Incorporated

表 8-3. MSPM0C GPIO 最大绝对额定值（续）

				最小值	标称值	最大值	单位
f_{MCLK}	MCLK、CPUCLK、ULPCLK 频率	MSPM0C1103 和 MSPM0C1104	0 闪存等待状态			24	MHz
		MSPM0C1105 和 MSPM0C1106	0 闪存等待状态			24	
			1 闪存等待状态			32	

备注

- I/O 的总电流必须小于 I_{VDD} 的最大值。
- ODIO 在固定引脚上进行了增补；请参阅器件数据表。

SDIO 可以灌入或拉取 6mA（典型值）的最大电流，该电流足以驱动典型 LED。组合在一起的总电流必须小于 I_{VDD}。

8.3 开漏 GPIO 可在没有电平转换器的情况下支持 5V 通信

ODIO 可承受 5V 输入。由于 ODIO 是开漏的，因此该引脚需要一个外部上拉电阻才能输出高电平。该 I/O 可用于具有不同电压电平的 UART 或 I2C 接口。为了限制电流，必须在该引脚和上拉电阻之间放置一个串联电阻，并且 RSERIES 不得小于 250Ω。如图 8-1 所示，TI 建议使用 270Ω。上拉电阻的值取决于输出频率（请参阅节 7.3）。

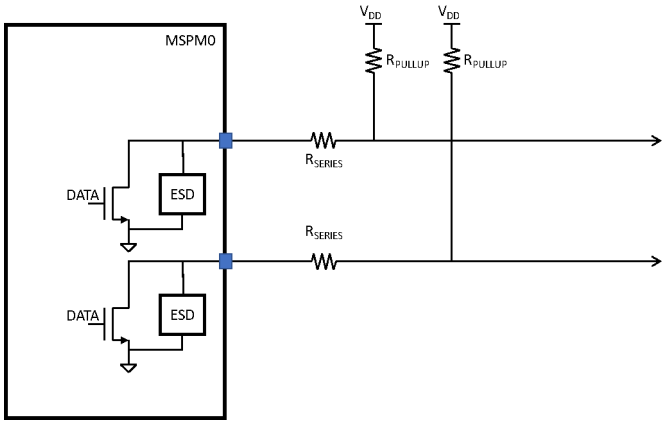

图 8-1. 建议的 ODIO 电路

8.4 在没有电平转换器的情况下与 1.8V 器件通信

MSPM0C 系列器件使用 3.3V 逻辑电平（不包括 ODIO）。为了在没有外部电平转换器器件的情况下与 1.8V 器件通信，图 8-2 给出了一个用于连接 1.8V 器件的建议电路。

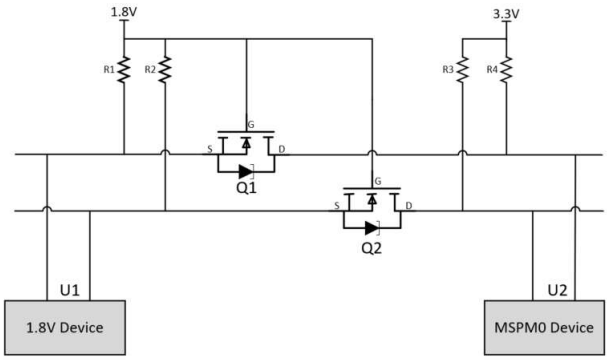

图 8-2. 与 1.8V 器件通信的建议电路

Copyright © 2025 Texas Instruments Incorporated

此电路中使用了两个 MOSFET；检查 VGS 以确保 MOSFET 能够使用低 RDS (on) 完全导通。对于 1.8V 器件，在 MOSFET 上使用低于 1.8V 的 VGS。但是，不要使用极低 VGS MOSFET，因为这会导致 MOSFET 在极低的电压下导通（MCU 逻辑将其判断为 0），从而导致通信逻辑错误。

U1 输出和 U2 输入

1. U1 输出：*1.8V 高电平*，Q1 VGS 约为 0，因此 Q1 关闭，U2 通过 R4. 读取 *3.3V 高电平*。
2. U1 输出：*低电平*，Q1 VGS 接近 1.8V，因此 Q1 导通，U2 读取 *低电平*。

U1 输入和 U2 输出

1. U2 输出：*3.3V 高电平*，U1 通过 R1 保持 1.8V，且 Q1 关断，因此 U1 读取 *1.8V 高电平*。
2. U2 输出：*低电平*，U1 先通过 R1 保持 1.8V，但 MOSFET 中的二极管会将 U1 拉低至 0.7V（二极管压降），进而使 VGS 大于导通电压，Q1 导通，U1 读取 *低电平*。

8.5 未使用引脚连接

所有微控制器均专为多种应用而设计，通常特定应用不会使用 100% 的 MCU 资源。

要提高 EMC 性能，请勿将未使用的时钟、计数器和 I/O 保持空闲或悬空；例如，将 I/O 设置为 0 或 1（未使用 I/O 引脚上的上拉或下拉）并禁用未使用的功能。

表 8-4. 未使用引脚的连接

引脚	电势	注释
PAx	开路	将相应的引脚功能设置为 GPIO (PINCMx.PF = 0x1) 并使用内部上拉或下拉电阻器将未使用的引脚配置为输出低电平或输入。
NRST	VDD	NRST 为低电平有效复位信号；它必须上拉至 VCC，否则器件不会启动。

备注

- 为了减少泄漏，TI 建议将 I/O 配置为模拟输入或推挽，并将其设置为 *0*。
- 必须下拉 BSL 调用引脚，以避免在复位后进入 BSL 模式。

English Document: SLAAEG4
Copyright © 2025 Texas Instruments Incorporated

9 布局指南

9.1 电源布局

图 9-1 展示了电源布局的典型器件放置和布线；您必须针对 MSPM0C 器件进行相应修改。您可以选择将滤波电感与 VCC 和 MCU VDD 引脚串联。该电感用于滤除 DCDC 的开关噪声频率。有关具体值，请参阅 DCDC 供应商的数据表。MSPM0C 器件数据表中的 C1、C2 和 C3 值及布局。

备注

- 保持最小电容并尽可能靠近 MCU VDD 引脚 (C1 < C2 < C3)。
- 所有布线都可以直接连接，无需任何过孔。

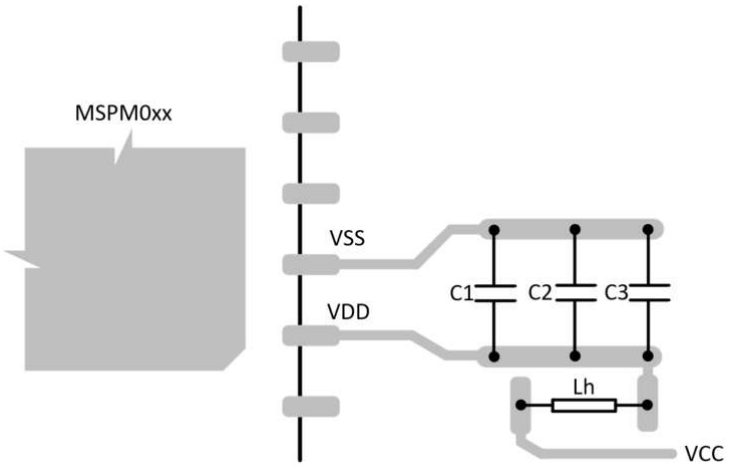

图 9-1. 建议的电源布局

9.2 接地布局注意事项

系统地是电路板上与噪声和 EMI 问题相关的最关键区域和基础。要更大限度地减少这些问题，最实用的方法是使用单独的接地平面。

9.2.1 什么是接地噪声？

来自电路（例如驱动器）的每个信号都有一个通过接地路径流向其来源的返回电流。随着频率升高，甚至对于继电器等简单但高电流的开关，由于存在线路阻抗，因此会产生压降，进而会在接地方案中产生干扰。返回路径始终是阻力最小的路径。对于直流信号，这可以是电阻最小的路径。对于高频信号，这可以是阻抗最低的路径。这说明了接地平面如何简化该问题，并且是确保信号完整性的关键。

TI 不建议数字返回信号在模拟返回（接地）区域内传播；因此，请分离接地平面，以将所有数字信号返回环路保持在接地区域内。在完成这种分离时必须要仔细。许多设计使用单个（通用）稳压器来生成具有相同电压电平（例如 3.3V）的数字和模拟电源。将模拟电源轨和数字电源轨及各自接地端相互隔离。隔离接地端时请小心，因为两个接地都必须在某处短接。图 9-2 展示了如何防止数字信号的可能返回路径形成一个通过模拟接地的环路。在每个设计中，考虑元件放置方式等因素来确定公共点。请勿添加与任何接地布线串联的任何电感器（铁氧体磁珠）或电阻器（甚至不是 0Ω）。由于高频下的相关电感，阻抗会增加，从而会导致电压差。请勿将以数字地为基准的信号路由到模拟地或其他方向。

Copyright © 2025 Texas Instruments Incorporated

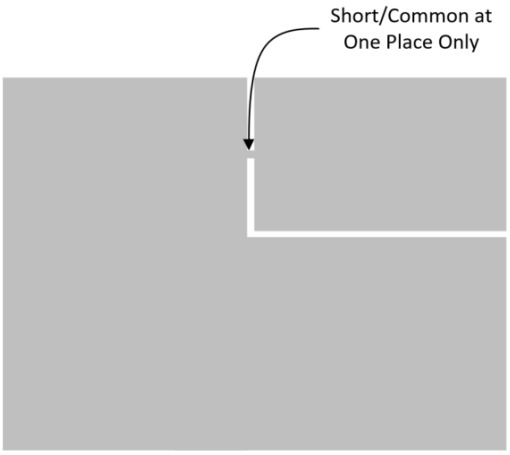

图 9-2. 数字地和模拟地以及公共区域

9.3 布线、过孔和其他 PCB 元件

布线中的直角可能会导致更多辐射。转角区域的电容会增加，并且特征阻抗会改变。这种阻抗变化会导致反射。避免布线中出现直角弯曲，并尝试以至少两个 45° 角进行布线。为了尽量减少阻抗变化，最好的布线方式是圆形弯曲，如图 9-3 所示。

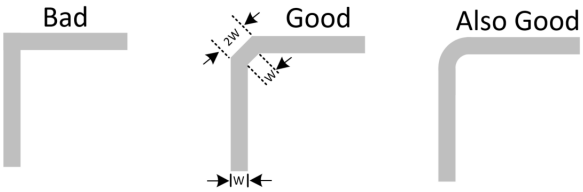

图 9-3. 直角弯曲布线的错误和正确方式

为了更大限度地减少串扰，在一层上和相邻的层之间，两个信号之间都应相互呈 90° 布线。更复杂的电路板在布线时需要使用过孔；但是，使用过孔时必须小心，因为该过孔会增加额外的电感和电容，并且会由于特征阻抗的变化而产生反射。过孔还会增加布线长度。使用差分信号时，还要在两条布线中使用过孔或补偿另一条布线中的延迟。

对于信号布线，请更加注意高频脉冲信号的影响，尤其是对相对较小的模拟信号（如传感器信号）的影响。交叉过多会将高频信号的电磁噪声耦合到模拟信号中，这将导致信号的信噪比较低并影响信号质量。因此，在设计时应避免交叉。但是，如果确实存在不可避免的交叉点，则 TI 建议垂直相交，以更大限度地减少电磁噪声的干扰。图 9-4 展示了如何降低该噪声。

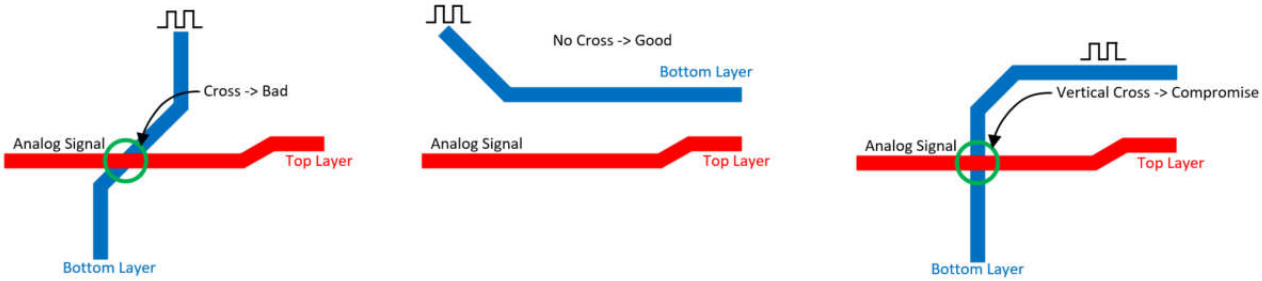

图 9-4. 模拟和高频信号的错误和正确交叉布线

Copyright © 2025 Texas Instruments Incorporated

9.4 如何选择电路板层和建议堆叠

为了减少高速信号上的反射，应匹配拉电流、灌电流和传输线路之间的阻抗。信号布线的阻抗取决于几何形状及相对于任何参考平面的位置。

针对特定的阻抗要求，差分对之间的布线宽度和间距取决于所选的 PCB 堆叠。由于根据 PCB 技术的类型和成本要求，最小布线宽度和间距存在限制，因此需要选择 PCB 堆叠，来实现所有必需的阻抗。

可使用的最小配置为 2 个堆叠。对于具有多个高速信号且非常密集的 PCB，需要使用 4 层或 6 层电路板。

以下堆叠（请参阅图 9-5）是一个 4 层电路板示例，可用作帮助进行堆叠评估和选择的起点。这些堆叠配置使用靠近电源平面的 GND 平面来增加电容并减小 GND 和电源平面之间的间隙。顶层的高速信号将具有一个实心 GND 参考平面，这有助于减少 EMC 辐射，因为增加层数并为每个 PCB 信号层提供 GND 参考将进一步提高辐射 EMC 性能。

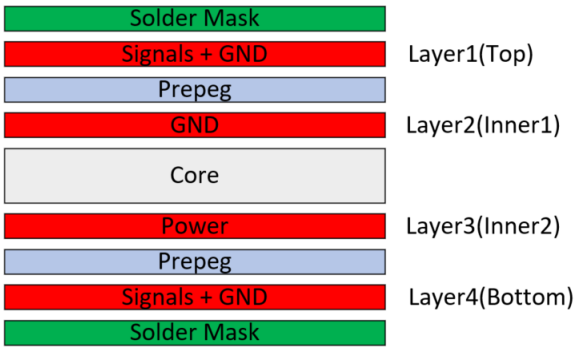

图 9-5. 四层 PCB 堆叠示例

如果系统不是很复杂，则没有高速信号或一些敏感的模拟信号，那么 2 个堆叠的结构就足够了。

Copyright © 2025 Texas Instruments Incorporated

10 引导加载程序

MSPM0C1103 和 MSPM0C1104 没有 ROM BSL。用户需要使用辅助 BSL 并将辅助 BSL 代码放置在闪存中的 0x0 地址处。MSPM0C1105 和 MSPM0C1106 也没有 ROM BSL，但 MSPM0C1105 和 MSPM0C1106 支持 NONMAIN 中的 BSL 调用引脚设置和辅助 BSL 地址（备用 BSL 地址）设置。这些配置允许 MSPM0C1105 和 MSPM0C1106 在引导过程中检查调用引脚，并直接跳转到辅助 BSL 地址。

11 总结

本应用手册提供了德州仪器 (TI) 的 MSPM0 C 系列微控制器 (MCU) 的全面硬件设计指南。本文档详细介绍了开发人员使用面向低功耗应用且具有成本效益的 32 位 MCU 时的基本实施方面。本应用手册包含有关设计和实施关键硬件组件的实用说明，其中包括：

- 电源配置
- 重置电路设计
- 时钟系统设置
- 调试接口连接
- 模拟外设实现
- 通信接口集成
- GPIO 配置
- PCB 布局建议

本文档可作为参考手册供工程师查阅，协助工程师使用 MSPM0 C 系列 MCU 开发在检测、测量和控制应用中使用的硬件设计。

12 参考资料

- 德州仪器 (TI)，*MSPM0C1104 混合信号微控制器*，数据表
- 德州仪器 (TI)，MSPM0C1105 和 MSPM0C1106 混合信号微控制器，数据表
- 德州仪器 (TI)，*MSPM0 C 系列 24MHz 微控制器技术参考手册*
- 德州仪器 (TI)，*MSPM0 L 系列 MCU 硬件开发指南*，应用手册

13 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (June 2025) to Revision B (July 2025) **Page**

- 使用 MSPM0C1105 和 MSPM0C1106 的新信息更新了整个文档 1
- 更新了 表 1-1 中的信息。 3
- 添加了 *低频晶体振荡器 (LFXT) 节内容* 8
- 添加了 *高频晶体振荡器 (HFXT) 节内容* 9
- 向数据表添加了新基准 29

Copyright © 2025 Texas Instruments Incorporated

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。 严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司