

## TI AFE8092, AFE8030 JESD204 配置及调试手册- Part A

Zhizhao Niu

China Key Account Team

### 摘要

AFE8092, AFE8030 是一代高性能、大带宽, 多通道收发器。集成了 8 个射频采样发射通道、八个射频采样接收通道和两个复用 ADC 的反馈接收通道 (AFE8030 中含有两个独立的反馈 ADC 通道)。AFE8092/30 在 8 通道模式下最多能够支持 400MHz IBW 或者 800MHz 模拟信号带宽, 非常适用于多频段的 4G 和 5G 基站。在 8 通道, 800MHz 大带宽的场景下, 会有 260Gbps 的串行数据总量在 ASIC/FPGA 和 AFE8092/30 之间交互。为了能够支持如此高的数据总量, AFE8092/30 集成了 8 对 Serdes 收发通道, 并且支持 JESD204C 协议, 每条 lane 的最大速率能够达到 32.5Gbps。JESD204 接口作为系统中速率最高的总线之一, 往往在产品研发调试阶段需要花费大量的时间去进行配置和调试。本系列文章分为两个部分, Part A 将以 JESD204C 为例介绍 AFE8092/30 (下文将统称为 AFE80) JESD204C 模块的组成以及用户将如何进行系统参数配置。Part B 中将详细介绍 AFE80 JESD 建联流程, 常见的告警以及解决方法, 如何对 JESD 链路的稳定性进行优化等技术细节。

### 目录

1	引言.....	2
2	AFE80的JESD204C模块.....	3
2.1	RX/FB DDC-JESD MUX模块.....	5
2.1.1	Data Mux模块使能(adcDataMuxEn).....	5
2.1.2	RX Data Mux配置模块 (rxDataMux).....	5
2.1.3	FB Data Mux配置模块 (fbDataMux).....	5
2.2	ADC_JESD_TX_ABCD Instance.....	6
2.2.1	Mapper模块和Sync Mux模块.....	6
2.2.2	IP layer模块.....	8
2.3	Lane mux模块和Serdes模块.....	9
2.3.1	Lane mux模块 (jesdTxDLaneMux).....	9
2.3.2	Serdes模块.....	9
3	DAC_JESD模块.....	11
3.1	Lane Mux和Serdes模块.....	12
3.1.1	Lane Mux模块 (jesdRxDLaneMux).....	12
3.2	DAC_JESD模块.....	13
3.2.1	DAC_JESD 协议参数 (jesdRxProtocol).....	13
3.2.2	DAC_JESD组帧配置 (LMFSHdTx).....	13
3.2.3	DAC JESD RBD设置 (jesdRxRbd).....	13
4	AFE80 ADC JESD204C配置实例.....	14

5	结论.....	15
6	参考文献.....	15

图		
Figure 1.	AFE80 功能模块框图.....	3
Figure 2.	AFE80 ADC_JESD模块功能框图.....	4
Figure 3.	AFE80 ADC_JESD模块功能框图.....	4
Figure 4.	AFE80 ADC_JESD模块JESD System Mode.....	7
Figure 5.	AFE80 JESD System Mode默认Lane输出.....	7
Figure 6.	AFE80 Serdes能够支持的速率.....	10
Figure 7.	AFE80 Serdes模块框图.....	10
Figure 8.	AFE80 DAC_JESD模块功能框图.....	11
Figure 9.	Latte AFE80 DAC_JESD模块界面.....	12
	AFE80 JESD204C 系统参数配置.....	Error! Bookmark not defined.

## 1 引言

AFE8092 是一款高性能、大带宽，多通道收发器。集成了八个射频采样发射通道、八个射频采样接收通道和两个复用 ADC 的反馈接收通道，但是每个接收通道和发射通道的前端 DSA 是独立存在的。如果在 FDD 应用中需要用到两个独立的反馈通道，TI 还有同一系列，封装和引脚完全兼容的 AFE8030 供客户选择，独立的两个反馈通道 ADC 和接收通道 ADC 性能完全相同。AFE80 发射通道和接收/反馈通道的高动态范围使其可以满足 3G、4G 和 5G 通信制式的要求。而大带宽，高集成度的能力又使得 AFE80 非常适用于多频段 4G 和 5G 基站。

AFE80 在 8 通道模式下最多能够支持 800MHz 带宽，使得非常适用于多频段的 4G 和 5G 基站。在 8 通道，800MHz 大带宽的场景下，需要 260Gbps 的串行数据总量输入到 AFE80 中。为了能够支持这么大的数据总量，AFE8092 集成 8 对 Serdes lane，并且支持 JESD204B/C 协议，每条 lane 的最大速率能够达到 32.5Gbps。JESD204 接口作为系统中速率最高的总线之一，往往在产品研发调试阶段需要花费大量的时间去进行调试。本文将 JESD204C 为例，系统地介绍 AFE80 JESD204C 模块的组成，系统参数配置。同时 TI AFE77/79/80 系列的射频收发器也支持 JESD204B 协议，并且配置和调试方法基本相似，本文不再赘述，感兴趣的读者可以参考“[AFE77 JESD204B 调试手册](#)”。

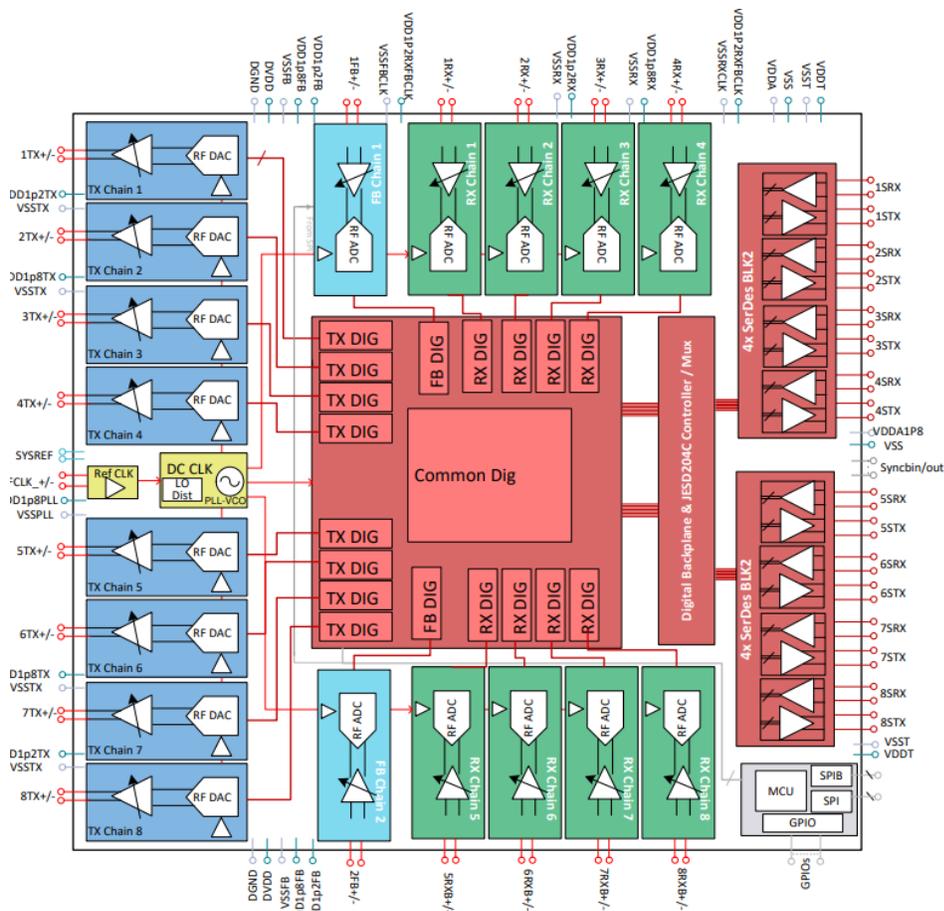


Figure 1. AFE80 功能模块框图

## 2 AFE80 的 JESD204C 模块

AFE80 内部 JESD204 模块主要由 4 个部分组成。链路层和传输层由 ADC\_JESD 模块和 DAC\_JESD 模块实现，物理层由 Serdes 模块实现，以及 ADC 和 DAC\_JESD 共同的设定由更上层的更上层的 SUBCHIP 模块实现。

ADC\_JESD 模块是处于 ADC 侧的 JESD204 发送模块。按照 JESD204C 的协议，也可以将 ADC\_JESD 模块分成实现传输层的映射模块 (Mapper)，实现链路层的 IP Layer，以及负责物理层传输的 Serdes 模块，如下图 2 所示。

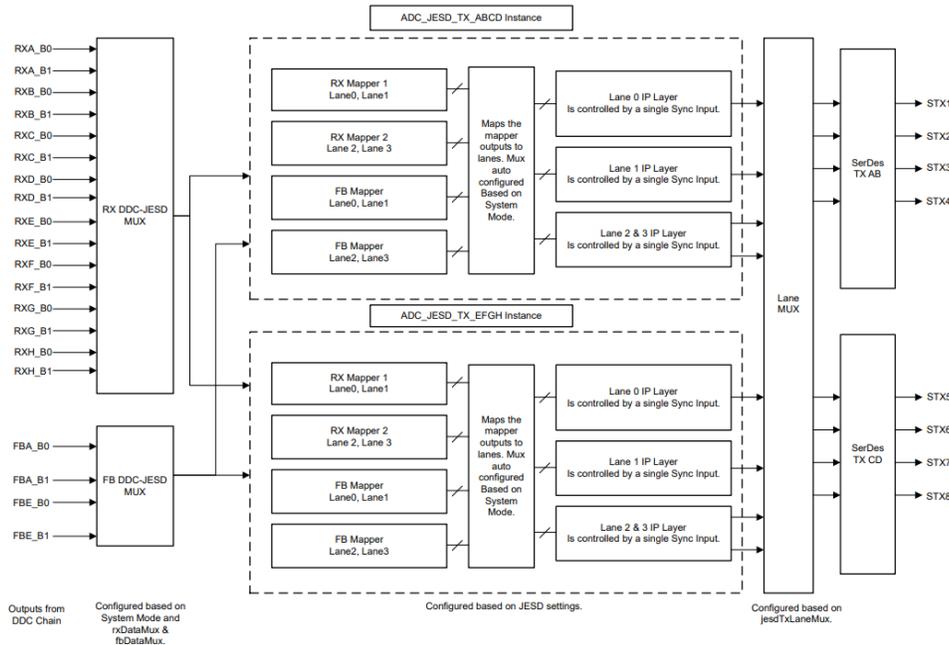


Figure 2. AFE80 ADC\_JESD 模块功能框图

除了和 JESD 协议相关的模块之外，在 AFE80 内部还增加了两个通道开关（MUX），一个是位于 DDC 模块和 Mapper 模块之间的 Data Mux，另一个是在 IP layer 和 Serdes 模块之间的 Lane mux。这两组通道开关为用户提供了非常灵活的从 ASIC 数字通道到 AFE80 射频模拟通道之间的映射关系。本章将结合 AFE80 的功能框图和 GUI 软件 Latte 界面去分别介绍每一个模块的功能以及配置方法，如图 3 所示。下面章节将分别对这些模块和参数进行介绍。

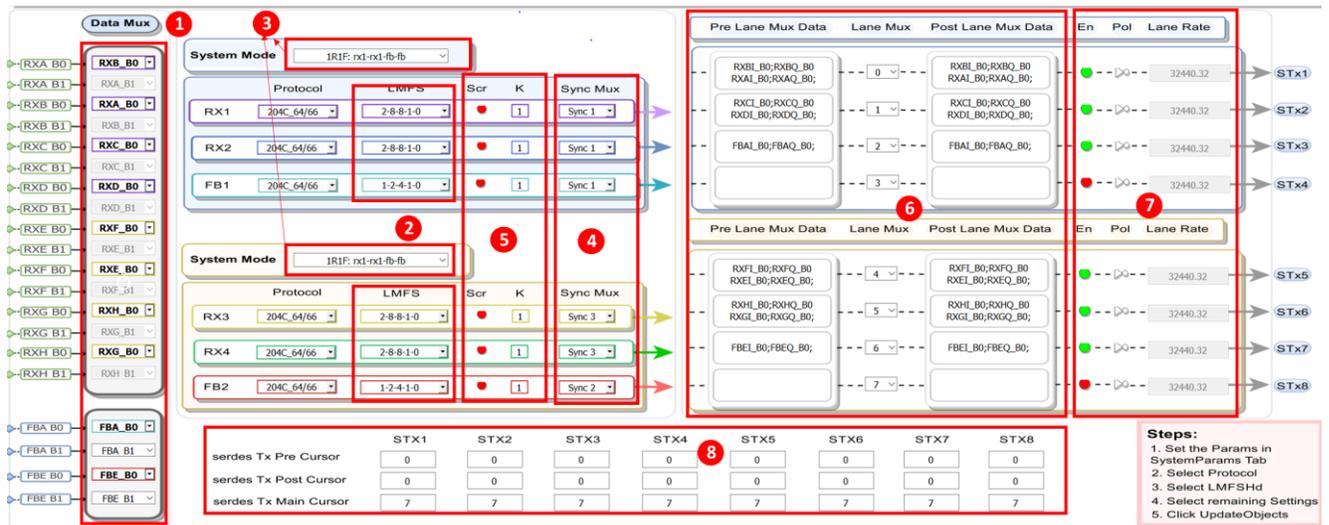


Figure 3. AFE80 ADC\_JESD 模块功能框图

## 2.1 RX/FB DDC-JESD MUX 模块

RX/FB DDC-JESD MUX 又被称为 Data Mux 模块，位于 DDC 模块和 JESD 模块之间，默认的数据通道顺序是 RXA-RXH, FBA, FBE。但是在实际的应用中由于布板限制，用户可能需要将 AFE80 的默认数据通道顺序进行调整。AFE80 可以支持当交换的两个通道具有相同的接口速率时，可以通过 Data Mux 将通道之间的数据进行交换。比如，默认情况下任何 LMFS 组帧格式中，RXA 的数据始终在 RXB 之前，如果想要改变顺序就需要利用 Data Mux 将 RXA 通道和 RXB 通道进行交换。如图 3 所示，当交换了 RXA 和 RXB 的顺序之后，数据在 Serdes lane 上的顺序也会改变，但是需要注意的是每个通道 I, Q 数据的顺序是无法颠倒的。用户可以通过 Latte 界面检查自己的配置文件，如图 3 中①所示。下面将介绍使能 Data mux 功能时需要配置的系统参数。

### 2.1.1 Data Mux 模块使能(adcdDataMuxEn)

1-使能 data Mux 模块。0-不使能，进入 JESD 模块的数据将保持默认的顺序。

### 2.1.2 RX Data Mux 配置模块 (rxDataMux)

当 adcdDataMuxEn=1，可以通过 rxDataMux 对 RX data mux 模块进行配置。参数格式如下：

```
sysParams.rxDataMux = [A_B0, A_B1, B_B0, B_B1, C_B0, C_B1, D_B0, D_B1, E_B0, E_B1, F_B0, F_B1, G_B0, G_B1, H_B0, H_B1]
```

- `_B0,_B1` 表示 DDC 的 band，对于 AFE8092 只有一个 DDC 的 band，只有 `_B0` 对应的参数有效。而 AFE8030 含有两个 DDC band，所以 `B0` 和 `B1` 分别表示一个 band；该参数中每一个元素的位置表示经过 Data mux 之后数据出现在 JESD 模块上的新位置。
- 用数字 0~15 表示在 Data mux 之前每个通道的默认输出 `A_B0~H_B1`。对于 AFE8092 只有一个 band，对应的系统参数中只有 0, 2, 4, ...14 等偶数有效。对于 AFE8030 含有两个 band 的产品，所有参数均有效。所以 Data mux 的过程就是将 0~15 的数字按照想要的规则排布在 `rxDataMux` 数组的不同位置上。
- 例如需要将 RXA Band0 和 RXC Band1 的数据进行交换，则交换前和后的参数为：

Default: `rxDataMux=[ 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15]`

After: `rxDataMux=[ 5, 1, 2, 3, 4, 0, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15]`

### 2.1.3 FB Data Mux 配置模块 (fbDataMux)

如果 FB 需要使能该模块则需要对 `fbDataMux` 进行配置：

- `fbDataMux`：参数 0~3 表示 `FBA_B0~FBE_B1`。其他的配置逻辑和 `rxDataMux` 相同。也需要使 `adcdDataMuxEn=1`。

## 2.2 ADC\_JESD\_TX\_ABCD Instance

AFE80 包含两个 ADC\_JESD\_TX\_ABCD instance，以下简称 ADC\_JESD 模块。每个 ADC\_JESD 模块包含 4 个 Mapper 模块（2 个给 RX 通道使用，2 个给 FB 通道使用），一个 System mode based mux 模块和 3 个含有独立 Sync 输入的 IP layer。下面将分别介绍每一个模块功能以及配置参数。

### 2.2.1 Mapper 模块和 Sync Mux 模块

这两个模块对应于 JESD204 协议中的传输层（Transport layer）。Mapper 将根据 JESD204 协议（jesdTxProtocol），组帧配置（LMFSHdRx/Fb），System mode based mux (rx/fbJesdTxSyncMux)，JESD System Mode (jesdTxSystemMode)对 data mux 输出的并行数据转换成串行数据，并对输出进行重新排列。

通常，用户配置时需要首先确定 JESD 协议与组帧方式，再根据通讯制式（TDD/FDD）的要求选择 JESD system mode，例如 RX 和 FB 通道是否需要共享 Serdes lane。当这几项确定后，AFE80 的 GUI 软件 Latte 会自动进行分配 Sync Mux。下面将分别介绍如何对每一个系统参数进行配置。

#### 2.2.1.1 RX/FB JESD 协议 (jesdTxProtocol) 与 JESD 组帧配置 (LMFSHdRx/Fb)

RX/FB JESD 的协议设置是针对每一个 mapper 进行的设置，系统参数 jesdTxProtocol 共含有 6 个元素，

```
sysParams.jesdTxProtocol = [ RXAB, RXCD, FBA, RXEF, RXGH, FBE]
```

```
0: 204B; 2: 204C 64/66; 3: 204C 64/80
```

由于 AFE80 的 serdes 核速率由 Serdes PLL 决定，而 Serdes PLL 的锁定速率又有限。因此对于一个 ADC\_JESD 模块不能选择不同的 JESD 协议，也就是说顶部的 4 个 serdes lane 的 JESD204 协议必须相同，底部的 4 条 serdes lane 的 JESD204 协议必须相同。章节 2.3.2 会对 Serdes 模块进行详细的介绍。

RX/FB JESD 组帧方式由参数 LMFSHdRx/Fb 进行配置。由于 AFE80 中含有两个 ADC\_JESD 模块，因此一个 ADC\_JESD 内核的 LMFSHdRx/Fb 最多是按照 4 条 STX lane 定义的。如果要将 8 条 STX lane 配置成一个 link，只需要将 L 和 M 翻倍即可。AFE80 支持几乎所有常用的 LMFSHdRx/Fb 的配置，本文不再赘述。用户也可以在 Latte 界面中找到对应的配置，如图 3 中的 ②所示。

#### 2.2.1.2 JESD System Mode 参数 (jesdTxSystemMode)

ADC\_JESD 有多种 System mode，可以根据具体用例进行选择。JESD system mode 对于每一个 ADC\_JESD 模块都是独立的。不同的 JESD system mode 决定了 Mapper 的使用方式。Mapper 可以单独使用，也可以合并在一起使用。用户可以根据需求选择不同的模式，如图 3 中 ③所示的下拉框中所支持模式的具体定义可以参考图 4。其中列出了 AFE80 可以支持的所有 JESD system mode，Mode 1 和 Mode 4 是最常用的两种模式。图 5 中列出了在每一种模式下，Mapper 是如何对数据进行处理。其中：

- rxm1 指的是 RX Mapper 1, rxm2 指的是 RX Mapper 2, rxm12 指的是 RX Mapper 1 和 2 变成一个 Mapper 进行使用。
- rxm1 通常对 RXAB/RXEF 通道进行映射, rxm2 对 RXCD/RXGH 通道进行映射, rxm12 对 RXABCD/RXEFGH 通道进行映射。
- rxm12/fb 或 rxm2/fb 表示在 TDD case 下需要进行 Lane Sharing, 此时, TDD 信号用来决定此时应该输出的是 RX/FB 的数据。
- 注意图 5 中是以 LMFS 配置是每一个 Mapper 将所有 lane 都用完时的情况。如果实际情况下 lane 数量不足, 比如, RX 的 LMFS=1-8-16-1, FB 的 LMFS=2-2-2-1, 当使用 JESD system mode 1 时, 上表中默认的 lane0 输入通道 RXABCD 的数据, lane1 没有数据, lane2 和 lane3 同时输出 FBA 的数据。

JESD SYSTEM MODE	MODE NAME	USE CASE
0	2R1F-FDD	Channel pairs RXAB, RXCD, and FBA (RXEF, RXGH, and FBE for instance 1) channels must: <ul style="list-style-type: none"> <li>• Come out on different lanes and links, or</li> <li>• Different data rates (FDD), or</li> <li>• Different lane rates or LMFSHd modes.</li> </ul>
1	1R1F-FDD	This is needed when all RX of the JESD instance (ABCD for instance 0 and EFGH for instance 1) have the same data rates and FB must be on different lanes. 4 lanes in each ADC JESD instance corresponds to 1 or 2 independent JESD Tx Links, where RX uses 1 Links and FB uses 1 link (or) RX and FB uses the same link. <ul style="list-style-type: none"> <li>• Need dedicated lanes and links for RX and FB, or</li> <li>• Lane rate is not same for RX and FB, or</li> <li>• 'F' of LMFSHd of RX and FB are not equal.</li> </ul>
2	1R	This is for the case where, FB is not needed and one instance of ADC-JESD is used for single link of RX.
3	1F	This is for the case where, RX is not needed and one instance of ADC-JESD is used for single link of FB.
4	1R1F-TDD	This is for RX and FB lane sharing case with same link.
5	1R-FDD 1R1F-TDD	<ul style="list-style-type: none"> <li>• Time Division Duplexing (TDD) and Frequency Division Duplexing (FDD)</li> <li>• Bottom two of the 4 Lanes needs to be dynamically time shared between RX and FB based on external pin control i.e. TDD configuration</li> <li>• 4 lanes in each ADC JESD instance corresponds to 1 or 2 links</li> </ul>

**Figure 4. AFE80 ADC\_JESD 模块 JESD System Mode**

System Mode Name	2R1F-FDD	1R1F-FDD	1R	1F	1R1F-TDD	1R-FDD 1R1F-TDD
jesdTxSystemMode	0	1	2	3	4	5
Lane 0	rxm1	rxm1	rxm12	fb	rxm12/fb	rxm1
Lane 1	rxm2	rxm1	rxm12	fb	rxm12/fb	rxm1
Lane 2	fb	fb	rxm12	fb	rxm12/fb	rxm2/fb
Lane 3	fb	fb	rxm12	fb	rxm12/fb	rxm2/fb

**Figure 5. AFE80 JESD System Mode 默认 Lane 输出**

### 2.2.1.3 Sync Mux 模块 (rx/fbJesdTxSyncMux)

AFE80 内部在 JESD204C 中可以有 6 个 ADC JESD Sync 组合，分别时 Sync1~Sync6。Sync 信号的配置必须根据 JESD system mode 和 LMFSHd 的配置进行配置，对于同一个 JESD link 来说需要用到的 IP layer sync 信号必须一致。如图 2 所示，每一个 IP layer 都由一个 sync 信号进行控制。当 JESD system mode 和 LMFSHd 配置好后 IP layer 的 Sync 组合已经确定，所以 AFE80 GUI 软件 Latte 考虑到这一点，当用户选定了 JESD system mode 和 LMFSHd 参数时，会自动的进行 Sync 信号的配置。在 Latte 中对应的模块如图 3 中④所示。

## 2.2.2 IP layer 模块

IP layer 模块属于 JESD204 协议中的链路层 (link layer)，主要负责建立 JESD204 链路时的收发侧的协议交换以及对 mapper 输出的原始数据进行 8b/10b, 64/66b, 64/80b 编码。和之前的 Sync Mux 模块一起决定了每一条 lane 上的数据排列。IP layer 中包含了以下参数。在 Latte 中的位置如图 3 中⑤所示。

### 2.2.2.1 Scrambler for RX/FB (rx/fbJesdTxScr)

该参数表示是否对 mapper 的输出数据进行扰码。对于单个链接下的所有映射器，必须将它配置相同的值。通常建议在 JESD204B 协议中启用扰码器，因为它会在发送连续不翻转 bit 时随机化数据，防止出现杂散。在 JESD204C 中，由于采用 64/66B 编码，可以认为 64 位的扰码始终使能。使能扰码功能可以提高链路稳定性，并防止 SerDes 通道上的重复序列引起的杂散。例如，SerDes 上的长重复序列会导致通道速率/20 的 7 次和 9 次谐波。

但在实际应用中，用户也可以根据实际的使用场景不使能扰码，因为对于 JESD204B 和 JESD204C，本身存在的 8B/10B 和 64/66B 编码的方式就能够将数据进行随机化，所以也可以不使能。需要注意的是，如果 ADC 侧使能了加扰，ASIC 侧也需要使能解扰功能。

### 2.2.2.2 JESD204 协议的 K (E)值(rx/fbJesdTxK)

对于不同的协议，该参数对应的意义如下：

JESD204B: rx/fbJesdTxK 表示 rx/fb link 中 LMFC 多帧中帧的个数，JESD204B 规定帧的个数最大为 32。

JESD204C: rx/fbJesdTxK 表示 rx/fb link 中扩展多块(extended multi-block, EMB)中多块的个数。在 JESD204C 中称作“E”。该值的选择在 JESD204C 中非常重要，因为 JESD204C 中需要使用 sysref 与 LEMC 的边界进行同步，以此做为发送和接收端的同步信号。因此 EMB 的边界必须和帧的边界对齐，也就是一个 EMB 中帧的个数必须是整数，因此对于不同的 LMFS，E 的选择可能不同。JESD204C 中一个 EMB 含有 E 个多块，一个多块中含有 32 个块，一个块中含有 8 个字节，即  $E = \text{LCM}(256, F) / 256$ 。通常 ADC 有 16bit 和 12bit 两种输出格式，输出格式会影响到 F 的选择。对于 16bit 的输出格式，每一个数据可以组成两个八字节，F 通常是 2 的指数。而 12bit 数据需要两个组成 3 个八字节，因此 F 通常是 3 的倍数。相应的，对于 16bit 数据，E 必须是 1。对于 12bit 数据，E 必须是 3。需要注意的是 JESD 接收和发射侧需要配置相同的 E。

## 2.3 Lane mux 模块和 Serdes 模块

### 2.3.1 Lane mux 模块 (jesdTxDLaneMux)

Lane mux 位于 IP layer 之后，可以将 IP layer 输出的数据不按照默认 lane 排列进行映射。这里为用户对数据从数字 ASIC/FPGA 到天线口的映射设计又增加了一个维度的自由度。经过 lane mux 交换的数据会通过 Serdes 模块发送出去。Lane Mux 受到系统参数 jesdTxDLaneMux 的控制。默认参数如下：

```
sysParams.jesdTxDLaneMux = [0, 1, 2, 3, 4, 5, 6, 7]
```

jesdTxDLaneMux 是一个有八个元素的数组，每一个元素的位置对应于 lane mux 之后的 serdes STX lane 数字。例如第一个位置对应 STX1，第二个对应 STX2。而每一个位置上的数字表示的是 lane mux 之前 IP layer 输出的默认 lane 的数字。因此通过将 IP layer 输出的默认 lane 和 lane mux 之后的 Serdes STX lane 之间相互对应，就完成了 lane 交叉功能。例如需要将第一和第二条 lane 进行交叉，其他 lane 不变。用户需要将参数修改如下：

```
sysParams.jesdTxDLaneMux = [1, 0, 2, 3, 4, 5, 6, 7]
```

Lane number of JESD functions			Lane number of Serdes functions		
JESD IPO	Link0	JESD IP lane0		Lane0	STX1
		JESD IP lane1		Lane1	STX2
	Link1	JESD IP lane2	Lane2	STX3	
		JESD IP lane3	Lane3	STX4	
JESD IP1	Link0	JESD IP lane4	Lane4	STX5	
		JESD IP lane5	Lane5	STX6	
	Link1	JESD IP lane6	Lane6	STX7	
		JESD IP lane7	Lane7	STX8	

用户也可以在 latte 中更改图 3⑥所示的红色方框中配置 lane mux，然后点击“refresh GUI”去检查是否已经将 lane 的数据正确的进行了 map。

### 2.3.2 Serdes 模块

AFE8092/30 内部含有两个 Serdes 核，每一个 Serdes 核内含有一个 TX block 以及 4 条 STX lane，1 个 RX block 以及 4 条 SRX lane，和一个对于 TX 和 RX block 共同的 serdes PLL，如下图 7 所示。Serdes 模块属于 JESD204C 中的物理层，ADC\_JESD 模块会根据 LMFS 和 JESD system mode，以及 lane mux 决定使用几个 Serdes 核以及 STX lane。当两个 Serdes 核都使能的情况下，最多能够用到 8 个 STX lane。因为每个 Serdes 核都含有独立的 PLL，所以两个 Serdes 核的速率可以不同，这有助于在双频或混频应用中对 AFE80 进行配置优化，节省功耗。对于每一个 Serdes 核的 STX 和 SRX 速率也可以不同，而每一个核内 STX/SRX 之间的速率需要相同或者满足 1/2 与 1/4 的倍数关系。AFE80 Serdes lane 能够支持的速率如下图 6 所示。

Mode	Rates
Full Rate	19 to 32.5 Gbps
Half Rate	9.5 to 16.25 Gbps
Quarter Rate	4.75 to 8.12 Gbps

Figure 6. AFE80 Serdes 能够支持的速率

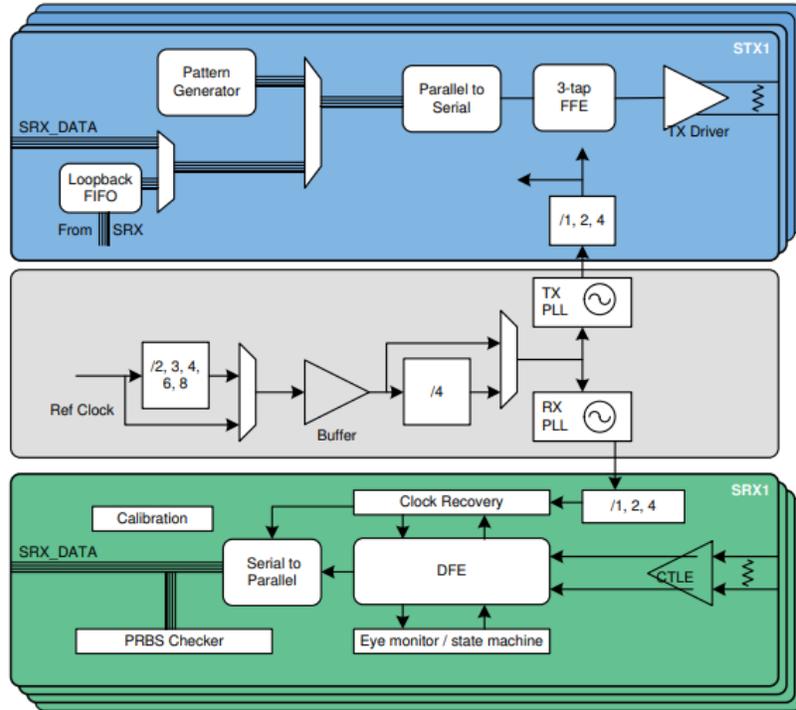


Figure 7. AFE80 Serdes 模块框图

Serdes 模块中有两个相关配置，Serdes TX 的输出极性（`serdesTxLanePolarity`）和 Serdes TX 均衡（`serdesTxPre/Post/MainCursor`）。如图 3 中⑦所示，AFE80 的 Serdes 的极性可以由用户进行配置，但需要注意的是需要让接收和发送侧极性配置相关，否则会造成建链失败。

Serdes STX 提供了 3 tap 的 FFE，用户可以对不同抽头的权重进行调整对眼图质量进行优化。不同抽头的权重可以通过 CAPI 函数“`setSerdesTxCursor`”进行设置。当用户使用 Latte 进行参数设置时可以在图 3 中⑧block 进行设置。

### 3 DAC\_JESD 模块

DAC\_JESD 有 2 个核，DAC\_JESD\_ABCD 和 DAC\_JESD\_EFGH。每个 DAC\_JESD 核都有两个 mapper。每个 mapper 都可以支持独立的数据或通道速率、LMFSHd 模式和链路。AFE80 DAC 侧最多可以支持 4 个 link，当使用完所有 8 个射频 TX 通道时，成对 TX 通道必须具有相同的信号带宽，例如 TXA 和 TXB，TXC 和 TXD。如果需要对不同的通道进行重新组合，可以使用 Data Mux 功能对通道进行重新排列。对于和 ADC\_JESD 模块相似的部分，本章不再赘述。本章将把重点放在不同系统参数配置上。

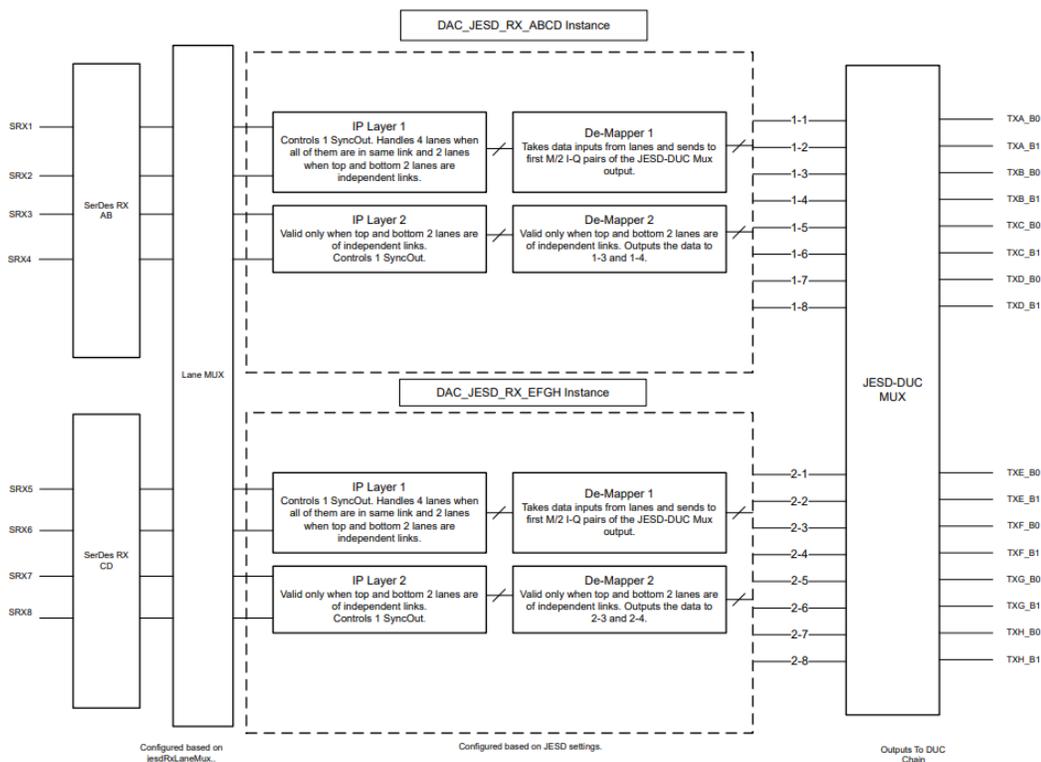


Figure 8. AFE80 DAC\_JESD 模块功能框图

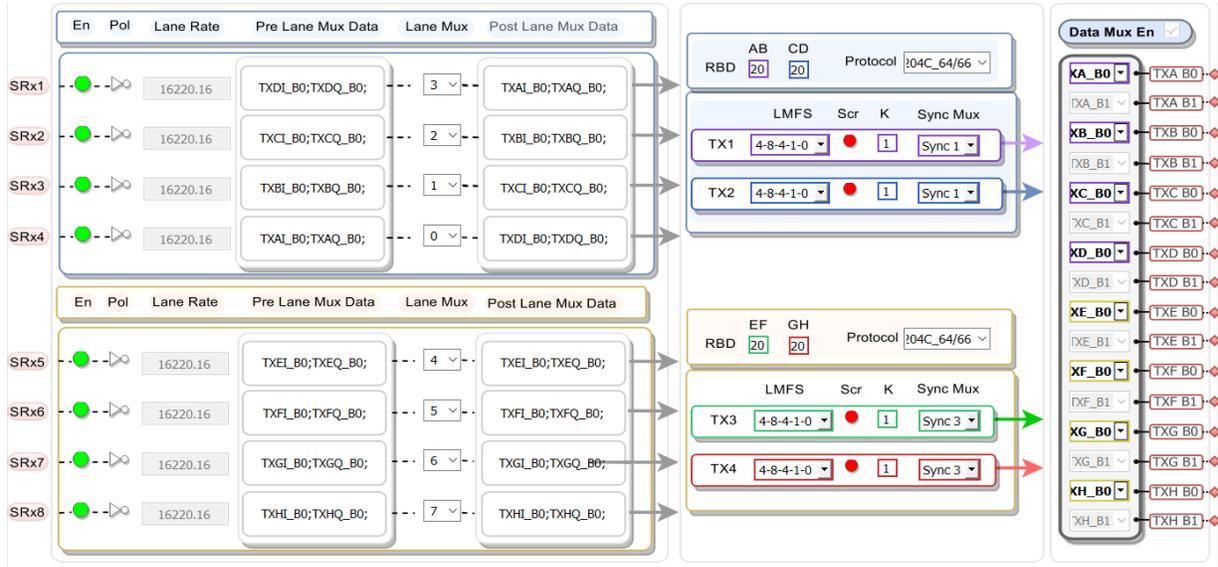


Figure 9. Latte AFE80 DAC\_JESD 模块界面

### 3.1 Lane Mux 和 Serdes 模块

#### 3.1.1 Lane Mux 模块 (jesdRxLaneMux)

Lane Mux 模块 `sysParams.jesdRxLaneMux = [0, 1, 2, 3, 4, 5, 6, 7]`

`jesdRxLaneMux` 也是一个有八个元素的数组，每一个元素的位置对应于 lane mux 之后的 JESD lane 的数字。例如第一个位置对应 JESD 1<sup>st</sup> lane，第二个对应 JESD 2<sup>nd</sup> lane。而每一个位置上的数字表示的是 Lane Mux 之前 serdes lane。例如，如果第四条 serdes lane 上的数据需要传输给第二条 JESD lane，那么就需要将 `jesdRxLaneMux` 按照上面公式进行配置，将第二条 serdes lane 和第四条 serdes lane 的数据进行交叉。

`sysParams.jesdRxLaneMux = [0, 3, 2, 1, 4, 5, 6, 7]`

Lane number of JESD functions			Lane number of Serdes functions	
JESD IP0	JESD IP lane0	—————	Lane0	SRX1
	JESD IP lane1	—————	Lane1	SRX2
	JESD IP lane2	—————	Lane2	SRX3
	JESD IP lane3	—————	Lane3	SRX4
JESD IP1	JESD IP lane4	—————	Lane4	SRX5
	JESD IP lane5	—————	Lane5	SRX6
	JESD IP lane6	—————	Lane6	SRX7
	JESD IP lane7	—————	Lane7	SRX8

同样用户也可以在 latte 中更改图 9 lane mux 的配置后点击“refresh GUI”去检查是否已经将 lane 的数据正确的进行了 map。Serdes 模块与 ADC 侧的定义相同。AFE80 可以控制 serdes lane 的使能，极性选择。但是和 STX 不同的是，SRX 侧含有 CTLE 和 DFE 模块可以对眼图的质量进行优化。在默认的情况下 CTLE 和 DFE 参数会根据输入信号进行自适应，但是同时 AFE80 也提供了手动配置 CTLE 的选型提高 debug 的效率。具体的设置方法将在 Part B 中详细讲解。

### 3.2 DAC\_JESD 模块

AFE80 含有两个 DAC\_JESD 模块，每一个模块中含有 2 个 mapper，2 个 IP layer 并对应于 4 条 Serdes Lane。

- 当 4 条 lane 都对应于一个 link 时，只有 IP layer1 和 De-mapper 1 工作，对应于 4 条 JESD lane。
- 当 4 条 lane 对应于两个 link 时，IP layer 1 和 De-mapper 1 对应于上面两个 lane。IP layer 2 和 De-mapper 2 对应于下面两条 Serdes lane。

在 DAC\_JESD 中 DAC\_JESD K/E(jesdRxK)，加扰(jesdRxScr)， Sync Mux(jesdRxSyncMux)， Data mux enable (dacDataMuxEn)和 DAC data mux(txDataMux) 和 ADC\_JESD 模块中的定义和用法相同，本章不再描述，仅针对以下几个系统参数进行说明。

#### 3.2.1 DAC\_JESD 协议参数 (jesdRxProtocol)

每一个 DAC\_JESD 都可以选择不同的 JESD204 协议，因此该参数含有两种选项，参数定义和 jesdTxProtocol 相同。

sysParams.jesdRxProtocol=[2, 2]

0 – JESD204B

2 – JESD204C 64/66B

3 – JESD204C 64/80B

#### 3.2.2 DAC\_JESD 组帧配置 (LMFSHdTx)

每一个 DAC\_JESD 都可以对该参数进行独立的设定。但是需要注意的是如果一个 DAC\_JESD 核只有一个 link，那么 L 可以为 1~4 中的任意值。如果由两个 link，那么 L 只能取 1 和 2。如果想要实现一个 link 含有 8 条 lane，那么只需要将 L 和 M 翻倍，并将所有的 DAC\_JESD 核内的 LMFS 配置成相同的参数即可。AFE80 所支持的 LMFS 配置请参见数据手册。

#### 3.2.3 DAC JESD RBD 设置 (jesdRxRbd)

对于 204B，该值必须小于  $KF \cdot K / 4 - 1$  值。

对于 204C，该值必须小于  $64 \cdot E - 1$  该值的选择决定了 JESD 链路是否稳定。Part B 中将重点介绍如何设置最优 RBD 参数，保证链路的稳定性。

## 4 AFE80 ADC JESD204C 配置实例

下面将通过一个例子帮助读者加深对 AFE80 配置 JESD 过程的理解。

假设一个 8T8R2FB 的 TDD 系统，TX 和 FB 的接口速率是 491.52Msps，RX 的接口速率是 245.76Msps。所选用的芯片是单 band 的 AFE8092。TX/RX/FB 均使用两个 link，FB 和 RX 不共享 STX lane。Serdes 的速率控制在 16.22Gbps，使用 JESD204C 协议。

根据以上条件可以计算出 TX/FB/RX 所需要采用的 LMFS 为：

- TX 总数据速率=DAC 数量\*16bit\*TX 接口速率/64\*66  
=16\*16\*491.52Msps=129761.28Mbps
- 当给定 serdes 速率为 16Gsps 时，需要的 lane 数=129761.28Mbps/16220Mbps=8
- TX 分为两个 Link，单 link 的 LMFS\_TX=4-8-4-1，E=1。
- 同理，可以计算出 RX 共需要 4 条 Lane，为了增加系统的鲁棒性，可以分成两个 Link，每一个 Link 的 LMFS\_RX=2-8-8-1，E=1。
- 同理，可以计算出 FB 共需要 2 条 Lane，为了增加系统的鲁棒性，可以分成两个 Link，每一个 Link 的 LMFS\_FB=1-2-4-1，E=1。

再根据选择 JESD204C 协议，分为两个 link，可以得到以下系统参数的配置：

Sysparameters	Value
jesdTxFbSystemMode	1
LMFSHdRx	["2-8-8-1-0","2-8-8-1-0","2-8-8-1-0","2-8-8-1-0"]
rxJesdTxFbSyncMux	[0,0,2,2]
LMFSHdFb	["1-2-4-1-0","1-2-4-1-0"]
fbJesdTxFbSyncMux	[3,1]
jesdTxFbProtocol	[2,2,2,2,2,2]
LMFSHdTx	["4-8-4-1-0","4-8-4-1-0","4-8-4-1-0","4-8-4-1-0"]
jesdRxSyncMux	[0,2]
jesdRxProtocol	[2,2]

Table 1. AFE80 JESD204C 系统参数配置

## 5 结论

本文对 AFE80 的 JESD204 模块进行了详细的介绍，解释了 ADC\_JESD, DAC\_JESD 中不同模块的作用以及与 JESD204 协议不同层级的对应关系。在不同的章节中结合 TI AFE80 的 GUI 软件界面解释了不同参数在实际应用中应该如何配置。下一篇文章 Part B 中将详细介绍 AFE80 JESD 建链流程，常见的告警以及解决方法，如何优化 RBD 设置等细节。

## 6 参考文献

1. User Guide“AFE80xx Configuration Guide”
2. 数据手册 “AFE8030 Octal-Channel RF Transceiver with Feedback Paths”

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司