



Yang Wu, Monet Xu

摘要

LED 显示屏系统的硬件和软件设计要求工程师了解 LED 显示屏的设计要求，并确保驱动器性能能够满足这些要求。在配置 LED 驱动器时，许多 LED 显示设计参数会让设计人员感到困惑。

本应用手册介绍了一个新兴 LED 显示终端设备示例 LED 影院屏幕，可帮助设计人员更好地了解和设计 LED 显示屏系统。LED 影院屏幕示例具有 1920Hz 至 7680Hz 刷新率、60/120Hz 帧速率和 14 位至 16 位 PWM 分辨率。本应用手册介绍了如何根据 TI 最新的共阴极矩阵 LED 显示驱动器 TLC6983 分步计算配置参数。

内容

1 引言.....	2
2 设计方案.....	4
2.1 检查子周期数和段长度.....	4
2.2 设计扫描线数.....	5
2.3 设计 SCLK 频率.....	8
3 总结.....	8
4 参考文献.....	8

插图清单

图 1-1. 典型的 4K LED 显示和细分图.....	3
图 2-1. 具有 32 条扫描线的 DS-PWM 算法.....	5
图 2-2. LED 面板模块 (96 × 108) 的详细信息.....	6
图 2-3. LED 面板模块原型板 (96 × 108) 的正面.....	7
图 2-4. LED 面板模块原型板 (96 × 108) 的背面.....	7

表格清单

表 1-1. LED 显示屏基本设计参数.....	2
表 2-1. 子周期数和段长度检查.....	4
表 2-2. LED 显示屏设计要求汇总.....	8

商标

所有商标均为其各自所有者的财产。

1 引言

表 1-1 从产品经理角度展示了 LED 影院屏幕的典型基本设计参数表。根据 LED 面板模块分辨率、帧速率、色深和刷新率的关键信息，系统工程师需要设计一些与 LED 驱动器相关的基本参数，本文档中对此进行了详细讨论。

表 1-1. LED 显示屏基本设计参数

类型	参数	值
物理参数	LED 屏幕分辨率	4K (3840 × 2160)
	LED 屏幕间距 (mm)	2.5
	LED 盒模块分辨率 (点)	384 × 216
	LED 盒模块尺寸 (宽 × 高)/(mm)	960 × 540
	LED 面板模块分辨率 (点)	96 × 108
	LED 面板模块尺寸 (宽 × 高)/(mm)	240 × 270
光学参数	帧速率 (Hz)	60/120
	PWM 分辨率/灰度强度/色深 (位)	14 至 16
	刷新率 (Hz)	1920 至 7680
	典型/最大亮度 (尼特)	48/300 (HDR 影院模式下最大 500 尼特)
	最低亮度 (尼特)	0.03
	黑电平	0.005 尼特或与 DCI 投影仪的黑电平一致
	对比度 (暗室中)	∞ : 1
	色温 (K)	6000
	色域	DCI-P3
	白点	D63 (Xw 0.3140, Yw 0.3510)
	γ 系数	2.6

图 1-1 所示为典型的 4K 分辨率 (3840 × 2160) LED 显示屏和相应的细分图。在 LED 面板模块 (96 × 108) 内，LED 面板模块进一步分解为 18 个子块 (6 组，每组有 3 个子块)，每个块具有 32 个 RGB 通道和 18 条扫描线 (32 × 18)。TLC6983 具有超低功耗的 48x16 共阴极矩阵 LED 显示驱动器数据表规定，可在可堆叠模式下使用双 TLC6983 器件支持 32 × 32 RGB 像素 (32 个 RGB 通道和 32 条扫描线)。为什么系统工程师只使用 18 条扫描线？要考虑的设计注意事项是什么？本应用手册对这些问题进行了深入讨论。

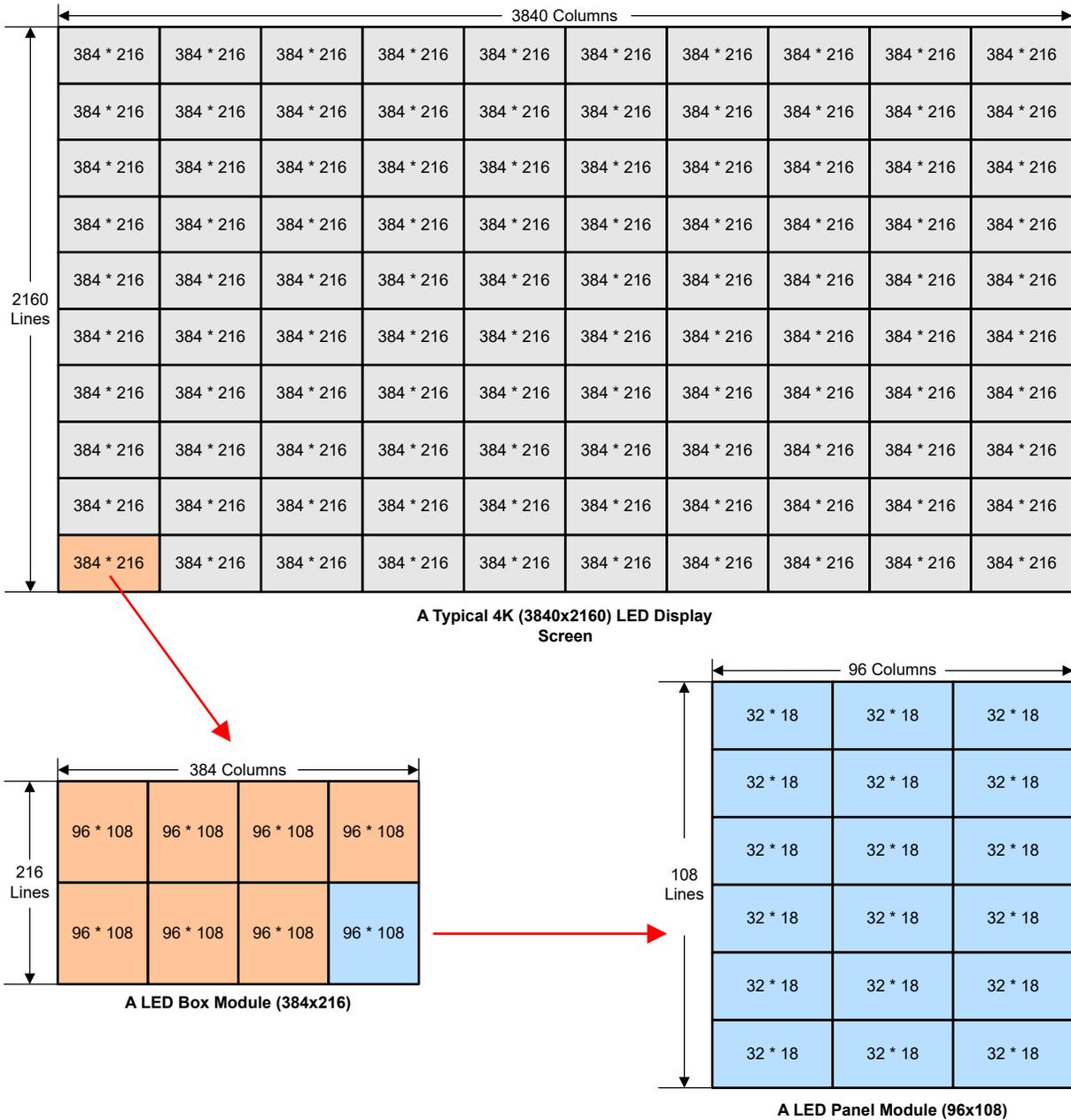


图 1-1. 典型的 4K LED 显示和细分图

2 设计方案

虽然设计参数很多，但每个设计参数并不是完全独立的，并存在一定的相关性或重叠。要实现最佳设计，对设计进行迭代是不可避免的。本应用手册中提供的设计方案大致可以分为三个部分，如后续部分所述。

2.1 检查子周期数和段长度

以下公式中显示了一帧内的子周期 (或子帧) 数 $N_{\text{sub_period}}$ 、段长度 (每个段的 GCLK 数，不包括线路切换时间) $N_{\text{GCLK_seg}}$ 、刷新率 $f_{\text{refresh_rate}}$ 、帧速率 $f_{\text{frame_rate}}$ 和 PWM 分辨率 K 之间的关系表达式。

$$N_{\text{sub_period}} = \frac{f_{\text{refresh_rate}}}{f_{\text{frame_rate}}} \quad (1)$$

$$N_{\text{GCLK_seg}} = \frac{2^K}{N_{\text{sub_period}}} \quad (2)$$

对于 TLC6983， $N_{\text{sub_period}}$ 可设置为 16、32、48、64、80、96、112、128 或 256 (子周期 256 要求启用 SUBP_MAX_256)。 $N_{\text{GCLK_seg}}$ 可以是 128 到 1024 个 GCLK。确保子周期数和段长不超出范围。如果这些参数超出范围，则需要对设计或校正进行迭代。

表 2-1 列出了工程师设计 LED 面板模块 (以 7680Hz、120Hz 的优异性能) 情况下计算出的结果。该表显示计算出的结果在范围之内。

表 2-1. 子周期数和段长度检查

边界条件检查		
一个帧内的最大子周期数	$N_{\text{sub_period}}$	64
每个段的 GCLK 数 (不包括线路开关时间)	$N_{\text{GCLK_seg}}$	1024

但是，如果产品经理希望设计对于 24 FPS 电影应用具有 7680Hz 的最大刷新率，则无法实现所需输出，因为 $N_{\text{sub_period}}$ 值超出范围 ($7680 / 24 = 320 > 256$)。需要降低刷新率才能满足边界条件。再举一个例子，由于 $N_{\text{GCLK_seg}}$ 超出范围，无法实现具有 3840Hz 刷新率、120Hz 帧速率和 16 位 PWM 分辨率的应用 ($t = 2048 > 1024$)。为了满足边界条件，需要提高刷新率或降低 PWM 分辨率。降低 PWM 分辨率不是可接受的结果，但具有较高的刷新率不会影响 LED 显示屏的性能。

2.2 设计扫描线数

图 2-1 显示了 DS-PWM 算法，其中有 32 条线集成到 TLC6983 中。帧速率 ($f_{\text{frame_rate}}$)、段长 ($N_{\text{GCLK_seg}}$)、GCLK 频率 (f_{GCLK})、线路开关时间 (T_{SW})、扫描线数 ($N_{\text{scan_line}}$)、子周期 (或子帧) 数 ($N_{\text{sub_period}}$) 和一帧中的消隐时间 (T_{blank}) 如下所示。

$$\frac{1}{f_{\text{frame_rate}}} = \left(\frac{N_{\text{GCLK_seg}}}{f_{\text{GCLK}}} + T_{\text{SW}} \right) \times N_{\text{scan_line}} \times N_{\text{sub_period}} + T_{\text{blank}} \quad (3)$$

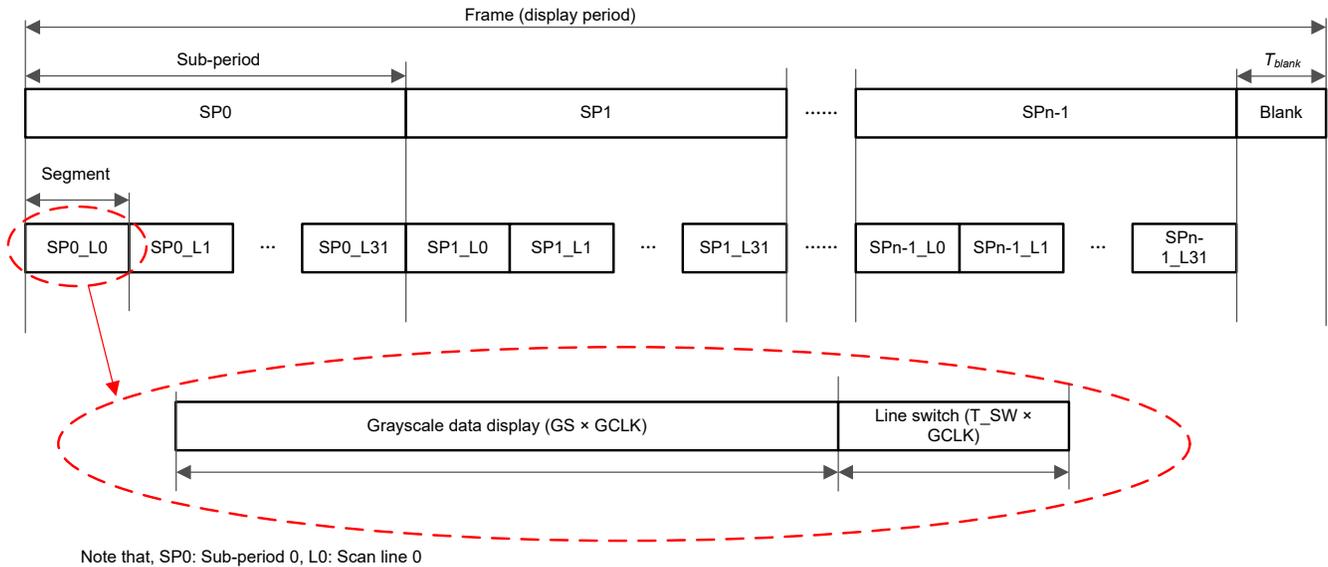


图 2-1. 具有 32 条扫描线的 DS-PWM 算法

允许的最大 GCLK 频率 (f_{GCLK}) 为 160MHz。允许的最短线路开关时间 T_{SW} 可设置为 45 GCLK。不过，建议线路切换时间至少为 1 μs 至 1.5 μs 。在理想配置中，消隐时间 (T_{blank}) 等于 0。因此，允许的扫描线数上限为：

$$N_{\text{max_scan_line}} = \text{ROUNDDOWN} \left(\frac{1}{f_{\text{frame_rate}} \times \left(\frac{N_{\text{GCLK_seg}}}{160 \text{ MHz}} + \frac{45}{160 \text{ MHz}} \right) \times N_{\text{sub_period}}}, 0 \right) \quad (4)$$

使用方程式 4 计算出的结果为 19，远小于节 1 中讨论的 32 条扫描线，双 TLC6983 在可堆叠模式下可支持 32 条扫描线。此结果意味着实际可用扫描线数上限受限于产品所需的最大 PWM 分辨率以及驱动器本身生成的最大 GCLK 频率。重申一下，在 GCLK 频率有限的情况下，同时实现非常高的 PWM 分辨率和高扫描线数非常困难。需要在 PWM 分辨率与扫描线数之间进行权衡。集成密度越高（扫描线数越多），PWM 分辨率越低。例如，考虑将分辨率从 16 位降低到 15 位的影响。不能降低 PWM 分辨率，否则会降低显示效果，而必须减少扫描线数。正是由于这种权衡，才使得市场上的产品能够拥有支持 16 位或更高位的驱动器，但“实际”16 位 PWM 分辨率要低得多。此外，也正是由于这种关系，才使得市场上一些高端产品虽然具有非常少的扫描线数，却能获得出色的显示效果（从 16 位、20 位或更高的 PWM 分辨率）。

回到设计要求，LED 面板模块 (96 × 108) 有 96 列；可堆叠模式（子块）下的双 TLC6983 可支持 32 × 32 RGB 像素（32 个 RGB 通道和 32 条扫描线）。因此，所有 RGB 通道都可以得到充分利用（96 / 32 = 行中 3 个子块）。对于此用例，建议使用 6 作为级联器件数 (N_{cascade}) (96 / 16 = 6)。级联数量可以设置得更高，例如 12 个级联器件，但更多级联器件需要更高的 SCLK 频率（SCLK 设计将在后面章节讨论），这会导致 EMI 更差，并且对控制器的 FPGA 也有更高的要求。

对于扫描线，应考虑以下关系： $\text{ROUNDUP}(108 / 19, 0) = 6$ ， $108 / 6 = 18$ 。此计算会得到列中有 6 个子块。108 可被 18 整除，扫描线数 ($N_{\text{scan_line}}$) 可以设置为 18。如果分子不可整除，则建议尽量将扫描线间隔开，以实现负载共享目的。例如，如果允许的扫描线数上限为 16，该扫描线会表明在一列中 3 个子块有 16 条扫描线，4 个子块有 15 条扫描线。

最小 GCLK 频率的计算公式为：

$$f_{\min_GCLK} = (N_{GCLK_seg} + 45) \times N_{scan_line} \times N_{sub_period} \times f_{frame_rate} \quad (5)$$

使用前面的数字，根据此公式计算得到的结果为 147.8MHz。

图 2-2 显示了图 1-1 中突出显示的 LED 面板 (96x108) 的更多详细信息。LED 面板模块分解成十八个 32 × 18 子块 (每排 6 组)。每个子块都有两个采用可堆叠模式连接的 TLC6983。图 2-3 和图 2-4 展示了物理原型板。

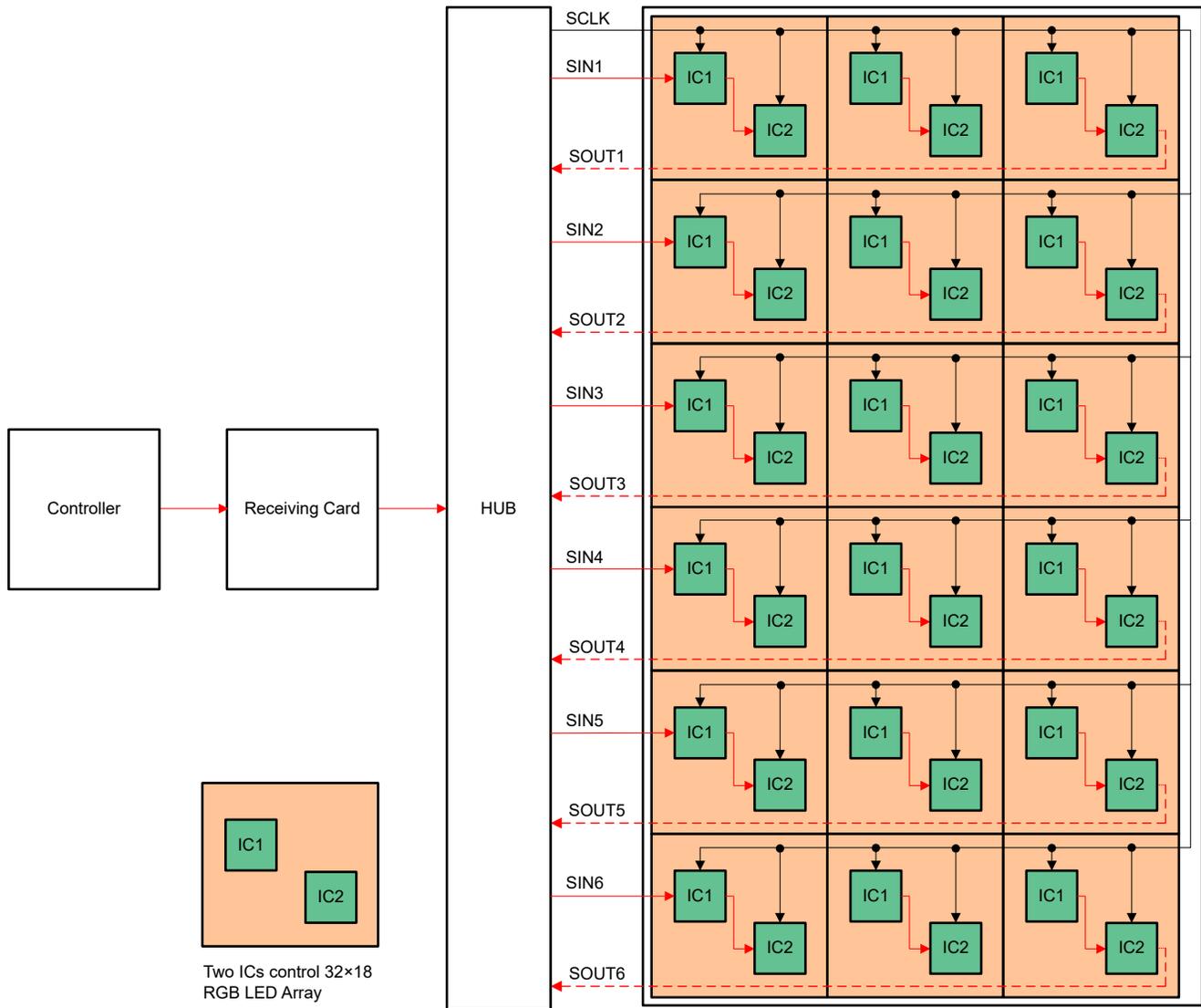


图 2-2. LED 面板模块 (96 × 108) 的详细信息

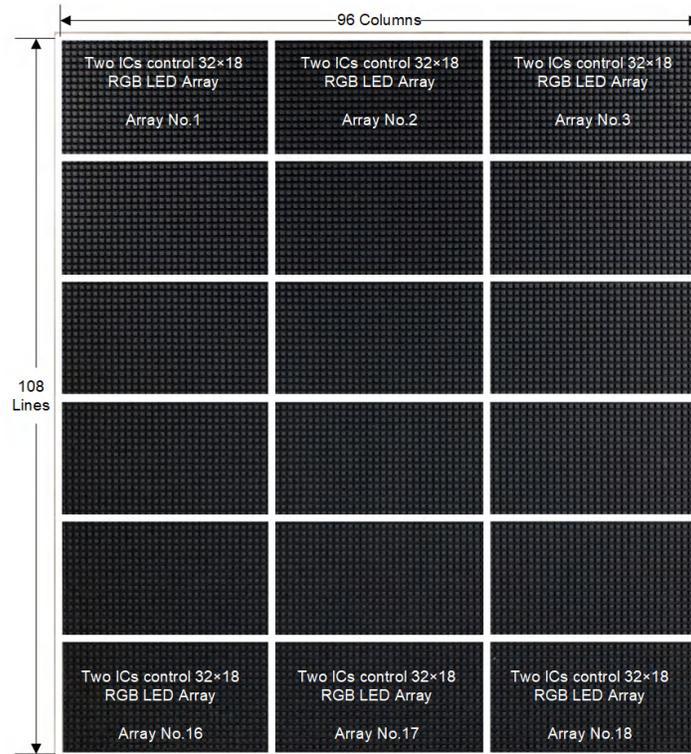


图 2-3. LED 面板模块原型板 (96 × 108) 的正面

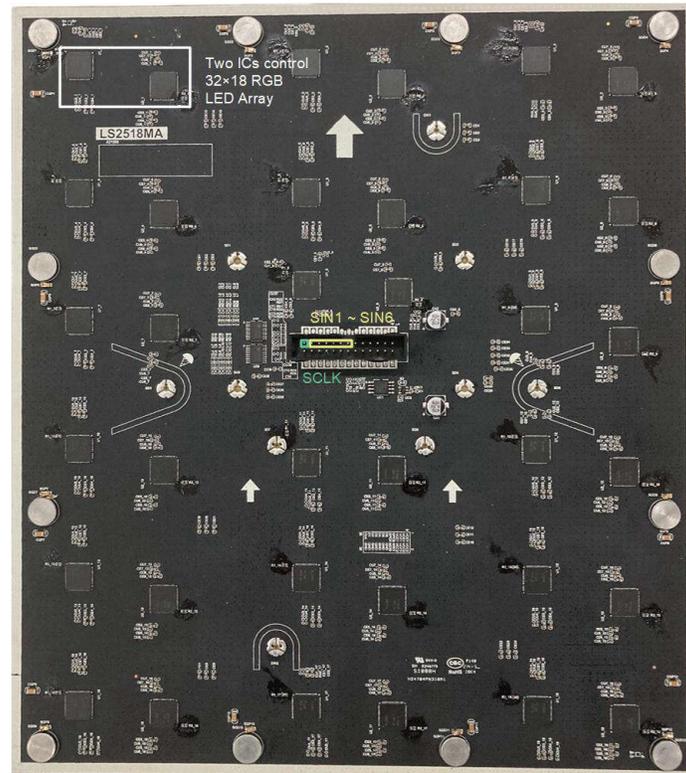


图 2-4. LED 面板模块原型板 (96 × 108) 的背面

2.3 设计 SCLK 频率

如图 2-1 所示，级联器件组成一个数据流 (SIN1, SIN2...SINx)。SCLK 频率由每个帧和帧速率下的数据流的数据量决定。TLC6983 每条扫描线的每个相应 RGB 通道都有 48 位宽的存储器。如果双器件处于可堆叠模式 ($N_{stack} = 2$)，则每个子块有 32 个通道。如果三个器件处于可堆叠模式 ($N_{stack} = 3$)，则每个子块有 48 个通道。

请注意，如果子块中存在未使用的通道，则 FPGA 控制器仍需要向未使用的通道发送零灰度数据 (GS 数据)，因为需要将每条扫描线中所有 16 个 RGB 通道的 GS 数据持续存储到 SRAM 中。在 16 个灰度数据写入操作后，通道计数器复位为 0。但是，无需将零数据发送到未使用的扫描线，因为一旦行计数器超过扫描线数，所有扫描线便都已使用新的灰度数据进行更新。

数据量的公式为

$$V_{Data} = (N_{scan_line} \times (16 \times N_{mode}) \times 48 \text{ bits}) \times \left(\frac{N_{cascade}}{N_{mode}} \right) = (N_{scan_line} \times 16 \times 48 \text{ bits}) \times N_{cascade} \quad (6)$$

在本例中，数据量 $V_{Data} = 18 \times 16 \times 48 \times 6 = 82.944\text{Kb}$ 。

对于数据传输，除了有效灰度数据外，还有其他数据。某些其他数据是标头字节、校验位、结束位等。根据经验值，数据传输效率应为 80%。

因此，具有单边传输时的最小 SCLK 频率计算公式为：

$$f_{SCLK} = \frac{(V_{Data} \times f_{frame_rate})}{0.8} \quad (7)$$

在此示例中，单边传输的最小 SCLK 频率为 12.4MHz，双边传输的最小 SCLK 频率为 6.2MHz。最后，可以选择通常用于 FPGA 的 12.5MHz SCLK 单边传输。

表 2-2 根据上述计算结果列出了更新后的设计要求。然后，工程师可以开始进行驱动器寄存器的配置工作，以满足这些要求。

表 2-2. LED 显示屏设计要求汇总

参数	符号	60Hz FPS	120Hz FPS
帧速率 (Hz)	f_{frame_rate}	60	120
PWM 分辨率、灰度强度或色深 (位)	K	16	16
最大刷新率 (Hz)	$f_{refresh_rate}$	7680	7680
一个帧内的最大子周期数	N_{sub_period}	128	64
每个段的 GCLK 数 (不包括线路开关时间)	N_{GCLK_seg}	512	1024
级联器件数 (#)	$N_{cascade}$	6	6
扫描线数 (#)	N_{mode}	18	18
独立或可堆叠模式器件数 (#)	f_{SCL}	2	2
SCLK 频率 (MHz)	f_{min_GCLK}	12.5	12.5
最小 GCLK 频率 (MHz)	-	77	147.8
γ 系数	-	2.6	2.6
典型亮度 (尼特)	-	48	48
色温 (K)	-	6000	6000

3 总结

本应用手册讨论了 LED 显示屏的基本设计参数，并基于 TI 最新的共阴极矩阵 LED 显示驱动器 TLC6983 提供了参数配置的分步计算示例。本应用手册是一份很好的参考资料，可帮助工程师和新用户在开始应用设计时更好地了解和设计 LED 显示屏系统。

4 参考文献

- 德州仪器 (TI)，[TLC6984 48 x 16 共阴极矩阵 LED 显示驱动器评估模块](#) 用户指南。

- 德州仪器 (TI) , [TLC6983 48 x 16 共阴极矩阵 LED 显示驱动器评估模块 EVM 用户指南](#)。

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司