

User's Guide

使用 AM625、AM623、AM620-Q1、AM625-Q1 和 AM625SIP 处理器系列的定制电路板设计硬件设计注意事项



摘要

定制电路板设计硬件设计注意事项用户指南概述了建议定制电路板设计人员在使用 AM625、AM623、AM620-Q1、AM625-Q1 和 AM625SIP 处理器系列设计定制电路板时遵循的设计注意事项。该用户指南可用作供定制电路板设计人员在定制电路板不同设计阶段参考的指南。

此外，还提供了以下项的链接（TI.com 产品页面）：处理器产品页面、处理器相关配套资料、E2E 上发布的与处理器和处理器外设相关的常见问题解答，以及定制电路板设计过程中所需的一些常用参考文档。定制电路板设计人员可在定制电路板设计过程中参考这些链接，以大幅减少设计错误、优化设计工作、缩减板卡迭代次数并缩短项目周期。

内容

1 简介	3
1.1 开始定制电路板设计之前的准备工作	3
1.2 外设电路实现 - 处理器系列间的兼容性	4
1.3 所需处理器 OPN（可订购器件型号）选型	4
1.4 技术文档	4
1.5 定制电路板设计文档	6
1.6 定制电路板设计期间的处理器和处理器外设设计相关问题	6
2 定制电路板设计方框图	7
2.1 制作定制电路板设计方框图	7
2.2 配置引导模式	7
2.3 配置处理器引脚功能（PinMux 配置）	9
3 电源	9
3.1 电源架构	9
3.2 处理器电源轨（工作电压）	10
3.3 电源滤波	13
3.4 电源去耦和大容量电容	13
3.5 电源时序	14
3.6 电源诊断（使用处理器支持的外部输入电压监视器）	15
3.7 电源诊断（使用外部监测电路（器件）进行监控）	15
3.8 定制电路板电流要求估算和电源规格设计	15
4 处理器时钟（输入和输出）	16
4.1 处理器时钟（外部晶体或振荡器）	16
4.2 处理器时钟输出	17
4.3 时钟树工具	17
5 JTAG（联合测试行动组）	17
5.1 JTAG/仿真	18
6 配置（处理器）和初始化（处理器和器件）	20
6.1 处理器复位	20
6.2 处理器引导模式配置输入的锁存	20
6.3 附加器件复位	20
6.4 看门狗计时器	21
7 处理器 - 外设连接	22
7.1 跨域选择外设	22

7.2 存储器控制器 (DDRSS).....	22
7.3 媒体和数据存储接口 (MMC0、MMC1、MMC2、OSPI0/QSPI0 和 GPMC0)	23
7.4 以太网接口.....	25
7.5 可编程实时单元子系统 (PRUSS).....	26
7.6 通用串行总线 (USB) 子系统.....	26
7.7 通用连接外设.....	26
7.8 显示子系统 (DSS).....	29
7.9 摄像头接口.....	30
7.10 不使用时处理器电源引脚、IO 和外设的连接.....	30
8 处理器 IO (LVCMOS/SDIO 或开漏失效防护型 IO 缓冲器) 的接口和仿真执行.....	32
8.1 IBIS 模型.....	32
8.2 IBIS-AMI 模型.....	32
9 处理器电流和散热分析.....	32
9.1 功耗估算.....	32
9.2 不同电源轨的最大电流额定值.....	33
9.3 支持的电源模式.....	33
9.4 热设计指南.....	33
10 原理图：采集、录入和审阅.....	34
10.1 定制电路板设计无源元件和值选择.....	34
10.2 自定义电路板设计电子计算机辅助设计 (ECAD) 工具注意事项.....	34
10.3 定制电路板设计原理图采集.....	34
10.4 定制电路板设计原理图审阅.....	35
11 布局规划、布局、布线指南、电路板层和仿真.....	36
11.1 PCB 设计迂回布线.....	36
11.2 DDR 设计和布局指南.....	36
11.3 高速差分信号布线指南.....	37
11.4 处理器特定 SK 板布局.....	37
11.5 定制电路板层数和多层堆叠.....	37
11.6 DDR-MARGIN-FW.....	37
11.7 运行电路板仿真时应遵循的步骤参考.....	37
12 定制电路板组装和测试.....	38
12.1 定制电路板启动提示和调试指南.....	38
13 处理器 (器件) 处理和组装.....	38
13.1 处理器 (器件) 焊接建议.....	38
14 参考文献.....	38
14.1 AM625SIP.....	38
14.2 AM625/AM623.....	39
14.3 AM620-Q1/AM625-Q1.....	39
14.4 AM625/AM623/AM620-Q1/AM625-Q1.....	39
14.5 所有 AM62x 系列处理器通用.....	39
15 术语.....	39
16 修订历史记录.....	41

商标

Arm® and Cortex® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.
所有商标均为其各自所有者的财产。

1 简介

定制电路板设计人员使用上述任何一种处理器进行设计时，可将使用 **AM625**、**AM623**、**AM620-Q1**、**AM625-Q1** 和 **AM625SIP** 处理器系列的定制电路板设计硬件设计注意事项作为起点。本用户指南概述了定制电路板不同设计阶段的设计流程，并重点介绍了建议满足的重要设计要求。请注意，本用户指南不包含完成定制电路板设计所需的全部信息。许多情况下，本文档参考了器件特定配套资料和其他各文档作为特定信息来源。

本用户指南分为一系列章节。它首先介绍了在定制电路板设计规划阶段必须做出的决策、处理器和附加器件的选型及电气和散热要求。建议在每一部分讨论的建议得到解决后再进行下一部分。

备注

本用户指南适用于 ALW (对于 AM625 和 AM623 处理器 GPN)、AMC (对于 AM620-Q1 和 AM625-Q1 处理器 GPN) 和 AMK (对于 AM625SIP 处理器 GPN) 封装。

本用户指南并未涵盖定制电路板设计的全部环节或阶段。

备注

该处理器系列能够满足安全要求。

本用户指南侧重于非安全应用。

1.1 开始定制电路板设计之前的准备工作

该处理器系列包含大量支持多种功能 (存储器、通信) 和处理功能的外设 (并非所有外设和处理功能都会在所有定制电路板设计中用到)。因此，使用同一处理器的不同定制电路板设计的功能和性能要求可能存在很大差异，具体取决于最终应用。定制电路板设计人员应在选择处理器和确定板级实现要求之前先了解相关要求。可通过在定制电路板设计中增加额外电路来增强功能，并确保其在终端应用工作环境中正常运行。如需了解关于选择处理器 **OPN** 的信息及确定以下关键要求，请参阅器件特定数据表、器件勘误表、**TRM**、定制电路板设计硬件设计注意事项、原理图设计指南和原理图审阅检查清单以及 **SK** 配套资料 (最新版，建议经常访问 **TI.com**，查看配套资料的更新)：

- 处理器的预期运行条件、目标引导模式、存储类型和接口
- 所选处理器中每个内核的处理 (性能) 要求
- 外部或集成 **LPDDR4** 存储器
- 外部 **DDR** 存储器类型 (**DDR4** 或 **LPDDR4**)、位宽、速率、容量
- 使用的处理器外设 (连接到附加器件)

在定制电路板设计过程中，请参阅以下常见问题解答，以了解有关 **EVM** 和 **SK** 所用关键器件 (元件) 的信息并以此作为起点：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x 设计建议/定制电路板硬件设计 - 入门套件/EVM 型号 \(版本 \) 和关键器件 \(元件 \) 列表](#)

1.2 外设电路实现 - 处理器系列间的兼容性

在定制电路板设计过程中，实现外设接口、存储器接口和 IO 接口所需的功能（电路）时，建议参阅处理器特定数据表和产品页面上的其他可用配套资料，以查看并遵循处理器特定建议，包括 ROC、电源时序、IO 电平兼容性等。与旧款处理器或 MCU（TI AM335x、AM437x 或其他 TI 处理器或其他供应商支持的处理器）相比，接口连接要求和电路实现可能并不相似（或兼容）。外设接口示例包括：SD 卡接口（包括对高速 UHS-I 的支持）、USB 接口和 IO 接口实现（包括复位（热复位或冷复位））输入或外部 IO 接口（涉及压摆率、IO 电平兼容性、失效防护操作）。

1.3 所需处理器 OPN（可订购器件型号）选型

所需处理器 OPN 选型是定制电路板设计过程中的一个重要环节。如要简要了解处理器系列架构以及根据所需功能和特性、封装（ALW（AM625、AM623）、AMC（AM620-Q1、AM625-Q1）、AMK（AM625SIP））和速度等级选择可用于定制电路板中的所需处理器 OPN，请参阅器件特定数据表的 [功能方框图](#)、[器件比较](#)、[器件命名规则](#)、[器件速度等级](#) 和 [封装信息](#) 部分。

请参阅器件特定数据表 [器件比较](#) 一章的 [器件及文档支持](#) 部分，选择所需的处理器 OPN。

建议使用所选的 OPN 更新原理图中所选处理器 OPN。

当需要集成存储器（LPDDR4）时，建议选择 AM625SIP 处理器。

有关 AM62x 处理器系列的可用封装列表，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A/AM62D-Q1/AM62P/AM62L 定制电路板硬件设计 - 可用器件封装](#)

1.3.1 AM625SIP 处理器数据表注释

AM625SIP - 具有集成 LPDDR4 SDRAM 的 AM6254 Sitara 处理器数据表参考 AM62x Sitara 处理器数据表。使用 AM625SIP 处理器时，建议综合参考两个（AM62x 和 AM625SIP）数据表。

1.3.2 AM625 和 AM625SIP 定制电路板设计兼容性

AM625SIP 处理器提供 AMK 封装。该封装及其 BGA 引脚排布与 AM6254 处理器的 ALW 封装类似。AM625SIP AMK 封装采用与 AM6254 ALW 封装相同的焊球布局。AM625SIP AMK 封装的许多焊球具有类似的信号分配（与 AM6254 ALW 封装相同）。

AM625SIP 焊球分配例外情况列在器件特定数据表（AM625SIP - 具有集成 LPDDR4 SDRAM 的 AM6254 Sitara 处理器）的 [引脚属性和信号说明](#) 部分。

不建议也不允许将 AM625SIP 用作现有 AM625 电路板上的直接替代产品。如要使用 AM625SIP，需进行设计更改。

1.4 技术文档

TI.com 上的处理器特定产品页面提供了许多与所选处理器（系列）相关的文档。建议定制电路板设计人员在开始进行定制电路板设计前先阅读相关配套资料（列于以下常见问题解答中）。

以下常见问题解答汇总了在开始进行定制电路板设计时可以参考的配套资料：

[\[常见问题解答\] AM625 定制电路板硬件设计 - 入门配套资料](#)

[\[常见问题解答\] AM623 定制电路板硬件设计 - 入门配套资料](#)

[\[常见问题解答\] AM620-Q1/AM625-Q1 定制电路板硬件设计 - 入门配套资料](#)

[\[常见问题解答\] AM625SIP 定制电路板硬件设计 - 入门配套资料](#)

1.4.1 更新了 SK 原理图（添加了设计、审阅和 CAD 注解）

在定制电路板设计过程中，作为设计流程的一部分，定制电路板设计人员可重复使用 SK 设计并进行必要修改。设计人员也可重复使用通用电路实现方案，包括处理器、存储器和通信接口。由于 SK 设计应纳入其他功能，因

此定制电路板设计人员往往会根据定制电路板相关要求优化 SK 原理图设计。在对 SK 原理图进行优化时，会在定制电路板设计中引入误差，这类误差可能会影响定制电路板的功能、性能或可靠性。进行优化时，定制电路板设计人员可能对 SK 实现方案存有疑问。在审查客户设计的电路板时，我们发现多种定制电路板设计存在常见的设计和优化错误。根据客户反馈、客户和内部人员意见，以及数据表中的引脚连接建议，我们在 SK 原理图的各部分附近添加了全面的设计要点 (D-Note)、审核提示 (R-Note) 和 CAD 注解 (CAD-Note)，供定制电路板设计人员查看并遵循实施，以便大幅减少错误。

我们还纳入了设计下载资料所包含的其他文件，以帮助确保在定制电路板设计评估阶段优化所选处理器的评估时间。该 SK 设计包含支持全功能配置的处理器。

SK-AM62B : <https://www.ti.com/lit/zip/spr481>

SK-AM62B-P1 : <https://www.ti.com/lit/zip/spar001>

SK-AM62-LP : <https://www.ti.com/lit/zip/spr471>

SK-AM62-SIP : <https://www.ti.com/lit/zip/spr482>

如需了解与 Altium 工具搭配使用的 ASCII (.alg) 文件可用性的相关信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM64x/AM62Ax/AM62Px/AM62D-Q1-与 Altium 工具搭配使用的 .alg \(ASCII\) 文件](#)

以下产品概述文档中列出了可用的可下载设计文档：

[SK-AM62B 设计包文件夹和文件列表](#)

[SK-AM62B-P1 设计包内容概述](#)

[SK-AM62-LP 设计包内容概述](#)

[SK-AM62-SIP 设计包文件夹和文件列表](#)

以下常见问题解答包含 PDF 原理图 (添加了 D-Note、R-Note 和 CAD 注解) 以及与入门套件相关的其他信息：

[常见问题解答] [AM625/AM623 定制电路板硬件设计 - 关于重复使用 SK-AM62B 原理图的设计和审查说明](#)

[常见问题解答] [AM625/AM623 定制电路板硬件设计 - 关于重复使用 SK-AM62B-P1 原理图的设计和审查说明](#)

[常见问题解答] [AM620-Q1/AM625-Q1 定制电路板硬件设计 - 关于重复使用 SK-AM62-LP 原理图的设计和审查说明](#)

[常见问题解答] [AM625SIP - 定制电路板硬件设计 - 关于重复使用 SK-AM62-SIP 原理图的设计和审查说明](#)

1.4.2 TI.com 上的配套资料 and 处理器产品页面

产品页面载有最新更新的配套资料，包括数据表、TRM、器件勘误表、硬件设计注意事项用户指南、原理图设计指南和原理图审阅检查清单。

正在编制中 (正在编辑或审阅) 的其他配套资料会不断新增 (更新) 到产品页面，现有配套资料也会持续更新。建议定期查阅 TI.com 上的配套资料，以获取更新版本或新增的配套资料。

1.4.3 硬件设计注意事项用户指南的更新

相对于 TI.com 上发布的当前修订版，硬件设计注意事项用户指南可能存在更改 (基于客户反馈、经验积累、错误修正或改进)，这些更改将在文档的下次修订中更新。

以下常见问题解答列出了修订版用户指南发布于 TI.com 之前，客户电路板设计人员在定制电路板设计期间需要注意和遵循的更改：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 定制电路板硬件设计 - “硬件设计注意事项和原理图设计指南的更新” 配套资料](#)

1.4.4 用于支持定制电路板设计的处理器和外设相关常见问题解答

根据与多位定制电路板设计人员的互动交流、来自大量定制电路板设计人员的提问以及从这些提问中获得的经验，我们整理了一系列常见问题解答（关于（详细说明和添加的示例说明）处理器运行、处理器连接、处理器外设和接口、处理器评估 **SK**、定制电路板设计审阅期间观察到的常见错误、数据表和引脚属性，以及常见 **E2E** 提问），以便在定制电路板设计过程中为设计人员提供支持。请参阅下面的常见问题解答列表。客户可在定制电路板设计期间使用该列表以及其他可用设计配套资料（包括定制电路板设计硬件设计注意事项以及原理图设计指南和原理图审阅检查清单）：

常见问题解答主列表提供了 **Sitara** 处理器系列所有可用常见问题解答的列表：

[常见问题解答] 定制电路板硬件设计-所有 **Sitara** 处理器 (**AM62x**、**AM62Ax**、**AM62D-Q1**、**AM62Px**、**AM62L**、**AM64x**、**AM243x**、**AM335x**) 系列的主要 (完整) 常见问题解答列表

为便于定制电路板设计人员针对特定处理器系列进行设计，下面列出了不同处理器系列的常见问题解答：

[常见问题解答] **AM625**、**AM623**、**AM620-Q1**、**AM625-Q1**、**AM625SIP** 定制电路板硬件设计 - 与处理器配套资料、功能、外设、接口和入门套件相关的常见问题解答

请参阅下面的常见问题解答，其中列出了所有可用的常见问题解答，包括 **Sitara** 处理器系列的软件相关常见问题解答：

[常见问题解答] **AM6x**：有关 **AM62x**、**AM62Ax**、**AM62D-Q1**、**AM62Px**、**AM62L**、**AM64x**、**AM24x**、**AM3x**、**AM4x** **Sitara** 器件的最新常见问题解答

备注

常见问题解答会经常更新。建议定期查看感兴趣的常见问题解答以获取最新信息。

1.5 定制电路板设计文档

建议定期更新定制电路板设计文档，以纳入定制电路板要求的更新以及定制电路板不同设计阶段的设计更改（在测试或审阅时观察到）。更新后的信息可作为审阅（外部或内部）支持所需文档包（设计文档）的基准。

1.6 定制电路板设计期间的处理器和处理器外设设计相关问题

在定制电路板设计过程中，对于与处理器和处理器外设相关的问题，建议发起 **E2E** 提问以寻求器件专家的支持。建议在 **E2E** 提问中输入与特定设计章节、外设或主题相关的查询内容，以便大幅缩短问题分配和回复延迟。

2 定制电路板设计方框图

建议绘制详细方框图，说明所有主要（必需）功能模块和接口（连接到外部附加器件（外设）），以设计功能齐全的定制电路板。

2.1 制作定制电路板设计方框图

建议识别和审查所有相关的终端设备用例要求（特性）、功能，纳入处理器正常运行所需的所有关键元件（功能模块）、关联器件（例如：PMIC），并在方框图中注明连接至处理器的附加器件详细信息。建议为每项功能或每个接口绘制独立模块、用箭头标明连接方向，同时标注模块名称并清晰标明用于连接处理器和附加器件的接口与处理器 IO。建议尽可能考虑根据已实现的功能对这些模块进行分组。建议在开始设计前先审阅、完善方框图并确定其基准。

在准备详细方框图时，以下资源可用作支持文档：

- [入门套件 SK-AM62B-P1](#)（带 PMIC 的 AM625/AM623 入门套件 EVM）、[入门套件 SK-AM62-LP](#)（适用于低功耗 Sitara 处理器的 AM620-Q1/AM625-Q1 入门套件）、[入门套件 SK-AM62-SIP](#)（适用于 Sitara 处理器的 AM62x 系统级封装 (AM625SIP) 入门套件）和任何其他可用的 SK。
- 下列指向 TI.com 上处理器特定产品页面的链接包含功能方框图、数据表、TRM、用户指南、器件勘误表、应用手册、定制电路板设计硬件设计注意事项、原理图设计指南和原理图审阅检查清单及其他相关文档。设计和开发部分提供指向可用 SK（入门套件设计文件）、设计工具、仿真模型和软件的链接。提供指向高浏览量或搜索量 E2E 主题和 E2E 常见问题解答的链接来作为支持和培训相关信息资源。

TI.com 上的处理器产品页面链接如下：

AM62x [ALW]

- [AM625](#)
- [AM623](#)

AM62x [AMC]

- [AM620-Q1](#)
- [AM625-Q1](#)

AM62x [AMK]

- [AM625SIP](#)

2.2 配置引导模式

建议标明配置的引导模式和方框图中提供的引导模式配置方式，包括主引导模式和备用引导模式。

如需了解支持的引导模式配置，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM64x/AM243x/AM62Ax/AM62Px/AM62D-Q1/AM62L - 支持的引导模式配置](#)

该处理器系列支持多个支持引导模式的外设接口。有关可用的引导模式配置和支持的外设，请参阅器件特定 TRM。该处理器系列支持主引导模式和可选备用引导模式配置。如果主引导（源）模式出现故障，ROM 将自动切换至备用引导模式。

引导期间 ROM 代码要使用的引导模式配置由直接（或通过外部缓冲器）连接到处理器引导模式输入的引导模式配置（上拉或下拉）电阻设置。当处理器脱离冷复位状态时，BOOTMODE [15:0] 引脚配置（电平）会被锁存到器件状态寄存器 CTRLMMR_MAIN_DEVSTAT[15:0] 中，并在 MCU_PORz 输入取消置位后进行采样（PORz_OUT 输出的上升沿（MCU_PORz 输入的缓冲输出））。建议在释放（取消置位）MCU_PORz 输入之前将引导模式配置输入保持稳定。

可使用分立式（并行上拉/下拉）电阻配置处理器引导模式，以实现以下引导配置（功能）：

PLL 配置：BOOTMODE [02:00] - PLL 配置引脚用于向 PLL 配置的 ROM 代码指示系统时钟（PLL 参考时钟选择）频率 (MCU_OSC0_XI/XO)

备注

有关支持的晶体频率，请参阅处理器特定数据表。配置引导模式以匹配支持的晶体或时钟频率。时钟频率配置错误会影响处理器性能，包括电路板复位。

主引导模式：BOOTMODE [06:03] - 引导模式引脚用于配置所需的主引导模式，即要从中引导的外设/存储器

主引导模式配置：BOOTMODE [09:07] - 这些引导模式配置引脚支持主引导的可选配置，并与主引导模式选择引脚配合使用

备用引导模式：BOOTMODE [12:10] - 这些引导模式引脚用于配置所需的备用引导模式，即主引导出现故障时要从中引导的外设/存储器

备用引导模式配置：BOOTMODE [13] - 此引导模式引脚提供额外的配置选项（可选 - 取决于所选的备用引导模式引脚）

保留：BOOTMODE [15:14] - 被保留的引脚（请勿将被保留的引脚保持在未连接状态）

备注

不建议或不允许将 BOOTMODE [15:00] 引脚保持在未连接状态。

配置引导模式时的主要注意事项：

- 建议始终包括用于配置定制电路板开发阶段所用引导模式的设置，例如用于调试（使用 JTAG）的 USB 引导（USB0、DFU）、UART 引导（UART0）或无引导/器件引导模式
- 引导模式引脚支持可在引导模式配置输入锁存后配置的复用功能。在定制电路板设计过程中选择上拉或下拉电阻器时，建议考虑所实现的复用功能。若由外部输入驱动引导模式输入以支持测试自动化或远程配置，则当处理器复位（由 PORz_OUT 输出引脚指示）时，引导模式输入需恢复到所需的引导配置值（电平），以确保处理器正确进行引导。
- 某些引导模式引脚功能被保留。不建议或不允许将标记为“保留”或未使用的引导模式引脚保持在未连接（悬空）状态。建议使用外部电阻将输入上拉至高电平或下拉至低电平。有关连接被保留的引导模式引脚的信息，请参阅器件特定 TRM 初始化一章中的 *引导模式引脚映射* 部分。

有关所支持引导模式的信息，请参阅器件特定 TRM 的 *初始化* 一章和器件特定勘误表。

备注

定制电路板设计人员负责提供设置所需引导模式配置（使用上拉或下拉，或选择使用跳线/开关（若在非受控 ESD 环境中设置，需提供外部 ESD 保护的配置））的配置。建议为具有配置功能的引导模式输入引脚提供上拉和下拉电阻器配置，以便提升设计灵活性。不建议或严禁将多个引导模式输入引脚相互短接、使所有引导模式输入引脚处于未连接状态或者将引导模式输入直接连接至电源或接地。

备注

建议通过 0 Ω 串联电阻器将处理器引导模式输入引脚（配置为复用功能）连接至复用功能。在测试期间，可以使用串联电阻器隔离复用功能。

如需实现引导模式，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM64x/AM243x/AM62A/AM62P/AM62D-Q1/AM62L](#) - 使用隔离缓冲器的引导模式实现

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM64x/AM243x/AM62A/AM62P/AM62D-Q1/AM62L](#) - 无隔离缓冲器的引导模式实现

2.3 配置处理器引脚功能 (PinMux 配置)

该处理器系列支持多种外设、接口 (存储器接口、同步接口、异步接口) 和 GPIO。为了优化处理器尺寸、引脚数和封装,同时保持尽可能多的功能,许多处理器焊盘 (引脚) 提供复用 (最多八个) 信号功能的配置。可能无法配置或使用所有外设实例 (在特定定制电路板上)。

TI 提供 [SysConfig-PinMux 工具](#), 可供定制电路板设计人员用于配置所需的功能 (外设、接口和 IO)。

备注

建议保存使用 SysConfig-PinMux 工具生成的 PinMux 配置以及其他设计文档。

3 电源

选定处理器 OPN 并更新方框图以包含处理器器件型号后,定制电路板设计的下一阶段是电源架构设计。

3.1 电源架构

下面列出了可考虑使用的电源架构:

3.1.1 集成式电源架构

集成式电源架构可基于 [TPS65219](#) 或类似产品等多通道 IC (PMIC)。

有关应用手册及可用 OPN 和建议连接的输出电压配置的信息,请参阅以下链接:

[使用 TPS65219 PMIC 为 AM62x 供电](#)

[使用 TPS65219 PMIC 为 AM625SIP 供电](#)

请参阅 TPS65219 OPN 特定技术参考手册 (例如: [TPS6521901 技术参考手册](#)), 了解有关 NVM (输出电压和 IO) 配置的信息。

建议在电源开始斜降之前使 MCU_PORz 输入达到有效的逻辑低电平。基于 PMIC 的电源架构旨在 (预期用于) 监测 (确保) 当任一处理器电源轨电压降至 *建议运行条件* 中定义的最小值以下时,所有电源轨完全关闭且电压衰减至 300mV 以下,之后启动新的上电序列。

另请参阅以下应用手册:

[使用 TPS65219 PMIC 为 AM62 处理器供电相对于分立式电源设计的优势](#)

选择备用 (非 TI) PMIC 时,建议定制电路板设计人员查看相关处理器配套资料 (包括器件特定数据表和 *最大额定电流* 应用手册), 并遵循相关要求/建议。建议查看器件特定数据表中的压摆率要求、*上电时序* 和 *下电时序* 部分,并确认所选基于 PMIC 的电源架构符合相关要求。

请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP 设计建议/定制电路板硬件设计 - 关于 PMIC TPS65219 的常见问题](#)

3.1.2 分立式电源架构

电源架构可以基于分立式 *直流/直流转换器* 和 LDO。

有关分立式电源架构实现的更多信息,请参阅 [适用于 AM62x 的分立式电源解决方案](#) 应用手册。

实施定制 (TI 或非 TI) 分立式电源架构时,请在所有电源斜升后注意电源规格、电源时序、电源压摆率和 MCU_PORz 输入 L->H 延迟 (保持时间) (用于振荡器启动和稳定) 要求,并确认是否符合器件特定数据表中所述的相关要求。

下电期间,建议在电源开始斜降之前使 MCU_PORz 输入达到有效的逻辑低电平。分立式电源架构的设计应满足以下要求:当电源轨电压降至 *建议运行条件* 中定义的最小值以下时,能够关闭所有电源轨并监测其电压衰减至 300mV 以下,之后再启动新的上电序列。

建议 (要求) 上电期间将 MCU_PORz 输入保持低电平有效状态, 直至所有处理器电源斜升并达到有效 (稳定) 状态, 同时还需保持 9.5ms (器件特定数据表中标注为 950000ns) 的最短延迟时间以确保内部振荡器完成启动并达到稳定状态 (使用外部晶体及内部振荡器时, 请参阅器件特定数据表); 或者将 MCU_PORz 输入保持低电平有效状态, 直至所有处理器电源斜升并达到有效状态且外部振荡器时钟输出保持稳定 (使用外部 LVCMOS 数字时钟源 (振荡器) 时), 同时还需保持 1.2 μ s (数据表中标注为 1200ns) 的最短延迟时间 (请参阅器件特定数据表)。

请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62A/AM62D-Q1/AM62P/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与分立式电源架构相关的疑问](#)

3.2 处理器电源轨 (工作电压)

有关处理器电源轨和建议运行条件 (ROC) 的完整列表, 请参阅器件特定数据表中 *规格* 一章的 *建议运行条件* 部分。

有关处理器 ROC 的更多信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62A/AM62D-Q1/AM62P/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - SOC ROC 建议运行条件](#)

该处理器系列在处理器冷复位输入 (MCU_PORz) 释放后, 不支持对处理器内核电源、外设内核电源和外设模拟电源进行动态电压调节 (切换)。IO 组的部分 IO 电源支持动态电压切换。有关支持动态电压切换的 IO 组 IO 电源, 请参阅器件特定数据表中的 *IO 组 IO 电源* 说明。

有关动态电压调节 (DVS) 和动态频率调节 (DFS) 的更多信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - SOC 内核 \(VDD_CORE\) 电源、外设内核电源和模拟电源的动态电压调节](#)

备注

建议确认连接到处理器电源轨的电源处于器件特定数据表的 *建议运行条件* 范围内。

3.2.1 支持的低功耗模式

有关支持的低功耗模式, 请参阅器件特定数据表。有关低功耗模式和功能的其他说明, 请参阅器件特定 TRM。PMIC_LPM_EN0 为双功能 PMIC 控制输出、低功耗模式 (低电平有效) 或 PMIC 使能 (高电平有效)。PMIC_LPM_EN0 引脚需要通过一个外部上拉电阻连接到 VDDSHV_CANUART 电源。引脚状态在复位期间为 HiZ, 这使上拉电阻在常开 VDDSHV_CANUART 电源斜升后立即开启 PMIC。器件从复位状态释放 (MCU_PORz 输入的上升沿) 后, 该引脚会被驱动为高电平。该引脚会保持高电平, 直到器件被置入 CANUART 模式并被告知进入深度睡眠模式, 此时该引脚会被驱动为低电平以关闭 PMIC。当 CANUART 检测到外部唤醒事件时, 该引脚会再次被驱动为高电平。

3.2.2 内核电源

建议使用同一电源为处理器内核电源 VDD_CORE 和外设内核电源 VDDA_CORE_CSIRX0、VDDA_CORE_USB 和 VDDA_DDR_PLL0 (仅适用于 AMC 封装) 供电, 这些电源可在 0.75V 或 0.85V 电压下工作 (*建议运行条件* (ROC) 表中定义的指定标称工作电压)。当内核电源在 0.75V 电压下工作时, 建议在 0.85V 电源之前斜升 0.75V 电源。

对于包含铁氧体滤波器的电源轨, 建议在铁氧体的负载侧使用大容量电容器 (连接至处理器引脚)。

VDDR_CORE 的额定工作电压为 0.85V。当 VDD_CORE 在 0.85V 电压下工作时, 建议同时斜升 VDD_CORE 和 VDDR_CORE (由同一电源供电)。

VDD_CANUART 可在 0.75V 或 0.85V 电压下工作, 正常运行期间与 VDD_CORE 没有电压相关性。只有在加电和断电排序期间才存在电压相关性。

当使用部分 IO (低功耗) 模式时, 建议将 VDD_CANUART 连接至常开型电源。不使用部分 IO (低功耗) 模式时, 建议将 VDD_CANUART 与 VDD_CORE 连接到同一电源。

更多信息, 请参阅器件特定数据表中 *规格* 一章的 *建议运行条件* 部分。

备注

如需了解关于内核工作电压选型的信息, 请参阅器件特定数据表的 *工作性能点* 部分。

3.2.3 外设电源

该处理器系列支持 USB 专用外设电源引脚 (USB0 和 USB1 通用)、CSIRX0、PLL 和 OLDIO。标称电压为 1.8V。建议为 USB 提供额外的 3.3V 模拟电源。

更多信息, 请参阅器件特定数据表中 *规格* 一章的 *建议运行条件* 部分。

3.2.4 DDR PHY 和 SDRAM 电源

3.2.4.1 AM625/AM623/AM620-Q1/AM625-Q1

对于 VDDS_DDR (DDR PHY IO 电源) 和 VDDS_DDR_C (DDR 时钟 IO 电源), 根据使用的存储器, 建议使用 1.1V 电源 (连接到 “LPDDR4 存储器 - 附加器件” 时) 或 1.2V 电源 (连接到 “DDR4 存储器 - 附加器件” 时)。

更多信息, 请参阅器件特定数据表中 *规格* 一章的 *建议运行条件* 部分。

3.2.4.2 AM625SIP

VDDS_MEM_1P1 (LPDDR4 SDRAM IO 电源 (为 LPDDR4 SDRAM VDD2 和 VDDQ 电源轨供电)) 建议由与 VDDS_DDR (DDR PHY IO 电源) 相同的电源供电。

建议将 VDDS_MEM_1P1 和 VDDS_DDR 电源轨连接至 1.1V (LPDDR4)。

建议将 VDDS_MEM_1P8 (LPDDR4 SDRAM 内核电源 (为 LPDDR4 SDRAM VDD1 电源轨供电)) 连接至 1.8V。

更多信息, 请参阅器件特定数据表 (*AM625SIP - 具有集成 LPDDR4 SDRAM 的 AM6254 Sitara 处理器*) 规格一章中的 *建议运行条件* 部分。

3.2.5 IO 组 (处理器) 电源的双电压 IO 电源

该处理器系列支持 9 (九) 组 IO 组双电压 IO 电源 (VDDSHVx [x = 0-6]、VDDSHV_MCU 和 VDDSHV_CANUART)。每组均连接 (对应) 至一组固定的 IO。IO 组的每组 IO 电源均可独立连接至固定的 (VDDSHV4、VDDSHV5、VDDSHV6 支持动态电源切换) 3.3V 或 1.8V 电源。IO 组的 IO 电源定义了整组 (一组固定) IO 的通用工作电压。

大多数处理器 IO 都没有失效防护功能。有关可用的失效防护 IO 的信息, 请参阅器件特定数据表。建议将附加器件的 IO 电源连接至接入 IO 组相应处理器双电压 IO 电源 (VDDSHVx) 的同一电源, 以确保定制电路板设计不会向未供电的任何处理器 IO 施加电位。若在 IO 电源不可用时向没有失效防护功能的 IO 施加输入, 可能会影响处理器功能、性能和可靠性。

有关更多信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP: 定制电路板硬件设计 - SOC \(处理器 \) 和附加器件 \(失效防护 \) 之间的电源时序](#)

可用的 IO 组 IO 电源信息如下:

- VDDSHV0 - 主复位和通用接口 IO 组 (固定电源) 的双电压 IO 电源
- VDDSHV1 - OSPI0 IO 组 (固定电源) 的双电压 IO 电源
- VDDSHV2 - RGMII1、RGMII2 IO 组 (固定电源) 的双电压 IO 电源
- VDDSHV3 - GPMC0 IO 组 (固定电源) 的双电压 IO 电源

- VDDSHV4 - MMC0 IO 组 (固定电源或动态电源切换) 的双电压 IO 电源
- VDDSHV5 - MMC1 IO 组 (固定电源或动态电源切换) 的双电压 IO 电源
- VDDSHV6 - MMC2 IO 组 (固定电源或动态电源切换) 的双电压 IO 电源
- VDDSHV_MCU - WKUP_MCU IO 组 (固定电源) 的双电压 IO 电源
- VDDSHV_CANUART - CANUART IO 组 (固定电源) 的双电压 IO 电源

备注

对于上述标为动态的 IO 组 IO 电源，可以施加 1.8V 或 3.3V 动态切换电源。对于上述标为固定的 IO 组 IO 电源，可以施加 1.8V 或 3.3V 固定电源。IO 组的 2 组 IO 电源之间不存在 IO 电源电压电平相关性。

备注

当使用部分 IO (低功耗) 模式时，建议将 VDDSHV_CANUART 连接至常开型电源。不使用部分 IO (低功耗) 模式时，建议将 VDDSHV_CANUART 连接至任意有效的 IO 电源 (1.8V 或 3.3V)。

3.2.6 动态电压切换双电压电源

以 MMC0、MMC1、MMC2 信号组为基准的 IO 组的 VDDSHV4、VDDSHV5 和 VDDSHV6 IO 电源旨在支持上电、下电或不依赖于其他处理器电源轨的动态电源电压变化 (切换)。动态电压切换功能可支持 UHS-I SD 卡。

使用基于 TPS65219 PMIC 的电源架构时，PMIC 集成 LDO，后者支持由处理器 IO 控制的动态电压切换。

采用分立式电源架构时，建议使用能够在 3.3V 和 1.8V 之间动态切换 (由处理器 IO 控制) 的外部 LDO。

3.2.7 VPP (电子保险丝 ROM 编程) 电源

VPP 电源可由单独的板载 LDO 电源或处理器 IO 控制的外部电源供电。

在处理器上电、下电和正常运行期间，VPP 电源引脚可以保持悬空 (HiZ) 或接地 (可以连接一个带 TP 的电阻以隔离地线并连接电源)。

建议在对电子保险丝 ROM (OTP) 进行编程时注意以下硬件要求：

- 建议仅在处理器上电序列完成后和对电子保险丝进行编程时施加 VPP 电源。
- 建议使用具有更高输入电压 (2.5V 或 3.3V) 和使能输入 (控制) 的固定输出 LDO。建议由处理器 GPIO 控制使能输入以对 VPP 电源进行计时。
- 预计 VPP 电源需承受较高的负载电流瞬变。建议在处理器 VPP 引脚附近使用本地大容量电容器来支持电流瞬变。
- 选择具有快速放电功能的 LDO 或使用外部放电电阻器。
- 对电子保险丝进行编程期间指定的最大电流为 400mA。
- 如果使用外部电源，则建议在处理器电源斜坡且稳定后施加该电源。
- 使用外部电源时，建议在处理器 VPP 引脚附近添加板载大容量电容器、去耦电容器和放电电阻器。添加一个测试点以连接外部电源，并提供连接其中一个处理器 GPIO 以控制外部电源时序的配置。
- 建议在未对电子保险丝进行编程时禁用 VPP 电源 (保持悬空 (HiZ) 或接地)。
- 当使用可调 LDO 时，考虑添加一个外部稳压二极管，用于在 LDO 输出端提供过压保护。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：定制电路板硬件设计 - 有关 VPP 电子保险丝编程电源选型和应用的问题](#)

更多信息，请参阅器件特定数据表中规格一章的一次性可编程 (OTP) 电子保险丝的 VPP 规格部分。

3.2.8 IO 组 (处理器) IO 电源的内部 LDO

该处理器系列支持 9 (九) 个内部 LDO (CAP_VDDSn [n = 0-6]、CAP_VDDS_MCU 和 CAP_VDDS_CANUART)，每个 LDO 输出连接到一个单独的焊球 (引脚)，用于连接外部电容器。有关推荐电容器值和连接的信息，请参阅器件特定数据表中 *信号说明* 一节的 *电源* 小节。

电容器额定电压和封装选择遵循相关 SK 设计。若选择不遵循 SK 或数据表建议的电容器 (值、额定电压)，可能会影响 LDO 输出稳定性和处理器性能。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62D-Q1/AM62P/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与 CAP_VDDSn CAP_VDDS 相关的问题](#)

3.3 电源滤波

该处理器系列支持多个模拟电源引脚，这些引脚可为 VDDA_MCU、VDDA_PLLx [x=0-2]、VDDA_1P8_CSIRX0、VDDA_1P8_OLDIO 和 VDDA_1P8_USB 等敏感模拟外设供电。如需了解如何为电源轨实现滤波、去耦和大容量电容器，请参阅器件特定入门套件原理图。

对于包含铁氧体滤波器的电源轨，建议在铁氧体的负载侧使用大容量电容器 (连接到处理器引脚)。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP 定制电路板硬件设计 - 针对 SoC 电源轨的铁氧体 \(电源滤波器 \) 建议](#)

3.4 电源去耦和大容量电容

有关优化和放置去耦电容器和大容量电容器的信息，请参阅 [Sitara 处理器配电网络：实现与分析](#) 应用手册。

备注

SK 或 EVM 上的去耦电容器编号和类型仅供客户参考。实际验收标准应以 PDN 应用手册中公布的目标阻抗值为准。

3.4.1 AM625/AM623/AM620-Q1/AM625-Q1

为了将处理器 (和附加器件) 电源与电路板噪声去耦，建议使用去耦电容器和大容量电容器。有关如何为电源轨实现滤波、去耦和大容量电容器，请参阅 [入门套件 SK-AM62B-P1](#)、[入门套件 SK-AM62-LP](#) 和其他 SK 原理图。

3.4.2 AM625SIP

为了将处理器 (和附加器件) 电源与电路板噪声去耦，建议使用去耦电容器和大容量电容器。

由于集成 LPDDR4 SDRAM，还需要将其他大容量电容器和去耦电容器连接到一些重新分配的处理器引脚。有关如何为电源轨实现滤波、去耦和大容量电容器，请参阅 [入门套件 SK-AM62-SIP](#) 原理图。

3.4.3 PDN 目标阻抗说明

为特定电源 (VDD_CORE) 提供了 PDN 目标阻抗值。不提供其他 (所有) 电源轨的 PDN 目标阻抗值，因为目标阻抗计算需要考虑电源轨上的最大电流，并且取决于用例。

有关 PDN 目标阻抗电源和数值的更新内容，请参阅以下常见问题解答：

[\[常见问题解答\] AM625 定制电路板硬件设计 - 入门配套资料](#)

查找 PDN 目标阻抗值 (VDD_CORE)。

对于 VDDS_DDR 电源轨，不建议使用目标阻抗作为验收标准。请参阅 [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#)，其中概述了需执行的电源感知 SI/PI 仿真的所有细节。VDDS_DDR 的最终验收标准应以电源感知仿真中的眼图检查结果为准。

3.5 电源时序

器件特定数据表中提供了推荐 *电源时序* (上电和下电) 的详细图表。当实现分立式电源架构时, 建议将所有相关处理器电源都设计为支持使用基于 **PMIC** 的电源或使用板载逻辑来实现受控电源斜坡 (电源压摆率) 和电源时序。

如需了解更多信息, 请参阅器件特定数据表的 *电源要求*、*电源压摆率要求* 和 *电源时序* 部分。

根据客户反馈和内部分析更新了时序图。建议在器件特定数据表更新版可用时查看电源时序图。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：定制电路板硬件设计 - 上电和下电的处理器电源时序要求](#)

3.6 电源诊断 (使用处理器支持的外部输入电压监视器)

处理器支持的外部电源输入监视器可用于早期电源故障检测或电源问题诊断。

该处理器系列支持以下电压监视器：

- **VMON_VSYS** (无论软件实现如何，都建议始终配置外部电阻 (分压器) 以用于早期电源故障检测/指示)：如需通过外部电阻分压器连接板载电压 (主电源电压，如 5V、12V 或 24V)，请参阅器件特定数据表的 *系统电源监测设计指南* 部分。建议在 (跨) 连接至 **VMON_VSYS** 输入的电阻输出端实现噪声滤波器 (电容器)，因为 **VMON_VSYS** 具有极小的迟滞和对瞬态的高带宽响应。
- **VMON_1P8_SOC** (监测)：建议将监测引脚直接连接至各自的 1.8V 电源 (不添加任何滤波电容器)。有关允许的电源电压范围，请参阅器件特定数据表的 *建议运行条件* 部分。不使用监视器时，请按照 *引脚连接要求* 连接 **VMON_1P8_SOC** 输入。
- **VMON_3P3_SOC** (监测)：建议将监测引脚直接连接至各自的 3.3V 电源 (不添加任何滤波电容器)。有关允许的电源电压范围，请参阅器件特定数据表的 *建议运行条件* 部分。当不使用监视器或 3.3V 电源不可用时，请按照 *引脚连接要求* 连接 **VMON_3P3_SOC** 输入。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x \(ALV\) 设计建议/定制电路板硬件设计 - POK VMON 电压监视器](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x \(ALV、ALX\) 设计建议/定制电路板硬件设计 - 电源正常 \(POK\) 模块电压监测和连接建议](#)

3.7 电源诊断 (使用外部监测电路 (器件) 进行监控)

为提升定制电路板性能并满足应用要求，建议为所有板载处理器以及外设电源轨的电压和电源轨的电流消耗配置外部监测电路 (器件)。

有关详细信息，请参见 [入门套件 SK-AM62B-P1](#)、[入门套件 SK-AM62-LP](#) 和 [入门套件 SK-AM62-SIP](#) 原理图。

电源架构和生成电源轨 (基于电源架构) 所需的器件确定后，建议更新方框图以包含电源架构 (在电源轨名称中标注电源轨电压值) 和连接。建议生成电源时序 (上电和下电) 图并使用器件特定数据表验证该时序。

3.8 定制电路板电流要求估算和电源规格设计

器件特定数据表中未提供每个电源轨的 (最大和最小) 电流要求。电流要求在很大程度上取决于应用，建议使用 TI 提供的工具和文档针对特定用例进行评估。

建议在确定电源规格时考虑最大电流额定值 (最大电流额定值应用手册中有提供)。

4 处理器时钟 (输入和输出)

定制电路板设计的下一阶段是为处理器和附加器件实现时钟架构。可使用连接外部晶体的内部振荡器或生成 LVCMOS 兼容时钟输出的外部振荡器来生成处理器时钟。使用外部振荡器作为时钟源时，请遵循器件特定数据表中的连接建议。以下部分介绍可用的处理器时钟源和要求。

4.1 处理器时钟 (外部晶体或振荡器)

器件特定数据表中 *规格* 一章的 *时钟规格* 部分说明了建议的处理器时钟源和连接。

一个 25MHz 外部晶体直接连接到 XI 和 XO 引脚，并通过 MCU_OSC0_XI / MCU_OSC0_XO 连接到内部高频振荡器；或者通过 MCU_OSC0_XI 连接外部 LVCMOS 数字时钟，作为处理器内部操作的主时钟输入源。

当使用晶体生成处理器时钟时，请按照器件特定数据表的说明选择负载电容器。

器件特定数据表提供了时钟启动和达到稳定状态的建议延迟时间。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP 定制电路板硬件设计-有关晶体 \(MCU_OSC0\) 启动时间的问题](#)

AM62x 处理器系列当前不支持扩频时钟 (SSC) (时钟源 (输入) 、内部时钟、PLL) 。

有关 SSC 支持的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：在 PRUSS 上启用扩频内核时钟](#)

建议使用 32.768kHz 晶体作为低频振荡器 (WKUP_LFOSC0) 的时钟源。低频振荡器 (WKUP_LFOSC0) 用例有限，可作为可选配置。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：LFOSC 在处理器中的使用](#)

4.1.1 未使用时的 WKUP_LFOSC0 连接

有关未使用 WKUP_LFOSC0 的建议连接的信息，请参阅器件特定数据表 *规格* 一章的 *未使用 WKUP_LFOSC0* 部分。

4.1.2 MCU_OSC0 和 WKUP_LFOSC0 晶体选型

为 MCU_OSC0 或 WKUP_LFOSC0 选择晶体时，建议根据最坏工作环境和定制电路板或终端设备的预期寿命考虑温度和老化特性。验证所用的晶体负载和晶体负载电容值 (包括增加 PCB 电容 (对于 MCU_OSC0)) 是否与器件特定数据表建议值相匹配。建议选择允许选择一个标准电容值的晶体负载。值不匹配可能会引入时钟频率 PPM 误差。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1/AM62P/AM62P-Q1/AM62L 定制电路板硬件设计 - 有关晶体选型和时钟规格的问题](#)

更多信息，请参阅器件特定数据表的 *MCU_OSC0* 晶体电路要求和 *WKUP_LFOSC0* 晶体电气特性表。

建议根据器件特定数据表将 MCU_OSC0 晶体直接连接至处理器。

建议根据需要向晶体制造商确认晶体选型。

4.1.3 LVCMOS 兼容数字时钟输入源

MCU_OSC0_XI 和 WKUP_LFOSC0_XI 时钟输入可源自外部 1.8V LVCMOS 方波数字时钟源。有关更多信息，请参阅器件特定数据表 *规格* 一章中的 *时序和开关特性*、*时钟规格*、*输入时钟/振荡器*、*MCU_OSC0 LVCMOS 数字时钟源* 部分。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1/AM62P/AM62P-Q1/AM62L 定制电路板硬件设计-有关 MCU_OSC0 \(WKUP_OSC\) 或 WKUP_LFOSC0 \(LFOSC0\) 的 LVCMOS 数字时钟源的疑问](#)

备注

当 LVCMOS 数字时钟连接至 XI 输入时，按照器件特定数据表中的建议连接 MCU_OSC0_XO 和 WKUP_LFOSC0_XO 引脚。

备注

有关更多信息，请参阅器件特定数据表 *MCU_OSC0 LVCMOS 数字时钟源* 部分提供的说明。

备注

器件特定数据表中包含 25MHz 晶体选型规格。当前数据表未定义 *MCU_OSC0 LVCMOS 数字时钟源* 要求。这些要求可添加到下一版数据表中。目前请参阅 AM62Dx 或 AM62Px 数据表的 *MCU_OSC0 LVCMOS 数字时钟源* 部分。AM62x 的要求与之相同。

4.2 处理器时钟输出

名为 CLKOUT0 和 WKUP_CLKOUT0 的处理器 IO (引脚) 可配置为时钟输出。时钟输出可以用作附加器件 (外部外设 - 例如 : EPHY) 的时钟源。

WKUP_CLKOUT0 是复位后可用作默认配置的高频振荡器 (HFOSC0) 的缓冲输出。

当 CLKOUT0 和 WKUP_CLKOUT0 用于为多个附加器件供电时，建议对其进行缓冲。

由于影响抖动的定制电路板特定变量众多，所有时钟输出均未定义抖动指标。定制电路板设计人员应在最终产品的所有预期工作条件下实测特定定制电路板实施的时钟输出抖动。

有关详细信息，请参阅器件特定数据表和 TRM。

4.2.1 观察时钟输出

该处理器提供输出主域观察时钟和/或 MCU 域观察时钟的功能 (具体取决于处理器系列)。OBSCLK0 (在两个引脚上可用) 和 MCU_OBSCLK0 为仅供测试与调试用途的观察时钟输出。观察时钟可用于选择多个不同时钟之一作为输出。观察时钟不应该用作任何外部器件的时钟源。如器件特定数据表所述，OBSCLK0 与 MCU_OBSCLK0 信号仅用于测试与调试目的。

4.3 时钟树工具

时钟树工具 (CTT) 可用于可视化呈现处理器时钟树。作为一种交互式可视化工具，CTT 为用户提供器件时钟树架构的全局视图，并且可用于确定寄存器设置以获取特定配置。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62L/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x \(ALV、ALX \) 定制电路板硬件设计 - 时钟树工具](#)

5 JTAG (联合测试行动组)

该处理器系列支持各种扩展开发系统 (XDS) JTAG 控制器，除了 JTAG 支持之外，还提供各种调试功能。

请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62L/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x \(ALV、ALX \) 定制电路板硬件设计 - JTAG](#)

尽管 JTAG 对于电路板正常运行并非必需配置，但仍建议在定制电路板设计中包含 JTAG 连接。建议根据引脚连接要求为推荐的上拉电阻添加预留设计，并在使用 JTAG 接口时装配外部 ESD 保护元件。

5.1 JTAG/仿真

适用于 JTAG/仿真的相关文档：

- [仿真和跟踪头技术参考手册](#)
- [XDS 目标连接指南](#)
- [边界扫描测试规范 \(IEEE-1149.1\)](#)
- [交流耦合网络测试规范 \(IEEE-1149.6\)](#)

5.1.1 JTAG/仿真的配置

IEEE 标准 1149.1-1990、IEEE 标准测试访问端口和边界扫描架构 (JTAG) 接口可用于边界扫描和仿真。边界扫描的实现同时符合 IEEE-1149.1 和 1149.6 标准。无论处理器配置如何，均可使用边界扫描。

JTAG 端口作为一个仿真接口，可在不同模式下使用：

- 标准仿真：需要五个标准 JTAG 信号。
- HS-RTDX 仿真：需要五个标准 JTAG 信号以及 EMU0 和/或 EMU1。在此模式下，EMU0 和/或 EMU1 是双向的。
- 跟踪端口：跟踪端口支持对某些内部数据进行实时转储。该端口使用 EMUx 引脚输出跟踪数据。

有关支持的 JTAG 时钟速率，请参阅器件特定 TRM。

处理器 JTAG 接口信号可用于执行边界扫描测试。可从处理器特定产品页面的以下部分下载需要用于边界扫描测试的 BSDL 文件：

5.1.1.1 BSDL 文件

- [AM625 BSDL](#) (ALW 封装)
- [AM623 BSDL](#) (ALW 封装)
- [AM620-Q1 BSDL](#) (AMC 封装)
- [AM625-Q1 BSDL](#) (AMC 封装)
- [AM625SIP BSDL](#) (AMK 封装)

5.1.2 JTAG/仿真的实现

JTAG 和仿真信号以 IO 组的同一 IO 电源为基准。TDI、TDO、TCK、TMS、TRSTn、EMU0 和 EMU1 信号以 VDDSHV_MCU (双电压 IO) 电源轨 (IO 组 MCU 的 IO 电源) 为基准。VDDSHV_MCU 可连接至 1.8V 或 3.3V。

建议使用 TI 推荐、定义和支持的 20 针连接器，而不是 10 针 ARM 连接器。10 针 JTAG 连接器不包括 TRSTn 信号或 EMU0、EMU1 信号。

有关如何实施 JTAG 接口，请参阅 [仿真和跟踪接头技术参考手册](#)。

5.1.3 JTAG 接口信号的连接建议

有关 JTAG 接口信号的连接建议，请参阅器件特定数据表中 [端子配置和功能](#) 一章的 [引脚连接要求](#) 部分。

备注

建议始终为处理器 JTAG 信号提供测试点 (TP) 配置，以便能够连接到外部 JTAG (JTAG 接口不属于定制电路板设计的一部分时) 接口信号或调试器。建议根据处理器特定数据表中 [引脚连接要求](#) 部分的说明，在靠近处理器 JTAG 信号的位置添加推荐的上拉电阻。建议在使用 JTAG 接口时为外部 ESD 保护预留位置并安装 ESD 保护元件。

5.1.4 调试引导模式和边界扫描合规性

有关支持的调试功能，请参阅器件特定 TRM 的 [片上调试](#) 一章。

请参阅 [片上调试](#) 一章的以下部分：

- JTAG 接口、JTAG 接口信号
- 跟踪端口接口、跟踪端口信号

- 调试引导模式和边界扫描合规性

仿真控制输入 EMU0 和 EMU1 用于配置调试引导模式行为。仿真控制输入 EMU0 和 EMU1 可用于启用边界扫描测试功能。

调试引导模式

当 MCU_PORz 输入取消置位时，会对仿真控制输入 EMU0 和 EMU1 进行采样，解码值将决定器件特定 TRM 片上调试一章调试引导模式表中详述的调试引导模式行为。

边界扫描合规性

当 TRSTn 取消置位时，会对仿真控制输入 EMU0 和 EMU1 进行采样，解码值将决定器件特定 TRM 片上调试一章边界扫描合规性表中详述的调试引导模式行为。

调试或边界扫描功能完全不依赖于引导模式配置。

6 配置 (处理器) 和初始化 (处理器和器件)

建议仅在所有推荐处理器电源斜升且达到时钟 (晶体和内部振荡器或外部振荡器) 启动和实现稳定所需的推荐延迟 (复位保持时间) (请参阅器件特定数据表) 之后, 再取消置位 (释放) 处理器的冷复位输入 (对于 MCU 域、主域 (MCU_PORz)), 从而开始处理器的启动过程。

6.1 处理器复位

该处理器系列支持 3 (三) 个外部复位输入 (引脚), 包括 MCU 域和主域冷复位输入 (MCU_PORz)、MCU 域和主域热复位请求输入 (MCU_RESETz) 和主域热复位请求输入 (RESET_REQz)。请注意与 MCU_RESETz 输入和 MCU_RESETSTATz 输出相关的器件勘误表。

如需连接热复位输入, 请按照器件特定数据表中 [引脚连接要求](#) 部分的说明操作。

请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP : MCU_PORz 输入压摆率](#)

器件特定数据表和器件特定 TRM 中介绍了支持的处理器复位信号 (复位输入、复位状态输出)。

该处理器系列提供 3 (三) 个复位状态输出 (引脚), 包括主域 POR (冷复位) 状态 (PORz_OUT) 输出、MCU 域热复位状态 (MCU_RESETSTATz) 输出和主域热复位状态 (RESETSTATz) 输出。请注意与 MCU_RESETz 输入和 MCU_RESETSTATz 输出相关的器件勘误表。

处理器复位状态输出的使用取决于电路板架构和最终应用。不使用时的复位状态输出可保持未连接状态。建议配置一个测试点用于测试或未来增强。建议使用可选的下拉电阻。

对于 MCU_PORz 输入、LVCMOS IO 输入 (3.3V 容差, 失效防护输入), 可施加 3.3V 输入。输入阈值遵循 1.8V IO 电源电压 (VDD5_OSC0) 的标准。

请遵循器件特定数据表 [上电时序](#) 图中的 MCU_PORz 输入时序建议。

通过处理器内部寄存器和仿真可提供其他复位选项。

备注

MCU_RESETz 输入和 MCU_RESETSTATz 输出有特定的用例建议。请参阅公告文章 [i2407-RESET](#)。
如果勘误表的 MCU_RESETz 被置位为低电平, MCU_RESETSTATz 不可靠。

有关更多信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x \(ALV、ALX \) 设计建议/定制电路板硬件设计 - 处理器复位输入、复位状态输出和连接建议](#)

6.2 处理器引导模式配置输入的锁存

有关可用处理器引导选项的信息, 请参阅上文 [节 2.2](#)。

处理器引导模式配置输入在 PORz_OUT 输出的上升沿被锁存。锁存引导模式输入 (引脚) 上的状态 (电平) 后, 引导模式输入引脚即可被配置用于复用功能 (多路复用)。PORz_OUT 输出指示引导模式配置的锁存。PORz_OUT 输出还可选择性用于锁存附加器件的引脚配置 (strap)。

6.3 附加器件复位

建议使用“与运算”逻辑 (使用 2 输入或 3 输入与门实现) 在适用时复位附加器件 (板载媒体和数据存储器件, 以及其他外设), 因为“与运算”逻辑可以涵盖所有处理器外部复位条件。任意处理器通用输入/输出 (GPIO) 引脚 (选择具有 GPIO 多路复用功能的 AM62x 引脚, 该功能默认处于关闭状态) 均连接到其中一个与门输入端, 并预留 0 Ω 电阻以便在测试或调试时隔离 GPIO 输入与“与运算”逻辑。主域和 MCU 域 POR (冷复位) 状态输出 (PORz_OUT) 或主域热复位状态输出 (RESETSTATz) 可作为另一个输入连接到与门。确保连接至与逻辑输入的处理器 IO 电源和上拉电源均来自同一电源。复位期间处理器 IO 缓冲器关闭。建议在靠近“与运算”逻辑与门输入端 (连接至处理器 GPIO 的输入, RESETSTATz 输出在处理器引脚附近配有下拉电阻并由处理器复位逻辑驱动为

高电平) 处添加一个上拉电阻 , 以防止与门输入悬空并确保上电期间由处理器 IO 控制的复位逻辑有效 (例如 : eMMC 闪存或 OSPI 闪存在 RESETSTATz 输出变为高电平时立即退出复位状态) 。

确保附加器件复位输入拉动操作符合器件建议。

建议使用 “与运算” 逻辑复位附加器件 , 因为 “与运算” 逻辑提供在所有处理器复位条件下复位附加器件的灵活性。

若在不使用 “与运算” 逻辑的情况下使用处理器主域热复位状态输出 (RESETSTATz) 来复位附加器件 , 建议将附加器件的 IO 电压电平与 RESETSTATz 输出的 IO 电压电平匹配。建议使用电平转换器来匹配 IO 电压电平。这种实现方式会降低附加器件复位选项的灵活性。

对于 SD 卡接口 , 为支持 UHS-I SD 卡 , 建议配置一个软件启用 (控制) 的电源开关 (负载开关) 来为 SD 卡供电 (VDD)。连接一个固定的 3.3V 电源 (处理器 IO 电源) 作为电源开关的供电输入。

使用电源开关可对为 UHS-I 速度配置的 SD 卡进行下电上电 (因为复位电源开关是复位 SD 卡的唯一方法) 以达到默认速度。

有关为 SD 卡电源实现附加器件复位和电源开关使能复位逻辑的更多信息 , 请参阅 [入门套件 SK-AM62B-P1](#)、[入门套件 SK-AM62-LP](#)、[入门套件 SK-AM62-SIP](#) 和其他 SK 原理图。

6.4 看门狗计时器

是否使用看门狗计时器取决于应用。请考虑使用内部或外部看门狗计时器。

7 处理器 - 外设连接

处理器外设连接一节介绍了支持的处理器外设，旨在与器件特定数据表、TRM 和相关应用手册中提供的内容一起使用。可参考的文档类型包括：

- 数据表：引脚示意图、引脚功能说明、引脚属性、处理器工作模式 (MUX 模式)、复位期间及复位后的配置、电气特性、AC 时序
- TRM：处理器功能说明和内核及外设支持的功能、编程指南、关于寄存器和支持配置的信息
- 应用手册：特定功能或外设的说明，以及常见问题的说明

备注

此外，还可参考常见问题解答和相关 E2E 主题 (新创建或先前已回答)。

7.1 跨域选择外设

处理器架构包括多个域，每个域包括特定的处理内核和外设：

- MAIN 域
- 微控制器 (MCU) 域
- 唤醒 (WKUP) 域

对于大多数用例，任一内核均可以访问任何域中的外设。无论来自哪个域，所有外设均映射到存储器，且 Arm® Cortex®-A53 内核可检测到并访问 MCU 域中的大多数外设。类似地，MCU 可以访问主域中的大多数外设。

7.2 存储器控制器 (DDRSS)

7.2.1 AM625/AM623/AM620-Q1/AM625-Q1

DDRSS 接口支持 DDR4 或 LPDDR4 存储器接口。选择 DDR4 还是 LPDDR4 存储器取决于应用要求或客户需求，因为这两种存储器的延迟和突发长度存在差异。

如需更多信息，请参阅以下应用手册：

[Sitara AM62x 基准测试](#)

有关 JEDEC 合规标准的信息，请参阅器件特定数据表的 *DDR 电气特性* 部分。请参阅器件特定数据表中的以下说明：

备注

DDRSS 接口与符合 JESD79-4B 标准的 DDR4 器件和符合 JESD209-4B 标准的 LPDDR4 器件兼容。

有关数据总线宽度、内联 ECC 支持、速度和最大可寻址范围选择，请参阅器件特定数据表 *特性* 一章的 *存储器子系统、DDR 子系统* 部分。

允许的 DDR4 接口存储器配置为 1x 16 位或 2x 8 位。

1x 8 位存储器配置不是允许配置或有效配置。

使用 LPDDR4 存储器接口时，由于提供了 16 位配置，同一存储器器件根据应用要求可与 AM625/AM623/AM620-Q1/AM625-Q1 和 AM62A7/AM62A7-Q1/AM62A3/AM62A3-Q1/AM62A1-Q1、AM62D-Q1 和 AM62P/AM62P-Q1 和 AM62Lx 处理器搭配使用。

如需连接未使用的 DDRSS 信号，请参阅器件特定数据表的 *引脚连接要求* 部分。

有关 DDR4 或 LPDDR4 存储器接口的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x \(ALV\) 定制电路板硬件设计过程中的设计建议/常见错误 - DDRSS：DDR4/LPDDR4 存储器接口](#)

有关更多信息，请参阅器件特定 TRM 中 *存储器控制器* 一章的 *DDR 子系统 (DDRSS)* 部分。

7.2.1.1 处理器 DDR 子系统和器件寄存器配置

DDRSS 控制器和 DDRSS PHY 有大量参数需要配置。为便于配置，提供了一个在线工具 ([SysConfig 工具](#))，用于生成驱动程序所需的输出文件。从 **软件工具** 下拉菜单中选择 **DDR 子系统注册器配置**，并选择处理器。此 SysConfig 工具将电路板信息、DDR 器件特定数据表中的时序参数和 IO 参数作为输入，然后输出驱动程序用于对 DDR 控制器和 DDR PHY 进行编程的头文件。然后，驱动程序会启动完整的训练序列。

该 SDK 包含适用于 SK 上安装的存储器 (DDR4 或 LPDDR4) 器件的配置文件。若需为不同存储器 (DDR4 或 LPDDR4) 器件创建新配置，则必须使用 DDR 寄存器配置工具生成新的配置文件。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1 定制电路板硬件设计 - 处理器 DDR 子系统和器件寄存器配置](#)

这是通用常见问题解答，也可用于 AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 处理器系列。

7.2.1.2 DDRSS 的校准电阻器连接

请遵循器件特定数据表中的 DDR0_CAL0 (IO 焊盘校准电阻) 连接建议 (包括值和容差)。

7.2.1.3 DDRSS 信号引脚 (封装) 延迟信息

DDRSS 信号的引脚延迟相关说明已载于 TI.com 上 **AM62x、AM62Lx DDR 电路板设计和布局布线指南 (SPRAD06C - 2022 年 3 月 - 2025 年 3 月修订)** 应用手册的其他信息：封装延迟部分。

本附录中提供的封装延迟是从处理器芯片焊盘到处理器封装引脚测量的。

请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM624SIP : AM6254 LPDDR4 长度/延迟匹配](#)

7.2.1.4 附加存储器器件 ZQ 和 Reset_N (存储器器件复位) 连接

按照 SK 原理图将推荐的电阻器 (ZQ (阻抗校准) 和 Reset_N (附加存储器复位输入)) 连接到存储器器件，包括推荐值和容差。

7.2.2 AM625SIP

LPDDR4 SDRAM (512MB) 位于 AM625SIP 内部 (集成)。有关速度和内联 ECC 支持，请参阅器件特定数据表 (**AM625SIP - 具有集成 LPDDR4 SDRAM 的 AM6254 Sitara 处理器**) 特性一章中的 **存储器子系统、DDR 子系统 (DDRSS)** 部分以及 **应用、实施和布局** 一章中的 **集成 LPDDR4 SDRAM 信息** 部分。

7.2.2.1 AMK 封装上重新分配的 DDRSS 引脚

采用 ALW 封装且连接到外部存储器 (DDR4 或 LPDDR4) 的 AM6254 DDRSS 信号直接连接到 AM625SIP 处理器系列中的集成 LPDDR4 SDRAM，并且与这些信号关联的引脚被重新分配到不同的电源或信号功能。

请参阅器件特定数据表 (**AM625SIP - 具有集成 LPDDR4 SDRAM 的 AM6254 Sitara 处理器**) 的 **引脚属性和信号说明** 部分。

7.2.2.2 DDRSS 和存储器器件校准电阻器连接

请遵循器件特定数据表中的 DDR0_CAL0 (IO 焊盘校准电阻) 连接建议 (包括值和容差)。按照 SK 原理图将推荐的电阻 (ZQ 和复位) 输入连接到存储器器件 (包括值)。

7.2.2.3 LPDDR4 (内部) 存储器的校准电阻器连接

按照器件特定数据表 (**AM625SIP - 具有集成 LPDDR4 SDRAM 的 AM6254 Sitara 处理器**) 中的 **DDR_ZQ (LPDDR4 SDRAM 校准基准电阻器)** 连接建议 (包括值和容差) 操作。

7.3 媒体和数据存储接口 (MMC0、MMC1、MMC2、OSPI0/QSPI0 和 GPMC0)

该处理器系列支持 3 (三) 个多媒体卡和安全数字卡 (MMC/SD/SDIO) (8b + 4b + 4b)。

MMC0 支持 8 位 eMMC (嵌入式多媒体卡) 接口。如需了解支持的速度, 请参阅器件特定数据表的 **MMC0 - eMMC/SD/SDIO 接口** 部分; 如需了解实现方式, 请参阅 SK。MMC0 信号也可用作 IO 或其他支持的多路复用功能或用于板载 SDIO 接口。不建议将 SD 卡连接至 MMC0 端口。MMC0 是 eMMC 接口的推荐接口。

有关 eMMC 存储器接口的更多信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM64x/AM243x \(ALV\)/AM62Ax/AM62D-Q1/AM62Px 定制电路板硬件设计过程中的设计建议/常见错误 - eMMC 存储器接口](#)

有关所支持速度的信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM623 : eMMC0 能否支持 DDR50 模式](#)

如需了解 MMC0 端口支持的接口, 请参阅以下常见问题解答:

[\[常见问题解答\] AM62A3 : 是否有办法实现 2 个 eMMC 接口 ?](#)

有关 eMMC 上拉/下拉的信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP : 未通过 ROM 启用 eMMC0_DAT0 上拉](#)

有关 eMMC 在未传输时暂停时钟的功能的信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP : 读写操作完成后 eMMC 时钟是否保持运行 ?](#)

请参阅器件勘误表, 了解 eMMC 相关勘误信息。

MMC1/MMC2 支持 4 位 SD 卡接口, 包括对 UHS-I SD 卡的支持。建议使用 MMC1 来实现 SD 卡接口 (SD 卡引导模式; MMC1 外设已进行时序闭合, 以便与 SD 卡配合使用)。MMC1 CLK、CMD 和 DAT[3:0] 信号功能通过电力 (基准) 来自 VDDSHV5 (可在 1.8V 或 3.3V 电压 (动态切换) 下运行) 的引脚上的 SDIO 缓冲器实现, MMC1 SDCD 和 SDWP 信号功能通过电力 (基准) 来自 VDDSHV0 (可在 3.3V 或 1.8V 电压下运行) 的引脚上的 LVCMOS 缓冲器实现。当 SD 卡的 IO 工作电压切换以支持 UHS-I SD 卡时, 不建议改变主机的 MMC1_SD CD 和 MMC1_SD WP 输入的逻辑状态。

MMC1/MMC2 支持 4 位嵌入式 SDIO 接口。建议使用 MMC2 来实现嵌入式 SDIO 接口。MMC2_SD CD 和 MMC2_SD WP 引脚与其他 MMC2 引脚采用同一电源轨供电。MMC2 分配是不同的, 因为预期将 MMC2 与类似于 Wi-Fi 或蓝牙收发器的板载固定工作电压 SDIO 器件一起使用。如需了解支持的速度, 请参阅器件特定数据表的 **MMC1/MMC2 - SD/SDIO 接口** 部分; 如需了解实现方式, 请参阅 SK。

有关更多信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1 : 为什么 MMC1 由 VDDSHV0 和 VDDSHV5 这两个不同的电压电源供电 ?](#)

这是通用常见问题解答, 也可用于 AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 处理器系列。

对于 MMC1/MMC2、UHS-I SDR50、UHS-I SDR104 接收模式, 需进行数据训练, 以便将数据捕获集中于数据有效窗口的中心。时序要求并非固定为特定值。下表提供了 MMC1/MMC2 时序模式所需的 DLL 软件配置设置:

器件特定数据表中*所有时序模式的 MMC1/MMC2 DLL 延迟映射*。

有关更多信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP : UHS-I SDR104 接收模式时序](#)

该处理器系列支持 1 个八线串行外设接口 (OSPI0), 后者可配置为 OSPI0 或 QSPI0 接口。按照 SK 原理图所述的实现方案将 OSPI0 接口连接到存储器器件、为 OSPI0_CLK 添加串联电阻、为 OSPI0_CLK 添加下拉电阻、为数据和 CS 信号添加上拉电阻, 以及实现存储器器件复位逻辑。OSPI0 支持连接 1 (单) 个附加器件。

当需要支持引导功能时, 请参阅器件特定 TRM, 将支持的 CS (片选) 连接到附加存储器器件。

OSPI0 支持两种数据捕获模式: PHY 模式和 Tap 模式。如需深入了解支持的模式, 请参阅器件特定数据表**规格一章中时序和开关特性**一节的 OSPI、OSPI0 小节。

有关 OSPI 或 QSPI 存储器接口的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62D-Q1/AM62P 定制电路板硬件设计过程中的设计建议/常见错误 - OSPI/QSPI 存储器接口](#)

[\[常见问题解答\] Sitara/Jacinto 器件的 OSPI 常见问题解答](#)

该处理器系列支持 1 个通用存储器控制器 (GPMC) 接口，此接口可使用 8 位或 16 位 NAND 闪存接口信号连接到 NAND 闪存，或使用器件特定数据表和 [器件比较表](#) 中列出的所支持并行存储器接口（同步或异步）选项连接到 NOR 闪存。

有关更多信息，请参阅器件特定 TRM 中 [外设一章的存储器接口部分](#)。

7.4 以太网接口

该处理器系列支持 2（两）个具有独立 MAC ID 的独立以太网接口（使用 CPSW3G0 外设实现）。每个 MAC 接口均支持 RGMII 或 RMII 接口。

在使用以太网端口和配置 MDIO 接口（用于引导和正常运行）之前，请参阅公告文章 [i2329 MDIO：AM62x 处理器器件版本 1.0 的 MDIO 接口损坏 \(CPSW 和 PRU-ICSS\)](#)。

有关以太网接口的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 和 AM2434、AM2432、AM2431 \(ALV、ALX\) 定制电路板硬件设计 - 以太网](#)

这是通用常见问题解答，也可用于 AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 处理器系列。

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与 RGMII 接口和 RGMII TI EPHY 相关的疑问](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与 RMII 接口和 RMII TI EPHY 相关的疑问](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：以太网 PHY RGMII 同步时钟](#)

7.4.1 通用平台 3 端口千兆位以太网交换机 (CPSW3G0)

该处理器系列支持 1 个 CPSW3G0 以太网交换机（2 个外部端口）。CPSW3G0 可以配置为 3 端口交换机（连接到 2 个外部以太网端口（端口 1 和 2））或具有各自 MAC 地址的双独立 MAC 接口。

CPSW3G0 支持每个外部以太网接口端口的 RGMII (10/100/1000) 或 RMII (10/100) 接口。

有关 RMII 接口实现方法，请参阅器件特定 TRM 的 [CPSW0 RMII 接口部分](#)。

为 RMII 接口配置的 CPSW3G0 支持将处理器连接至配置为控制器（主）或器件（从）的以太网 PHY (EPHY)。

为 RMII 接口配置的 CPSW3G0 与 EPHY 连接，配置为外部 50MHz（连接到缓冲外部振荡器或处理器时钟输出 CLKOUT0）时钟输入（其中一个缓冲时钟输出连接到处理器 MAC），或配置为连接至处理器 MAC 时钟输入并具备 EPHY 50MHz 时钟输出的 25Mhz 晶体或时钟输入。

CPSW3G0 端口之一是内部 CPPI（通信端口编程接口）主机端口。CPPI 是一个流接口，用于从 DMA 向 CPSW3G0 外设提供数据，反之亦然。

CPSW3G0 允许为 2 个外部接口端口使用混合 RGMII/RMII 接口拓扑。

默认为发送数据 (TDn) 启用 RGMII_ID。RGMII_ID 未经计时、测试或表征。处理器 MAC 不会为接收数据 (RDn) 路径实现内部延迟。

有关 CPSW3G0 以太网接口的更多信息，请参阅器件特定 TRM 中 [外设一章的高速串行接口部分](#)。

7.5 可编程实时单元子系统 (PRUSS)

该处理器系列提供 2 个 PRU 子系统。PRUSS 支持通用异步接收器/发送器 (UART0)、增强型捕获模块 (ECAP0) 和工业以太网外设 (IEP0) 模块。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] 什么是 PRU 内核？为何 PRU GPIO 信号与常规 GPIO 不同？](#)

有关详细信息，请参阅器件特定 TRM 处理器和加速器一章中的 *可编程实时单元子系统 (PRUSS)* 部分。

7.6 通用串行总线 (USB) 子系统

该处理器系列支持 2 (两) 个 USB 2.0 接口端口。这些 USB 接口 (USB0、USB1 端口) 可以配置为主机、器件或双角色器件 (DRD)。可以使用处理器 GPIO 实现 (支持) USBn_ID (识别) 功能。

请按照器件特定数据表中 *USB (USB VBUS 检测分压器/钳位电路) VBUS 设计指南* 一节的说明，对外部 USB VBUS 电压 (USB 接口连接器附近的电源) 进行分压处理并连接至 USBn_VBUS [n = 0, 1] 引脚。

当 USB 接口配置为器件模式时，建议连接经分压处理的 VBUS (VBUS 电源输入，包括电压调节电阻分压器/钳位器) 输入。当 USB 接口配置为主机模式时，连接经分压处理的 VBUS (VBUS 电源输入，包括电压调节电阻分压器/钳位器) 是可选的。

不建议也不允许将 3.3V 或等同于处理器电源的固定电源连接至 USB VBUS。USB VBUS 电源必须采用可切换设计。失效防护输入条件仅在电源通过建议的 VBUS 分压器和稳压二极管连接时才有效。

当 USB 接口配置为 VBUS 输出电压控制主机时，建议使用带 OC (过流) 输出指示的 USB 电源开关。USBn_DRVVBUS [n = 0, 1] (复位期间和复位后内部下拉使能) 用于控制电源开关。建议将 OC 输出连接至处理器 IO (输入)，以检测 VBUS 过载。

有关 USB 连接和 On-The-Go 特性支持的信息，请参阅器件特定 TRM。

当同时不使用 USB0 和 USB1 接口时，请参阅器件特定数据表的 *引脚连接要求* 一节来连接电源引脚。

当不使用 USB0 或 USB1 接口时，请参阅器件特定数据表的 *引脚连接要求* 一节来连接接口信号和电源引脚。

建议在早期电路板开发阶段始终预留 USB0 DFU 引导功能，用于电路板启动和调试。

有关 USB2.0 接口更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：定制电路板硬件设计 - USB2.0 接口](#)

有关更多信息，请参阅器件特定 TRM 中外设一章的 *高速串行接口* 部分。

7.7 通用连接外设

该处理器系列支持多个通用连接外设和实例。该处理器系列支持以下外设：

以下外设 (UART、MCAN、MCSPI、MCASP、I2C) 实现了 IOSET。确保在定制电路板设计中使用正确的 IOSET。时序闭合基于 IOSET。

多通道串行外设接口 (MCSPI)：

该处理器系列支持 5 (五) 个 (3 个主域、2 个 MCU 域) MCSPI 实例。MCSPI 模块为多通道收发的同步串行总线，可在控制器模式或外设模式下运行。在控制器模式下，处理器 SPI 接口向附加器件提供时钟信号。在外设模式下，附加器件需向处理器提供 SPI 时钟信号。

建议为 MCSPI 时钟输出信号使用 22 Ω 串联电阻器 (作为起点)。建议将该电阻器放置于处理器时钟输出引脚附近 (用于重定时)。建议在附加器件时钟输入引脚附近配置下拉电阻。

建议在附加器件附近为片选 (CS) 引脚配置上拉电阻。

MCSPI 外设不支持引导功能。OSPI0 接口支持 SPI 引导功能。

对于 MCSPI 接口，SPIx_D0 和 SPIx_D1 为数据线路。这些数据线路支持对信号进行编程，以便发送数据（发送、输出）或接收数据（接收、输入）。对于可能浮空的处理器或附加器件数据线路，建议使用并行上拉/下拉电阻。

建议将 SPI 接口连接到 1（单）个存储器器件。当连接到多个存储器器件时，建议遵循高速设计实践并执行仿真，以确保在单一时钟源连接至多个 SPI 附加器件时，布局不会产生非单调性时钟跳变。

请参阅以下常见问题解答：

[\[常见问题解答\] SK-AM64B：MCSPI 集成指南](#)

[\[常见问题解答\] AM6412：AM64x SPI D0 和 D1 - MISO/MOSI](#)

这是通用常见问题解答，也可用于 AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 处理器系列。

内部集成电路 (I2C)：

请参阅以下 [节 7.7.1](#)。

通用异步接收器/发送器 (UART) :

该处理器系列支持 9 (九) 个 (7 个主域、1 个 MCU 域、1 个 WKUP 域) UART 接口实例。支持的 UART 功能包括数据传输 (TXD、RXD) 、调制解调器控制功能 (CTS、RTS) 和扩展调制解调器控制信号 (DCD、RI、DTR、DSR - 由主域 UART1 支持) 。

当外部 UART 接口信号直接连接到处理器 UART 接口信号时，请验证 IO 电平兼容性和失效防护操作。建议提供相关配置以实现外部 ESD 保护。

建议在电路板早期构建阶段配置 UART 引导 (UART0)，以进行电路板启动和调试。

通用输入/输出 (GPIO) :

处理器 GPIO 包括 LVCMOS 和 SDIO 缓冲器类型，为推挽式输出。部分特定 IO 支持开漏输出型 IO 缓冲器接口。当配置为 I (输入) 时，LVCMOS IO 需满足输入压摆要求，配置为 O (输出) 时需满足电容器负载要求。使用连接的负载电容器执行仿真，以确保输出处于器件特定数据表电气特性指定的 ROC 范围内。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62A/AM62P/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与 GPIO 相关的疑问](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x 定制电路板硬件设计过程中的设计建议/常见错误 - 与 LVCMOS 输入迟滞相关的疑问](#)

音频外设 - 多通道音频串行端口 (MCASP) :

该处理器系列支持 3 (三) 个 (3 个主域) 音频外设实例 - 多通道音频串行端口 (MCASP)。3 个 MCASP 支持多达 4/6/16 个串行数据引脚 (串行器) 并具有独立的 TX 和 RX 时钟。MCASP 支持时分多路复用 (TDM)、内部 IC 声音 (I2S) 和类似格式。建议为 MCASP 时钟输出使用 22 Ω 串联电阻器 (作为起点)。建议将该电阻器放置于处理器时钟输出引脚附近 (用于重定时)。建议在附加器件时钟输入引脚附近配置下拉电阻。

复位期间和复位之后处理器 IO 缓冲器关闭。对于任何可能浮空的处理器 IO (接口信号)，建议添加并行上拉/下拉电阻。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62A/AM62P/AM62D-Q1/AM62L 设计建议/定制电路板硬件设计 - 与 MCASP 相关的疑问](#)

工业和控制接口 :

该处理器系列支持多种工业和控制接口实例 (请参阅器件特定数据表的 *器件比较表*)。

1. 具有完整 CAN-FD 支持的模块化控制器局域网 (MCAN)
2. 增强型脉宽调制器 (EPWM)
3. 增强型正交编码器脉冲 (EQEP)
4. 增强型捕获 (ECAP)

具有完整 CAN-FD 支持的模块化控制器局域网 (MCAN) :

该处理器系列支持 3 (三) 个 (1 个主域、2 个 MCU 域) 具有完整 CAN-FD 支持的模块化控制器局域网 (MCAN) 实例。

MCAN 模块支持传统 CAN 和 CAN-FD (具有灵活数据速率的 CAN) 规范。

复位期间和复位之后处理器 IO 缓冲器关闭。对于任何可能浮空的处理器 IO (MCAN 接口信号)，建议使用并行上拉/下拉电阻。

可以使用 SysConfig-PinMux 工具配置所需的接口。

有关所支持外设的更多信息，请参阅器件特定 TRM 的外设一章。

7.7.1 内部集成电路 (I2C) 接口

该处理器系列支持 6 (六) 个 (2 (两) 个符合 I2C 标准的失效防护开漏输出型 IO 缓冲器和 4 (四) 个基于 LVC MOS 缓冲器型 IO 的模拟接口) I2C 接口。支持的 I2C 接口包括 4 个主域、1 个 MCU 域 (符合 I2C 标准的开漏输出型 IO 缓冲器) 和 1 个 WKUP 域 (符合 I2C 标准的开漏输出型 IO 缓冲器) I2C 接口。

备注

对于具有开漏输出型 IO 缓冲器 (MCU_I2C0 和 WKUP_I2C0) 的 I2C 接口, 无论使用何种 IO 配置, 都建议添加上拉电阻。即使不使用 I2C 接口 (外设), 也建议添加外部上拉电阻。请参阅器件特定数据表的 *引脚连接要求* 一节。

当开漏输出型 IO 缓冲器 I2C 接口被拉至 3.3V 电源时, 其输入需满足指定的压摆率要求。建议使用 RC 来限制压摆率。有关 RC 实现方法, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62A/AM62P/AM62D-Q1/AM62L 定制电路板硬件设计过程中的设计建议/常见错误-SK 原理图设计更新说明](#)

当配置为仿真开漏输出型 IO 缓冲器 I2C 接口 (I2C0、I2C1、I2C2、I2C3) 时, 建议为 LVC MOS IO 添加外部上拉电阻。有关可用仿真开漏输出型 IO 缓冲器 I2C 实例, 请参阅器件特定数据表。

SK 中的上拉电阻值可作为初始参考值。上拉电阻值取决于 I2C 接口实现方式和 I2C 总线负载情况。建议测量 I2C 波形并根据需要减小 (调整) 上拉电阻值。

备注

进行定制电路板设计期间, 请查阅器件特定数据表中 *时序和开关特性 - I2C* 一节的 *例外情况* 小节。请注意模拟 I2C 接口的例外情况。建议添加串联电阻来控制下降时间。

有关更多信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP 定制电路板硬件设计 - I2C 接口](#)

[\[常见问题解答\] AM62A7/AM62A7-Q1/AM62A3/AM62A3-Q1/AM62A1-Q1 和 AM62D-Q1 : MCU_I2C0 和 WKUP_I2C0 的内部拉电阻配置寄存器](#)

这是通用常见问题解答, 也可用于 AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 处理器系列。

有关更多信息, 请参阅器件特定 TRM 外设一章中的 *内部集成电路 (I2C) 接口* 一节。

7.8 显示子系统 (DSS)

处理器的显示输出可使用开放式 LVDS 显示接口发送器 (OLDITX) 和显示并行接口 (DPI - 直接通过处理器 IO 驱动) 连接到外部显示器。

7.8.1 AM625/AM623/AM625-Q1/AM625SIP

OLDIO 显示接口:

该处理器系列支持 4 (四) 个数据通道和 1 (单) 个时钟通道、2 (双) 链路 LVDS OLDI 显示接口。OLDIO 接口可配置为双通道 OLDI-SL 单链路或单通道 OLDI-DL 双链路显示模式。

当 OLDIO 显示接口配置为双链路显示模式时, 存在“奇数/偶数”像素分配要求。A0、A1、A2、A3 对应奇数像素, A4、A5、A6、A7 对应偶数像素。

配置为双通道单链路显示模式时, OLDIO 接口仅支持 (可以被配置) 镜像 (由于内部硬件支持/配置为重复) 模式。

如需连接未使用的 OLDIO 信号, 请参阅器件特定数据表的 *引脚连接要求* 一节。

有关 OLDIO 的更多信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62P/AM62P-Q1 定制电路板硬件设计 - OLDI \(开放式 LVDS 显示接口 \) 功能](#)

DPI 显示接口：

该处理器系列支持每像素 24 位、RGB/YUV422 模式、LVCMOS 输出、DPI (并行) 显示接口。

DPI 当前不支持 SSC。请发起 E2E 主题查询或查看处理器特定产品页面上的可用配套资料，以了解 DPI 对 SSC 支持的最新状态。

有关 DPI 的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP 定制电路板硬件设计 - 显示并行接口 \(DPI\) 24 位 RGB-显示接口](#)

有关更多信息，请参阅器件特定 TRM 中外设一章的显示子系统 (DSS) 和外设部分。

7.8.2 AM620-Q1

不支持显示接口 (OLDI 和 DPI) 。

7.9 摄像头接口

该处理器系列支持单路摄像头串行接口 (CSI-RX、CSI-2、CSIRX0)，使用 D-PHY (DPHY、DHPY_RX) 时支持 4 通道，并符合 MIPI CSI-2 v1.3 标准和 MIPI D-PHY 1.2 标准 (CSIRX0)。支持多达 4 通道 (单通道/双通道/3 通道/4 通道) 数据通道与 D-PHY (DPHY_RX) 连接。有关支持的数据速率，请参阅器件特定数据表特性一章中的多媒体、摄像头串行接口 (CSI-Rx) (使用 DPHY 时支持 4 通道) 部分。

DPHY_RX (CSI-RX) 支持 1 个 (单) 时钟通道，所有数据通道的时钟频率均相同。帧速率由帧起始和帧结束信号决定，并允许每通道以不同的帧速率处理输入源。

如需连接未使用的 CSIRX0 信号，请参阅器件特定数据表的引脚连接要求一节。

有关 CSIRX0 的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625SIP/AM625-Q1/AM62Ax/AM62Px 定制电路板硬件设计 - CSI-2 功能](#)

常见问题解答包含允许的数据通道和时钟通道交换相关信息。

有关更多信息，请参阅器件特定 TRM 中外设一章的摄像头子系统部分。

7.10 不使用时处理器电源引脚、IO 和外设的连接

除非器件特定数据表引脚连接要求一节另有说明，否则所有处理器电源引脚都应采用 (连接) 器件特定数据表建议运行条件一节中指定的电源电压。

建议阅读引脚连接要求开头和结尾处的注释。

该处理器系列包含两种引脚 (封装焊球)：具有特定连接要求的引脚，以及建议保持未连接状态的引脚。

有关未使用处理器外设和 IO 连接的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62D-Q1/AM62P 定制电路板硬件设计过程中的设计建议/常见错误 - 不使用时的 SOC 外设和 IO 连接](#)

7.10.1 AM625/AM623/AM620-Q1/AM625-Q1

有关连接特定未使用处理器外设 (USB0、USB1、DDRSS0、CSIRX0 和 OLDI0) 和 IO 的信息，请参阅器件特定数据表中端子配置和功能一章的引脚连接要求部分。

7.10.2 AM625SIP

对于 AM625SIP 处理器，DDRSS0 在内部连接到 LPDDR4 SDRAM 器件。DDRSS 焊盘已分配备用外部连接。有关如何连接重新分配的 (DDRSS0) 焊盘，请参阅器件特定数据表 ([AM625SIP - 具有集成 LPDDR4 SDRAM 的 AM6254 Sitara 处理器](#)) 引脚属性和信号说明 部分中的在 AMK 封装上重新分配的 DDRSS0 引脚表。

有关连接未使用处理器外设 (USB0、USB1、CSIRX0 和 OLDIO) 和 IO 的信息，请参阅器件特定数据表 ([AM62x Sitara 处理器](#)) 端子配置和功能 一章的引脚连接要求 部分。

7.10.3 外部中断 (EXTINTn)

EXTINTn 是一种开漏输出型失效防护 IO 缓冲器。当 PCB 布线已连接并且外部输入未被主动驱动时，建议连接外部上拉电阻器。开漏输出型 IO 缓冲器在上拉至 3.3V 时具有指定的压摆率要求。建议使用 RC (延迟) 来限制压摆率。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62L/AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1/AM62P/AM62P-Q1 定制电路板硬件设计 - EXTINTn 引脚上拉连接](#)

7.10.4 RSVD 预留引脚 (信号)

名为 RSVD 的引脚被预留。建议按照器件特定数据表中的建议，将 RSVD 引脚保持未连接状态 (无测试点 (TP))。

建议将 RSVD 引脚保持未连接状态 (请勿连接任何 PCB 布线或测试点)。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：定制电路板硬件设计 - RSVD 引脚连接建议](#)

8 处理器 IO (LVCMOS/SDIO 或开漏失效防护型 IO 缓冲器) 的接口和仿真执行

在定制电路板设计过程中，开始进行原理图采集前需考虑一个重要因素，即分析处理器与附加器件之间的兼容性（电气特性、IO 电平、失效防护操作）。

- 器件特定（处理器）数据表包含与时序和电气特性相关的信息。
- 对于高速接口，建议使用 IBIS 模型运行仿真。

有关更多信息，请参阅 [KeyStone II 器件硬件设计指南](#) 中的 [通用端接详细信息](#) 部分。

有关驱动强度配置支持的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62A/AM62P/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - SDIO 和 LVCMOS I/O 的驱动强度配置](#)

可从处理器特定产品页面的以下部分下载 IBIS 和 IBIS - AMI 模型：

8.1 IBIS 模型

- [AM625 IBIS 模型](#) (ALW 封装)
- [AM623 IBIS 模型](#) (ALW 封装)
- [AM620-Q1 IBIS 模型](#) (AMC 封装)
- [AM625-Q1 IBIS 模型](#) (AMC 封装)
- [AM625SIP IBIS 模型](#) (AMK 封装)

备注

针对每种封装提供了单独的 IBIS 模型。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62A/AM62P/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与 IBIS 模型相关的疑问](#)

8.2 IBIS-AMI 模型

- [AM625 IBIS-AMI 模型](#) (ALW 封装)
- [AM623 IBIS-AMI 模型](#) (ALW 封装)
- [AM620-Q1 IBIS-AMI 模型](#) (AMC 封装)
- [AM625-Q1 IBIS-AMI 模型](#) (AMC 封装)
- [AM625SIP IBIS-AMI 模型](#) (AMK 封装)

备注

建议双击 .exe 文件安装 IBIS-AMI 模型。安装操作是使用 IBIS-AMI 模型的唯一支持方式。

9 处理器电流和散热分析

定制电路板的电流要求取决于所选处理器型号、使用的外设、实现的终端设备功能、应用环境、工作温度要求以及温度/工作电压波动。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM623：适用于散热垫的封装 ALW 接触压力规格](#)

9.1 功耗估算

要根据用例估算处理器电流（功耗），请使用以下工具：

- [AM625 功耗估算工具](#)
- [AM623 功耗估算工具](#)

- [AM620-Q1 功耗估算工具](#)
- [AM625-Q1 功耗估算工具](#)
- [AM625SIP 功耗估算工具](#)

9.2 不同电源轨的最大电流额定值

有关处理器电源组在电源端子处的最大电流额定值信息，请参阅 [AM62x 最大电流额定值](#) 应用手册。该应用手册介绍了 ALW 和 AMC 两种封装类型。建议按照 [最大电流额定值](#) 应用手册确定电源规格。

9.3 支持的电源模式

如需了解支持的电源模式（包括部分 IO、DeepSleep），请参阅器件特定 TRM 器件配置一章中 [电源](#) 部分下的 [电源模式](#) 子部分。

有关更多信息，请参阅以下应用手册：

[借助 AM62x 处理器实现低功耗嵌入式系统](#)

[AM62x 功耗](#)

9.4 热设计指南

[DSP 和 Arm 应用处理器热设计指南](#) 应用手册为使用 Sitara 系列处理器的定制电路板设计提供了如何实现散热选项的指导。本应用手册提供了有关常见术语和方法的背景信息。仅针对遵循应用手册中所含热设计指南的电路板设计提供了可能需要的任何后续设计支持。

可从处理器特定产品页面的以下部分下载散热模型：

9.4.1 热量模型

- [AM625 热量模型](#) (ALW 封装)
- [AM623 热量模型](#) (ALW 封装)
- [AM620-Q1 热量模型](#) (AMC 封装)
- [AM625-Q1 热量模型](#) (AMC 封装)
- [AM625SIP 热量模型](#) (AMK 封装)

备注

发起 E2E 提问以查询 AM625SIP 热量模型的可用性。

9.4.2 电压热管理模块 (VTM)

独立的温度传感器位于处理器上指定的热点。器件特定数据表提供了 VTM 精度，器件特定 TRM 则提供了有关温度传感器位置的信息。

请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62D-Q1/AM62Px/AM62L/AM64x/AM243x \(ALV、ALX\)](#)
[定制电路板硬件设计 - 电压和热管理器 \(VTM\)](#)

10 原理图：采集、录入和审阅

现可开始进行定制电路板设计过程中的原理图设计、采集和录入工作。

以下常见问题解答汇总了在定制电路板原理图设计和审阅期间可参考的主要配套资料：

[\[常见问题解答\] AM64x、AM243x \(ALV、ALX \)、AM62x、AM62Ax、AM62Px、AM62D-Q1、AM62L 定制电路板硬件设计 - 原理图设计和原理图审阅期间用于参考的配套资料](#)

有关元件选择、原理图采集和审阅的指南，请参阅以下部分：

10.1 定制电路板设计无源元件和值选择

选择无源元件时，建议遵循器件特定数据表（如适用）中的参数要求，包括容差和额定电压等值。建议遵循降额指南（通用标准或无源元件特定企业规范（例如：电阻功率和电容额定电压））的说明。

备注

SK 中提供的元件值、封装尺寸和额定电压可作为定制电路板设计人员设计时的有效切入点。

在定制电路板设计过程中，建议定制电路板设计人员验证 TI 推荐的值、容差、封装尺寸和额定电压是否适合实施特定的定制电路板设计（终端设备），并进行必要的更新。

10.2 自定义电路板设计电子计算机辅助设计 (ECAD) 工具注意事项

Orcad 是用于 SK 原理图的电子计算机辅助设计 (ECAD) 工具。

Allegro 是用于 SK 布局的 ECAD 工具。

有关用于 SK 设计的 ECAD 工具的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM62L/AM625-Q1/AM62A7/AM62A3/AM62A1/AM62P-Q1/AM62D-Q1 定制电路板硬件设计 - 处理器评估模块或入门套件信息（包括电路板设计 CAD 工具版本）](#)

提供 .alg 文件用于将 Allegro 设计文件转换为 Altium 格式。如需转换后的 Altium 设计文件，建议检查相关 SK 或处理器产品页面以了解是否有可用文件或发起 E2E 提问。

10.3 定制电路板设计原理图采集

原理图设计完成后，定制电路板设计的下一个阶段是原理图采集。在原理图采集阶段，可以全新设计定制电路板原理图，也可以再次以 SK 原理图设计为基准进行更新。

如需了解更多信息，请参阅 ALW 封装的[入门套件 SK-AM62B-P1](#) 原理图、AMC 封装的[入门套件 SK-AM62-LP](#) 原理图，以及 AMK 封装的[入门套件 SK-AM62-SIP](#) 原理图。

进行原理图采集期间，请遵循以下检查清单：

[《AM625、AM623、AM620-Q1、AM625-Q1 以及 AM625SIP 处理器系列原理图设计指南与原理图审阅检查清单》](#)

此外，还可参阅以下常见问题解答，其中包含 AM62x 处理器系列的原理图审阅检查清单：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x \(ALV\)/AM335x 设计建议/定制电路板硬件设计 - 原理图审阅检查清单](#)

以下常见问题解答汇总了重复使用 SK 原理图设计文件进行定制电路板设计时的注意事项：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP 定制电路板硬件设计 - 重复使用 TI SK \(EVM\) 设计文件。](#)

备注

若重复使用 SK 设计（原理图），请确保所需功能实现（涉及多页电路）的完整性、检查因设计更改或优化而导致的网络名称变更并进行相应更新。请在实施前阅读并遵循电路附近原理图页面上的注释（设计、审阅和 CAD）。

当重复使用 SK 设计（原理图）时，可以复位所有元件的 DNI 设置。请确保重新配置 DNI（安装 DNI 可能会影响功能）。请阅读电路实现附近原理图页面上的 DNI 注释。

10.4 定制电路板设计原理图审阅

完成原理图采集后，建议根据 [AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 处理器系列原理图设计指南和原理图审阅检查清单](#) 进行自我审查。

以下常见问题解答列出了对定制电路板原理图设计进行自我审查时可以遵循的配套资料和步骤：

[\[常见问题解答\] AM625 / AM623 / AM620-Q1 / AM625-Q1 / AM625SIP 设计建议/定制电路板硬件设计 - 定制电路板原理图自检](#)

此外，还可参阅以下常见问题解答，其中包含 AM62x 处理器系列的原理图审阅检查清单：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x \(ALV\)/AM335x 设计建议/定制电路板硬件设计 - 原理图审阅检查清单](#)

请参阅以下常见问题解答，了解与原理图更新期间发现的一些常见错误相关的信息：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L 定制电路板硬件设计过程中的设计建议/常见错误 - SK 原理图设计更新说明](#)

有关连接已使用/未使用处理器引脚和外设的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM62x、AM62Ax、AM62D-Q1、AM62L、AM62Px、AM64x、AM243x 定制电路板硬件设计 - 如何处理已使用/未使用的引脚/外设及添加上拉电阻或下拉电阻？（例如 GPIO、SERDES、USB、CSI、MMC（eMMC、SD 卡）、CSI、OLDI、DSI、CAP_VDDsx……）](#)

建议组织一次正式的内部原理图审阅活动，参照 [原理图设计指南](#) 和 [原理图审阅检查清单](#) 对定制电路板原理图进行审阅。建议审查定制电路板设计的实现情况，以找出潜在设计错误、元件值变更、连接错误、网络连接缺失以及其他未遵循设计建议的情况。

建议验证定制电路板原理图是否遵循器件特定数据表中 [引脚连接要求](#) 部分的建议。

11 布局规划、布局、布线指南、电路板层和仿真

规划、完成原理图捕获和审阅（自行、团队和外部审阅（由附加器件元件供应商审阅））并进行必要的更新后，建议为定制电路板设计执行元件布局分析（布局布线），以确定理想的元件布局方案、处理器与各种 IC（附加器件）之间的互连距离、电路板尺寸和外形。

定制电路板设计的下一阶段是电路板布局布线（放置元件、确定最终外形尺寸和电路板布局布线）。

有关电路板布局布线的相关建议，请参阅以下部分。

11.1 PCB 设计迂回布线

以下应用手册介绍了定制电路板布局布线期间可参考的处理器推荐 PCB 迂回布线。

- [AM62 PCB 设计迂回布线](#)
- [AM62x \(AMC\) PCB 设计迂回布线](#)
- [AM62x SiP PCB 设计迂回布线](#)

请参阅以下常见问题解答：

[\[常见问题解答\] PROCESSOR-SDK-AM62X：针对 EMMC、RMII、OLDI 接口的布局布线指南：最大布线长度、长度匹配容差、阻抗要求、布线间距要求](#)

11.2 DDR 设计和布局指南

11.2.1 AM625/AM623/AM620-Q1/AM625-Q1

请参阅 [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#)。参考指南可简化 DDR4 或 LPDDR4 电路板布局布线。布局布线指南和要求已归纳为一套布局（放置与布线）建议，可帮助定制电路板设计人员实现理想的定制电路板设计，以确保运行处理器所支持的存储器连接拓扑所需的功能。任何可能需要的后续设计支持仅针对遵循 [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#) 的电路板设计提供。

有关 DDRSS（DDR4 或 LPDDR4）信号布线的建议布线阻抗，请参阅 [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#)。

请参阅 [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#)，了解支持的 DDR4 数据速率、器件位宽、器件数、通道宽度、通道数、芯片、列数等信息。

对于传播延迟，DDR4 或 LPDDR4 需要考虑的延迟是与电路板上布线相关的延迟。根据需要，可参考 [可增补 AM62x、AM62Lx DDR 电路板设计和布局布线指南的封装延迟](#) 部分。

[AM62x、AM62Lx DDR 电路板设计和布局布线指南](#) 包含位交换操作指南。

建议在定制电路板原理图设计和电路板布局阶段执行信号完整性 (SI) 仿真。

备注

不支持 DDR2 和 DDR3 接口。

11.2.2 AM625SiP

按照器件特定数据表（[AM625SiP - 具有集成 LPDDR4 SDRAM 的 AM6254 Sitara 处理器](#)）中的建议进行操作，以连接建议的电源和接地以及 DDR_ZQ（LPDDR4 SDRAM 校准基准电阻）。

按照器件特定数据表（[AM62x Sitara 处理器](#)）中的建议连接建议的 DDR0_CAL0（IO 焊盘校准电阻器）。

按照 [AM62x、AM62Lx DDR 电路板设计和布局指南](#) 和 SK 原理图连接 LPDDR4 复位电阻 (DDR0_RESET0_n)。

备注

不支持外部存储器 (DDR) 接口。

11.3 高速差分信号布线指南

[高速接口布局布线指南](#) 应用手册提供了如何为高速差分信号布线的指南。这些指南包括 PCB 多层堆叠、PCB 选材指导以及布线偏移、长度和间距准则。针对遵循 [高速接口布局布线指南](#) 的定制电路板设计提供可能需要的任何后续设计支持。

备注

在定制电路板设计过程中，考虑使用 [入门套件 SK-AM62B-P1](#) 和 [入门套件 SK-AM62-LP](#) SK 布局作为参考（根据 ALW 和 AMC 封装要求）。

11.4 处理器特定 SK 板布局

进行定制电路板布局时可将处理器特定 SK 板布局用作参考，也可以重复使用 SK 板布局并且可进行必要修改。已针对 SK 板上的所有高速接口执行所需仿真。

11.5 定制电路板层数和多层堆叠

11.5.1 AM625/AM623/AM620-Q1/AM625-Q1

确定层数时需考虑的一个重要因素是实现高速 DDR4 或 LPDDR4 存储器接口所需的层数。遵循推荐的布局指南通常需要使用入门套件（TI 推荐）中采用的层数或 [AM62 PCB 设计迂回布线](#) / [AM62x \(AMC\) PCB 设计迂回布线](#) 应用手册中建议的层数。可以考虑根据定制电路板设计功能优化层数。

有关实现 DDR4 或 LPDDR4 存储器接口的进一步指导和建议，请参阅 [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#)。

[AM62 PCB 设计迂回布线](#) 应用手册可用作定制电路板布局布线期间的参考指南。使用 TI 过孔通道阵列 (VCA) 技术（针对 ALW 封装）可支持进一步的层优化。

11.5.2 AM625SIP

集成 LPDDR4 可优化仿真、设计和布局工作。集成 LPDDR4 可灵活地优化层数。

[AM62x SiP PCB 设计迂回布线](#) 应用手册可在定制电路板布局时用作指南，其中讨论了定制电路板设计的 4 层迂回。使用 TI 过孔通道阵列 (VCA) 技术（针对 AMK 封装）可支持进一步的层优化。

11.5.3 仿真建议

对于与 SK 布局相关的任何布局更改或优化，建议进行仿真。

11.6 DDR-MARGIN-FW

利用 DDR 裕度固件和支持脚本，可在板上可视化呈现和测量 DDR 接口的系统裕度。这些工具支持对关键数据信号进行无探头测量，以便了解定制电路板设计是否遵循接口的建议设计指南。

DDR-MARGIN-FW - 用于测量系统 DDR 裕度的固件和脚本

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] PROCESSOR-SDK-AM62X：有关 AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP DDR 裕度测试工具的问题](#)

11.7 运行电路板仿真时应遵循的步骤参考

如需简要了解 LPDDR4 存储器接口的电路板提取、仿真和分析方法，请参阅 [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#) 的 [LPDDR4 电路板设计仿真](#) 一章。

请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1/AM62L/AM62P/AM62P-Q1/AM64x/AM243x 定制电路板硬件设计 - IO 缓冲器的 S 参数和 IBIS 模型](#)

[常见问题解答] 将 DDR IBIS 模型用于 AM64x、AM243x (ALV)、AM62x、AM62L、AM62Ax、AM62D-Q1、AM62Px

12 定制电路板组装和测试

定制电路板设计的下一个阶段是电路板组装和启动、功能测试、软件集成测试和性能测试。

建议在向定制电路板供电前确认设计中标记为 DNP 或 DNI 的元件未装配。

建议在处理器 IO 电源斜升前不要将任何外部输入连接到处理器 IO (大多数处理器 IO 都不具备失效防护功能；有关可用的失效防护 IO，请参阅器件特定数据表)。

建议在外围输入直接连接到处理器输入时验证 IO 电平兼容性。建议在电路板或接口板上预留外接 ESD 保护电路的安装位 (根据需要)。

建议确保在处理器 IO 电源斜升之前，所有处理器 IO 上拉电阻器都没有以可用电源为基准的电源轨。

12.1 定制电路板启动提示和调试指南

请在电路板启动期间参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62D-Q1/AM62P/AM64x/AM243x 定制电路板硬件设计电路优化过程中的设计建议/常见错误

[常见问题解答] Sitara 器件 (AM64x、AM243x、AM62x、AM62L、AM62Ax、AM62D-Q1、AM62Px) 的电路板启动提示

13 处理器 (器件) 处理和组装

湿敏等级 (MSL) 额定值/回流焊峰值额定值取决于封装尺寸 (厚度和体积)。

建议查看器件厚度信息、焊球间距、引脚镀层/焊球材料以及要遵循的建议 MSL 等级/回流焊峰值温度。

有关更多信息，请参阅以下链接：

[AM625 订购和质量](#)

[AM623 订购和质量](#)

[AM620-Q1 订购和质量](#)

[AM625-Q1 订购和质量](#)

[AM625SIP 订购和质量](#)

13.1 处理器 (器件) 焊接建议

请注意 TI.com 上针对所选处理器的 MSL 等级/回流焊峰值建议。

13.1.1 其他参考内容

有关湿敏等级的信息，请参阅以下内容：

[MSL 等级和回流曲线](#)

[湿敏等级搜索。](#)

14 参考文献

14.1 AM625SIP

- 德州仪器 (TI)：[AM625SIP - 具有集成 LPDDR4 SDRAM 的 AM6254 Sitara 处理器](#)
- 德州仪器 (TI)：[入门套件 SK-AM62-SIP](#)
- 德州仪器 (TI)：[AM62x SiP PCB 设计迂回布线](#)
- 德州仪器 (TI)：[AM625SIP 处理器如何通过集成 LPDDR4 加快开发](#)
- 德州仪器 (TI)：[使用 TPS65219 PMIC 为 AM625SIP 供电](#)

- 德州仪器 (TI) : [SK-AM62-SIP 设计包文件夹和文件列表](#)

14.2 AM625/AM623

- 德州仪器 (TI) : [入门套件 SK-AM62B-P1](#)
- 德州仪器 (TI) : [AM62 PCB 设计迂回布线](#)
- 德州仪器 (TI) : [SK-AM62B-P1 设计包内容概述 \(修订版 A\)](#)
- 德州仪器 (TI) : [SK-AM62B 设计包文件夹和文件列表](#)

14.3 AM620-Q1/AM625-Q1

- 德州仪器 (TI) : [入门套件 SK-AM62-LP](#)
- 德州仪器 (TI) : [AM62x \(AMC\) PCB 设计迂回布线](#)
- 德州仪器 (TI) : [SK-AM62-LP 设计包内容概述](#)

14.4 AM625/AM623/AM620-Q1/AM625-Q1

- 德州仪器 (TI) : [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#)

14.5 所有 AM62x 系列处理器通用

- 德州仪器 (TI) : [AM62x Sitara 处理器数据表](#)
- 德州仪器 (TI) : [AM62x 器件勘误表](#)
- 德州仪器 (TI) : [AM62x Sitara 处理器技术参考手册](#)
- 德州仪器 (TI) : [《AM625、AM623、AM620-Q1、AM625-Q1 以及 AM625SIP 处理器系列原理图设计指南与原理图审阅检查清单》](#)
- 德州仪器 (TI) : [AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP、AM62A3、AM62A7、AM62A7-Q1、AM62A1-Q1、AM62D-Q1、AM62P-Q1 原理图、设计指南及审阅检查清单](#)
- 德州仪器 (TI) : [Sitara AM62x 基准测试](#)
- 德州仪器 (TI) : [AM62x 功耗](#)
- 德州仪器 (TI) : [AM62x 最大电流额定值](#)
- 德州仪器 (TI) : [AM62x 功耗估算工具](#)
- 德州仪器 (TI) : [使用 TPS65219 PMIC 为 AM62x 供电](#)
- 德州仪器 (TI) : [AM62x 的分立式电源解决方案](#)
- 德州仪器 (TI) : [借助 AM62x 处理器实现低功耗嵌入式系统](#)
- 德州仪器 (TI) : [Sitara 处理器配电网络：实施与分析](#)
- 德州仪器 (TI) : [DSP 和 Arm 应用处理器热设计指南](#)
- 德州仪器 (TI) : [PRU-ICSS 特性比较](#)
- 德州仪器 (TI) : [高速接口布局布线指南](#)
- 德州仪器 (TI) : [高速布局布线指南](#)
- 德州仪器 (TI) : [Jacinto7 AM6x、TDA4x 和 DRA8x 高速接口设计指南](#)
- 德州仪器 (TI) : [通用硬件设计/BGA PCB 设计/BGA 去耦](#)
- 德州仪器 (TI) : [仿真和跟踪头技术参考手册](#)
- 德州仪器 (TI) : [XDS 目标连接指南](#)
- 德州仪器 (TI) : [MSL 等级和回流曲线](#)
- 德州仪器 (TI) : [湿敏等级搜索](#)
- 德州仪器 (TI) : [TIDA-01413 - ADAS 8 通道传感器融合集线器参考设计](#)
- 德州仪器 (TI) : [Jacinto 7 DDRSS 寄存器配置工具](#)
- 德州仪器 (TI) : [KeyStone II 器件硬件设计指南](#)
- 德州仪器 (TI) : [KeyStone 器件时钟设计指南](#)
- 德州仪器 (TI) : [使用 IBIS 模型进行时序分析](#)
- 德州仪器 (TI) : [显示接口：Sitara MPU 可视化设计综合指南](#)

15 术语

BSDL	边界扫描描述语言
CAN-FD	控制器局域网灵活数据速率

CPPI	通信端口编程接口
CPSW3G	通用平台 3 端口千兆位以太网交换机
CSIRX	摄像头流媒体接口接收器
DPI	显示并行接口
DRD	双角色设备
E2E	工程师对工程师
ECAD	电子计算机辅助设计
ECAP	增强型捕捉
ECC	错误校正码
eMMC	嵌入式多媒体卡
EMU	仿真控制
EPWM	增强型脉宽调制器
EQEP	增强型正交编码器脉冲
GEMAC	千兆位以太网介质访问控制器
GPIO	通用输入/输出
GPMC	通用存储器控制器
HS-RTDX	高速实时数据交换
I2C	内部集成电路
IBIS	输入/输出缓冲器信息规范
IEP	工业以太网外设
JTAG	联合测试行动组
LDO	低压降
LVC MOS	低压互补金属氧化物半导体
LVDS	低电压差分信号
MCAN	模块化控制器局域网
MCASP	多通道音频串行端口
MCU	微控制器单元
MMC	多媒体卡
MSL	湿敏等级
NVM	非易失性存储器
OLDI	开放式 LVDS 显示接口
OSPI	八线串行外设接口
OTP	一次性可编程
PCB	印刷电路板
PDN	配电网络
PMIC	电源管理集成电路
POR	上电复位
PRUSS	可编程实时单元子系统
QSPI	四线串行外设接口
RGMII	简化千兆位媒体独立接口
RMII	简化媒体独立接口
SD	安全数字

SDIO	安全数字输入输出
SDK	软件开发套件
SPI	串行外设接口
TCK	测试时钟输入
TDI	测试数据输入
TDO	测试数据输出
TMS	测试模式选择输入
TRM	技术参考手册
TRSTn	测试复位
UART	通用异步收发器
USB	通用串行总线
VCA	过孔通道阵列
WKUP	唤醒
XDS	扩展开发系统

16 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (August 2024) to Revision D (June 2025)	Page
• (简介)：GPN 均指代对应封装规格.....	3
• (开始定制电路板设计之前的准备工作)：添加了“入门套件/EVM 型号(版本)和关键器件(元件)列表常见问题解答”.....	3
• 添加了“外设电路实现 - 处理器系列间的兼容性”部分.....	4
• (所需处理器 OPN(可订购器件型号)选型)：添加了“可用器件封装常见问题解答”.....	4
• (更新了 SK 原理图(添加了设计、审阅和 CAD 注解))：添加了与 Altium 工具搭配使用的 .alg (ASCII) 文件的相关常见问题解答.....	4
• 添加了“TI.com 上的配套资料 and 处理器产品页面”部分.....	5
• 添加了“硬件设计注意事项用户指南的更新”部分.....	5
• (用于支持定制电路板设计的处理器和外设相关常见问题解答)：添加了软件相关常见问题解答主列表常见问题解答.....	6
• 添加了“定制电路板设计期间的处理器和处理器外设设计相关问题”部分.....	6
• (制作定制电路板设计方框图)：新增 SK TI.com 链接，且产品页面中提及封装.....	7
• (配置引导模式)：添加了支持的引导模式配置、无隔离缓冲器的引导模式实现常见问题解答，并添加了有关器件状态寄存器的信息.....	7
• (集成式电源架构)：添加了关于 PMIC TPS65219 常见问题解答的常见疑问、“使用 TPS65219 PMIC 为 AM62 处理器供电相较于采用分立式电源设计供电的优势”应用手册，以及 PMIC TRM.....	9
• (分立式电源架构)：添加了“与分立式电源架构常见问题解答相关的疑问”以及关于 MCU_PORz 输入的更多信息.....	9
• (处理器电源轨(工作电压))：添加了“SOC ROC 建议运行条件和动态电压调节常见问题解答”.....	10
• 添加了“支持的低功耗模式”部分.....	10
• (VPP(电子保险丝 ROM 编程)电源)：在硬件要求和建议中添加了将外部稳压二极管用于电压保护点的要求.....	12
• (IO 组(处理器)IO 电源的内部 LDO)：添加了与 CAP_VDDsx CAP_VDDs 常见问题解答相关的问题... ..	13
• (电源去耦和大容量电容器)：添加了去耦电容器相关说明.....	13
• (电源时序)：添加了“上电和下电的处理器电源时序要求常见问题解答”，并在未来版本的数据表中添加了有关电源时序图更新的信息.....	14
• (电源诊断(使用处理器支持的外部输入电压监视器))：添加了 POK VMON 电压监视器和电源正常(POK)模块电压监测及连接建议常见问题解答.....	15

• (处理器时钟 (外部晶体或振荡器)) : 添加了有关晶体 (MCU_OSC0) 启动时间常见问题解答的问题, 以及有关扩频时钟 (SSC) 的信息.....	16
• (LVCMOS 兼容数字时钟输入源) : 添加了 MCU_OSC0 或 WKUP_LFOSC0 的 LVCMOS 时钟常见问题解答相关疑问及“注释”.....	16
• (处理器时钟输出) : 添加了抖动相关信息.....	17
• 添加了“观察时钟输出”部分.....	17
• 添加了“时钟树工具”部分.....	17
• (JTAG (联合测试行动组)) : 添加了“JTAG 相关常见问题解答”.....	17
• (BSDL 文件) : 在一节中添加了所有 GPN.....	18
• (JTAG/仿真的实现) : 添加了有关使用 TI 定义的 20 针连接器的信息.....	18
• 添加了“调试引导模式和边界扫描合规性”部分.....	18
• (处理器复位) : 添加了 MCU_PORz 输入压摆率和处理器复位输入、复位状态输出和连接建议常见问题解答.....	20
• (处理器 - 外设连接) : 添加的注释.....	22
• (AM625/AM623/AM620-Q1/AM625-Q1) : 添加了有关 DDRSS 接口的更多信息.....	22
• 添加了“DDRSS 信号引脚 (封装) 延迟信息”部分.....	23
• 添加了“附加存储器器件 ZQ 和 Reset_N (存储器器件复位) 连接”部分.....	23
• (媒体和数据存储接口 (MMC0、MMC1、MMC2、OSPI0/QSPI0 和 GPMC0)) : 添加了有关 MMC0、MMC1、MMC2、OSPI0/QSPI0 和 GPMC0 接口的更多信息, 并引用了所需的常见问题解答.....	23
• 添加了“以太网接口”部分.....	25
• (通用平台 3 端口千兆位以太网交换机 (CPSW3G0 - 适用于以太网接口)) : 添加了以太网 PHY RGMII 同步时钟、RGMII 和 RMII 常见问题解答.....	25
• (可编程实时单元子系统 (PRUSS)) : 添加了“什么是 PRU 内核?” 为何 PRU GPIO 信号与常规 GPIO 不同? 常见问题解答.....	26
• (通用连接外设) : 添加了有关所有通用连接外设的更多信息并引用了所需的常见问题解答.....	26
• (内部集成电路 (I2C) 接口) : 添加了 SK 原理图设计更新说明常见问题解答, 以及有关 I2C 接口例外情况的注释.....	29
• (显示子系统 (DSS)) : 提及该处理器系列支持的显示子系统.....	29
• (AM625/AM623/AM625-Q1/AM625SIP) : 添加了有关 OLDIO 和 DPI 显示接口的更多信息.....	29
• (RSVD 预留引脚 (信号)) : 添加了“RSVD 引脚连接建议常见问题解答”.....	31
• (处理器 IO (LVCMOS/SDIO 或开漏失效防护型 IO 缓冲器) 的接口和仿真执行) : 添加了“SDIO 和 LVCMOS I/O 的驱动强度配置常见问题解答”.....	32
• (IBIS 模型) : 在一节中添加了所有 GPN.....	32
• 添加了“IBIS-AMI 模型”部分.....	32
• (处理器电流和散热分析) : 添加了“适用于散热垫的封装 ALW 接触压力规格常见问题解答”.....	32
• (功耗估算) : 添加了功耗估算工具的所有 GPN TI.com 链接.....	32
• (支持的电源模式) : 添加了“借助 AM62x 处理器实现低功耗嵌入式系统和 AM62x 功耗”应用手册.....	33
• (热量模型) : 在一节中添加了所有 GPN.....	33
• 添加了“电压热管理模块 (VTM)”部分.....	33
• (定制电路板设计无源元件和值选择) : 添加的注释.....	34
• 添加了“自定义电路板设计电子计算机辅助设计 (ECAD) 工具注意事项”部分.....	34
• (定制电路板设计原理图采集) : 添加了原理图审阅检查清单常见问题解答及处理器系列特定原理图检查清单.....	34
• (定制电路板设计原理图审阅) : 添加了定制电路板原理图自我审查和 SK 原理图设计更新说明常见问题解答, 以及处理器系列特定原理图检查清单.....	35
• 添加了“处理器特定 SK 板布局”部分.....	37
• 添加了“DDR-MARGIN-FW”部分.....	37
• (运行电路板仿真时应遵循的步骤参考) : 添加了“IO 缓冲器的 S 参数和 IBIS 模型及使用 DDR IBIS 模型常见问题解答”.....	37
• (定制电路板组装和测试) : 添加了有关电路板组装和测试建议的更多信息.....	38

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司