

User's Guide

使用 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 处理器系列的定制电路板设计硬件设计注意事项



摘要

定制电路板设计硬件设计注意事项用户指南概述了定制电路板设计人员在使用 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器设计定制电路板时建议遵循的设计注意事项。本用户指南可用于指导定制电路板设计的不同阶段（供定制电路板设计人员使用）。

此外，还提供了以下项的链接（TI.com 产品页面）：处理器产品页面、处理器相关资料、E2E 上发布的与处理器和处理器外设相关的常见问题解答，以及在定制电路板设计期间常用的参考文档。定制电路板设计人员可在定制电路板设计过程中参考这些链接，以更大限度地减少设计错误、优化设计工作、减少电路板设计的反复修改，并优化项目时间安排。

内容

1 简介.....	2
1.1 开始定制电路板设计之前的准备工作.....	3
1.2 外设电路实现 - 处理器系列间的兼容性.....	3
1.3 所需处理器 OPN 选型（可订购器件型号）.....	3
1.4 技术文档.....	3
1.5 定制电路板设计文档.....	5
1.6 有关定制电路板设计期间处理器和处理器外设设计的问题.....	5
2 定制电路板设计方框图.....	6
2.1 开发定制电路板设计方框图.....	6
2.2 配置引导模式.....	6
2.3 配置处理器引脚功能（PinMux 配置）.....	8
3 电源.....	8
3.1 电源架构.....	8
3.2 处理器电源轨（工作电压）.....	9
3.3 电源滤波.....	12
3.4 电源去耦和大容量电容.....	12
3.5 电源时序.....	12
3.6 电源诊断（使用处理器支持的外部输入电压监视器）.....	13
3.7 电源诊断（使用外部监测电路（器件）进行监测）.....	13
3.8 定制电路板电流要求估算和确定电源尺寸.....	13
4 处理器时钟（输入和输出）.....	13
4.1 处理器时钟（外部晶体或振荡器）.....	13
4.2 处理器时钟输出.....	15
4.3 时钟树工具.....	15
5 JTAG（联合测试行动组）.....	15
5.1 JTAG/仿真.....	15
6 配置（处理器）和初始化（处理器和器件）.....	17
6.1 处理器复位.....	17
6.2 处理器引导模式配置输入的锁存.....	17
6.3 复位附加器件.....	18
6.4 看门狗计时器.....	18

7 处理器 - 外设连接	18
7.1 跨域选择外设	18
7.2 存储器控制器 (DDRSS)	19
7.3 媒体和数据存储接口 (MMC0、MMC1、MMC2、OSPI0/QSPI0 和 GPMC0)	19
7.4 以太网接口	21
7.5 可编程实时单元子系统 (PRUSS)	21
7.6 通用串行总线 (USB) 子系统	22
7.7 通用连接外设	22
7.8 显示子系统 (DSS)	24
7.9 摄像头接口	25
7.10 未使用时处理器电源引脚、IO 和外设的连接	25
8 处理器 IO (LVCMOS 或 SDIO 或开漏失效防护型 IO 缓冲器) 的接口和仿真实施	26
8.1 IBIS 模型	26
8.2 IBIS-AMI 模型	27
9 处理器电流和散热分析	27
9.1 功耗估算	27
9.2 不同电源轨的最大电流额定值	27
9.3 支持的电源模式	27
9.4 热设计指南	28
10 原理图：捕获、录入和审阅	28
10.1 定制电路板设计无源元件和数值选择	28
10.2 定制电路板设计电子计算机辅助设计 (ECAD) 工具注意事项	28
10.3 定制电路板设计原理图捕获	29
10.4 定制电路板设计原理图审阅	29
11 布局规划、布局、布线指南、电路板层和仿真	30
11.1 PCB 设计迂回布线	30
11.2 LPDDR4 设计和布局布线指南	31
11.3 高速差分信号布线指南	31
11.4 处理器特定 SK 或 EVM 电路板布局布线	31
11.5 定制电路板层数和叠层	31
11.6 DDR-MARGIN-FW	32
11.7 运行电路板仿真时应遵循的步骤参考	32
12 定制电路板组装和测试	32
12.1 定制电路板启动提示和调试指南	33
13 处理器 (器件) 处理和组装	33
13.1 处理器 (器件) 焊接建议	33
14 术语	33
15 参考资料	35
15.1 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1	35
15.2 AM62D-Q1	35
15.3 通用	35
16 修订历史记录	36

商标

Arm® and Cortex® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

所有商标均为其各自所有者的财产。

1 简介

当设计人员使用上文列出的任何处理器进行定制电路板设计时，可参考使用 **AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1** 系列处理器的定制电路板设计硬件设计注意事项作为起点。本用户指南概述了定制电路板设计不同阶段的设计流程，并重点介绍了建议满足的重要设计要求。请注意，本用户指南不包含完成定制电路板设计所需的全部信息。许多情况下，本文档参考了器件特定配套资料和其他各文档作为特定信息来源。

本用户指南分为一系列章节。指南首先介绍了在定制电路板设计规划阶段必须做出的决策，然后介绍了处理器和附加器件的选型及电气和散热要求。推荐在实施下一部分之前，先解决当前部分讨论的建议。

备注

本用户指南适用于 AMB (AM62Ax) 和 ANF (AM62Ax 和 AM62D-Q1) 封装。

本用户指南未涵盖定制电路板设计的所有方面或阶段。

备注

该处理器系列能够满足安全要求。

本用户指南的重点是非安全应用。

1.1 开始定制电路板设计之前的准备工作

处理器系列包含大量支持多种功能 (存储器、通信) 和处理功能的外设 (并非所有定制电路板设计中都使用了所有外设和处理功能)。在功能和性能方面, 使用同一处理器的不同定制电路板设计要求可能存在很大差异, 具体取决于终端应用。定制电路板设计人员应在选择处理器和确定板级实现需求之前了解相关要求。可以向定制电路板设计中添加额外的电路, 以增强功能并在终端应用工作环境中正确运行。有关选择处理器 OPN 和确定以下关键要求的信息, 请参阅器件特定数据表、器件勘误表、TRM、定制电路板设计硬件设计注意事项、原理图设计指南和原理图审阅检查清单, 以及 SK 或 EVM 配套资料 (最新信息, 建议时常查看 TI.com 上的配套资料更新):

- 处理器预期运行条件、目标引导模式、存储类型和接口
- 所选处理器中每个内核的处理 (性能) 要求
- 外部 DDR 存储器宽度、速度、尺寸
- 所用处理器外设 (用于与附加器件接口)

在定制电路板设计过程中, 如需了解有关 EVM 和 SK 所用关键器件 (元件) 的初始信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x 设计建议/定制电路板硬件设计 - 入门套件/EVM 型号 \(版本 \) 和关键器件 \(元件 \) 列表](#)

1.2 外设电路实现 - 处理器系列间的兼容性

在定制电路板设计期间, 在实现外设接口、存储器接口和 IO 接口所需的功能 (电路) 时, 建议查看处理器特定数据表和产品页面上的其他可用配套资料, 并遵循处理器特定建议, 包括 ROC、时序、IO 电平兼容性。相较于传统处理器或 MCU (TI AM335x、AM437x 或其他 TI 处理器, 以及其他供应商支持的处理器), 接口连接要求和电路实现会有所不同 (不兼容)。示例外设接口涵盖 SD 卡接口, 其可支持高速 UHS-I、USB 接口和 IO 接口实现, 包括复位 (热复位或冷复位) 输入或外部 IO 接口 (用于压摆率、IO 电平兼容性、失效防护操作)。

1.3 所需处理器 OPN 选型 (可订购器件型号)

所需处理器 OPN 选型是定制电路板设计过程中最重要的一步。要了解处理器系列架构以及根据所需的功能、特性、封装 (AMB (AM62Ax)、ANF (AM62Ax) 和 ANF (AM62D-Q1)) 以及速度等级选择所需处理器 OPN (可用于定制电路板), 请参阅器件特定数据表的功能方框图、器件比较、器件命名规则、器件速度等级和封装信息部分。

请参阅器件特定数据表的器件比较一章的器件及文档支持部分, 选择所需的处理器 OPN。

建议使用所选的 OPN 更新原理图中所选处理器 OPN。

有关 AM62Ax 和 AM62D-Q1 处理器系列的可用封装列表, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A/AM62D-Q1/AM62P/AM62L 定制电路板硬件设计 - 可用器件封装](#)

1.4 技术文档

TI.com 上的处理器特定产品页面提供了许多与所选处理器 (系列) 相关的文档。建议定制电路板设计人员在开始定制电路板设计之前, 阅读相关配套资料 (列于以下常见问题解答)。

以下常见问题解答汇总了在开始进行定制电路板设计时可以参考的配套资料：

[常见问题解答] [AM62A7/AM62A7-Q1 定制电路板硬件设计 - 入门配套资料](#)

[常见问题解答] [AM62A3/AM62A3-Q1/AM62A1-Q1 定制电路板硬件设计 - 入门配套资料](#)

[常见问题解答] [AM62D-Q1 定制电路板硬件设计 - 入门配套资料](#)

1.4.1 更新了 SK 或 EVM 原理图 (添加了设计、审阅和 Ca 注解)

在定制电路板设计期间，作为定制电路板设计流程的一部分，定制电路板设计人员可以重复使用 SK 或 EVM 设计并进行所需编辑。或者，定制电路板设计人员可以重复使用常见电路实现方案，其中包括处理器、存储器和通信接口。由于 SK 或 EVM 设计预计包含其他功能，因此定制电路板设计人员倾向于根据定制电路板要求优化 SK 或 EVM 原理图设计。在对 SK 或 EVM 原理图进行优化时，会在定制电路板设计中引入误差，这类误差可能会影响定制电路板的功能、性能或可靠性。在对 SK 或 EVM 原理图进行优化时，会在定制电路板设计中引入误差，这类误差可能导致功能、性能或可靠性方面的问题（隐患）。在进行优化时，定制电路板设计人员可能会有关于 SK 或 EVM 实现方案的疑问。在经审阅的诸多定制电路板中，普遍存在多种定制电路板设计中的常见设计和优化错误。根据客户疑问、客户和内部人员意见和数据表中的引脚连接建议，我们在 SK 或 EVM 原理图的各部分附近添加了全面的设计要点 (D-Note)、审阅提示 (R-Note) 和 CAD 注解 (CAD-Note)，供定制电路板设计人员查看并遵循，以便更大限度减少设计中的错误。

1.4.1.1 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1

该设计下载资料中还包含其他文件，用于帮助在定制电路板设计评估阶段优化所选处理器的评估时间。SK 设计采用了支持最多功能的处理器。

SK-AM62A-LP : <https://www.ti.com/lit/zip/spr491>

有关 Altium 工具的 ASCII (.alg) 文件可用性信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM64x/AM62Ax/AM62Px/AM62D-Q1 - 搭配 Altium 工具使用的 .alg \(ASCII\) 文件](#)

以下产品概述文档中列出了可供下载的设计文档：

[SK-AM62A-LP 设计包文件夹和文件列表](#)

以下常见问题解答包含 PDF 原理图（其中添加了 D-Note、R-Note、CAD 注释）以及与入门套件 SK-AM62A-LP 相关的其他信息：

[常见问题解答] [AM62A7/AM62A7-Q1/AM62A3/AM62A3-Q1/AM62A1-Q1/AM62D-Q1 - 定制电路板硬件设计 - 关于重复使用 SK-AM62A-LP 原理图的设计和审阅说明](#)

1.4.1.2 AM62D-Q1

该设计下载资料中还包含其他文件，用于帮助在定制电路板设计评估阶段优化所选处理器的评估时间。EVM 设计采用了支持最多功能的处理器。

AUDIO-AM62D-EVM : <https://www.ti.com/lit/zip/sprcal5>

以下常见问题解答中列出了可下载的文档：

[常见问题解答] [AM62D-Q1 : - 定制电路板硬件设计 - 关于重复使用 AUDIO-AM62D- EVM 原理图的设计和审阅说明](#)

产品概述文档正在起草中。请时常查看常见问题解答或 TI.com 以了解供货情况。

有关 Altium 工具的 ASCII (.alg) 文件可用性信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM64x/AM62Ax/AM62Px/AM62D-Q1 - 搭配 Altium 工具使用的 .alg \(ASCII\) 文件](#)

以下常见问题解答包含 PDF 原理图（其中添加了 D-Note、R-Note、CAD 注释）以及与 EVM AUDIO-AM62D-EVM 相关的其他信息：

[常见问题解答] [AM62D-Q1](#) : - 定制电路板硬件设计 - 关于重复使用 [AUDIO-AM62D- EVM](#) 原理图的设计和审阅说明

1.4.2 TI.com 上处理器产品页面的配套资料

产品页面上提供了最近更新的配套资料，包括数据表、TRM、器件勘误表、硬件设计注意事项用户指南、原理图设计指南和原理图审阅检查清单。

正在向产品页面添加 (更新) 编写中 (处于编辑或审阅阶段) 的其他配套资料，当前配套资料也在持续更新。建议定期查看 TI.com 上的配套资料以了解更新修订版本或新增配套资料。

1.4.3 硬件设计注意事项用户指南更新

发布在 TI.com 上的当前修订版 *硬件设计注意事项* 用户指南有所更改 (基于客户反馈、经验、错误或改进)，这些更改内容在下个修订版文档中进行了更新。

以下常见问题解答列出了在 TI.com 上发布修订版用户指南之前，定制电路板设计人员在设计定制电路板时需要注意和遵循的更改：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x](#) 定制电路板硬件设计 - 硬件设计注意事项和原理图设计指南配套资料更新

1.4.4 支持定制电路板设计的处理器和外设相关常见问题解答

根据与多个定制电路板设计人员的交流，基于他们提出的问题以及从中获得的经验，整理出若干常见问题解答 (涉及处理器正常运行详解并添加示例图、处理器连接、处理器外设和接口、处理器评估 SK 或 EVM、在定制电路板设计审阅期间发现的常见错误、数据表和引脚属性以及常见 E2E 问题咨询)，以便在定制电路板设计过程中为相关设计人员提供支持。请参阅下面的常见问题解答列表。客户可在定制电路板设计期间使用该列表以及其他可用设计配套资料，包括 *定制电路板设计硬件设计注意事项* 以及 *原理图设计指南* 和 *原理图审阅检查清单*：

现提供常见问题解答主列表，涵盖 Sitara 处理器系列所有可用常见问题解答的列表：

[常见问题解答] 定制电路板硬件设计 - 所有 Sitara 处理器 ([AM62x](#)、[AM62Ax](#)、[AM62D-Q1](#)、[AM62Px](#)、[AM62L](#)、[AM64x](#)、[AM243x](#)、[AM335x](#)) 系列的常见问题解答 (完整) 主列表

为了让使用特定处理器系列的定制电路板设计人员更轻松地进行设计，下面列出了不同处理器系列的常见问题解答：

[常见问题解答] [AM62A7/AM62A7-Q1/AM62A3/AM62A3-Q1/AM62A1-Q1/AM62D-Q1](#) 定制电路板硬件设计 - 有关处理器配套资料、正常运行、外设、接口和入门套件的常见问题解答

请参阅下面的常见问题解答，其中列出了所有可用的常见问题解答，包括 Sitara 系列处理器的软件相关常见问题解答：

[常见问题解答] [AM6x](#) : 有关 [AM62x](#)、[AM62Ax](#)、[AM62D-Q1](#)、[AM62Px](#)、[AM62L](#)、[AM64x](#)、[AM24x](#)、[AM3x](#)、[AM4x](#) Sitara 器件的最新常见问题解答

备注

常见问题解答会经常更新。建议定期查看感兴趣的常见问题解答以获取最新信息。

1.5 定制电路板设计文档

建议定期更新定制电路板设计文档，以记录定制电路板要求更新，以及定制电路板设计不同阶段对设计的更改 (测试或审阅时总结的)。更新后的信息可作为审阅 (外部或内部) 支持所需文档包 (设计文档) 的基准。

1.6 有关定制电路板设计期间处理器和处理器外设设计的问题

在定制电路板设计过程中，对于与处理器和处理器外设相关的问题，建议到 E2E 上进行检查以便器件专家提供支持。建议在 E2E 提问中输入与特定设计部分、外设或主题相关的查询内容，以便缩短分配和回复延迟。

2 定制电路板设计方框图

为了设计功能齐全的定制电路板，建议绘制一个详细的方框图，其中涵盖所有主要（必需）功能块和接口（连接到外部附加器件（外设））。

2.1 开发定制电路板设计方框图

建议确认并审阅所有相关的终端设备用例要求（特性）、功能，列举所有关键元件（功能块）、处理器正常运行所需的相关器件（例如：PMIC），并在方框图中标出与处理器相连的附加器件详情。建议为每个功能或接口绘制单独模块，使用指示方向的箭头连接各模块，标注模块并清楚地指示用于连接处理器和附加器件的接口与处理器 IO。建议尽可能根据已实现的功能对这些模块进行分组。推荐在开始设计之前先审阅、完善方框图并确定其基础版本。

在准备详细方框图时，以下资源可用作支持文档：

- [入门套件 SK-AM62A-LP](#)（适用于低功耗 Sitara 处理器的 AM62A 入门套件）、EVM [AUDIO-AM62D-EVM](#)（实现卓越音频质量的 AM62D 可扩展硬件）和任何其他可用的 SK 或 EVM。
- 下面列出的链接指向 TI.com 上处理器特定产品页面，包括功能方框图、数据表、TRM、用户指南、器件勘误表、应用手册、定制电路板设计硬件设计注意事项、原理图设计指南、原理图审阅检查清单以及其他相关文档。设计和开发部分包括指向可用 SK 或 EVM（SK 或 EVM 设计文件）、设计工具、仿真模型和软件的链接。支持和培训相关信息中提供指向经常查看或搜索的 E2E 主题和 E2E 常见问题解答的链接。

TI.com 上的处理器产品页面链接列总如下：

AM62Ax [AMB、ANF]

- [AM62A7](#)
- [AM62A7-Q1](#)
- [AM62A3](#)
- [AM62A3-Q1](#)
- [AM62A1-Q1](#)

AM62D-Q1 [ANF]

- [AM62D-Q1](#)

2.2 配置引导模式

建议说明所配置的引导模式和方框图中预留的引导模式配置，包括主引导和备用引导。

有关支持的引导模式配置，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM64x/AM243x/AM62Ax/AM62Px/AM62D-Q1/AM62L - 支持的引导模式配置](#)

该系列处理器配有多个支持引导的外设接口。有关可用的引导模式配置和支持的外设，请参阅器件特定 TRM。该处理器系列支持主引导模式和可选备用引导模式配置。如果主引导（源）模式无法引导，则 ROM 将切换到备用引导模式。

针对引导期间使用的引导模式配置（由 ROM 代码执行），将通过直连到处理器引导模式输入端的引导模式配置（上拉或下拉）电阻器（或通过外部缓冲器）设置。当处理器脱离冷复位状态时，BOOTMODE [15:0] 引脚配置（电平）会锁存到器件状态寄存器 CTRLMMR_MAIN_DEVSTAT[15:0] 中，在 MCU_PORz 输入取消置位（PORz_OUT 输出的上升沿（MCU_PORz 输入的缓冲输出））。在释放（取消置位）MCU_PORz 输入之前，引导模式配置输入建议保持稳定。

可使用分立式（并联拉）电阻器配置处理器引导模式，助力实现以下引导配置（功能）：

PLL Config（配置）：BOOTMODE [02:00] - PLL 配置引脚用于向 ROM 代码指示系统时钟（PLL 参考时钟选择）频率（MCU_OSC0_XI/XO），以实现 PLL 配置

备注

有关支持的晶体频率，请参阅处理器特定数据表。配置引导模式以与支持的晶体或时钟频率匹配。错误的时钟频率配置会影响处理器性能，包括电路板的复位。

主引导模式：BOOTMODE [06:03] - 引导模式引脚用于配置所需的主引导模式，即要用于引导的外设/存储器

主引导模式配置：BOOTMODE [09:07] - 引导模式配置引脚为主引导提供可选配置，并与主引导模式选择引脚配合使用

备用引导模式：BOOTMODE [12:10] - 引导模式引脚用于配置所需备用引导模式，即主引导出现故障时要从中引导的外设/存储器

备用引导模式配置：BOOTMODE [13] - 引导模式引脚提供额外的配置选项（可选 - 取决于所选的备用引导模式引脚）

保留：BOOTMODE [15:14] - 保留引脚（请勿将保留引脚保持在未连接状态）

备注

不建议也不允许将 BOOTMODE [15:00] 引脚保持在未连接状态。

配置引导模式时的主要注意事项：

- 建议在定制电路板开发阶段始终预留引导模式配置的功能，例如 USB 引导 (USB0、DFU)、UART 引导 (UART0) 或用于调试的无引导/器件引导模式（使用 JTAG）
- 引导模式引脚支持复用功能，可在锁存引导模式配置输入后进行配置。建议考虑在定制电路板设计期间选择上拉或下拉电阻器时实现复用功能。如果引导模式输入由外部输入驱动以支持测试自动化或远程配置，则每当处理器复位（由 PORz_OUT 输出引脚指示）时，就需要引导模式输入返回到所需的引导配置值（电平），以便处理器能正确引导。
- 某些引导模式引脚功能被保留。不建议也不允许将标记为“保留”或未使用的引导模式引脚保持在未连接状态（悬空）。建议使用外部电阻器将输入上拉至高电平或下拉至低电平。有关连接保留的引导模式引脚信息，请参阅器件特定 TRM 初始化章节中的引导模式引脚映射部分。

有关所支持引导模式的信息，请参阅器件特定 TRM 的初始化章节和器件特定勘误表。

备注

定制电路板设计人员负责提供设定所需引导模式配置的设置（使用上拉或下拉电阻，亦可选用跳线/开关（在非受控 ESD 环境下设定时需提供外部 ESD 保护设置））。建议为所有具有配置功能的引导模式输入引脚提供上拉和下拉电阻配置，以便提高设计灵活性。不建议也不允许将多个引导模式输入引脚相互短接，使任意引导模式输入引脚处于未连接状态，或者将引导模式输入直接连接至电源或接地。

备注

建议通过 0 Ω 串联电阻器将处理器引导模式输入引脚（配置为复用功能）连接到复用功能。在测试期间，可以使用串联电阻器隔离复用功能。

有关实现引导模式的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM64x/AM243x/AM62A/AM62P/AM62D-Q1/AM62L - 使用隔离缓冲器的引导模式实现](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM64x/AM243x/AM62A/AM62P/AM62D-Q1/AM62L - 无隔离缓冲器的引导模式实现](#)

2.3 配置处理器引脚功能 (PinMux 配置)

处理器系列支持诸多外设、接口 (存储器、同步、异步) 和 GPIO。为了优化处理器尺寸、引脚数和封装，同时保持尽可能多的功能，许多处理器焊盘 (引脚) 提供最多可复用八个信号功能的配置。(在特定的定制电路板上) 可能不是所有外设实例都能配置或使用。

TI 提供了 [SysConfig-PinMux 工具](#)，可供定制电路板设计人员用于配置所需的功能 (外设、接口和 IO)。

备注

建议保存使用 SysConfig-PinMux 工具生成的 PinMux 配置以及其他设计文档。

3 电源

完成处理器 OPN 选型并更新了内含处理器器件型号的方框图后，定制电路板设计的下一个阶段是电源架构设计。

3.1 电源架构

下面列出了可考虑使用的电源架构：

3.1.1 集成式电源架构

集成式电源架构可基于 [TPS6593-Q1](#) 或类似的多通道 IC (PMIC)。

有关更多信息，请参阅[入门套件 SK-AM62A-LP](#) 或 [AUDIO-AM62D-EVM](#) 原理图。

或者，集成式电源架构可以基于 [TPS65224-Q1](#) 等 PMIC。

备注

对于汽车功能安全用例，请将处理器的 MCU_I2C0 I2C 接口连接到 PMIC (TPS65224/2) I2C1。

建议 MCU_PORz 输入在电源开始斜降之前达到有效的逻辑低电平。基于 PMIC 的电源架构旨在 (预期) 监测 (确保) 当处理器电源轨降至 *建议运行条件* 中定义的最小值以下时，在启动新上电序列之前关闭所有电源轨并下降到 300mV 以下。

选择替代 (非 TI) PMIC 时，建议定制电路板设计人员查看相关的处理器配套资料，包括器件特定数据表和最大电流额定值应用手册，并遵循要求/建议。建议查看器件特定数据表的压摆率要求、上电时序和下电时序部分，并确认所选基于 PMIC 的电源架构符合相关要求。

请参阅以下常见问题解答：

[\[常见问题解答\] AM62A7/AM62A7-Q1/AM62A3/AM62A3-Q1/AM62A1-Q1/AM62D-Q1 设计建议/定制电路板硬件设计 - PMIC TPS6593 的常见问题](#)

[\[常见问题解答\] AM62A7/AM62A7-Q1/AM62A3/AM62A3-Q1/AM62A1-Q1/AM62D-Q1/AM62P/AM62P-Q1 设计建议/定制电路板硬件设计 - PMIC TPS65224-Q1 的常见问题](#)

[\[常见问题解答\] TMUX1308-Q1：EN 和控制输入端接 - AM62P、AM62A 用例](#)

3.1.2 分立式电源架构

电源架构可以基于分立式直流/直流转换器和 LDO。

有关可用或推荐分立式电源架构的信息，请参阅 TI.com 上的器件特定 ([AM62A7/AM62A7-Q1/AM62A3/AM62A3-Q1/AM62A1-Q1](#) 和 [AM62D-Q1](#)) 产品页面。

处理器特定产品页面提供了有关可用电源架构的最新信息。

在实现定制 (TI 或非 TI) 分立式电源架构时，请在所有电源斜升后注意电源尺寸、电源时序、电源压摆率和 MCU_PORz 输入 L->H 延迟 (保持时间) (用于振荡器启动和稳定) 要求，并根据器件特定数据表验证相关要求。

在下电期间，建议 MCU_PORz 输入在电源开始斜降之前达到有效逻辑低电平。分立式电源架构设计应能够在电源轨降至 *建议运行条件* 中定义的最小值以下时关闭所有电源轨，并在监测到电源轨衰减到 300mV 以下后再启动新的上电时序。

建议（要求）在上电期间将 MCU_PORz 输入保持为低电平（有效），保持低电平直到所有处理器电源斜升且有效（稳定）。使用外部晶体和内部振荡器时：叠加最短延迟为 9.5ms（器件特定数据表中标为 9500000ns），以使内部振荡器启动和稳定（请参阅器件特定数据表）；或者使用使用外部 LVCMOS 数字时钟源（振荡器）时，MCU_PORz 输入保持为低电平（有效），直到所有处理器电源斜升且有效，并且外部振荡器时钟输出稳定，叠加最短延迟为 1.2 μ s（数据表中标为 1200ns）（详见器件特定数据表）。

请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62A/AM62D-Q1/AM62P/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - 有关分立式电源架构的问题](#)

3.2 处理器电源轨（工作电压）

有关处理器电源轨和 *建议运行条件* (ROC) 的完整列表，请参阅器件特定数据表中 *规格一章* 的 *建议运行条件* 部分。

有关处理器 ROC 的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62A/AM62D-Q1/AM62P/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - SOC ROC 建议运行条件](#)

在处理器冷复位输入 (MCU_PORz) 释放后，处理器系列不支持处理器内核、外设内核和外设模拟电源的动态电压调节（切换）。IO 组的部分 IO 电源支持动态电压切换。有关支持动态电压切换的 IO 组 IO 电源，请参阅器件特定数据表中 *IO 组的 IO 电源说明*。

有关动态电压调节 (DVS) 和动态频率调节 (DFS) 的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - SOC 内核 \(VDD_CORE\)、外设内核和模拟电源的动态电压调节](#)

备注

建议确保连接到处理器电源轨的电源处于器件特定数据表的 *建议运行条件* 范围内。

3.2.1 支持的低功耗模式

有关支持的低功耗模式，请参阅器件特定数据表。有关低功耗模式和功能的补充说明，请参阅器件特定 TRM。PMIC_LPM_EN0 为双功能 PMIC 控制输出，支持低功耗模式（低电平有效）或 PMIC 使能（高电平有效）。PMIC_LPM_EN0 引脚需要一个外部上拉电阻器连接到 VDDSHV_CANUART 电源。该引脚状态在复位期间为高阻态，由此上拉电阻器即可在常开型 VDDSHV_CANUART 电源斜升后立即导通 PMIC。一旦器件从复位状态释放（MCU_PORz 输入的上升沿），该引脚就会被驱动为高电平。该引脚保持高电平，直到器件进入 CANUART 模式并被命令进入深度睡眠状态，此时该引脚被驱动为低电平以关断 PMIC。当 CANUART 检测到外部唤醒事件时，该引脚再次驱动为高电平。

3.2.2 内核电源

建议使用同一电源为处理器内核电源 VDD_CORE 和外设内核电源 VDDA_CORE_CSIRX0、VDDA_CORE_USB 以及 VDDA_DDR_PLL0 供电，这些电源可在 0.75V 或 0.85V 电压下工作（*建议运行条件* (ROC) 表规定的额定工作电压）。当内核电源在 0.75V 电压下工作时，建议在 0.85V 电源之前斜升 0.75V 电源。

对于采用铁氧体滤波器的电源轨，建议在铁氧体的负载侧（连接到处理器引脚）使用大容量电容器。

VDDR_CORE 的规定工作电压为 0.85V。当 VDD_CORE 在 0.85V 电压下工作时，建议一同斜升 VDD_CORE 和 VDDR_CORE（由同一电源供电）。

VDD_CANUART 可在 0.75V 或 0.85V 电压下运行，正常运行期间与 VDD_CORE 没有电压相关性。只有在上电和下电排序期间才存在电压相关性。

当使用部分 IO (低功耗) 模式时, 建议将 VDD_CANUART 连接至常开型电源。不使用部分 IO (低功耗) 模式时, 建议将 VDD_CANUART 与 VDD_CORE 连接到同一电源。

更多信息, 请参阅器件特定数据表中 *规格* 一章的 *建议运行条件* 部分。

备注

有关内核工作电压选型的信息, 请参阅器件特定数据表的 *运行性能点* 部分。

3.2.3 外设电源

处理器系列支持面向 USB (USB0 和 USB1 通用)、CSIRX0 和 PLL 的专用外设电源引脚。标称电压为 1.8V。USB 建议使用额外的 3.3V 模拟电源。

对于 VDDS_DDR (DDR PHY IO 电源) 和 VDDS_DDR_C (DDR 时钟 IO 电源), 建议使用 1.1V 电源 (连接到 LPDDR4 存储器附加器件时)。

更多信息, 请参阅器件特定数据表中 *规格* 一章的 *建议运行条件* 部分。

3.2.4 用于 IO 组 (处理器) 供电的双电压 IO 电源

该处理器系列支持 x9 (九个) 用于 IO 组的双电压 I/O 电源 (VDDSHVx [x = 0-6]、VDDSHV_MCU 和 VDDSHV_CANUART)。每组连接到一组固定的 IO (以其为基准)。IO 组的每个 IO 电源均可独立连接至固定 (VDDSHV4、VDDSHV5、VDDSHV6 支持动态电源切换) 3.3V 或 1.8V 电源。IO 组的 IO 电源为整组 (固定组) IO 定义了一个的通用工作电压。

大多数处理器 IO 都没有失效防护功能。有关可用的失效防护 IO 的信息, 请参阅器件特定数据表。建议将附加器件的 IO 电源连接到与相应处理器 IO 组双电压 IO 电源 (VDDSHVx) 相同的电源, 以确保定制电路板设计不会向任何未供电的处理器 IO 施加电势。在 IO 电源不可用时, 向非失效防护的 IO 施加输入可能会影响处理器功能、性能和可靠性。

有关更多信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP: 定制电路板硬件设计 - SOC \(处理器 \) 和附加器件 \(失效防护 \) 之间的电源时序](#)

这是通用常见问题解答, 也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

可用的 IO 组 IO 电源信息列总如下:

- VDDSHV0 - 主复位和通用接口 IO 组 (固定) 的双电压 IO 电源
- VDDSHV1 - OSPI0 IO 组 (固定) 的双电压 IO 电源
- VDDSHV2 - RGMII1、RGMII2 IO 组 (固定) 的双电压 IO 电源
- VDDSHV3 - GPMC0 IO 组 (固定) 的双电压 IO 电源
- VDDSHV4 - MMC0 IO 组 (固定或动态电源切换) 的双电压 IO 电源
- VDDSHV5 - MMC1 IO 组 (固定或动态电源切换) 的双电压 IO 电源
- VDDSHV6 - MMC2 IO 组 (固定或动态电源切换) 的双电压 IO 电源
- VDDSHV_MCU - WKUP_MCU IO 组 (固定) 的双电压 IO 电源
- VDDSHV_CANUART - CANUART IO 组 (固定) 的双电压 IO 电源

备注

1.8V 或 3.3V 动态切换电源可应用于如上所示 IO 组的动态 IO 电源。1.8V 或 3.3V 固定电源可应用于如上所示 IO 组的固定 IO 电源。IO 组的 2 个 IO 电源之间不存在 IO 电源电压电平相关性。

备注

当使用部分 IO (低功耗) 模式时, 建议将 VDDSHV_CANUART 连接至常开型电源。当使用部分 IO (低功耗) 模式时, 建议将 VDDSHV_CANUART 连接至任意有效 IO 电源 (1.8V 或 3.3V)。

3.2.5 动态电压切换双电压电源

IO 组的 VDDSHV4、VDDSHV5 和 VDDSHV6 IO 电源以 MMC0、MMC1、MMC2 信号组为基准, 旨在支持上电、下电, 或不依赖于其他处理器电源轨的动态电源电压变化 (切换)。动态电压切换功能可支持 UHS-I SD 卡。

当使用基于 TPS6593-Q1 PMIC 的电源架构时, PMIC 集成了一个 LDO 以支持由处理器 IO 控制的动态电压切换。

当使用基于 PMIC 的电源架构时, 如果 PMIC 集成了支持处理器 IO 控制型动态电压切换的 LDO, 则 LDO 可用于 UHS-I SD 卡接口。

使用分立式电源架构时, 建议使用能够在 3.3V 和 1.8V 之间动态切换 (由处理器 IO 控制) 的外部 LDO。

3.2.6 VPP (电子保险丝 ROM 编程) 电源

VPP 电源可源自单独的板载 LDO 电源或由处理器 IO 控制的外部电源。

在处理器上电、下电和正常运行期间, VPP 电源引脚可以保持悬空 (HiZ) 或下拉接地 (可以将电阻器与 TP 连接以隔离接地端和连接电源)。

建议在对电子保险丝 ROM (OTP) 进行编程时注意以下硬件要求:

- 建议仅在处理器上电序列完成后, 并对电子保险丝进行编程时才施加 VPP 电源。
- 建议使用具有更高输入电压 (2.5V 或 3.3V) 和使能输入 (控制) 的固定输出 LDO。建议通过处理器 GPIO 控制使能输入来实现 VPP 电源的时序控制。
- VPP 电源预计会出现高负载电流瞬态。建议在处理器 VPP 引脚附近使用本地大容量电容器来支持电流瞬态。
- 选择具有快速放电功能的 LDO 或使用外部放电电阻器。
- 电子保险丝编程期间指定的最大电流为 400mA。
- 如果使用外部电源, 则建议在处理器电源斜坡且稳定后施加该电源。
- 使用外部电源时, 建议在处理器 VPP 引脚附近添加板载大容量电容器、去耦电容器和放电电阻器。添加一个测试点以连接外部电源, 并提供连接其中一个处理器 GPIO 以控制外部电源时序的配置。
- 建议在不对电子保险丝进行编程时禁用 VPP 电源 (保持悬空 (HiZ) 或接地)。
- 当使用可调 LDO 时, 请考虑添加一个外部齐纳二极管, 用于在 LDO 输出端提供过压保护。

有关更多信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP: 定制电路板硬件设计 - 有关 VPP 电子保险丝编程电源选择和应用的问](#)

这是通用常见问题解答, 也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

更多信息, 请参阅器件特定数据表中规格一章的一次性可编程 (OTP) 电子保险丝的 VPP 规格部分。

3.2.7 IO 组 (处理器) IO 电源的内部 LDO

该处理器系列支持 x9 (九个) 内部 LDO (CAP_VDDSn [n = 0-6]、CAP_VDDSD_MCU 和 CAP_VDDSD_CANUART), 每个 LDO 输出连接到一个单独的焊球 (引脚), 用于连接外部电容器。有关推荐的电容器值和连接, 请参阅器件特定数据表中信号说明部分的电源小节。

按照相关的 SK 或 EVM 设计选择电容器额定电压和封装。选用未遵循 SK、EVM 或数据表建议的电容器 (数值、额定电压) 可能会影响 LDO 输出稳定性和处理器性能。

有关更多信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62D-Q1/AM62P/AM64x/AM243x 设计建议/定制电路板硬件设计 - 有关 CAP_VDDsx CAP_VDDs 的问题](#)

3.3 电源滤波

该处理器系列支持多个模拟电源引脚，这些引脚可为 VDDA_MCU、VDDA_DDR_PLL0、VDDA_PLLx [x = 0-4]、VDDA_1P8_CSIRX0 和 VDDs_OSC0 等敏感模拟外设供电。有关为电源轨实现滤波、去耦和配备大容量电容器的信息，请参阅[入门套件 SK-AM62A-LP](#) 或 [AUDIO-AM62D-EVM](#) 原理图。

对于包含铁氧体滤波器的电源轨，建议在铁氧体的负载侧使用大容量电容器（连接到处理器引脚）。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP 定制电路板硬件设计 - 针对 SoC 电源导轨的铁氧体（电源滤波器）建议](#)

这是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

3.4 电源去耦和大容量电容

为了将处理器（和附加器件）与电路板噪声去耦，建议使用去耦电容器和大容量电容器。

有关优化和放置去耦电容器及大容量电容器的信息，请参阅 [Sitara 处理器配电网络：实现与分析](#) 应用手册。

备注

SK 或 EVM 上的去耦电容器数量和型号仅供客户参考。真正的通过或失效标准是 PDN 应用手册中发布的目标阻抗。

3.4.1 PDN 目标阻抗说明

为特定电源 (VDD_CORE) 提供了 PDN 目标阻抗值。不提供其他（所有）电源轨的 PDN 目标阻抗值，因为目标阻抗计算需要考虑电源轨上的最大电流，并且取决于用例。

有关 PDN 目标阻抗电源和数值的更新内容，请参阅以下常见问题解答：

[\[常见问题解答\] AM62A7 和 AM62A7-Q1 定制电路板硬件设计 - 入门配套资料](#)

[\[常见问题解答\] AM62D-Q1 定制电路板硬件设计 - 入门配套资料](#)

查找 PDN 目标阻抗值 (VDD_CORE)。

对于 VDDs_DDR 电源轨，不建议使用目标阻抗作为签核标准。请参阅 [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局布线指南](#)，其中概述了需要执行的功耗感知 SI/PI 仿真的各项详细信息。功耗感知仿真的眼图模板检查是 VDDs_DDR 的签核标准。

3.5 电源时序

器件特定数据表中提供了推荐的 *电源时序*（上电和下电）的详细图表。当实施分立式电源架构时，所有相关处理器电源都推荐使用基于 PMIC 的电源或使用板载逻辑来实现受控电源斜升（电源压摆率）和电源时序。

如需了解更多信息，请参阅器件特定数据表的 *电源要求*、*电源压摆率要求* 和 *电源时序部分*。

根据客户意见和内部分析更新时序图。建议在器件特定数据表的更新修订版发布后查看电源时序图。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：定制电路板硬件设计 - 上电和下电的处理器电源时序要求](#)

这是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

3.6 电源诊断 (使用处理器支持的外部输入电压监视器)

处理器支持的外部电源输入监视器可用于对电源故障进行早期检测或进行电源诊断。

该处理器系列支持以下电压监视器：

- **VMON_VSYS** (无论软件实现如何, 建议始终预留外部电阻器 (分压器), 以便对电源故障进行早期检测 (指示)) : 如需通过外部电阻分压器连接板载电压 (主电源电压, 如 5V、12V、24V), 请参阅器件特定数据表的 **系统电源监测设计指南** 部分。建议在连接到 **VMON_VSYS** 输入的电阻器输出 (两端) 实现噪声滤波器 (电容器), 因为 **VMON_VSYS** 具有极小的迟滞和对瞬态的高带宽响应。
- **VMON_1P8_SOC** (监测) : 建议将监测引脚直接连接到各自的 1.8V 电源 (不使用任何滤波器电容器)。有关允许的电源电压范围, 请参阅器件特定数据表的 **建议运行条件** 部分。未采用监视器时, 请按照 **引脚连接要求** 连接 **VMON_1P8_SOC** 输入。
- **VMON_3P3_SOC** (监测) : 建议将监测引脚直接连接到各自的 3.3V 电源 (不使用任何滤波器电容器)。有关允许的电源电压范围, 请参阅器件特定数据表的 **建议运行条件** 部分。未采用监视器或 3.3V 电源不可用时, 请按照 **引脚连接要求** 连接 **VMON_3P3_SOC** 输入。

有关更多信息, 请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x \(ALV\) 设计建议/定制电路板硬件设计 - POK VMON 电压监视器](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x \(ALV、ALX\) 设计建议/定制电路板硬件设计 - 电源正常 \(POK\) 模块电压监测和连接建议](#)

3.7 电源诊断 (使用外部监测电路 (器件) 进行监测)

为了增强定制电路板性能以及根据应用要求, 建议为所有板载处理器以及外设电源轨从电源轨汲取的电压和电流提供外部监测电路 (器件) 配置。

有关更多信息, 请参阅 [入门套件 SK-AM62A-LP](#) 或 [AUDIO-AM62D-EVM](#) 原理图。

现已完成电源架构和用于生成电源轨 (基于电源架构) 的所需器件, 建议更新方框图以包含电源架构 (在电源轨名称中加入电源轨电压值) 和连接。建议生成电源时序 (上电和下电) 图, 并使用器件特定数据表验证该时序。

3.8 定制电路板电流要求估算和确定电源尺寸

器件特定数据表中未提供每个电源轨的 (最大和最小) 电流要求。电流要求在很大程度上取决于应用, 建议使用 TI 提供的工具和文档针对特定用例进行评估。

建议在确定电源尺寸时考虑最大电流额定值 (最大电流额定值应用手册中已提供)。

4 处理器时钟 (输入和输出)

定制电路板设计的下一个阶段是为处理器和附加器件实现时钟架构。针对处理器时钟生成, 可使用连接了外部晶体的内部振荡器或生成 LVCMOS 兼容时钟输出的外部振荡器。使用外部振荡器作为时钟源时, 请遵循器件特定数据表中的连接建议。以下部分将介绍可用的处理器时钟源和要求。

4.1 处理器时钟 (外部晶体或振荡器)

器件特定数据表中 **规格一章** 的 **时钟规格** 部分列出了建议的处理器时钟源和连接。

直连到 XI 和 XO 引脚的 25MHz 外部晶体通过 **MCU_OSC0_XI / MCU_OSC0_XO** 连接到内部高频振荡器, 或通过 **MCU_OSC0_XI** 连接的外部 LVCMOS 数字时钟是处理器内部运行的主时钟输入源。

当使用晶体生成处理器时钟时, 请按照器件特定数据表来选择负载电容器。

器件特定数据表提供了时钟启动和稳定的建议延迟时间。

有关更多信息, 请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP 定制电路板硬件设计 - 有关晶体 \(MCU_OSC0\) 启动时间的问题](#)

这是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

AM62Ax 和 AM62D-Q1 处理器系列当前不支持展频时钟 (SSC) (时钟源 (输入) 、内部时钟、PLL) 。

有关 SSC 支持的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：在 PRUSS 上启用展频内核时钟](#)

这是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

建议使用 32.768kHz 晶体作为低频振荡器 (WKUP_LFOSC0) 的时钟源。低频振荡器 (WKUP_LFOSC0) 的用例有限且是可选的。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：LFOSC 在处理器中的使用](#)

这是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

4.1.1 未使用时的 WKUP_LFOSC0 连接

有关 WKUP_LFOSC0 未使用时的建议连接信息，请参阅器件特定数据表规格一章的未使用 WKUP_LFOSC0 部分。

4.1.2 MCU_OSC0 和 WKUP_LFOSC0 晶体选型

选择 MCU_OSC0 或 WKUP_LFOSC0 晶体时，建议根据最坏工作环境、定制电路板的预期寿命或终端设备来考虑温度和老化特性。验证晶体负载和晶体负载电容器值 (包括 PCB 电容 (对于 MCU_OSC0)) 是否与器件特定数据表建议值相匹配。建议选用能够采用标准电容器值的晶体负载。值不匹配可能会引入时钟频率 PPM 误差。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1/AM62P/AM62P-Q1/AM62L 定制电路板硬件设计 - 有关晶体选型和时钟规格的问题](#)

更多信息，请参阅器件特定数据表的 MCU_OSC0 晶体电路要求和 WKUP_LFOSC0 晶体电气特性表。

建议根据器件特定数据表将 MCU_OSC0 晶体直接连接到处理器。

建议 (根据需要) 向晶体制造商确认晶体选型。

4.1.3 LVCMOS 兼容数字时钟输入源

MCU_OSC0_XI 和 WKUP_LFOSC0_XI 时钟输入可源自外部 1.8V LVCMOS 方波数字时钟源。有关更多信息，请参阅器件特定数据表的规格一章中的时序和开关特性、时钟规格、输入时钟/振荡器、MCU_OSC0 LVCMOS 数字时钟源部分。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1/AM62P/AM62P-Q1/AM62L 定制电路板硬件设计 - 有关 MCU_OSC0 \(WKUP_OSC\) 或 WKUP_LFOSC0 \(LFOSC0\) 的 LVCMOS 数字时钟源的问题](#)

备注

当 LVCMOS 数字时钟连接到 XI 输入时，请遵循器件特定数据表中关于连接 MCU_OSC0_XO 和 WKUP_LFOSC0_XO 引脚的建议。

备注

有关更多信息，请参阅器件特定数据表中 MCU_OSC0 LVCMOS 数字时钟源部分的说明。

4.2 处理器时钟输出

名为 CLKOUT0 和 WKUP_CLKOUT0 的处理器 IO (引脚) 可配置为时钟输出。时钟输出可以用作附加器件 (外部外设, 例如 EPHY) 的时钟源。

WKUP_CLKOUT0 是复位后可用作默认配置的高频振荡器 (HFOSC0) 的缓冲输出。

当 CLKOUT0 和 WKUP_CLKOUT0 用于为多个附加器件提供时钟源时, 建议缓冲 CLKOUT0 和 WKUP_CLKOUT0。

时钟输出均未定义抖动曲线, 因为许多定制电路板特定变量会影响抖动。定制电路板设计人员应在终端产品的所有预期运行条件下, 测量特定定制电路板实施方案的时钟输出抖动。

有关更多信息, 请参阅器件特定数据表和 TRM。

4.2.1 观察时钟输出

处理器可提供配置, 从而根据处理器系列输出主域观察时钟和/或 MCU 域观察时钟。OBSCLK0、OBSCLK1 以及 MCU_OBSCLK0 为仅供测试与调试用途的观察时钟输出。观察时钟可用于选择多个不同时钟之一作为输出。观察时钟不得用作任何外部器件的时钟源。如器件特定数据表所述, OBSCLK0、OBSCLK1 和 MCU_OBSCLK0 信号仅用于测试与调试目的。

4.3 时钟树工具

时钟树工具 (CTT) 可用于处理器时钟树的可视化。CTT 是一种交互式可视工具, 可为用户提供器件时钟树架构的全局视图, 并可用于确定寄存器设置以获取特定配置。

有关更多信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62L/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x \(ALV、ALX\) 定制电路板硬件设计 - 时钟树工具](#)

5 JTAG (联合测试行动组)

处理器系列支持各种扩展开发系统 (XDS) JTAG 控制器, 除了 JTAG 支持之外, 还提供各种调试功能。

请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62L/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x \(ALV、ALX\) 定制电路板硬件设计 - JTAG](#)

尽管 JTAG 在电路板正常运行中为可选功能, 但建议在定制电路板设计中采用 JTAG 连接。建议根据引脚连接要求提供推荐的拉电阻配置, 并在使用 JTAG 接口时采用外部 ESD 保护。

5.1 JTAG/仿真

适用于 JTAG/仿真的相关文档:

- [仿真和跟踪头技术参考手册](#)
- [XDS 目标连接指南](#)
- [边界扫描测试规范 \(IEEE-1149.1\)](#)
- [交流耦合网络测试规范 \(IEEE-1149.6\)](#)

5.1.1 JTAG/仿真的配置

IEEE 标准 1149.1-1990、IEEE 标准测试访问端口和边界扫描架构 (JTAG) 接口可用于边界扫描和仿真。边界扫描的实现同时符合 IEEE-1149.1 和 1149.6 标准。无论处理器配置如何, 均可使用边界扫描。

JTAG 端口作为一个仿真接口, 可在不同模式下使用:

- 标准仿真: 需要五个标准 JTAG 信号。
- HS-RTDX 仿真: 需要五个标准 JTAG 信号以及 EMU0 和/或 EMU1。在此模式下, EMU0 和/或 EMU1 是双向的。
- 跟踪端口: 支持对某些内部数据进行实时转储。跟踪端口使用 EMUx 引脚输出跟踪数据。

有关支持的 JTAG 时钟速率，请参阅器件特定 TRM。

处理器 JTAG 接口信号可用于执行边界扫描测试。通过处理器特定产品页面的以下部分下载用于边界扫描测试的 BSDL 文件：

5.1.1.1 BSDL 文件

AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1

- [AM62A7 Sitara BSDL](#)
- [AM62A7-Q1 Sitara BSDL](#)
- [AM62A3 Sitara BSDL](#)
- [AM62A3-Q1 Sitara BSDL](#)
- [AM62A1-Q1 Sitara BSDL](#)

备注

如果可用，根据设计所用封装选择具体模型。

AM62D-Q1

- [AM62D-Q1 BSDL](#)

5.1.2 JTAG/仿真的实现

JTAG 和仿真信号以同一 IO 组的 IO 电源为基准。TDI、TDO、TCK、TMS、TRSTn、EMU0 和 EMU1 信号均以 VDDSHV_MCU (双电压 IO) 电源轨 (IO 组 MCU 的 IO 电源) 为基准。VDDSHV_MCU 可连接至 1.8V 或 3.3V 电源。

建议使用 TI 推荐、定义和支持的 20 引脚连接器，而非 10 引脚 ARM 连接器。10 引脚 JTAG 连接器不包含 TRSTn 信号或 EMU0、EMU1 信号。

要确保 JTAG 接口的实现，请参阅 [仿真和跟踪接头技术参考手册](#)。

5.1.3 JTAG 接口信号的连接建议

有关连接 JTAG 接口信号的建议，请参阅器件特定数据表中 [端子配置和功能](#) 一章的 [引脚连接要求](#) 部分。

备注

建议始终为处理器 JTAG 信号提供 TP 配置，以便能够连接到外部 JTAG (当 JTAG 接口不是定制电路板设计的一部分时) 接口信号或调试器。建议根据处理器特定数据表中 [引脚连接要求](#) 部分的说明，将推荐的拉电阻加装到处理器 JTAG 信号附近。建议添加外部 ESD 保护配置，并在使用 JTAG 接口时安装 ESD 元件。

5.1.4 调试引导模式和边界扫描合规性

有关支持的调试功能，请参阅器件特定 TRM 的 [片上调试](#) 一章。

请参阅 [片上调试](#) 一章的以下部分：

- JTAG 接口，JTAG 接口信号
- 跟踪端口接口，跟踪端口信号
- 调试引导模式和边界扫描合规性

仿真控制输入 EMU0 和 EMU1 用于配置调试引导模式行为。仿真控制输入 EMU0 和 EMU1 可用于启用边界扫描测试功能。

调试引导模式

当 MCU_PORz 输入取消置位时，会对仿真控制输入 EMU0 和 EMU1 进行采样，解码值决定了调试引导模式行为，具体行为请见器件特定 TRM 中 [片上调试](#) 一章的 [调试引导模式表](#)。

边界扫描合规性

当 TRSTn 取消置位时，会对仿真控制输入 EMU0 和 EMU1 进行采样，解码值决定了调试引导模式行为，具体行为请见器件特定 TRM 中片上调试一章的边界扫描合规性表。

调试或边界扫描功能不依赖于引导模式配置。

6 配置 (处理器) 和初始化 (处理器和器件)

建议仅在所有推荐处理器电源斜升，并经过时钟 (晶体搭配内部振荡器或外部振荡器) 启动和稳定的推荐延迟时间 (复位保持时间) (见器件特定数据表) 后，再取消置位 (释放) 处理器冷复位输入 (针对主域 MCU (MCU_PORz))，以便启动处理器引导过程。

6.1 处理器复位

处理器系列支持 x3 (三个) 外部复位输入 (引脚)，包括 MCU 和主域冷复位请求输入 (MCU_PORz)、MCU 和主域热复位请求输入 (MCU_RESETz) 和主域热复位请求输入 (RESET_REQz)。请注意与 MCU_RESETz 输入和 MCU_RESETSTATz 输出相关的器件勘误表。

关于热复位输入的连接，请参阅器件特定数据表的引脚连接要求部分。

请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：MCU_PORz 输入压摆率](#)

这是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

器件特定数据表和器件特定 TRM 介绍了支持的处理器复位信号 (复位输入、复位状态输出)。

处理器系列支持 x3 (三个) 复位状态输出 (引脚)，包括主域 POR (冷复位) 状态 (PORz_OUT) 输出、MCU 域热复位状态 (MCU_RESETSTATz) 输出和主域热复位状态 (RESETSTATz) 输出。请注意与 MCU_RESETz 输入和 MCU_RESETSTATz 输出相关的器件勘误表。

处理器复位状态输出的运用取决于电路板架构和终端应用。不使用时的复位状态输出可保持未连接状态。建议配置一个测试点用于测试或未来增强。建议使用可选的下拉电阻。

对于 MCU_PORz 输入、LVCMOS IO 输入 (3.3V 容差，失效防护输入)，可施加 3.3V 输入。输入阈值基于 1.8V IO 电源电压 (VDDS_OSC0)。

请遵循器件特定数据表的上电时序图中推荐的 MCU_PORz 输入时序建议。

通过处理器内部寄存器和仿真可实现其他复位选项。

备注

MCU_RESETz 输入和 MCU_RESETSTATz 输出有特定的用例建议。请参阅公告文章 *i2407- RESET*。
如果器件勘误表的 MCU_RESETz 被置位为低电平，则 MCU_RESETSTATz 不可靠。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x \(ALV、ALX\) 设计建议/定制电路板硬件设计 - 处理器复位输入、复位状态输出和连接建议](#)

6.2 处理器引导模式配置输入的锁存

有关可用处理器引导选项的信息，请参阅上文 [节 2.2](#)。

处理器引导模式配置输入在 PORz_OUT 输出的上升沿被锁存。锁存引导模式输入 (引脚) 的状态 (电平) 后，引导模式输入引脚即可用于配置复用功能 (多路复用)。PORz_OUT 输出指示引导模式配置的锁存情况。

PORz_OUT 输出也可选择性地用于锁存附加器件的引脚配置 (strap)。

6.3 复位附加器件

建议使用“与运算”逻辑 (使用 2 输入或 3 输入与门实现) 视情况复位附加器件 (板载媒体和数据存储器件以及其他外设) , 因为“与运算”逻辑可以涵盖所有处理器外部复位条件。处理器的任意通用输入/输出 (GPIO) 引脚 (选择具有 GPIO 多路复用选项的 AM62Ax 或 AM62D-Q1 引脚, 该选项默认关闭) 均连接到其中一个与门输入, 并提供 0 Ω 配置, 进而将 GPIO 输入与“与运算”逻辑隔离以进行测试或调试。主域和 MCU 域 POR (冷复位) 状态输出 (PORz_OUT) 或主域热复位状态输出 (RESETSTATz) 可以作为另一个输入连接到与门。确保连接到与逻辑输入的处理器 IO 电源和上拉电源均来自同一电源。复位期间处理器 IO 缓冲器关闭。建议在“与运算”逻辑的与门输入端附近加装一个上拉电阻器 (输入连接到处理器 GPIO, RESETSTATz 输出在处理器引脚附近配有下拉电阻器, 并由处理器复位逻辑驱动为高电平), 以防止与门输入悬空, 并在上电期间启用由处理器 IO 控制的复位逻辑 (例如: eMMC 闪存或 OSPI 闪存存在 RESETSTATz 输出变为高电平时即退出复位) 。

确保按照器件建议拉动附加器件复位输入。

建议使用“与运算”逻辑来复位附加器件, 因为“与运算”逻辑支持在各类处理器复位条件下复位附加器件, 应用十分灵活。

如果不使用“与运算”逻辑且仅使用处理器主域热复位状态输出 (RESETSTATz) 来复位所连接器件, 则建议将附加器件的 IO 电压电平与 RESETSTATz 输出相匹配。建议使用电平转换器来匹配 IO 电压电平。该实施方案降低了附加器件的复位选项灵活性。

针对 SD 卡接口, 为支持 UHS-I SD 卡, 建议配置一个由软件启用 (控制) 的电源开关 (负载开关) 来为 SD 卡供电 (VDD)。一个固定的 3.3V 电源 (处理器 IO 电源) 连接作为电源开关的电源输入。

使用电源开关可以对配置为 UHS-I 速度的 SD 卡进行下电上电 (因为复位电源开关是复位 SD 卡的唯一方法), 进而将其复位为默认速度。

有关针对 SD 卡电源实现附加器件复位和电源开关启用复位逻辑的更多信息, 请参阅[入门套件 SK-AM62A-LP](#) 或 [AUDIO-AM62D-EVM](#) 原理图。

6.4 看门狗计时器

是否使用看门狗计时器根据应用而定。请考虑使用内部或外部看门狗计时器。

7 处理器 - 外设连接

处理器外设连接部分介绍了支持的处理器外设, 旨在对器件特定数据表、TRM 和相关应用手册中提供的内容加以补充。可用文档类型包括:

- 数据表: 引脚图、引脚功能说明、引脚属性、处理器工作模式 (MUX 模式)、复位期间和之后的配置、电气特性、交流时序
- TRM: 处理器功能说明与内核及外设支持的功能、编程指南、有关寄存器和配置的信息
- 应用手册: 特定功能或外设的说明, 以及常见问题的说明

备注

此外, 还可参考使用常见问题解答和相关的 E2E 主题 (新创建或之前已回答) 。

7.1 跨域选择外设

处理器架构包括多个域, 每个域包括特定的处理内核和外设:

- MAIN 域
- 微控制器 (MCU) 域
- 唤醒 (WKUP) 域

对于大多数用例, 任一内核均可访问任何域中的外设。无论来自哪个域, 所有外设均映射到存储器, 且 Arm® Cortex®-A53 内核可检测到并访问 MCU 域中的大多数外设。类似地, MCU 可以访问主域中的大多数外设。

7.2 存储器控制器 (DDRSS)

当前支持的使用 DDR 子系统 (DDRSS) 的存储器接口为 LPDDR4 存储器接口。有关数据总线宽度、内联 ECC 支持、速度和最大可寻址范围选择，请参阅器件特定数据表 *特性* 一章的 *存储器子系统*、*DDR 子系统* 部分。

允许的存储器配置为 1x 32 位或 1x 16 位。

1x 8 位存储器配置不是支持的有效配置。

当使用 LPDDR4 存储器接口时，根据应用要求，由于提供了 16 位配置，同一存储器器件可与 AM625/AM623/AM620-Q1/AM625-Q1/AM62A7/AM62A7-Q1/AM62A3/AM62A3-Q1/AM62A1-Q1/AM62D-Q1/AM62P/AM62P-Q1 和 AM62Lx 处理器系列搭配使用。

当 AM62A7/AM62A7-Q1/AM62A3/AM62A3-Q1/AM62A1-Q1 和 AM62D-Q1 处理器系列采用 16 位配置时，请遵循 [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局布线指南](#) 的 16 位单列 LPDDR4 实现示例中所示的 DQS2、DQS3 和其他未使用信号连接建议。

如需连接未使用的 DDRSS 信号，请参阅器件特定数据表的 *引脚连接要求* 部分。

有关 LPDDR4 或 DDR4 存储器接口的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x \(ALV\) 定制电路板硬件设计的设计建议/常见错误 - DDRSS : DDR4/LPDDR4 存储器接口](#)

有关更多信息，请参阅器件特定 TRM 中 *存储器控制器* 一章的 *DDR 子系统 (DDRSS)* 部分。

7.2.1 处理器 DDR 子系统和器件寄存器配置

DDRSS 控制器和 DDRSS PHY 有大量参数需要配置。为助力配置，提供了一个在线工具 ([SysConfig 工具](#))，用于生成驱动程序所需的输出文件。从 *Software tool* 下拉菜单中选择 *DDR Subsystem Register Configuration*，然后选择处理器。此 SysConfig 工具将电路板信息、DDR 器件特定数据表中的时序参数和 IO 参数作为输入，然后输出驱动程序用于对 DDR 控制器和 DDR PHY 进行编程的头文件。然后，驱动程序会启动完整的训练序列。

该 SDK 包含适用于 SK 或 EVM 上安装的存储器 (LPDDR4) 器件的配置文件。如果需要对不同存储器 (LPDDR4) 器件进行全新配置，则必须使用 DDR 寄存器配置工具生成新的配置文件。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1 定制电路板硬件设计 - 处理器 DDR 子系统和器件寄存器配置](#)

7.2.2 DDRSS 的校准电阻器连接

遵循器件特定数据表中的 DDR0_CAL0 (IO 焊盘校准电阻) 连接建议 (包括数值和容差)。

7.2.3 附加存储器器件 ZQ 和 Reset_N (存储器器件复位) 连接

按照 SK 或 EVM 原理图将推荐的电阻器 (ZQ (阻抗校准) 和 Reset_N (附加存储器复位输入)) 连接到存储器器件，器件采用了推荐数值和容差。

7.3 媒体和数据存储接口 (MMC0、MMC1、MMC2、OSPI0/QSPI0 和 GPMC0)

该处理器系列支持 x3 (三个) 多媒体卡和安全数字卡 (MMC/SD/SDIO)(8b+4b+4b)。

MMC0 支持 8 位 eMMC (嵌入式多媒体卡) 接口。有关支持速度，请参阅器件特定数据表的 *MMC0 - eMMC/SD/SDIO 接口* 部分，具体实施方式请参考 SK 或 EVM。MMC0 信号亦可用作 IO 或其他支持的多路复用功能，或用于板载 SDIO 接口。不建议将 SD 卡连接到 MMC0 端口。MMC0 是 eMMC 接口的推荐接口。

有关 eMMC 存储器接口的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM64x/AM243x \(ALV\)/AM62Ax/AM62D-Q1/AM62Px 定制电路板硬件设计的设计建议/常见错误 - eMMC 存储器接口](#)

有关支持速度的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM623 : eMMC0 是否支持 DDR50 模式？](#)

有关 MMC0 端口支持接口的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM62A3 : 有什么方法可以获得 2 个 eMMC 接口？](#)

有关 eMMC 拉电阻的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP : 未通过 ROM 启用 eMMC0_DAT0 上拉](#)

有关 eMMC 在未传输时暂停时钟功能的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP : 读写操作完成时，eMMC 是否保留时钟信号？](#)

这是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

eMMC 相关勘误表请参阅器件勘误表。

MMC1/MMC2 支持 4 位 SD 卡接口，包括对 UHS-I SD 卡的支持。建议使用 MMC1 来实现 SD 卡接口 (SD 卡引导模式，MMC1 外设时序已闭合以支持 SD 卡运行)。MMC1 CLK、CMD 和 DAT[3:0] 信号功能通过由 VDDSHV5 (基准) 供电引脚上的 SDIO 缓冲器实现，VDDSHV5 可在 1.8V 或 3.3V (动态切换) 下运行；MMC1 SDCD 和 SDWP 信号功能通过由 VDDSHV0 (基准) 供电引脚上的 LVCMOS 缓冲器实现，VDDSHV0 可在 3.3V 或 1.8V 下运行。当 SD 卡更改 IO 工作电压以支持 UHS-I SD 卡时，不建议更改主机的 MMC1_SDCD 和 MMC1_SDWP 输入的逻辑状态。

MMC1/MMC2 支持 4 位嵌入式 SDIO 接口。建议使用 MMC2 来实现嵌入式 SDIO 接口。MMC2_SDCD 和 MMC2_SDWP 引脚与其他 MMC2 引脚采用相同的电源轨供电。MMC2 分配是不同的，因为我们只期望 MMC2 与类似于 Wi-Fi 或蓝牙收发器的板载固定工作电压 SDIO 器件一起使用。有关支持速度，请参阅器件特定数据表的 MMC1/MMC2-SD/SDIO 接口部分，具体实施方式请参考 SK 或 EVM。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1 : 为什么 MMC1 由 VDDSHV0 和 VDDSHV5 这两个不同的电压电源供电？](#)

对于 MMC1/MMC2，UHS-I SDR50、UHS-I SDR104 接收模式需要进行数据训练，以便将数据捕获集中到数据有效窗口的中心位置。时序要求并非固定为特定值。下表提供了 MMC1/2 时序模式所需的 DLL 软件配置设置：

器件特定数据表中所有时序模式的 MMC1/MMC2 DLL 延迟映射。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP : UHS-I SDR104 接收模式时序](#)

这是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

该处理器系列支持 1 个八线串行外设接口 (OSPI0)，可配置为 OSPI0 或 QSPI0 接口。按照 SK 或 EVM 原理图实施方案将 OSPI0 接口连接到存储器器件，并为 OSPI0_CLK 加装串联电阻器、为 OSPI0_CLK 加装下拉电阻器、为数据和 CS 信号加装上拉电阻器，以及实施存储器器件复位逻辑。OSPI0 支持连接到 x1 (单个) 附加器件。

当需要支持引导功能时，请参阅器件特定 TRM，将支持的 CS (片选) 连接到附加存储器器件。

OSPI0 支持两种数据捕获模式：PHY 模式和 Tap 模式。若要深入解支持的模式，请参阅器件特定数据表规格一章的时序和开关特性部分中的 OSPI、OSPI0 小节。

有关 OSPI 或 QSPI 存储器接口的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62D-Q1/AM62P 定制电路板硬件设计的设计建议/ 常见错误 - OSPI/QSPI 存储器接口](#)

[常见问题解答] Sitara/Jacinto 器件的 OSPI 常见问题解答

处理器系列支持 1 个通用存储器控制器 (GPMC) 接口, 可使用 8 位或 16 位 NAND 闪存接口信号将其连接到 NAND 闪存, 或使用器件特定数据表和 *器件比较表* 列出的支持并行存储器接口 (同步或异步) 选项将其连接到 NOR 闪存。

有关更多信息, 请参阅器件特定 TRM 中 *外设一章的存储器接口部分*。

7.4 以太网接口

处理器系列支持 x2 (两个) 2 具有独立 MAC ID 的独立以太网接口 (使用 CPSW3G0 外设)。每个 MAC 接口都支持 RGMII 或 RMII 接口。

有关以太网接口更多信息, 请参阅以下常见问题解答:

[常见问题解答] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 和 AM2434、AM2432、AM2431 (ALV、ALX) 定制电路板硬件设计 - 以太网

这是通用常见问题解答, 也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

[常见问题解答] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - 有关 RGMII 接口和 RGMII TI EPHY 的问题

[常见问题解答] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - 有关 RMII 接口和 RMII TI EPHY 的问题

[常见问题解答] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP: 以太网 PHY RGMII 同步时钟

这是通用常见问题解答, 也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

7.4.1 通用平台 3 端口千兆位以太网交换机 (CPSW3G0)

处理器系列支持 1 个 CPSW3G0 以太网交换机 (2 个外部端口)。CPSW3G0 可以配置为 3 端口交换机 (连接到 2 个外部以太网端口 (端口 1 和 2)) 或具有各自 MAC 地址的双独立 MAC 接口。

CPSW3G0 支持每个外部以太网接口端口的 RGMII (10/100/1000) 或 RMII (10/100) 接口。

对于 RMII 接口实现, 请参阅器件特定 TRM 的 *CPSW0 RMII 接口部分*。

为 RMII 接口配置的 CPSW3G0 支持将处理器连接到配置为控制器 (主) 或器件 (从) 的以太网 PHY (EPHY)。

为 RMII 接口配置的 CPSW3G0 与 EPHY 连接, 配置为外部 50Mhz (连接到缓冲外部振荡器或处理器时钟输出 CLKOUT0) 时钟输入 (其中一个缓冲时钟输出连接到处理器 MAC), 或配置为连接至处理器 MAC 时钟输入并具备 EPHY 50Mhz 时钟输出的 25Mhz 晶体或时钟输入。

CPSW3G0 端口之一是内部 CPPI (通信端口编程接口) 主机端口。CPPI 是一个流式接口, 用于从 DMA 向 CPSW3G0 外设提供数据, 反之亦可。

CPSW3G0 允许为 2 个外部接口端口使用混合 RGMII/RMII 接口拓扑。

默认为发送数据 (TDn) 启用 RGMII_ID。RGMII_ID 未经计时、测试或表征。处理器 MAC 不会为接收数据 (RDn) 路径实现内部延迟。

有关 CPSW3G0 以太网接口的更多信息, 请参阅器件特定 TRM 中 *外设一章的高速串行接口部分*。

7.5 可编程实时单元子系统 (PRUSS)

处理器系列不支持 PRUSS。

7.6 通用串行总线 (USB) 子系统

该处理器系列支持 x2 (两个) USB 2.0 接口端口。USB 接口 (USB0、USB1 端口) 可以配置为主机、器件或双角色器件 (DRD)。USBn_ID (识别) 功能可以通过处理器 GPIO 来实现 (支持)。

在连接到 USBn_VBUS [n = 0、1] 引脚之前, 请按照器件特定数据表的 *USB (USB VBUS 检测分压器/钳位电路) VBUS 设计指南* 部分调节外部 USB VBUS 电压 (USB 接口连接器附近的电源)。

当 USB 接口配置为器件模式时, 建议连接待调节的 VBUS (VBUS 电源输入, 包括电压调节电阻器分压器/钳位器) 输入。当 USB 接口配置为主机模式时, 待调节的 VBUS 连接 (VBUS 电源输入, 包括电压调节电阻器分压器/钳位器) 是可选的。

不建议或严禁将相当于处理器电源的 3.3V 或持续电源连接到 USB VBUS。USB VBUS 电源需要切换。失效防护输入条件仅在电源通过建议的 VBUS 分压器和齐纳二极管连接时才有效。

当 USB 接口配置为 VBUS 输出电压控制主机时, 建议使用带 OC (过流) 输出指示的 USB 电源开关。USBn_DRVVBUS [n = 0、1] (复位期间和复位后启用内部下拉电阻器) 可控制电源开关。建议将 OC 输出连接到处理器 IO (输入), 以检测 VBUS 过载情况。

有关与 USB 连接和 On-The-Go 特性支持相关的信息, 请参阅器件特定 TRM。

当 USB0 和 USB1 均未采用时, 请参阅器件特定数据表的 *引脚连接要求* 部分来连接 USB 电源引脚。

当不使用 USB0 或 USB1 接口时, 请参阅器件特定数据表的 *引脚连接要求* 部分来连接接口信号和 USB 电源引脚。

建议始终在早期电路板设计中配置 USB0 DFU 引导, 以便电路板启动和调试操作。

有关 USB2.0 接口更多信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP: 定制电路板硬件设计 - USB2.0 接口](#)

这是通用常见问题解答, 也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

有关更多信息, 请参阅器件特定 TRM 中 *外设一章的高速串行接口* 部分。

7.7 通用连接外设

处理器系列支持多个通用连接外设和实例。该处理器系列支持以下外设:

以下外设实现了 IOSET: UART、MCAN、MCSPI、MCASP、I2C。确保在定制电路板设计中使用正确的 IOSET。时序闭合基于 IOSET。

多通道串行外设接口 (MCSPI):

该处理器系列支持 x5 (五个) (x3 主域、x2 MCU 域) MCSPI 实例。MCSPI 模块是多通道发送/接收、同步串行总线, 可以在控制器模式或外设模式下运行。在控制器模式下, 处理器 SPI 接口为所连接的器件提供时钟信号。在外设模式中, 连接的器件需要为处理器提供 SPI 时钟源。

建议在 MCSPI 时钟输出信号上使用 22Ω 串联电阻器 (作为初始值)。建议将该电阻器放置在靠近处理器时钟输出引脚的位置 (用于重定时)。建议在连接器件时钟输入引脚附近使用下拉电阻器。

对于靠近所连接器件的芯片选择 (CS) 引脚, 建议使用上拉电阻器。

MCSPI 外设不支持引导。OSPI0 接口支持 SPI 引导。

对于 MCSPI 接口, SPIx_D0 和 SPIx_D1 为数据线。数据线支持信号编程, 以发送数据 (发送、输出) 或接收数据 (接收、输入)。对于任何可能悬空的处理器或所连接器件数据线, 建议并联一个拉电阻器。

建议将 SPI 接口连接到 x1 (单个) 存储器器件。连接到多个存储器器件时, 建议遵循高速设计实践并实施仿真, 以确保当单个时钟源连接到多个 SPI 附加器件时, 布局不会产生非单调时钟转换。

请参阅以下常见问题解答:

[常见问题解答] [SK-AM64B : MCSPI 集成指南](#)

[常见问题解答] [AM6412 : AM64x SPI D0 和 D1 - MISO/MOSI](#)

这是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

内部集成电路 (I2C) :

请参阅以下 [节 7.7.1](#)。

通用异步接收器/发送器 (UART) :

处理器系列支持 x9 (九个) (x7 主域、x1 MCU 域、x1 WKUP 域) UART 接口实例。支持的 UART 功能包括数据传输 (TXD、RXD)、调制解调器控制功能 (CTS、RTS) 和扩展调制解调器控制信号 (DCD、RI、DTR、DSR - 由主域 UART1 提供支持)。

当外部 UART 接口信号直接连接到处理器 UART 接口信号时，请验证 IO 电平兼容性和失效防护操作。建议为外部 ESD 保护提供配置。

建议在早期电路板设计中配置 UART 引导 (UART0)，以便电路板启动和调试操作。

通用输入/输出 (GPIO) :

处理器 GPIO 包括 LVCMOS 和 SDIO 类型的缓冲器，为推挽式输出。部分特定的 IO 支持开漏输出型 IO 缓冲器接口。当配置为 I (输入) 时，LVCMOS IO 具有输入压摆要求，而 O (输出) 配置具有电容器负载要求。通过连接的负载电容器进行仿真，以确保输出位于器件特定数据表电气特性的 ROC 范围内。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62A/AM62P/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - 有关 GPIO 的问题](#)

[常见问题解答] [AM625/AM623/AM620-Q1/AM62L/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x 定制电路板硬件设计的设计建议/常见错误 - 有关 LVCMOS 输入迟滞的问题](#)

音频外设 - 多通道音频串行端口 (MCASP) :

处理器系列支持 x3 (三个) (x3 主域) 音频外设 - 多通道音频串行端口 (MCASP) 实例。x3 MCASP 支持多达 4/6/16 个串行数据引脚 (串行器)，并具有独立的 TX 和 RX 时钟。MCASP 支持时分多路复用 (TDM)、内部 IC 声音 (I2S) 和类似格式。建议在 MCASP 时钟输出上使用 22 Ω 串联电阻器 (作为初始值)。建议将该电阻器放置在靠近处理器时钟输出引脚的位置 (用于重定时)。建议在连接器件时钟输入引脚附近使用下拉电阻器。

在复位期间和复位后处理器 IO 缓冲器关闭。对于可能悬空的任意处理器或 IO (接口信号)，建议使用并联拉电阻。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62A/AM62P/AM62D-Q1/AM62L 设计建议/定制电路板硬件设计 - 有关 MCASP 的问题](#)

工业和控制接口 :

处理器系列支持工业和控制接口的多个实例 (请参阅器件特定数据表的 [器件比较表](#))。

1. 模块化控制器局域网 (MCAN)，完整支持 CAN-FD
2. 增强型脉宽调制器 (EPWM)
3. 增强型正交编码器脉冲 (EQEP)
4. 增强型捕获 (ECAP)

模块化控制器局域网 (MCAN)，完整支持 CAN-FD :

该处理器系列支持 x3 (三个) (x1 主域、x2 MCU 域) 模块化控制器局域网 (MCAN) 实例，完整支持 CAN-FD。

MCAN 模块支持传统 CAN 和 CAN-FD (具有灵活数据速率的 CAN) 规范。

在复位期间和复位后处理器 IO 缓冲器关闭。对于可能悬空的任意处理器或 IO (MCAN 接口信号)，建议使用并联控电阻。

可使用 *SysConfig-PinMux* 工具配置所需的接口。

有关支持的外设的更多信息，请参阅器件特定 TRM 中的外设章节。

7.7.1 内部集成电路 (I2C) 接口

该处理器系列支持 x6 (六个) (x2 (两个) 符合 I2C 标准的失效防护开漏输出型 IO 缓冲器和 x4 (四个) 基于 LVCMOS 缓冲器型 IO 的仿真) I2C 接口。支持的 I2C 接口包括 x4 主域、x1 MCU 域 (符合 I2C 标准的开漏输出型 IO 缓冲器) 和 x1 WKUP 域 (符合 I2C 标准的开漏输出型 IO 缓冲器) I2C 接口。

备注

对于具有开漏输出型 IO 缓冲器 (MCU_I2C0 和 WKUP_I2C0) 的 I2C 接口，无论使用何种 IO 配置，都建议使用上拉电阻器。即使不使用 I2C 接口 (外设)，也建议使用外部上拉。请参阅器件特定数据表的 *引脚连接要求* 一节。

当开漏输出型 IO 缓冲器 I2C 接口被拉至 3.3V 电源时，输入具有指定的压摆率要求。建议使用 RC 来限制压摆率。有关 RC 的实现，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62A/AM62P/AM62D-Q1/AM62L 定制电路板硬件设计的设计建议/常见错误 - 设计更新说明的 SK 原理图更新](#)

当配置为仿真开漏输出型 IO 缓冲器 I2C 接口 (I2C0、I2C1、I2C2、I2C3) 时，建议为 LVCMOS IO 使用外部上拉电阻器。有关可用的仿真开漏输出型 IO 缓冲器 I2C 实例，请参阅器件特定数据表。

SK 或 EVM 中的上拉电阻值可用作初始值。上拉值取决于 I2C 接口实现和 I2C 总线的负载。建议测量 I2C 波形并根据需要减少 (调节) 上拉值。

备注

定制电路板设计期间，需验证器件特定数据表中 *时序和开关特性 - I2C* 部分的 *例外情况* 小节。请注意数据表中仿真 I2C 接口的例外情况。建议添加一个串联电阻器来控制下降时间。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM62A7/AM62A3/AM62A1-Q1 和 AM62D-Q1 定制电路板硬件设计 - I2C 接口](#)

[\[常见问题解答\] AM62A7/AM62A7-Q1/AM62A3/AM62A3-Q1/AM62A1-Q1 和 AM62D-Q1 : MCU_I2C0 和 WKUP_I2C0 的内部拉电阻配置寄存器](#)

有关更多信息，请参阅器件 TRM 的外设一章中的 *内部集成电路 (I2C) 接口* 部分。

7.8 显示子系统 (DSS)

处理器的显示输出可以连接到显示并行接口 (DPI - 直接通过处理器 IO 驱动)。

AM62D-Q1 处理器系列不支持显示接口 (DPI)。

DPI 显示接口：

该处理器系列支持每像素 24 位、RGB/YUV422 模式、LVCMOS 输出、DPI (并行) 显示接口。

DPI 目前不支持 SSC。发布 E2E 主题或查看处理器特定产品页面上的可用配套资料，以确认 DPI 的 SSC 支持状态。

有关 DPI 的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP 定制电路板硬件设计 - 显示并行接口 \(DPI\) 24 位 RGB - 显示接口](#)

这是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 系列处理器。

有关更多信息，请参阅器件特定 TRM 中外设一章的显示子系统 (DSS) 部分。

7.9 摄像头接口

7.9.1 AM62Ax

该处理器系列支持 1 个摄像头串行接口 CSI-RX、CSI-2、CSIRX0，具备 4 通道 D-PHY (DPHY、DHPY_RX)，并且符合 MIPI CSI-2 v1.3 标准和 MIPI D-PHY 1.2 标准 (CSIRX0)。支持多达 4 个 (1、2、3 或 4) 数据通道连接到 D-PHY (DPHY_RX)。有关支持的数据速率，请参阅器件特定数据表特性一章中的带通道 D-PHY 的多媒体摄像头串行接口 (CSI-2) 接收器部分。

DPHY_RX (CSI-RX) 支持 x1 (单个) 时钟通道，所有数据通道的时钟频率均相同。帧速率由帧起始和帧结束信令决定，并允许每通道以不同的帧速率处理输入源。

如需连接未使用的 CSIRX0 信号，请参阅器件特定数据表的引脚连接要求一节。

有关 CSIRX0 的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625SIP/AM625-Q1/AM62Ax/AM62Px 定制电路板硬件设计 - CSI-2 功能](#)

常见问题解答包含有关支持的数据通道和时钟通道交换的信息。

CSI_RX_IF 没有专用引脚。在器件层，视频输入来自 DPHY_RX。

有关更多信息，请参阅器件特定 TRM 中外设一章的摄像头串行接口接收器 (CSI_RX_IF) 和 MIPI D-PHY 接收器 (DPHY_RX) 部分。

7.9.2 AM62D-Q1

该处理器系列支持 1 个摄像头串行接口 (CSI-2) 接收器和 4 通道 D-PHY，用于通过 CSI-2 和 MIPI D-PHY 实现高速外部处理器数据接收接口。

CSI-RX 支持 x1 (单个) 时钟通道，所有数据通道的时钟频率均相同。

如需连接未使用的 CSIRX0 信号，请参阅器件特定数据表的引脚连接要求一节。

CSI_RX_IF 没有专用引脚。在器件层，视频输入来自 DPHY_RX。

有关更多信息，请参阅器件特定 TRM 中外设一章的摄像头串行接口接收器 (CSI_RX_IF) 和 MIPI D-PHY 接收器 (DPHY_RX) 部分。

7.10 未使用时处理器电源引脚、IO 和外设的连接

除非器件特定数据表引脚连接要求部分另有说明，否则所有处理器电源引脚均建议采用器件特定数据表建议运行条件部分中给出的电源电压。

建议阅读引脚连接要求开头和结尾处的说明。

处理器系列有两种引脚 (封装焊球)：具有特定连接要求的引脚，以及建议保持未连接状态的引脚。

有关连接未使用的处理器外设和 IO 的信息，请参阅器件特定数据表中端子配置和功能一章的引脚连接要求部分。

有关连接未使用处理器外设和 IO 的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62D-Q1/AM62P 定制电路板硬件设计的设计建议/常见错误 - 未使用时的 SOC 外设和 IO 连接](#)

7.10.1 外部中断 (EXTINTn)

EXTINTn 是开漏输出型失效防护 IO 缓冲器。当已连接 PCB 布线并且外部输入未被主动驱动时，建议连接外部上拉电阻器。开漏输出型 IO 缓冲器在上拉至 3.3V 时具有指定的压摆率要求。建议使用 RC (延迟) 来限制压摆率。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62L/AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1/AM62P/AM62P-Q1 定制电路板硬件设计 - EXTINTn 引脚上拉连接](#)

7.10.2 RSVD 预留引脚 (信号)

名为 RSVD 的引脚被预留。推荐按照器件特定数据表中的建议，将 RSVD 引脚保持在未连接状态 (无测试点 TP)。

建议将 RSVD 引脚保持在未连接状态 (请勿连接任何 PCB 布线或测试点)。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：定制电路板硬件设计 - RSVD 引脚的连接建议](#)

这是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

8 处理器 IO (LVCMOS 或 SDIO 或开漏失效防护型 IO 缓冲器) 的接口和仿真实施

在开始原理图捕获之前，定制电路板设计中的一个重要注意事项是分析处理器和附加器件之间的兼容性 (电气特性、IO 电平、失效防护操作)。

- 器件特定 (处理器) 数据表提供有关时序和电气特性的信息。
- 对于高速接口，建议使用 IBIS 模型运行仿真。

有关更多信息，请参阅 [KeyStone II 器件硬件设计指南](#) 中的 [通用端接详细信息](#) 部分。

有关驱动强度配置支持的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62A/AM62P/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - SDIO 和 LVCMOS I/O 驱动强度配置](#)

通过处理器特定产品页面的以下部分下载 IBIS 和 IBIS-AMI 模型：

8.1 IBIS 模型

AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1

- [AM62A7 IBIS 模型](#)
- [AM62A7-Q1 IBIS 模型](#)
- [AM62A3 IBIS 模型](#)
- [AM62A3-Q1 IBIS 模型](#)
- [AM62A1-Q1 IBIS 模型](#)

备注

如果可用，根据设计所用封装选择具体模型。

AM62D-Q1

- [AM62D-Q1 IBIS 模型](#)

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62A/AM62P/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - 有关 IBIS 模型的问题](#)

8.2 IBIS-AMI 模型

AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1

- [AM62A7 Sitara AMI 模型](#)
- [AM62A7-Q1 Sitara AMI 模型](#)
- [AM62A3 Sitara AMI 模型](#)
- [AM62A3-Q1 Sitara AMI 模型](#)
- [AM62A1-Q1 Sitara AMI 模型](#)

备注

如果可用，根据设计所用封装选择具体模型。

AM62D-Q1

- [AM62D-Q1 Sitara AMI 模型](#)

备注

建议双击 .exe 文件安装 IBIS-AMI 模型。使用 IBIS-AMI 模型的唯一可行方式是安装 IBIS-AMI 模型。

9 处理器电流和散热分析

定制电路板电流要求取决于所选处理器、所用外设、实现的终端设备功能、应用环境、工作温度要求以及温度/工作电压变化。

9.1 功耗估算

若要根据用例估算处理器电流 (功耗)，请使用以下工具：

AM62Ax

[AM62A7 功耗估算工具](#)

[AM62A7-Q1 功耗估算工具](#)

[AM62A3 功耗估算工具](#)

[AM62A3-Q1 功耗估算工具](#)

[AM62A1-Q1 功耗估算工具](#)

AM62D-Q1

[AM62D-Q1 功耗估算工具](#)

9.2 不同电源轨的最大电流额定值

有关电源组处理器电源端子最大电流额定值的信息，请参阅以下应用手册：

[AM62Ax 最大电流额定值](#)

查看相关处理器特定产品页面以了解更新文档的可用性。

建议遵循最大电流额定值应用手册来确定电源尺寸。

9.3 支持的电源模式

有关支持电源模式 (包括部分 IO、DeepSleep) 的更多信息，请参阅器件特定 TRM 器件配置一章中电源部分的电源模式小节。

9.4 热设计指南

[DSP 和 Arm 应用处理器热设计指南](#)应用手册为使用 Sitara 系列处理器的定制电路板设计提供了如何实现散热选项的指导。本应用手册提供了有关常见术语和方法的背景信息。仅针对遵循应用手册中所含热设计指南的电路板设计提供了可能需要的任何后续设计支持。

通过处理器特定产品页面的以下部分下载热模型。

9.4.1 热量模型

AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1

- [AM62A7 热模型](#)
- [AM62A7-Q1 热模型](#)
- [AM62A3 热模型](#)
- [AM62A3-Q1 热模型](#)
- [AM62A1-Q1 热模型](#)

备注

如果可用，根据设计所用封装选择具体模型。

AM62D-Q1

- [AM62D-Q1 热模型](#)

9.4.2 VTM (电压热管理模块)

独立温度传感器位于处理器上的指定热点。器件特定数据表提供了 VTM 精度，器件特定 TRM 则提供了有关温度传感器位置的信息。

请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62D-Q1/AM62Px/AM62L/AM64x/AM243x \(ALV、ALX\) 定制电路板硬件设计 - 电压和热管理器 \(VTM\)](#)

10 原理图：捕获、录入和审阅

现在可以开始定制电路板设计的原理图捕获和录入。

以下常见问题解答汇总了在定制电路板原理图设计和原理图审阅期间可以参考的主要配套资料：

[\[常见问题解答\] AM64x、AM243x \(ALV、ALX\)、AM62x、AM62Ax、AM62Px、AM62D-Q1、AM62L 定制电路板硬件设计 - 原理图设计和原理图审阅期间用于参考的配套资料](#)

有关元件选型、原理图捕获和审阅的指南，请参阅以下部分：

10.1 定制电路板设计无源元件和数值选择

选择无源元件时，建议遵循器件特定数据表（如适用）的容差和额定电压等数值。建议遵循降额指南（通用或特定于无源器件的公司指南（例如：电阻器瓦数和电容器额定电压））。

备注

SK 或 EVM 中提供的元件值、封装尺寸和额定电压为定制电路板设计人员奠定了良好基础。

在定制电路板设计期间，建议定制电路板设计人员验证 TI 推荐的数值、容差、封装尺寸和额定电压是否适合特定的定制电路板设计（终端设备）实现方案，并进行必要的更新。

10.2 定制电路板设计电子计算机辅助设计 (ECAD) 工具注意事项

OrCAD 是用于 SK 或 EVM 原理图的电子计算机辅助设计 (ECAD) 工具。

Allegro 是用于 SK 或 EVM 布局的 ECAD 工具。

有关用于 SK 或 EVM 设计的 ECAD 工具信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM62L/AM625-Q1/AM62A7/AM62A3/AM62A1/AM62P-Q1/AM62D-Q1 定制电路板硬件设计 - 处理器评估模块或入门套件信息，包括电路板设计 CAD 工具版本](#)

提供了一个 .alg 文件，以将 Allegro 设计文件转换为 Altium。如果需要转换后的 Altium 设计文件，建议查看相关 SK、EVM 或处理器产品页面以确认可用性，或在 E2E 上进行查询。

10.3 定制电路板设计原理图捕获

完成原理图设计后，定制电路板设计的下一个阶段是原理图捕获。在原理图捕获阶段，可以重新绘制定制电路板原理图，也可以使用 SK 或 EVM 原理图设计（作为重复使用的基础）进行更新。

有关更多信息，请参阅[入门套件 SK-AM62A-LP](#) 或 [AUDIO-AM62D-EVM](#) 原理图。

在原理图捕获期间，请遵循以下检查清单：

[AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 处理器系列原理图设计指南与原理图审阅检查清单](#)

此外，还可以使用以下常见问题解答，其中包括 AM62x 处理器系列的原理图审阅检查清单：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x \(ALV\)/AM335x 设计建议/定制电路板硬件设计 - 原理图审阅检查清单](#)

以下常见问题解答总结了重复使用 SK 或 EVM 原理图设计文件进行定制电路板设计时的注意事项：

[\[常见问题解答\] AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1 定制电路板硬件设计 - 重复使用 TI SK \(EVM\) 设计文件](#)

备注

重复使用 SK 或 EVM 设计（原理图）时，应确保所需功能的完整实现（在多个页面上实现），并审阅和更新因设计变更或优化而导致的网络名称变动。在实现操作之前，请查看并遵循原理图页面中靠近电路处标注的说明（设计、审阅和 CAD）。

当重复使用 SK 或 EVM 设计（原理图）时，可以复位所有元件的 DNI 设置。请确保重新配置 DNI（安装 DNI 可能会影响功能）。请查看原理图页面中靠近电路实现的 DNI 说明。

10.4 定制电路板设计原理图审阅

完成原理图捕获后，建议使用 [AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 处理器系列原理图设计指南和原理图审阅检查清单](#) 进行自检。

以下常见问题解答列出了对定制电路板原理图设计进行自检时可以遵循的配套资料和步骤：

[\[常见问题解答\] AM62A7/AM62A7-Q1/AM62A3/AM62A3-Q1/AM62A1-Q1 和 AM62D-Q1 设计建议/定制电路板硬件设计 - 定制电路板原理图自检](#)

此外，还可以使用以下常见问题解答，其中包括 AM62x 处理器系列的原理图审阅检查清单：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x \(ALV\)/AM335x 设计建议/定制电路板硬件设计 - 原理图审阅检查清单](#)

请参阅以下常见问题解答，了解有关原理图更新中部分常见错误的信息：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L 定制电路板硬件设计的设计建议/常见错误 - 设计更新说明的 SK 原理图更新](#)

有关连接已使用/未使用处理器引脚和外设的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM62x、AM62Ax、AM62D-Q1、AM62L、AM62Px、AM64x、AM243x 定制电路板硬件设计 - 如何处理已使用/未使用的引脚/外设以及添加上拉或下拉电阻器？（例如 GPIO、SERDES、USB、CSI、MMC（eMMC、SD 卡）、CSI、OLDI、DSI、CAP_VDDsx……）](#)

建议在内部实施一次正式的原理图审阅，可参考[原理图设计指南](#)和[原理图审阅检查清单](#)来审阅定制电路板原理图。建议审阅定制电路板设计的实现情况，了解潜在的设计错误、元件值变化、连接错误、网络连接缺失以及其他未遵循的设计建议。

推荐按照器件特定数据表的[引脚连接要求](#)部分中的建议审阅定制电路板原理图。

11 布局规划、布局、布线指南、电路板层和仿真

在完成原理图捕获和审阅（自审、团队审阅和外部审阅（由附加器件供应商审阅））的规划及实施，并进行必要更新后，建议对定制电路板设计实施元件放置分析（布局规划），以确定理想元件放置方法以及处理器与各种 IC（附加器件）之间的互连距离，进而确定电路板尺寸和轮廓。

定制电路板设计的下一个阶段是电路板布局布线（放置元件、确定最终外形尺寸和电路板布局布线）。

有关电路板布局布线的相关建议，请参考以下部分。

11.1 PCB 设计迂回布线

[AM62Ax/AM62Dx PCB 设计迂回布线](#)提供了 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 处理器系列的 PCB 迂回布线示例，可供定制电路板布局布线参考。

请参阅以下常见问题解答：

[\[常见问题解答\] PROCESSOR-SDK-AM62X：布局布线指南：EMMC、RMII、OLDI 接口的最大布线长度、长度匹配容差、阻抗、布线间距要求](#)

这是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

11.2 LPDDR4 设计和布局布线指南

请参阅 [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局布线指南](#)。使用指南可简化 LPDDR4 电路板布局布线。布局指南和要求已整理为一组布局（放置和布线）建议，使定制电路板设计人员能够实现定制电路板设计，助力打造处理器支持型存储器连接拓扑所需的功能。仅针对遵循 [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局布线指南](#) 的电路板设计提供可能需要的任何后续设计支持。

有关 LPDDR4 信号布线的建议走线阻抗，请参阅 [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局布线指南](#)。

请参阅 [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局布线指南](#)，了解 LPDDR4 时钟、地址和控制信号，以及有关 LPDDR4 数、通道宽度、通道数、芯片数和列数的信息。

对于传播延迟，LPDDR4 需要考虑的延迟是与电路板上布线相关的延迟。根据需要，可参考 [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局布线指南](#) 的附录：SOC 封装延迟部分中已包含的封装延迟。

建议在定制电路板原理图设计和布局阶段执行信号完整性 (SI) 仿真。

备注

该系列处理器支持一个通道内的数据位混合和字节交换。有关更多信息，请参阅 [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局布线指南](#)。

备注

当前不支持用于连接 DDR4 存储器的接口。

备注

不支持 DDR2 和 DDR3 接口。

11.3 高速差分信号布线指南

[高速接口布局布线指南](#) 应用手册提供了为高速差分信号布线的指南。这些指南包括 PCB 层堆叠、PCB 材料选型指导以及布线偏移、长度和间距指导。针对遵循 [高速接口布局布线指南](#) 的定制电路板设计提供可能所需的任何后续设计支持。

备注

在定制电路板设计期间，考虑使用 [入门套件 SK-AM62A-LP](#) 和 [AUDIO-AM62D-EVM](#) SK 或 EVM 布局作为参考。

11.4 处理器特定 SK 或 EVM 电路板布局布线

在设计定制电路板布局布线时，可参考处理器特定 SK 或 EVM 电路板布局布线，也可以重复使用 SK 或 EVM 电路板布局布线，并且进行所需修改。SK 或 EVM 电路板上的所有高速接口均已实施所需仿真。

11.5 定制电路板层数和叠层

确定层数的一个重要约束条件是实现高速 LPDDR4 存储器接口所需的层数。遵循建议的布局布线指南通常要求采用入门套件所用层数（TI 推荐）或 [PCB 设计迂回布线](#) 应用手册中建议的层数。可以考虑根据定制电路板设计功能优化层数。

有关实现 LPDDR4 存储器接口的进一步指导和建议，请参阅 [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局布线指南](#)。

[AM62Ax/AM62Dx PCB 设计迂回布线](#) 应用手册可用于指导定制电路板布局。

11.5.1 仿真建议

对于与 SK 或 EVM 布局相关的任何布局更改或优化，建议进行仿真。

11.6 DDR-MARGIN-FW

依托 DDR 裕度固件和支持脚本，即可在板载 DDR 接口中实现系统裕度的可视化和测量。这些工具支持对关键数据信号进行无探头测量，以了解定制电路板设计是否遵循接口的建议设计指南。

AM62Ax :

[DDR-MARGIN-FW - 用于测量系统 DDR 裕度的固件和脚本](#)

AM62D-Q1 :

查找 *DDR-MARGIN-FW - 用于测量系统 DDR 裕度的固件和脚本*

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] PROCESSOR-SDK-AM62X : 有关 AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP DDR 裕度测试工具的问题](#)

这是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

11.7 运行电路板仿真时应遵循的步骤参考

如需了解 LPDDR4 存储器接口的电路板提取、仿真和分析方法，请参阅 [AM62Ax](#)、[AM62Px](#)、[AM62Dx LPDDR4 电路板设计和布局布线指南](#) 的 *LPDDR4 电路板设计仿真* 一章。

请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1/AM62L/AM62P/AM62P-Q1/AM64x/AM243x 定制电路板硬件设计 - IO 缓冲器的 S 参数和 IBIS 模型](#)

[\[常见问题解答\] 将 DDR IBIS 模型用于 AM64x、AM243x \(ALV\)、AM62x、AM62L、AM62Ax、AM62D-Q1、AM62Px](#)

12 定制电路板组装和测试

定制电路板设计的下一个阶段是电路板组装、启动、功能测试、软件集成测试和性能测试。

建议在向定制电路板供电之前，验证设计中标记为 DNP 或 DNI 的元件是否未装配。

建议在处理器 IO 电源斜升之前不要将任何外部输入连接到处理器 IO (大多数处理器 IO 都不具有失效防护功能，有关可用的失效防护 IO，请参阅器件特定数据表)。

建议在外部输入直接连接到处理器输入时，验证 IO 电平兼容性。建议提供加装板载或接口板上外部 ESD 保护 (根据需要) 的配置。

建议在处理器 IO 电源斜升之前，确保所有处理器 IO 上拉电阻器都没有以可用电源为基准的电源轨。

12.1 定制电路板启动提示和调试指南

请在电路板启动期间参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62D-Q1/AM62P/AM64x/AM243x 定制电路板硬件设计电路优化过程中的设计建议/常见错误](#)

[\[常见问题解答\] Sitara 器件 \(AM64x、AM243x、AM62x、AM62L、AM62Ax、AM62D-Q1、AM62Px\) 的电路板启动提示](#)

13 处理器 (器件) 处理和组装

湿敏等级 (MSL) 额定值/回流焊峰值额定值取决于封装尺寸 (厚度和体积)。

建议查看器件厚度信息、焊球间距、引脚镀层/焊球材料以及要遵循的建议 MSL 等级/回流焊峰值温度。

有关更多信息，请参阅以下链接：

[AM62A7 订购和质量](#)

[AM62A7-Q1 订购和质量](#)

[AM62A3 订购和质量](#)

[AM62A3-Q1 订购和质量](#)

[AM62A1-Q1 订购和质量](#)

[AM62D-Q1 订购和质量](#)

13.1 处理器 (器件) 焊接建议

请注意 TI.com 上针对所选处理器的 MSL 等级/回流焊峰值建议。

13.1.1 其他参考内容

有关湿敏等级的信息，请参阅以下内容：

[MSL 等级和回流曲线](#)

[湿敏等级搜索](#)

14 术语

BSDL	边界扫描描述语言
CAN-FD	控制器局域网灵活数据速率
CPPI	通信端口编程接口
CPSW3G	通用平台 3 端口千兆以太网交换机
CSIRX	摄像头流媒体接口接收器
DPI	显示并行接口
DRD	双角色设备
DSI	显示串行接口
DSITX	显示串行接口发送器
E2E	工程师对工程师
ECAD	电子计算机辅助设计
ECAP	增强型捕捉
ECC	错误校正码
eMMC	嵌入式多媒体卡
EMU	仿真控制

EPWM	增强型脉宽调制器
EQEP	增强型正交编码器脉冲
常见问题解答	常见问题解答
GEMAC	千兆位以太网介质访问控制器
GPIO	通用输入/输出
GPMC	通用存储器控制器
HS-RTDX	高速实时数据交换
I2C	内部集成电路
IBIS	输入/输出缓冲器信息规范
JTAG	联合测试行动组
LDO	低压降
LVMOS	低压互补金属氧化物半导体
LVDS	低电压差分信号
MAC	介质访问控制器
MCAN	模块化控制器局域网
MCASP	多通道音频串行端口
MCSPi	多通道串行外设接口
MCU	微控制器单元
MMC	多媒体卡
MSL	湿敏等级
OPP	运行性能点
OSPI	八线串行外设接口
OTP	一次性可编程
PCB	印刷电路板
PDN	配电网络
PMIC	电源管理集成电路
POR	上电复位
QSPI	四线串行外设接口
RGMII	简化千兆位媒体独立接口
RMII	简化媒体独立接口
SD	安全数字
SDIO	安全数字输入输出
SDK	软件开发套件
SPI	串行外设接口
TCK	测试时钟输入
TDI	测试数据输入
TDO	测试数据输出
TMS	测试模式选择输入
TRM	技术参考手册
TRSTn	测试复位
UART	通用异步收发器
USB	通用串行总线

VCA	过孔通道阵列
VTM	电压热管理模块
WKUP	唤醒
XDS	扩展开发系统

15 参考资料

15.1 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1

- 德州仪器 (TI), [AM62Ax Sitara 处理器数据表](#)
- 德州仪器 (TI), [AM62Ax Sitara 处理器技术参考手册](#)
- 德州仪器 (TI), [AM62Ax 器件勘误表](#)
- 德州仪器 (TI), [入门套件 SK-AM62A-LP](#)
- 德州仪器 (TI), [AM62Ax 功耗估算工具](#)
- 德州仪器 (TI), [AM62Ax 最大电流额定值](#)
- 德州仪器 (TI), [适用于 AM62Ax 的 PMIC 解决方案](#)
- 德州仪器 (TI), [适用于 AM62A 的 TPS65931211-Q1 PMIC 用户指南](#)
- 德州仪器 (TI), [SK-AM62A-LP 设计包文件夹和文件列表](#)
- 德州仪器 (TI), [Sitara AM62Ax 基准测试](#)

15.2 AM62D-Q1

- 德州仪器 (TI), [AM62Dx Sitara 处理器数据表](#)
- 德州仪器 (TI), [AM62Dx Sitara 处理器技术参考手册](#)
- 德州仪器 (TI), [AM62Dx 器件勘误表](#)
- 德州仪器 (TI), [AUDIO-AM62D-EVM](#)
- 德州仪器 (TI), [Sitara AM62Dx 基准测试](#)

15.3 通用

- 德州仪器 (TI), [AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP、AM62A3、AM62A7、AM62A7-Q1、AM62A1-Q1、AM62D-Q1、AM62P-Q1 原理图设计指南和审阅检查清单](#)
- 德州仪器 (TI), [AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 处理器系列原理图设计指南和原理图审阅检查清单](#)
- 德州仪器 (TI), [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局布线指南](#)
- 德州仪器 (TI), [为 AM62Px 器件供电的 PMIC](#)
- 德州仪器 (TI), [AM62Ax/AM62Dx PCB 设计迂回布线](#)
- 德州仪器 (TI), [DSP 和 Arm 应用处理器热设计指南](#)
- 德州仪器 (TI), [Sitara 处理器配电网络：实施与分析](#)
- 德州仪器 (TI), [高速接口布局布线指南](#)
- 德州仪器 (TI), [高速布局指南](#)
- 德州仪器 (TI), [Jacinto7 AM6x、TDA4x 和 DRA8x 高速接口设计指南](#)
- 德州仪器 (TI), [仿真和跟踪接头技术参考手册](#)
- 德州仪器 (TI), [XDS 目标连接指南](#)
- 德州仪器 (TI), [通用硬件设计/BGA PCB 设计/BGA 去耦](#)
- 德州仪器 (TI), [MSL 等级和回流焊曲线](#)
- 德州仪器 (TI), [湿敏等级搜索](#)
- 德州仪器 (TI), [TIDA-01413 - ADAS 8 通道传感器融合集线器参考设计](#)
- 德州仪器 (TI), [Jacinto 7 DDRSS 寄存器配置工具](#)
- 德州仪器 (TI), [KeyStone II 器件硬件设计指南](#)
- 德州仪器 (TI), [KeyStone 器件时钟设计指南](#)
- 德州仪器 (TI), [使用 IBIS 模型进行时序分析](#)
- 德州仪器 (TI), [显示接口：Sitara MPU 可视化设计综合指南](#)

16 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (December 2024) to Revision C (June 2025)	Page
• 通篇添加了 AM62A1-Q1 GPN 和相关信息.....	1
• (简介)：前文提到的用户指南适用于 ANB 和 ANF 封装.....	2
• (开始定制电路板设计之前的准备工作)：添加了有关入门套件/EVM 型号(版本)和关键器件(元件)列表的常见问题解答.....	3
• 添加了外设电路实现 - 处理器系列间的兼容性部分.....	3
• (所需处理器 OPN 选型(可订购器件型号))：添加了有关可用器件封装的常见问题解答.....	3
• (AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1)：添加了有关搭配 Altium 工具使用的 .alg (ASCII) 文件的常见问题解答.....	4
• (AM62D-Q1)：添加了有关搭配 Altium 工具使用的 .alg (ASCII) 文件的常见问题解答.....	4
• 添加了 TI.com 上处理器产品页面的配套资料部分.....	5
• 为“硬件设计注意事项用户指南”添加了更新部分.....	5
• (支持定制电路板设计的处理器和外设相关常见问题解答)：添加了软件相关常见问题解答的常见问题解答主列表.....	5
• 添加了有关定制电路板设计期间处理器和处理器外设设计的问题部分.....	5
• (开发定制电路板设计方框图)：添加了 SK 和 EVM TI.com 链接并添加了 AM62A1-Q1 GPN.....	6
• (配置引导模式)：添加了支持的引导模式配置常见问题解答，并添加了有关器件状态寄存器的信息.....	6
• (分立式电源架构)：添加了有关分立式电源架构的问题常见问题解答，并添加了有关 MCU_PORz 输入的更多信息以及 AM62A1-Q1 GPN.....	8
• 添加了支持的低功耗模式部分.....	9
• (VPP(电子保险丝 ROM 编程)电源)：在硬件要求和建议中添加了电压保护点使用外部齐纳二极管的要求.....	11
• (电源去耦和大容量电容器)：添加了关于去耦电容器的说明.....	12
• (电源时序)：在后续修订版本数据表中添加了有关电源时序图更新的信息.....	12
• (电源诊断(使用处理器支持的外部输入电压监视器))：添加了电源正常(P0K)模块电压监测和连接建议的常见问题解答.....	13
• (处理器时钟(外部晶体或振荡器))：添加了有关晶体(MCU_OSC0)启动时间问题的常见问题解答，并添加了有关展频时钟(SSC)的信息.....	13
• (LVCMOS 兼容数字时钟输入源)：添加了有关 MCU_OSC0 或 WKUP_LFOSC0 的 LVCMOS 时钟问题的常见问题解答，并添加了说明.....	14
• (处理器时钟输出)：添加了有关抖动的信息.....	15
• 添加了观察时钟输出部分.....	15
• 添加了时钟树工具部分.....	15
• (BSDL 文件)：添加了 AM62A1-Q1 GPN.....	16
• (JTAG/仿真的实现)：添加了有关使用 TI 定义的 20 引脚连接器的信息.....	16
• 添加了“调试引导模式和边界扫描合规性”部分.....	16
• (处理器复位)：添加了 MCU_PORz 输入压摆率和处理器复位输入、复位状态输出和连接建议常见问题解答.....	17
• (处理器 - 外设连接)：添加的注释.....	18
• (媒体和数据存储接口(MMC0、MMC1、MMC2、OSPI0/QSPI0 和 GPMC0))：添加了有关 MMC0、MMC1、MMC2、OSPI0/QSPI0 和 GPMC0 接口的更多信息，并引用了所需的常见问题解答.....	19
• 添加了以太网接口部分.....	21
• (通用平台 3 端口千兆位以太网交换机(CPSW3G0 - 用于以太网接口))：添加了以太网 PHY RGMII 同步时钟、RGMII 和 RMII 的常见问题解答.....	21
• (通用连接外设)：添加了有关所有通用连接外设的更多信息，并引用了所需的常见问题解答.....	22
• (内部集成电路(I2C)接口)：添加了设计更新说明的 SK 原理图更新常见问题解答，并添加了有关 I2C 接口例外情况的说明.....	24

• (显示子系统 (DSS)) : 添加了有关 DPI 显示接口的更多信息.....	24
• 添加了 AM62Ax 部分.....	25
• 添加了 AM62D-Q1 部分.....	25
• (处理器 IO (LVCMOS 或 SDIO 或开漏失效防护型 IO 缓冲器) 的接口和仿真实施) : 添加了 SDIO 和 LVCMOS I/O 的驱动强度配置常见问题解答.....	26
• (IBIS 模型) : 添加了说明和 AM62A1-Q1 GPN.....	26
• (IBIS-AMI 模型) : 添加了说明和 AM62A1-Q1 GPN.....	27
• (功耗估算) : 添加了 AM62A1-Q1 GPN.....	27
• (热模型) : 添加了说明和 AM62A1-Q1 GPN.....	28
• (定制电路板设计无源元件和数值选择) : 添加的注释.....	28
• 添加了 “定制电路板设计电子计算机辅助设计 (ECAD) 工具注意事项” 部分.....	28
• (定制电路板设计原理图捕获) : 添加了原理图审阅检查清单常见问题解答.....	29
• (定制电路板设计原理图审阅) : 向 “设计更新注解常见问题解答” 中添加了定制电路板原理图自审和 SK 原理图更新.....	29
• 添加了处理器特定 SK 或 EVM 电路板布局布线部分.....	31
• 添加了 DDR-MARGIN-FW 部分.....	32
• (运行电路板仿真时应遵循的步骤参考) : 添加了 IO 缓冲器的 S 参数和 IBIS 模型常见问题解答.....	32
• (定制电路板组装和测试) : 添加了有关电路板组装和测试建议的更多信息.....	32
• (处理器 (器件) 处理和组装) : 添加了 AM62A1-Q1 GPN.....	33

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司