

适用于 Microsemi® RTG4™ FPGA 的 TI 航天级电源解决方案



Zak Kaye and Javier Valle

摘要

随着航空航天技术的不断发展，卫星的寿命显著延长。在这种情况下，许多卫星的运行寿命现在已超过了相关电信标准的规定寿命。因此，空间应用对重编程性的需求也在增加 [1]。Microsemi® 公司利用其基于 SRAM 的 FPGA，即 RTG4™ 满足了这一需求。与前代产品相比，现代 FPGA 可在更低的电压和更高的电流下运行，RTG4 也不例外。FPGA 电源要求变得越来越苛刻，需要软启动和时序控制等功能来避免大浪涌电流，这种电流会使上游稳压器发生故障。本应用手册演示了如何使用 TI 符合航天标准的电源产品系列为基于 RTG4 的设计供电。

内容

| | |
|----------------------|---|
| 1 RTG4 电气规格..... | 2 |
| 2 RTG4 上电和断电要求..... | 3 |
| 3 展示航天级 TI 解决方案..... | 4 |
| 3.1 建议的基础方案..... | 4 |
| 3.2 设置..... | 6 |
| 3.3 结果..... | 8 |
| 4 总结..... | 9 |
| 5 参考文献..... | 9 |
| 6 修订历史记录..... | 9 |

插图清单

| | |
|---|---|
| 图 2-1. RTG4 开发板配电..... | 3 |
| 图 2-2. RTG4 开发板启动序列..... | 4 |
| 图 3-1. 建议的基础 RTG4 配电..... | 4 |
| 图 3-2. 建议的基础 RTG4 上电时序。SD_Vxx 信号可根据需要用于断电序列。..... | 5 |
| 图 3-3. 连接到 TI 评估模块的经过修改的 RTG4 开发板..... | 6 |
| 图 3-4. 经过修改的 RTG4 开发板配电，使用 TI 航天级元件..... | 7 |
| 图 3-5. 经过修改的 RTG4 开发板电源序列..... | 8 |
| 图 3-6. RTG4 经过修改的开发板，满足第一项上电要求..... | 8 |
| 图 3-7. RTG4 经过修改的开发板，满足第二项上电要求..... | 9 |

表格清单

| | |
|-----------------------|---|
| 表 1-1. RTG4 电气规格..... | 2 |
|-----------------------|---|

商标

RTG4™ is a trademark of Microsemi Corporation.

Microsemi® is a registered trademark of Microsemi Corporation.

所有商标均为其各自所有者的财产。

1 RTG4 电气规格

 RTG4 的所有规格均来自 Microsemi ([RTG4 FPGS 数据表 \(修订版 4 \) \[3\]](#) 和应用报告 [4])。

表 1-1. RTG4 电气规格

| 符号 | 参数 | 最小值 | 典型值 | 最大值 | 单位 |
|----------------------|---|------------------------------|-----------------------------|------------------------------|----|
| VDD | 直流 FPGA 内核电源电压。必须始终为此引脚供电。 | 1.14 | 1.2 | 1.26 | V |
| VPP | 电荷泵电源 (用于正常运行和编程)。必须始终为此引脚供电。 | 3.15 | 3.3 | 3.45 | V |
| VDDPLL | 为八个角 PLL 供电, SERDES PCIe/PCS 块中的 PLL 和 FDDR PLL。 | 3.15 | 3.3 | 3.45 | V |
| SERDES_x_Lyz_VDDAIO | Tx/Rx 模拟 I/O 电压。SERDES_x 通道 y 和通道 z 的低电压电源。是 +1.2V SERDES PMA 电源。 | 1.14 | 1.2 | 1.26 | V |
| SERDES_x_Lyz_VDDAPLL | SERDES_x PLL 通道 yz 的模拟电源。是 +2.5V SERDES 内部 PLL 电源。 | 2.375 | 2.5 | 2.625 | V |
| SERDES_VDDI | 为 SERDES 参考时钟接收器供电, 1.8V 电源。必须始终为此引脚供电。 | 1.71 | 1.8 | 1.89 | V |
| | 为 SERDES 参考时钟接收器供电, 2.5V 电源。必须始终为此引脚供电。 | 2.375 | 2.5 | 2.625 | |
| | 为 SERDES 参考时钟接收器供电, 3.3V 电源。必须始终为此引脚供电。 | 3.15 | 3.3 | 3.45 | |
| SERDES_VREF | SERDES 接收器参考时钟的参考电压。 | $0.49 \times$ SERDES_VDDI | $0.5 \times$ SERDES_VDDI | $0.51 \times$ SERDES_VDDI | V |
| VDDIx | 用于 FPGA I/O 组的 1.2V 直流电源电压。 | 1.14 | 1.2 | 1.26 | V |
| | 用于 FPGA I/O 组的 1.5V 直流电源电压。 | 1.425 | 1.5 | 1.575 | |
| | 用于 FPGA 和 JTAG I/O 组的 1.8V 直流电源电压。 | 1.71 | 1.8 | 1.89 | |
| | 用于 FPGA 和 JTAG I/O 组的 2.5V 直流电源电压。 | 2.375 | 2.5 | 2.625 | |
| | 用于 FPGA 和 JTAG I/O 组的 3.3V 直流电源电压。 | 3.15 | 3.3 | 3.45 | |
| | 用于 LVDS25 差分 I/O 组的直流电源电压。 | 2.375 | 2.5 | 2.625 | |
| | 用于 LVDS33 差分 I/O 组的直流电源电压。 | 3.15 | 3.3 | 3.45 | |
| | 用于 BLVDS、MLVDS、Mini-LVDS、RSDS 差分 I/O 组的直流电源电压。 | 2.375 | 2.5 | 2.625 | |
| | 用于 LVPECL 差分 I/O 组的直流电源电压。 | 3.15 | 3.3 | 3.45 | |

2 RTG4 上电和断电要求

上电要求基于 VDDPLL 和 SERDES_x_Lyz_VDDAIO 电压轨制定。如需不考虑任何上电时序要求，唯一方法是使 RTG4 处于复位状态（使 DEVRST_N 有效），直到 VDDPLL 电源达到建议的最低电平，并将 SERDES_x_Lyz_VDDAIO 电源连接到 VDD。但是，如果做不到这一点，则需要对 RTG4 电压轨进行正确的时序控制。在这种情况下，适用以下要求：

- VDDPLL 一定不能是最后一个斜升电源，并且必须在最后一个电源（VDD 或 VDDIx）开始斜升之前达到其最低建议电平。
- VDD 内核和 SERDES IO 必须并联上电。

在断电或 DEVRST_N 有效期间，对于每个无法承受输出干扰的临界输出，如果使用一个外部 1kΩ 下拉电阻器，则没有断电要求。

Microsemi 有一个开发套件，用于演示 RTG4 的功能并加快软件开发。此开发板的配电如图 2-1 所示。在此设计中，Microsemi 使用复位监控器，在 3.3V、10A 稳压器出现后，可将 FPGA 保持在复位状态约 150ms。这样在器件开始运行之前，所有电源轨都有足够的时间达到稳压状态，无需上电序列。图 2-2 中的示波器图显示了器件保持复位状态时，启动时的主电源轨。在复位监控器释放低电平有效复位信号之前，所有电压轨同时出现并达到建议的工作点。

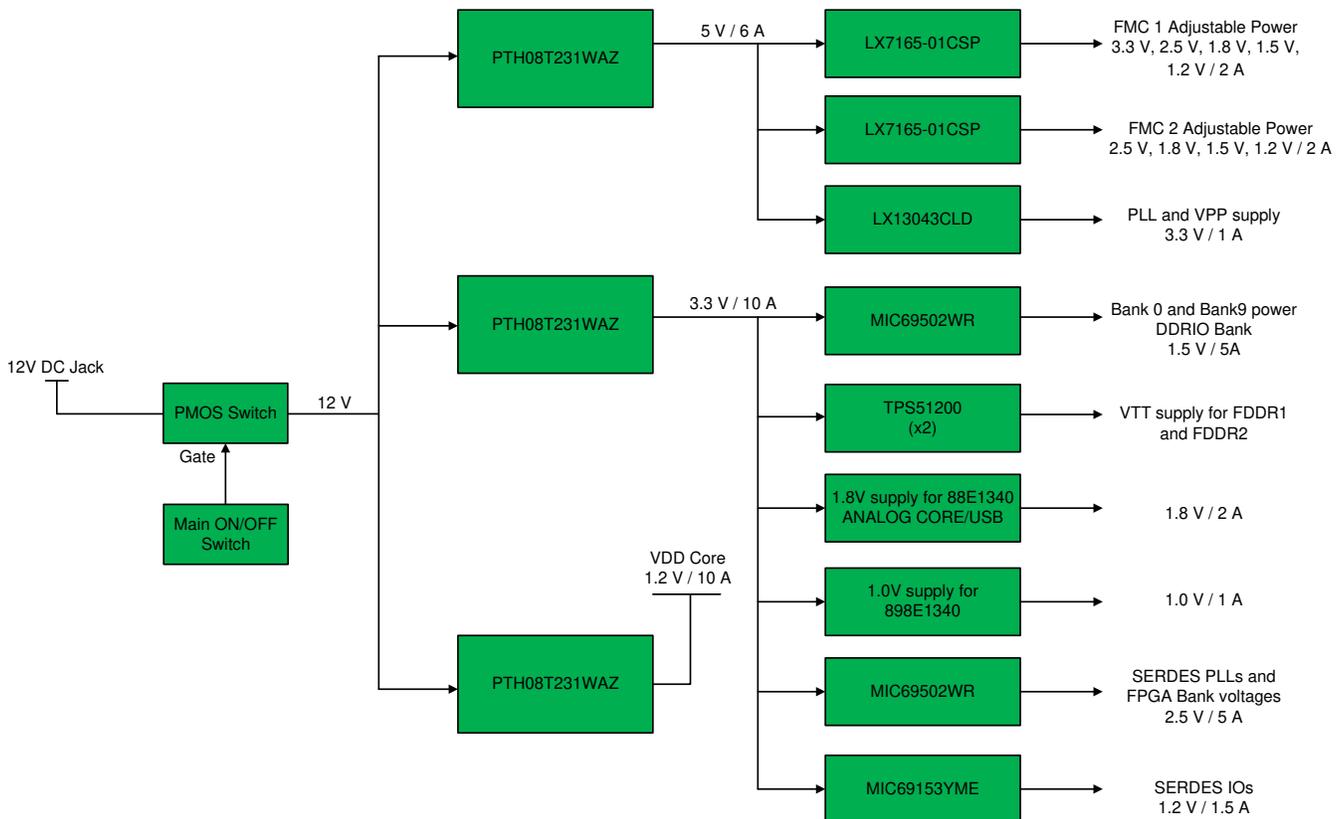


图 2-1. RTG4 开发板配电



图 2-2. RTG4 开发板启动序列

3 展示航天级 TI 解决方案

3.1 建议的基础方案

图 3-3、图 3-4 和图 3-5 中呈现的解决方案基于对 RTG4 开发板的修改。在新的 RTG4 设计中，TI 建议采用如图 3-1 所示的配电。在这种情况下，使用 TI TPS7H500X-SP 控制器产品系列的隔离式直流/直流转换器用于为开关和线性负载稳压器生成 5V 输入电压。此配电建议的上电顺序如图 3-2 所示。由于 RTG4 支持 DDR 存储器，因此在配电方案中需要一个 DDR 终端稳压器，如图 2-1 所示。对于此类器件，TPS7H3301-SP 已包含在此建议的基础配电方案中。TPS7H3301-SP 是 TI 的耐辐射双倍数据速率 (DDR) 3A 终端稳压器，支持所有标准 DDR 存储器配置，还整合了内置基准电压缓冲器，无需额外电源即可产生 DDR 基准。此外，由于它是线性器件，与需要电感器和更多组件才能使器件运行的开关器件相比，可显著节省空间并简化设计。更多信息，请参阅 [TPS7H3301-SP 产品页面](#)。请注意，图 3-1 中显示的 TPS7H3301-SP 的 1.5V 输入电压是为 DDR 端接电压提供输出电流的高电流电源。

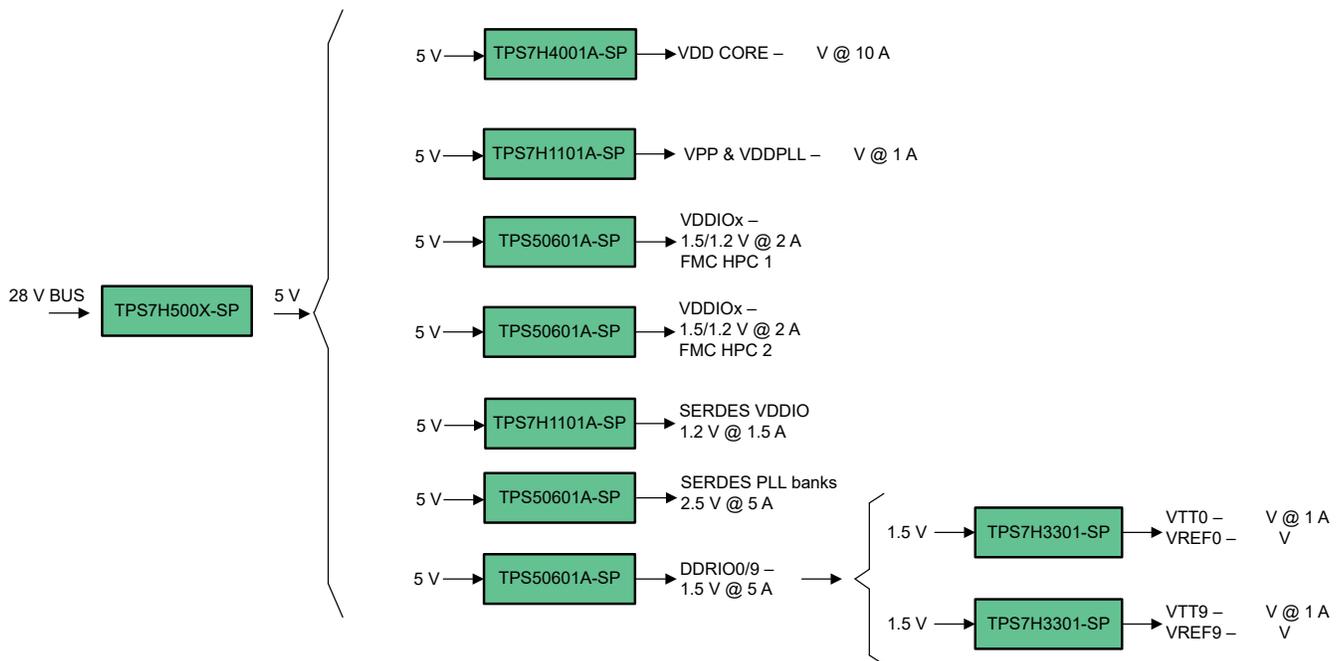


图 3-1. 建议的基础 RTG4 配电

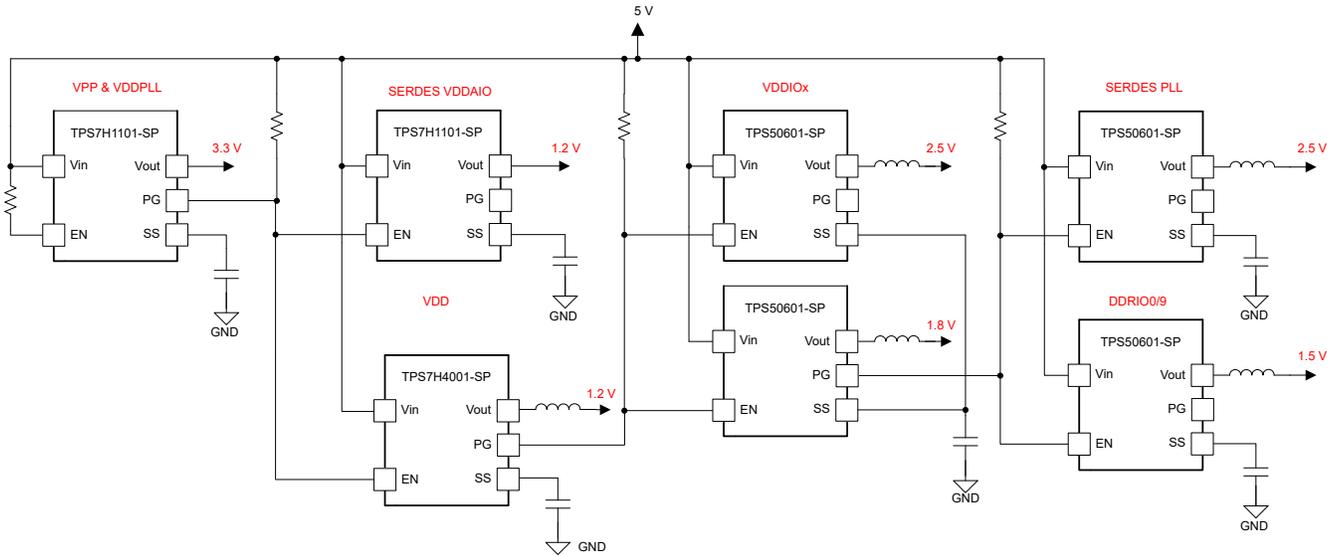


图 3-2. 建议的基础 RTG4 上电时序。SD_Vxx 信号可根据需要用于断电序列。

此实施方案可确保满足所有上电时序控制要求，并节省电路板面积，因为 TI 提供了超小的散热增强型耐辐射直流/直流转换器和 LDO 产品 (TPS7H1101A-SP : 11.00mm × 9.60mm ， TPS50601-SP : 12.70mm × 7.38mm ， TPS7H4001-SP : 21.59mm × 7.62mm) 。

3.2 设置

为了展示 TI 的航天产品系列对本设计的适用性，对 RTG4 开发套件进行了修改，将与上电要求相关的电压轨替换为符合航天标准的电源器件评估模块 (EVM) ([TPS50601SPEVM-S](#)、[TPS50601SPEVM-D](#) 和 [TPS7H1101SPEVM](#))。该演示旨在展示重负载下的功能，由于演示的限制，与建议的基础设计并不完全匹配。RTG4 刷写了高电流设计，在 1.2V 电压下的内核电流消耗约为 5A。测试设置如图 3-3 所示。

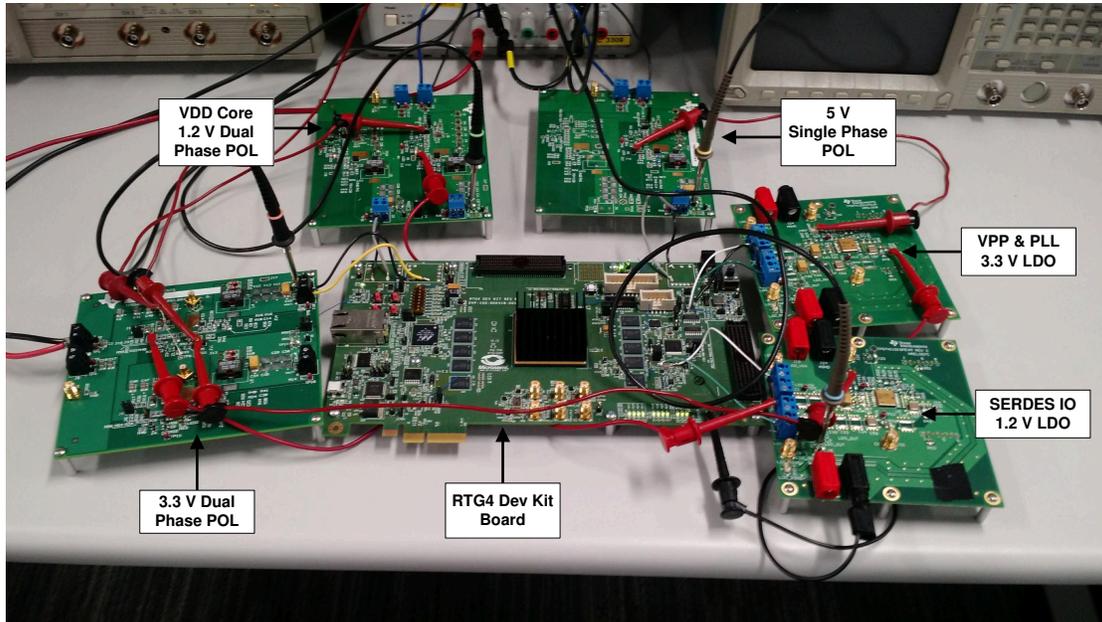


图 3-3. 连接到 TI 评估模块的经过修改的 RTG4 开发板

然后移除开发板上的复位监控器，并使用每个器件的电源正常和使能引脚控制电压轨的时序，如图 3-5 所示。开发板的 12V 输入源更改为 6V 电源，以满足 TI 航天电源器件的输入要求。图 3-4 中显示了修改后的开发板的电源树。新元件以橙色显示。

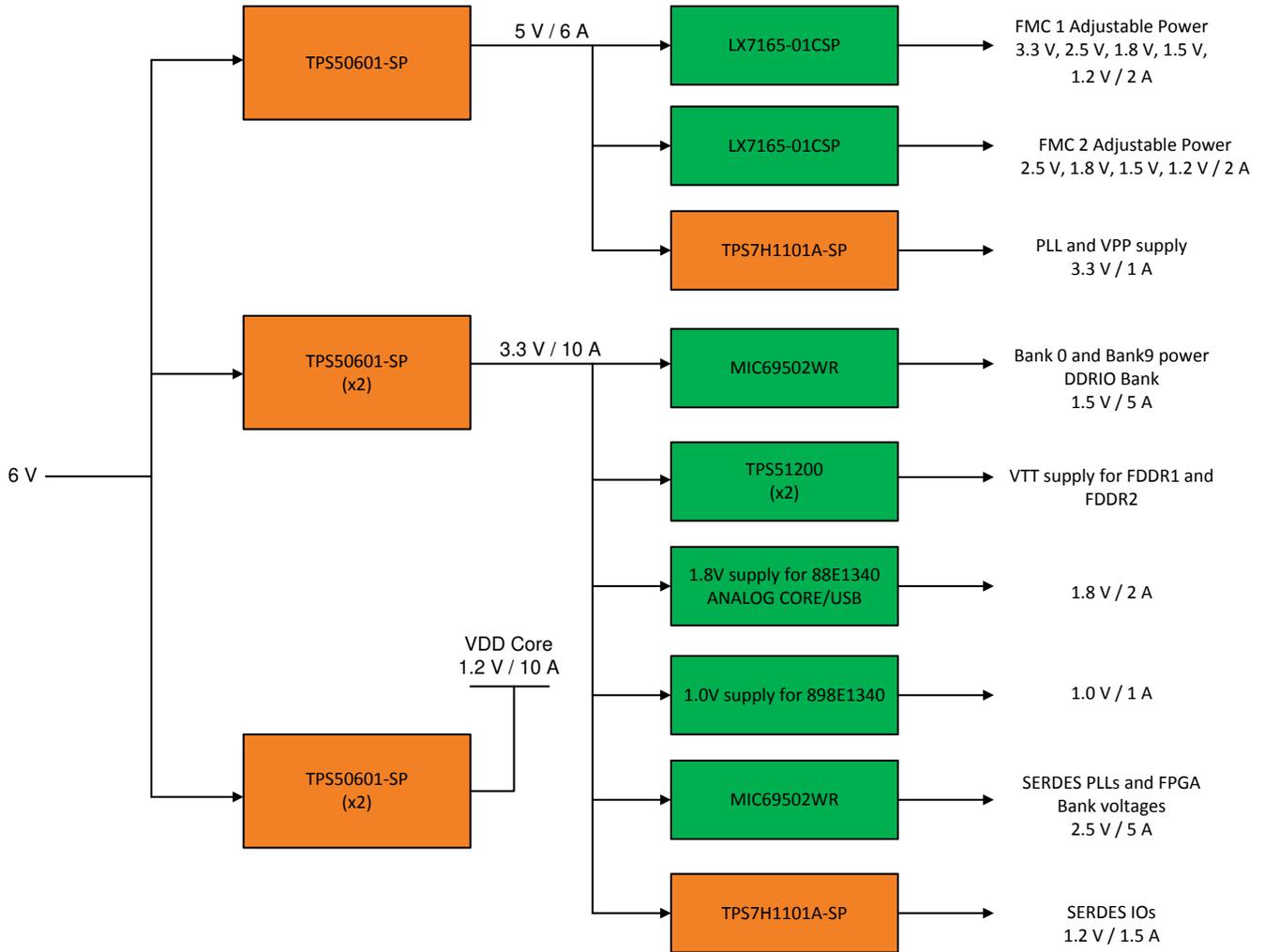


图 3-4. 经过修改的 RTG4 开发板配电，使用 TI 航天级元件

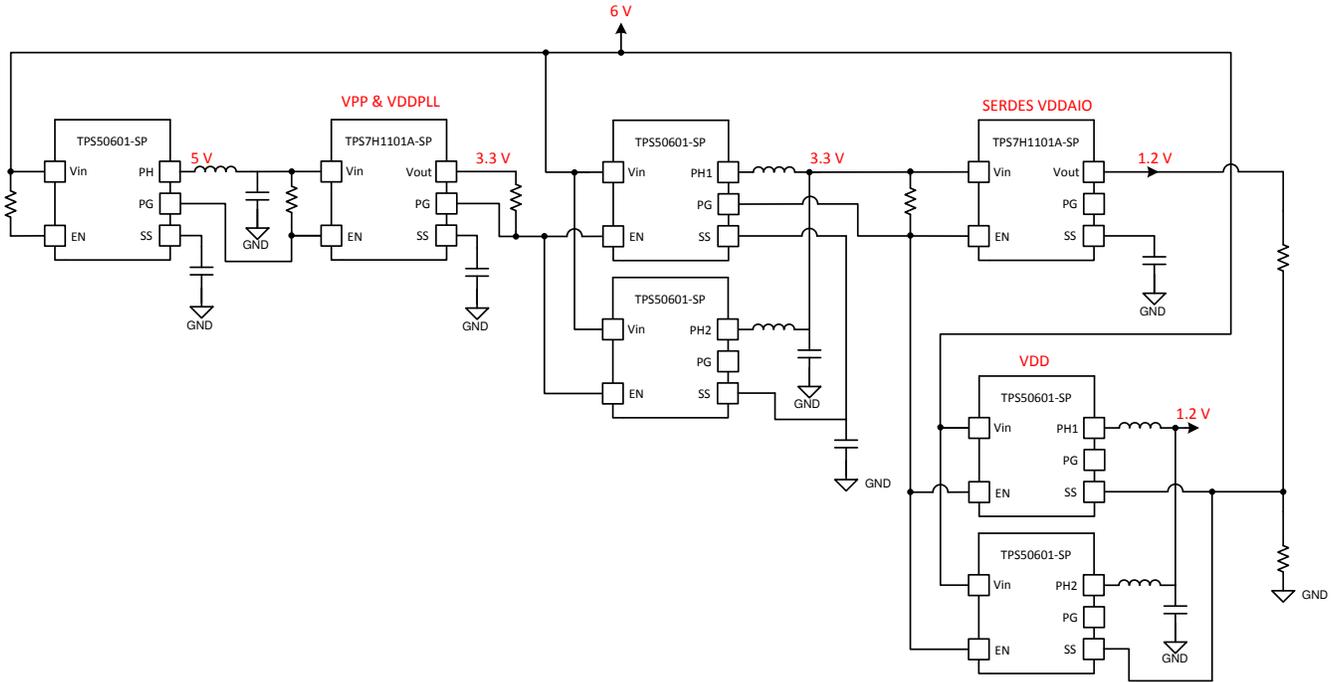


图 3-5. 经过修改的 RTG4 开发板电源序列

所有器件的上升时间均配置为至少 1ms，以避免浪涌电流。按比例控制内核电压轨 VDD 与 SERDES IO 轨的时序，以确保两个电压轨的上升时间符合 RTG4 的要求。

3.3 结果

图 3-6 和图 3-7 中的示波器图展示了每个电压轨在连接到 RTG4 开发套件时的启动行为（满足节 2 中讨论的两项要求）。



图 3-6. RTG4 经过修改的开发板，满足第一项上电要求



图 3-7. RTG4 经过修改的开发板，满足第二项上电要求

如图 3-6 和图 3-7 所示，两项电源时序要求均已满足，并可观察到清晰的单调性上电行为。电压轨出现后，RTG4 开始执行其软件，内核开始消耗大约 5A 的电流。该软件是 Microsemi 提供的 SERDES EPCS 演示软件 (DG0624)。

4 总结

TPS50601-SP、TPS7H1101A-SP 和 TPS7H3301-SP 是 TI 旗舰款抗辐射电源器件，具有软启动、电源正常指示和跟踪等功能，非常适合为现代 FPGA 应用供电。本应用手册展示了如何使用 RTG4 实现这些功能并成功运行。类似的配置也可应用于其他 FPGA，以满足其特定的电源要求。

5 参考文献

1. A. Fernandez-Leon, A. Pouponnot, S. Habinc. "The Use of Reprogrammable FPGAs in Space", European Space Agency, 29 April 2014. http://www.esa.int/Our_Activities/Space_Engineering_Technology/Microelectronics/The_use_of_reprogrammable_FPGAs_in_space
2. Microsemi Documentation: UG0617: RTG4 FPGA Development Kit User Guide
3. Microsemi Documentation: DS0131: RTG4 FPGA Data Sheet
4. Microsemi Documentation: AC439: Board Design Guidelines for RTG4 FPGA Application Note
5. Microsemi Documentation: RTG4 Power Estimator
6. 德州仪器 (TI) : [TPS50601-SP 数据表](#)
7. 德州仪器 (TI) : [TPS7H1101-SP 数据表](#)
8. 德州仪器 (TI) : [为 FPGA 供电的高级主题](#)
9. 德州仪器 (TI) : [现代 FPGA 电源设计的注意事项](#)

6 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

| Changes from Revision A (July 2018) to Revision B (January 2023) | Page |
|--|------|
| • 更新了整个文档中的表、图和交叉参考的编号格式..... | 2 |
| • 更新了节 3 | 4 |

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司