

## 驱动芯片在应用中的常见问题分析与解决

Dane Zhang

Sales and Marketing/KAT

### ABSTRACT

通信电源 PSU 在通讯设备中担任着很重要的角色，PSU 问题将会导致整个通讯设备无法正常工作。常见的通信电源 PSU 拓扑有桥式、推挽以及正在兴起的非隔离 IBB 架构。所有这些应用场景都离不开驱动芯片。在驱动芯片的应用过程中，常见的两类问题是异常丢波现象以及输出通道的误脉冲，他们会随着芯片、系统设计上的差异而时常出现在我们的应用中，严重情况会导致 MOS 管甚至整个产品的损坏。本文主要从应用角度分析了问题的产生原因以及相应的设计解决方案，确保在设计过程中不会引入可能的风险。

### Contents

1	驱动芯片在 PSU 电源系统中的应用简介 .....	Error! Bookmark not defined.
2	驱动芯片异常丢波问题 .....	3
2.1	针对异常丢波问题的原理分析 .....	3
2.2	如何从系统设计上优化驱动异常丢波问题 .....	3
3	驱动芯片输出引脚的误脉冲现象 .....	5
3.1	误脉冲现象成因分析 .....	5
3.2	误脉冲的预防与解决方案 .....	6
	3.2.1 调整 BOOT 电压的建立速度 .....	6
	3.2.2 为 VDD-VSS 建立预充电压 .....	7
	3.2.3 为栅极增加外部下拉电路 .....	7
4	总结 .....	8
5	参考文献 .....	8

### Figures

Figure 1.	通信电源 PSU 的常见应用 .....	3
Figure 2.	IBB 典型应用拓扑 .....	4
Figure 3.	实际应用中遇到的丢波现象 .....	4
Figure 4.	在 EVM 板上通过特定条件复现的丢波现象 .....	Error! Bookmark not defined.
Figure 5.	异常丢波问题的展开波形 .....	Error! Bookmark not defined.
Figure 6.	典型驱动芯片输出部分的电路结构 .....	5
Figure 7.	驱动电路的简化等效模型 .....	Error! Bookmark not defined.
Figure 8.	实际应用电路中栅极电阻设置为 2.2ohm 时的问题波形 .....	7
Figure 9.	实际应用电路中栅极电阻加大为 4.75ohm 时问题消失 .....	7
Figure 10.	(a) 磁珠阻抗与频率的关系 (b) RG 与磁珠在电路中的作用原理 .....	7

Figure 11.	(a) 发生丢波问题的电路设计 (b) 优化后正常发波的电路设计 .....	8
Figure 12.	起机过程中出现的误脉冲现象.....	8
Figure 13.	驱动芯片输出部分典型框图 .....	9
Figure 14.	$R_{BOOT}=0\Omega$ $C_{BOOT}=10\mu F$ 设置下的起机 BOOT 波形.....	10
Figure 15.	$R_{BOOT}=5\Omega$ $C_{BOOT}=10\mu F$ 设置下的起机 BOOT 波形.....	10
Figure 16.	为设计增加预充电电压回路.....	11
Figure 17.	VBOOT 预建立后的发波波形 .....	12
Figure 18.	外部增加栅极下拉电路方案 .....	12
Figure 19.	实际应用电路中栅极电阻加大为 $4.75\Omega$ 时间问题消失 .....	12

## 1 驱动芯片在 PSU 电源系统中的应用简介

在通讯设备中，系统的供电来源是由前级的 PSU 供电单元提供的。常见的通信 PSU 输出分为 12V 和 48V，12V 用于给板上数字部分供电，48V 多用于给功放模块供电。通信 PSU 常用拓扑架构有推挽、半桥、全桥，不同的拓扑架构通常根据不同的应用场景以及供电需求决定。在通信电源的 PA 供电部分，IBB（inverting buck-boost）拓扑凭借其不需要隔离，小体积，低成本的优势越来越多的成为在 48V PA 供电场景的选择。TI 的双通道隔离驱动器如 [UCC21225A](#)、[UCC21520](#) 系列，其两个通道的偏压供电可以根据需求灵活配置，芯片内部抗干扰能力强，可以广泛应用于驱动各类拓扑架构中的 MOS 管。

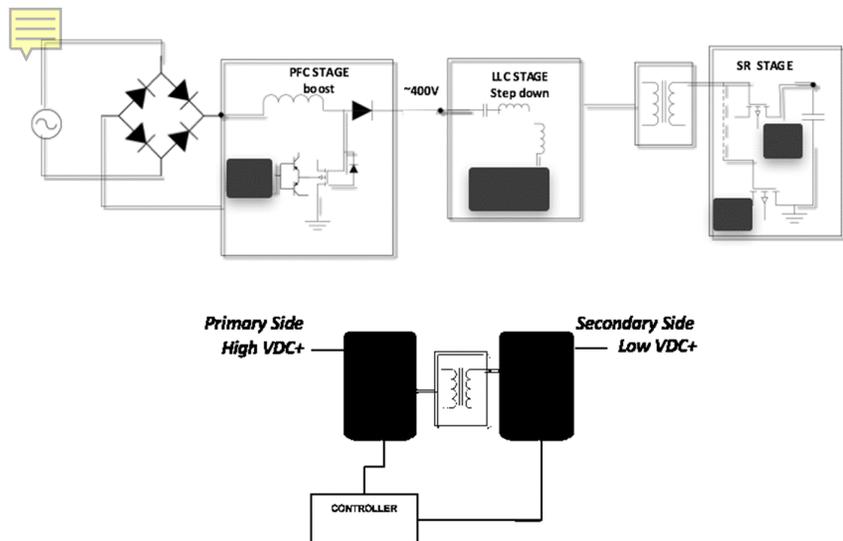


Figure 1. 通信电源 PSU 的常见应用

## 2 驱动芯片异常丢波问题

通常隔离驱动芯片用于驱动桥式拓扑中的上下桥臂，或在 IBB 应用中用来驱动输入输出侧的开关 MOS 管。

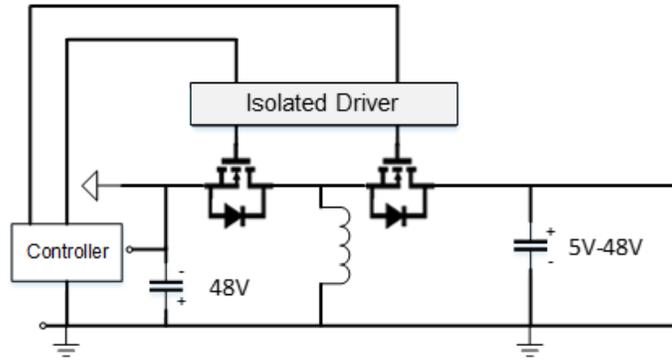


Figure 2. IBB 典型应用拓扑

下面两张图分别是实际应用中遇到的以及在 EVM 板上复现的丢波异常现象。其中 CH1 为输入侧的驱动波形，CH2 为相应通道的驱动输出波形（VGS）。可以看到在两个案例中驱动的输出都出现了异常的输入信号存在但输出信号异常丢失的现象。该异常发波会导致 PSU 不正常工作，如果不及时断开负载，还会造成 MOS 管的损坏。

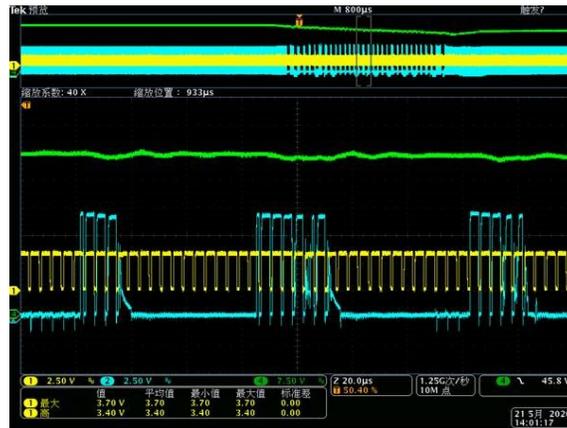


Figure 3. 实际应用中遇到的丢波现象

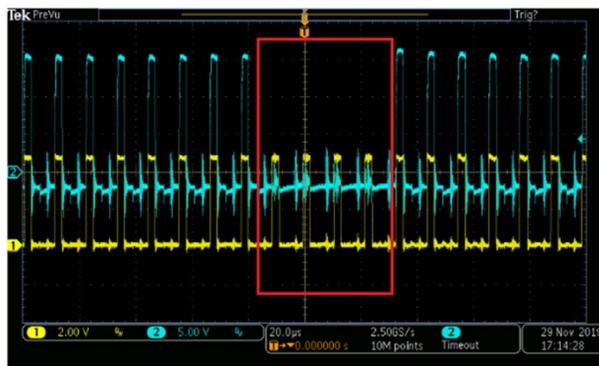


Figure 4. 在 EVM 板上通过特定条件复现的丢波现象

其中实际异常触发条件：48V/1000W 系统，IBB 拓扑，开关频率 250kHz，驱动器每个通道驱动 5 个并联 MOS 管，栅极串阻 2.2ohm。EVM 板复现条件：14V/100A 负载，通过反复接入断开负载可以复现问题。

### 2.1 针对异常丢波问题的原理分析

通过对信号进行分析，以上两种情景的一个共同条件是供电轨 VDD 都受到了不同程度的干扰，下图是实际问题的展开波形，可以看到 CH4 为 VDD，在问题发生时接受到了比较大的干扰信号。



Figure 5. 异常丢波问题的展开波形

基于下面典型的驱动框图分析干扰的来源，如果在驱动的输出端（OUT）有较大信号波动或是噪声（该扰动可以是负载变化导致，也可能是开关引入的噪声），通过芯片内部上管的体二极管传播至 VDD 引脚。由于扰动是通过内部电路及寄生参数产生和传递，无法通过外部滤波电路滤除，所以即使调整外部滤波电容值，也没法很好的改善该异常现象。VDD 引脚上的干扰信号，进一步又会通过内部供电 LDO 的体二极管扰乱内部供电模块输出电压，或是干扰内部供电模块的逻辑电路，最终使内部电压跌落至芯片的 UVLO，将特定通道的输出关断。在内部电压迅速恢复至 UVLO 以上后，芯片会延时大约 50us 后，恢复 OUT 引脚的正常输出。同理如果在 VSS 引脚上有大的干扰时，也会对内部电路造成类似影响。

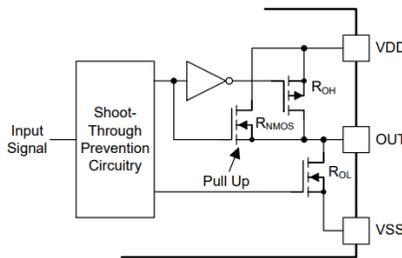
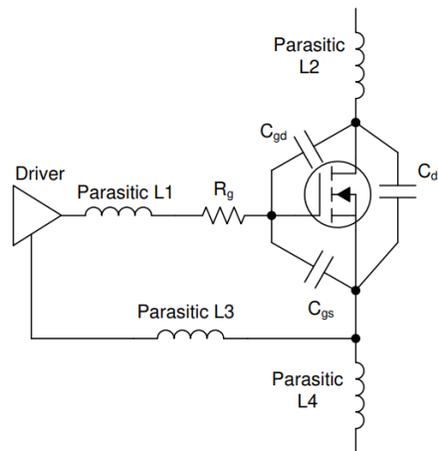


Figure 6. 典型驱动芯片输出部分电路结构

## 2.2 如何从系统设计上优化异常丢波问题

要防止丢波问题的出现，需要保证 VDD 信号的稳定，减小电源噪声并减小耦合噪声的干扰，可从以下几个方面进行：1. 增大  $R_G$  或增加串联磁珠；3. 多管并联系统中注意系统设计。

解决干扰问题一个简单有效的方式就是增大  $R_G$ ，栅极串联电阻  $R_G$  会影响栅极电路上的震荡以及耦合到芯片内部的干扰信号大小。下图是常见应用中的输出部分的等效模型，输入电容  $C_{ISS}$ （图中  $C_{gd}+C_{gs}$ ）和源级电感  $L_s$ （图中  $L_4$ ）之间会产生较大的谐振，增加合适的  $R_G$  则有利于抑制震荡，同时使开关速度设定在合理的范围，保证系统高效工作。



**Figure 7. 驱动电路简化等效模型**

为了初步评估系统中存在的寄生电感  $L_s$ ，我们在不接  $R_G$  条件下测量震荡波形。由 LC 谐振公式： $(2\pi f)^2 = \frac{1}{CL}$ ，通过观察振铃的震荡频率可以得到： $L_s = \frac{1}{C_{ISS} \cdot (2\pi f)^2}$ 。在选择  $R_G$  上令系统处于临界阻尼到欠阻尼状态即可： $Q = \frac{X_L}{R_G} \geq \frac{1}{2}$ （另外需要再减去驱动和 MOS 管部分的电阻值）。实际测试过程中，可以从  $Q=1/2$  开始测试所选电阻值以及观察 MOS 管的开关速度以及震荡情况是否能够满足系统的设计需求，如果开关速度不够可以适当减小  $R_G$  或是选择驱动电流能力更强的驱动器，如果震荡情况影响系统性能，则适当增加  $R_G$ 。下面是在问题系统中，适当增加  $R_G$  后的测试结果，可以看到  $R_G$  增大后，问题得到显著改善。

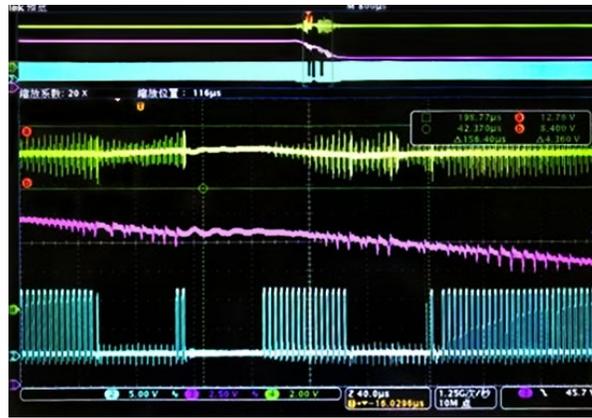


Figure 8. 实际应用电路中栅极电阻设置为 2.2ohm 的问题波形

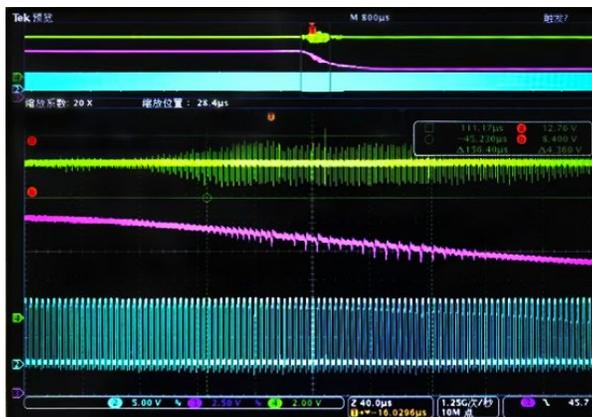


Figure 9. 实际应用电路中栅极电阻增大为 4.75ohm 问题消失

对于实际应用系统，增大  $R_G$  会带来系统的损耗以及开关速度的变慢，往往对于特定设计系统， $R_G$  期望的阻值会小于 10ohm，因此该方案有很多限制。除了增大  $R_G$ ，另一个行之有效的方案是在栅极串入磁珠，相较于电阻的方案磁珠在低频条件下阻值更低，在不影响驱动电流，不改变开关表现前提下又能够很好的抑制高频下的耦合噪声。

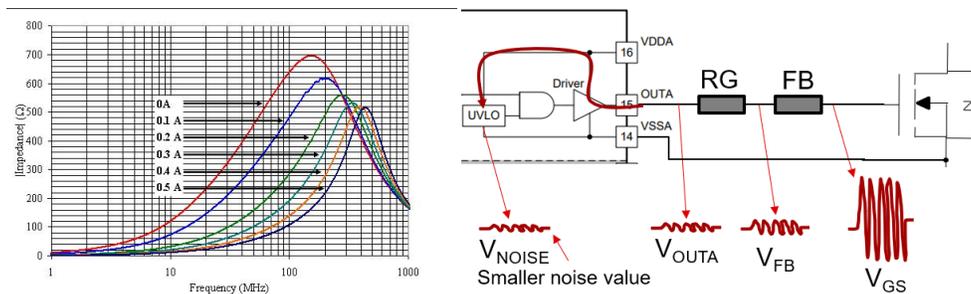


Figure 10. (a) 磁珠阻抗与频率的关系 (b)  $R_G$  与磁珠在电路中的作用原理

在多管并联的布板设计中，应该尽可能保证每一个 MOS 管的栅极电阻都靠近各自的 MOS 管，而不是将各电阻集中并联，参考下图所示。左图所示布板方案可能会导致并联 MOS 管线路之间发生均流震荡，进而导致系统不稳定。

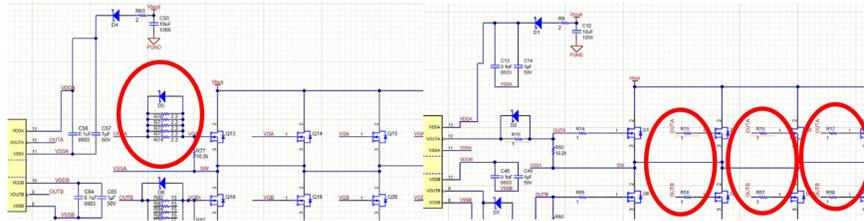


Figure 11. (a) 发生丢波问题的电路设计 (b) 优化后正常发波的电路设计

### 3 驱动芯片输出引脚误脉冲现象

驱动芯片在应用过程中另一个常见的问题是，在没有输入信号的情况下，对应的输出通道出现异常脉冲的现象。该误脉冲可能会超过 MOS 管的开通阈值，造成不期望的 MOS 管误开通以及很严重的系统直通情况。下图是实际应用中遇到的误脉冲现象，CH2 是驱动芯片 LO，CH1 是 HO，起机过程中，输入信号控制 LO 进行开关动作，而在 HO 对应输入为低电平。理论上 HO 应该与输入信号一致为低，但从实验结果可以发现，在 HO 引脚看到了一定幅值的脉冲信号。

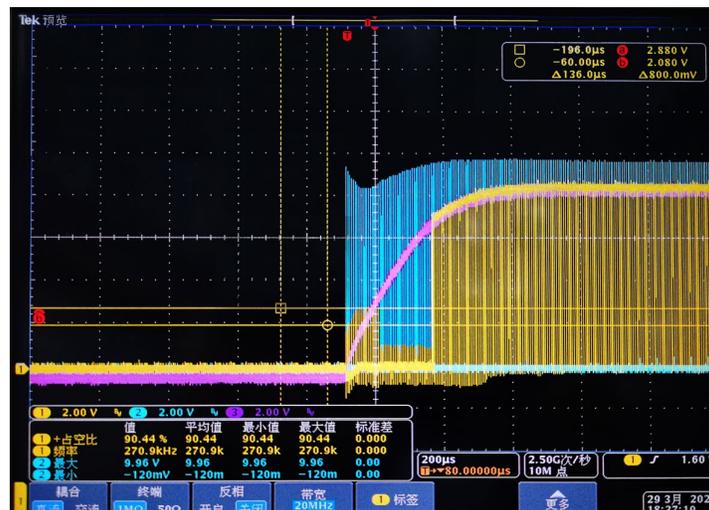


Figure 12. 起机过程中出现的误脉冲现象

起机过程中的误脉冲信号，会给 PSU 系统带来可靠性风险，严重情况下可能出现直通现象，损坏供电系统。

#### 3.1 误脉冲现象成因分析

下面为驱动芯片典型的内部框图，在 VDD-VSS 之间的电压建立至内部 UVLO 阈值之前，芯片内部的  $R_{clamp}$  会起作用，将 OUT 下拉到地。在 VDD-VSS 之间电压上升至 UVLO 阈值以上后，芯片的输出完全由输出通道内部的上管开关来决定：输入信号为高时输出上拉至 VDD，输入信号为低时输出下拉到地，以此保证输出逻辑正确。通常误脉冲现象出现在 VDD-VSS 之间电压建立至 UVLO 之前。

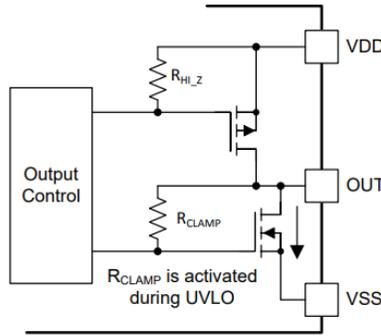


Figure 13. 驱动芯片内部下拉电路典型框图

在 VDD-VSS 低于 UVLO 期间，芯片内部会产生相应的驱动信号，来开通 R<sub>clamp</sub> 电路（为 MOS 管结构，R<sub>clamp</sub> 实际为 MOS 管导通电阻）。该驱动信号的产生会在 VDD-VSS 建立电压后，经过一定延时（大约几十微秒，随芯片不同而不同）产生，同时信号的产生到下拉电路的完全开通是需要一定的时间的，这两个因素导致了，当 VDD-VSS 之间电压上升过快时，内部驱动信号来不及将下拉电路打开，从而在起机期间芯片无法很好的实现下拉功能。这种情况下当输出引脚有耦合噪声的存在时，我们会在栅极路径上看到误脉冲。

### 3.2 误脉冲的预防与解决方案

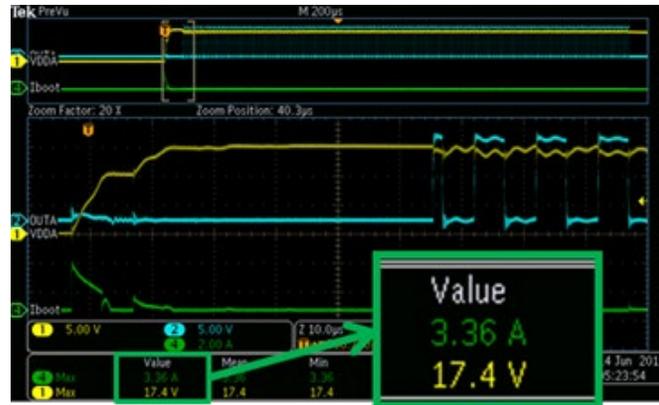
因为误脉冲问题是由于内部下拉电路反应时间的差异化所导致，优化思路可以是将 VDD-VSS 建立过程放缓，或是在系统设计时注意给 VDD-VSS 提供一个预充电压，一个可靠的方案则是在电路中增加下拉电路，确保 MOS 管不会因为干扰误触发。

#### 3.2.1 调整 BOOT 电压建立速度

VDD-VSS 的电压建立过程是通过 R<sub>BOOT</sub>，二极管，以及下管的导通状态给 C<sub>BOOT</sub> 电容充电来实现的。针对 R<sub>BOOT</sub> 和 C<sub>BOOT</sub> 进行数值调整，可以将电容充电到稳定的时间进行延长或缩短。下图分别展示了不同的 RC 配置下的 VDD-VSS 电压建立过程。



Figure 14. R<sub>BOOT</sub>=0ohm C<sub>BOOT</sub>=10uF 设置下的起机 BOOT 波形



**Figure 15.  $R_{BOOT}=5\text{ohm}$   $C_{BOOT}=10\mu\text{F}$  设置下的起机 BOOT 波形**

CH1 为 VDD-VSS 电压建立波形，CH4 为充电电流波形。可以看到，适当的 RC 取值，不仅能够减小 VDD-VSS 间的电流尖峰，还有助于将电压建立的斜率变缓，使内部下拉信号有充足的时间来响应。

由于市面上驱动芯片设计和针对应用场景不同，有的二极管集成在芯片内部，所以需要使用者在具体应用过程中，根据需求和所用芯片来调整 RC 取值，下面是一些 RC 选择上的建议：

- 电阻取值一般选择在 1~20ohm，且需要满足  $R \geq \frac{V_{DD}-V(\text{diode})}{I_{\text{peak}}}$ ，其中  $I_{\text{peak}}$  为所选择二极管的最大电流， $V(\text{diode})$  为二极管上的压降。
- 有时二极管部分集成在驱动芯片内部，此时可以根据具体情况调节  $C_{BOOT}$ ， $C_{BOOT}$  需要能够保证 VDD-VSS 上的电压能够在 UVLO 之上：
  - 因此要求 BOOT 电容上能承受最大电压为： $\Delta V_{BOOT} = V_{DD} - V(\text{diode}) - V_{HBL}$
  - 开关周期内需要提供的电荷量： $Q_{\text{sum}} = Q_G + I_{HBS} * \left(\frac{D_{\text{MAX}}}{f}\right) + \left(\frac{I_{HB}}{f}\right)$
  - 可以计算出 BOOT 电容的最小值为： $C_{BOOT} = \frac{Q_{\text{sum}}}{\Delta V_{BOOT}}$

其中：

VDD 为驱动供电电压；

V(diode)为二极管正向导通压降；

$V_{HBL}$  为 VDD-VSS 下降沿 UVLO，即考虑回差后的 UVLO 值；

$Q_G$  是驱动 MOS 管的 Q 值之和；

$I_{HBS}$  是 VDD-VSS 间漏电流；

$I_{HB}$  是 VDD 静态电流

需要注意的是二极管的反向恢复应力，如上述实验中的 RC 组合中开关频率约为 100kHz，占空比为 40%，下管的导通时间大约为 6us，则需注意的是在 6us 下管关闭时，二极管上的反向恢复应力能够满足芯片或是选择二极管的指标要求，具体可以参考各芯片数据手册或者向供应商咨询。

### 3.2.2 为 VDD-VSS 建立预充电电压

另一个解决误脉冲问题的方案是给 VDD-VSS 提供一个预充电电压，这样能让内部下拉电路的触发信号能够提前响应。一个简便的方式是在上下管 VSS 之间直接入预充电电阻，这样在上电后，VDD 会通过 R<sub>BOOT</sub>，二极管，预充电电阻来给 C<sub>BOOT</sub> 进行充电，在下管发波之前，就能让内部下拉电路提前响应，确保 VDSS-VSS 超过 UVLO 之前，上管不会出现误脉冲问题。

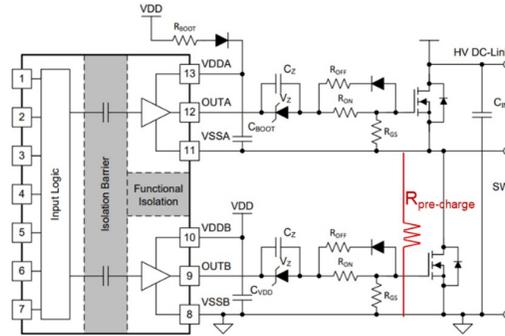


Figure 16. 为设计增加预充电电压回路

在加入预充电电阻后，系统起机过程中的测试波形如下所示，通道之间不再有干扰导致的误脉冲。需要考虑的是系统上电到发波之间的预留时间 t<sub>reserve</sub> 决定了 R<sub>pre-charge</sub> 以及 C<sub>BOOT</sub> 的取值。具体参考公式：

$$V_{DD} * 1 - e^{-\frac{t_{reserve}}{RC}} = V_{set}$$

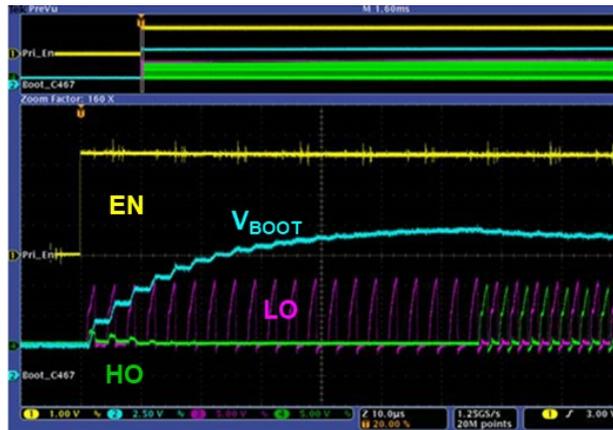
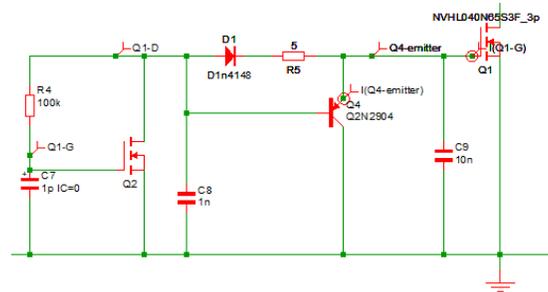


Figure 17. 加入 VBOOT 预建立电路后的发波波形

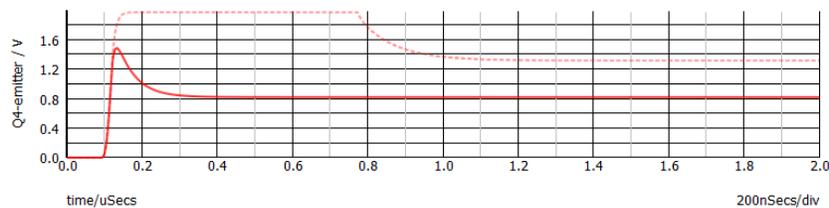
### 3.2.3 为栅极增加外部下拉电路

如果系统设计允许，一个保险的方式是在电路中加入下拉电路（下图中 BJT 管 Q4），当栅极电压受到干扰出现较大波动时，BJT 电路会接通，将栅极强行下拉到地防止 MOS 管的误开通。



**Figure 18.** 外部增加栅极下拉电路

下图为加入外部下拉电路后的栅极电压仿真波形。虚线代表之前系统可能存在的栅极干扰，实线代表加入下拉电路后栅极电压波形，可以发现下拉电路将栅极干扰电压幅值以及电压回落所需时间都大大缩小，防止了可能出现的 MOS 管误触发风险。



**Figure 19.** 下拉电路对栅极电压扰动改善的仿真结果

## 4 总结

文章总结了在使用驱动器过程中常见的两种应用问题：异常丢波问题与输出通道误脉冲问题，针对丢波问题，文章给出了栅极电阻设计与布板建议；针对输出通道误脉冲问题，本文提出了调整 BOOT 电压建立时间、建立预充电压、添加外部下拉电路等方案，并给出了优化后的测试结果。当然在驱动器的应用中，还有其他常见问题如误发波或是输出信号受到干扰等一些特殊情况，由于更多的和芯片的设计或是抗扰能力相关，这里就没有归纳总结。在选择驱动芯片时，使用者应该更多关注除了基本的指标参数之外应用层面的设计注意事项。TI 的驱动芯片在上述问题中的表现处于业界先进地位，优秀的芯片设计以及可靠性，能够大大降低在应用中的风险以及设计难度。

## 5 参考文献

1. UCC27282 datasheet (ZHCSJ21B)
2. UCC21225A datasheet (SLUSCV6A)
3. The Use and Benefits of Ferrite Beads in Gate Drive Circuits (SLUAAI2)

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司