

## Application Note

计算  $\Delta$ - $\Sigma$  ADC 的转换延迟和系统周期时间

Bryan Lizon

## 摘要

很多精密数据采集应用都受限于系统周期时间或所有测量通道执行一个完整循环所需的总时间。不过，此指标与  $\Delta$ - $\Sigma$  模数转换器 (ADC) 数据表中提供的信息之间的关系并不总是那么清楚，数据表可能包含多种功能和模式，这些都会影响器件输出数据的速率。为了帮助用户深入理解如何利用 ADC 数据表信息计算系统周期时间，本应用手册详细讨论了影响 ADC 转换延迟的几项最重要因素。此外还汇总了一些关键点并提供了几个使用实际 ADC 的示例。

## 内容

1 引言.....	2
2 数据表时序和命名规则.....	3
3 $\Delta$ - $\Sigma$ ADC 中是什么导致转换延迟？.....	5
4 数字滤波器操作和行为.....	7
4.1 ADC 操作导致的数据不稳定.....	11
5 影响转换延迟的 ADC 功能和模式.....	13
5.1 第一次转换与第二次及后续转换延迟.....	13
5.2 转换模式.....	15
5.3 可编程延迟.....	16
5.4 ADC 开销时间.....	16
5.5 时钟频率.....	18
5.6 斩波.....	20
6 模拟稳定.....	21
7 关键点.....	23
8 周期时间计算示例.....	24
8.1 示例 1：使用 ADS124S08.....	24
8.2 示例 2：更改转换模式.....	26
8.3 示例 3：更改滤波器类型.....	27
8.4 示例 4：更改时钟频率.....	29
8.5 示例 5：启用斩波并减少每通道转换次数.....	31
8.6 示例 6：使用不同的系统参数扫描两个通道.....	33
8.7 示例 7：使用 ADS1261.....	36
8.8 示例 8：使用 ADS1261 更改多个参数.....	37
9 总结.....	38
10 修订历史记录.....	39

## 商标

所有商标均为其各自所有者的财产。

## 1 引言

为特定应用选择  $\Delta$ - $\Sigma$  模数转换器 (ADC) 时，一个重要的考虑因素是系统周期时间或所有测量通道执行一个完整循环所需的总时间。此周期时间可能需要从单个通道读取一个转换结果，从多个通道读取一个转换结果，或者从多个通道读取多个转换结果。此外，个别转换结果可能需要多个转换周期来生成稳定的数据。设计工程师如何利用 ADC 数据表中的信息来选择满足周期时间要求的器件？

例如，如果周期时间要求在十毫秒内从六个通道上每个通道检索三个转换结果，选择以 1800SPS 进行采样的 ADC 是否足够？

$$(3 \text{ 次转换/通道}) \cdot (6 \text{ 个通道}) \cdot (1 / 10\text{ms}) = 1800\text{SPS}$$

要回答这些问题，需要全面地了解多路复用  $\Delta$ - $\Sigma$  ADC 如何对数据进行采样和处理。为此，本应用手册详细探讨了多路复用  $\Delta$ - $\Sigma$  ADC 操作并将这个广泛的主题拆分成数个小节：

- [数据表时序和命名规则](#)
- [\$\Delta\$ - \$\Sigma\$  ADC 中是什么导致转换延迟？](#)
- [数字滤波器操作和行为](#)
- [第一次转换与第二次及后续转换延迟](#)
- [转换模式](#)
- [可编程延迟](#)
- [ADC 开销时间](#)
- [时钟频率](#)
- [斩波](#)
- [模拟稳定](#)

本文档最后另外通过两个小节总结了[关键点](#)并提供了几个[示例](#)来展示如何将此信息运用到实际系统中。

在介绍第一个主题之前，请注意一些外部因素可能会影响  $\Delta$ - $\Sigma$  ADC 操作和时序，进而可能会影响周期时间。这包括但不限于不稳定的电源、低精度时钟和放大器过载。本文档并未讨论外部因素可能对计算周期时间造成的影响，并且假定使用的是理想的系统（除非另有说明）。

## 2 数据表时序和命名规则

要了解  $\Delta$ - $\Sigma$  ADC 的时序和运行，第一步是定义用于描述此行为的常用词汇。表 2-1 定义了五个重要参数，这些参数是本文档其余部分的基础。

表 2-1.  $\Delta$ - $\Sigma$  ADC 的重要时序和工作参数

参数	定义
转换周期	$\Delta$ - $\Sigma$ 调制器对模拟输入进行采样、对数据进行滤波并抽取输出的时间
转换延迟	ADC 生成稳定的输出数据所需的时间： <ul style="list-style-type: none"> <li>假定使用稳定的模拟输入</li> <li>可能跨越一个转换周期或多个转换周期</li> <li>可能包含 ADC 开销或可编程延迟等处理时间</li> </ul>
转换结果	用户在 ADC 指示新结果已就绪后检索的数据： <ul style="list-style-type: none"> <li>可能是多次转换的组合</li> <li>可能是稳定的或不稳定的</li> </ul>
通道扫描时间	生成给定通道所需数量的转换结果所用的时间 - 如果系统每个通道只需一个转换结果，该时间可能等于转换延迟
系统周期时间	通过所有测量通道执行一个完整循环所需的总时间 - 如果系统只测量一个通道，该时间可能等于通道扫描时间

$\Delta$ - $\Sigma$  ADC 数据表利用表 2-1 中的信息来以多种不同的方式介绍 ADC 时序行为。ADC 数据表介绍时序行为的其中一个方式是使用转换延迟表。对于具有多个滤波器类型和输出数据速率 (ODR) 的器件，此信息非常重要。例如，表 2-2 显示了 24 位、40kSPS、10 通道 ADS1261 的转换延迟 (以毫秒为单位)。

表 2-2. ADS1261 转换延迟 (ms)<sup>1</sup>

ODR (SPS)	FIR	SINC1	SINC2	SINC3	SINC4	SINC5
2.5	402.2	400.4	800.4	1200	1600	—
5	202.2	200.4	400.4	600.4	800.4	—
10	102.2	100.4	200.4	300.4	400.4	—
16.6	—	60.43	120.4	180.4	240.4	—
20	52.23	50.43	100.4	150.4	200.4	—
50	—	20.43	40.43	60.43	80.43	—
60	—	17.09	33.76	50.43	67.09	—
100	—	10.43	20.43	30.43	40.43	—
400	—	2.925	5.425	7.925	10.43	—
1200	—	1.258	2.091	2.925	3.758	—
2400	—	0.841	1.258	1.675	2.091	—
4800	—	0.633	0.841	1.05	1.258	—
7200	—	0.564	0.702	0.841	0.98	—
14400	—	—	—	—	—	0.423
19200	—	—	—	—	—	0.336
25600	—	—	—	—	—	0.271
40000	—	—	—	—	—	0.179

(1) 斩波模式关闭，转换开始延迟 = 50 $\mu$ s (DELAY[3:0] = 0001)

表 2-2 提供了使用 ADS1261 时每种 ODR 和滤波器类型组合对应的转换延迟值。在此特定示例中，ADS1261 转换延迟时间使用标称时钟频率在斩波模式关闭且可编程延迟为 50 $\mu$ s 条件下指定，如表 2-2 的表注所述。其他 ADC 可能会使用不同的参数、不同的条件，甚至不同的格式来指定转换延迟时间，但提供的始终都是相同的一般信息。本应用手册详细探讨了这些表格，以确定影响转换延迟的因素以及这与总体周期时间的关系。

此外，ADC 数据表通常使用时序图来帮助直观地展示一般时序行为。图 2-1 显示了典型多路复用  $\Delta$ - $\Sigma$  ADC 的示例时序图。此时序图显示了不同的转换结果如何由不同的转换周期数 ( $t_{CP}$ ) 和转换延迟 ( $t_{CL}$ ) 构成，并包含多个固

定时序参数 ( 延迟和开销 )。另外还显示了通道扫描时间 ( $t_{CH}$ ) 和系统周期时间 ( $t_{CYCLE}$ )。在本例中,  $t_{CH} = t_{CYCLE}$ , 因为只测量了一个通道。

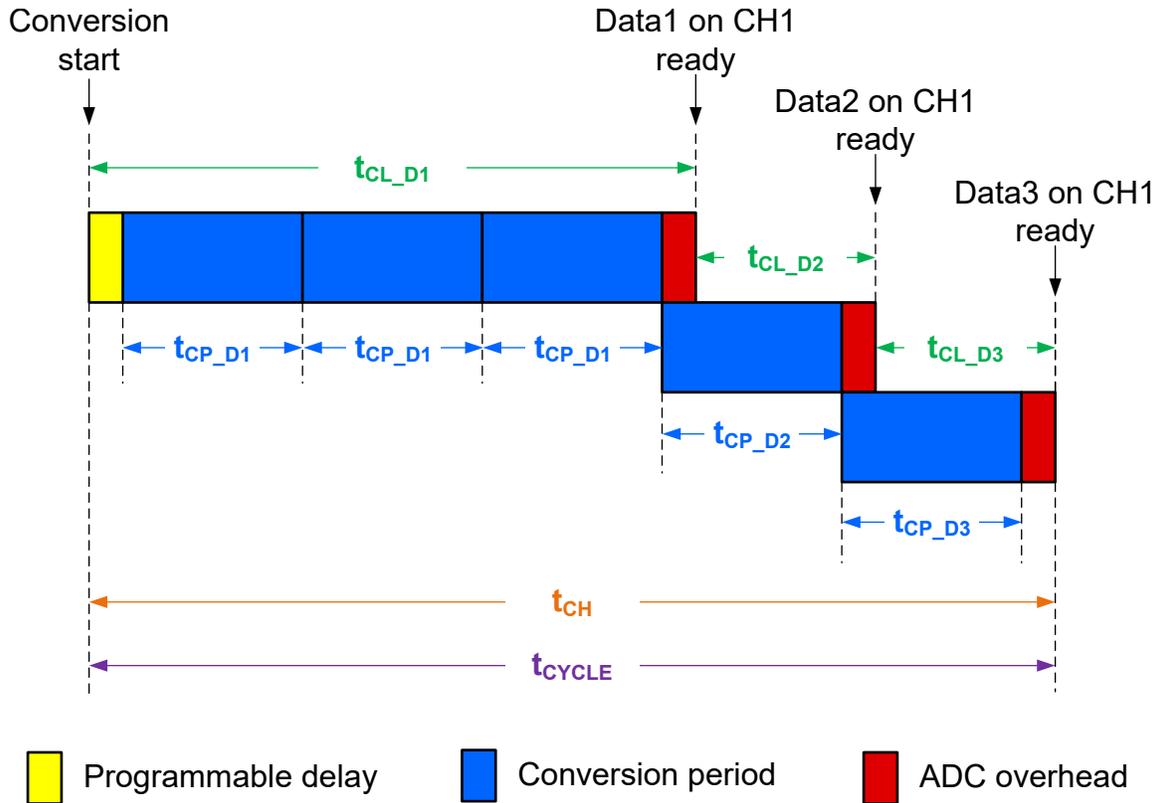


图 2-1. 通用  $\Delta$ - $\Sigma$  ADC 时序图

图 2-1 中还显示了表 2-1 中定义的很多时序参数。此外, 本应用手册使用了类似于图 2-1 中的图示来帮助直观地展示每个 ADC 时序分量对转换周期、转换延迟、通道扫描时间或系统周期时间有何影响。

最后, 其他 ADC 功能甚至一些外部因素也可能会影响器件时序行为。这些功能通常会在单独的数据表小节中进行介绍, 因此难以确定每项功能对特定器件的总体延迟有何影响。本应用手册将这些信息整理到了一个文档中, 以便更加全面地介绍 ADC 的工作方式及这对时序的影响。

本文档的其余部分会详细探讨  $\Delta$ - $\Sigma$  ADC 数据表的这三个组成部分, 以使用户全面了解多路复用  $\Delta$ - $\Sigma$  ADC 对数据进行采样和处理, 以及这对转换延迟和总体系统周期时间的影响。

### 3 $\Delta$ - $\Sigma$ ADC 中是什么导致转换延迟？

本节简单介绍了  $\Delta$ - $\Sigma$  ADC 的工作原理，有助于了解为什么此数据转换器架构在本质上会导致转换延迟。当转换开始触发时， $\Delta$ - $\Sigma$  调制器会使用高频时钟  $f_{MOD}$  持续对模拟输入进行过采样。调制器会以  $f_{MOD}$  输出数字位流，其中 1 的密度与输入信号成比例：当输入为负满量程误差 ( $-FS$ ) 时，调制器输出全 0；当输入为正满量程 ( $+FS$ ) 时，调制器输出全 1；而在这两个极限值之间时，则 1 和 0 会成一定比例。图 3-1 显示了如何向  $\Delta$ - $\Sigma$  调制器施加模拟输入信号（以黑色表示），这时调制器会使用以红色表示的高频调制器时钟来生成以绿色表示的数字位流。

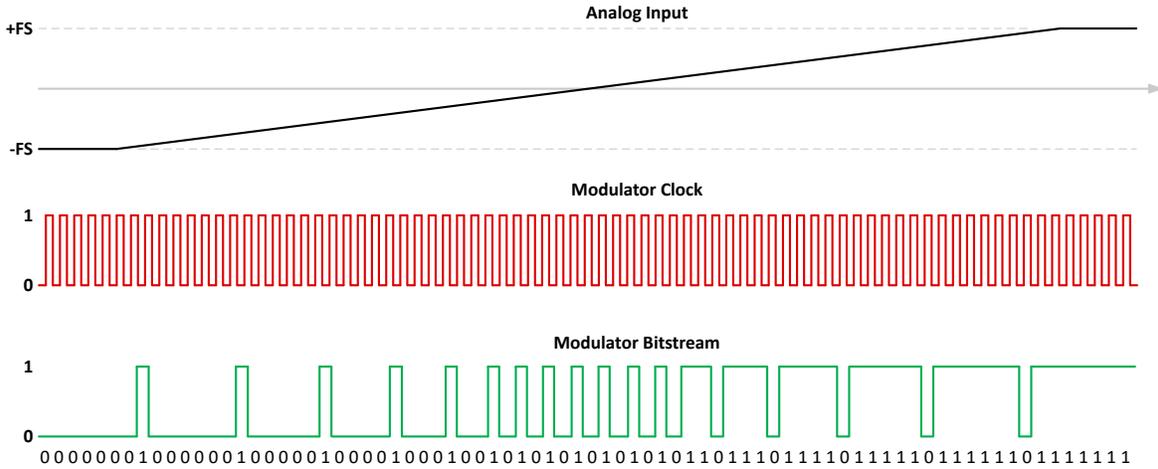


图 3-1. 任意模拟输入的  $\Delta$ - $\Sigma$  调制器位流输出

当图 3-1 中绿色调制器位流的每个位生成时，它会通过数字滤波器传播以求平均值并进行抽取。在定义明确的时钟周期后，会生成高分辨率输出。图 3-2 使用简化模型概括介绍了  $\Delta$ - $\Sigma$  ADC 数字滤波器行为。

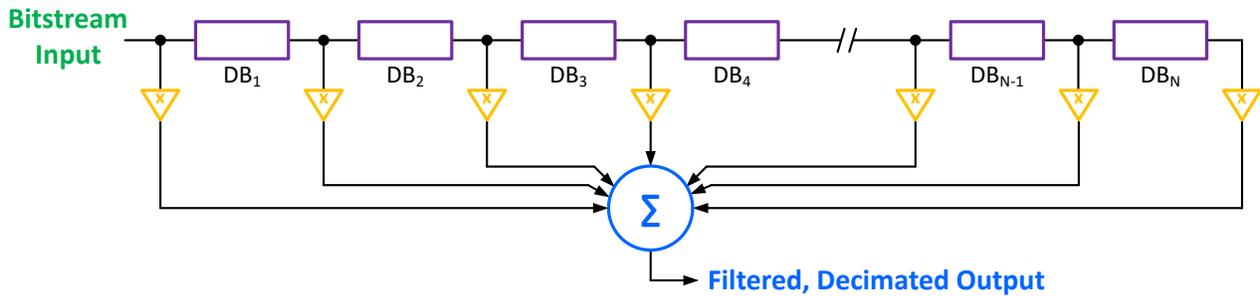


图 3-2. 简化数字滤波器模型

图 3-2 中的模型具有  $N$  级，每级都是一个紫色的延迟块 ( $DB_x$ ) 和一个橙色的乘法器组成，而蓝色的求和点会聚合所有级中的信息来生成经过滤波和抽取的输出。当绿色位流的每个位进入滤波器时，它会一次通过延迟块一个调制器时钟周期 ( $t_{MOD} = 1 / f_{MOD}$ )。仅当序列中的第一个位到达最后一个延迟块时，数字滤波器才会生成经过滤波和抽取的蓝色输出。假设 ADC 会连续进行采样，此序列会在后续  $t_{MOD}$  周期期间重新开始，并在  $N$  个  $t_{MOD}$  周期过后生成下一个输出。因此，当数字滤波器具有  $N$  个延迟块和抽取率  $N$  时，转换周期  $t_{CP}$  可以通过方程式 1 计算得出：

$$t_{CP} = N \cdot t_{MOD} \tag{1}$$

方程式 1 和图 3-2 中的变量  $N$  通常是指过采样率 (OSR)。OSR 决定了一个转换周期内会对多少个样本一起求平均值。如方程式 1 所示， $N$  (OSR) 的值越大，生成输出所需的时间就越长。不过， $N$  (OSR) 值越大，由于会进行额外的求平均值，因此噪声通常会越小。

作为此行为的一个示例，图 3-3 显示了如何将图 3-1 中的红色调制器时钟和绿色位流施加于图 3-2 中的数字滤波器模型。在本例中，数字滤波器具有四个延迟块 ( $N = 4$ )，位流的前四个位具有任意值 1011b。

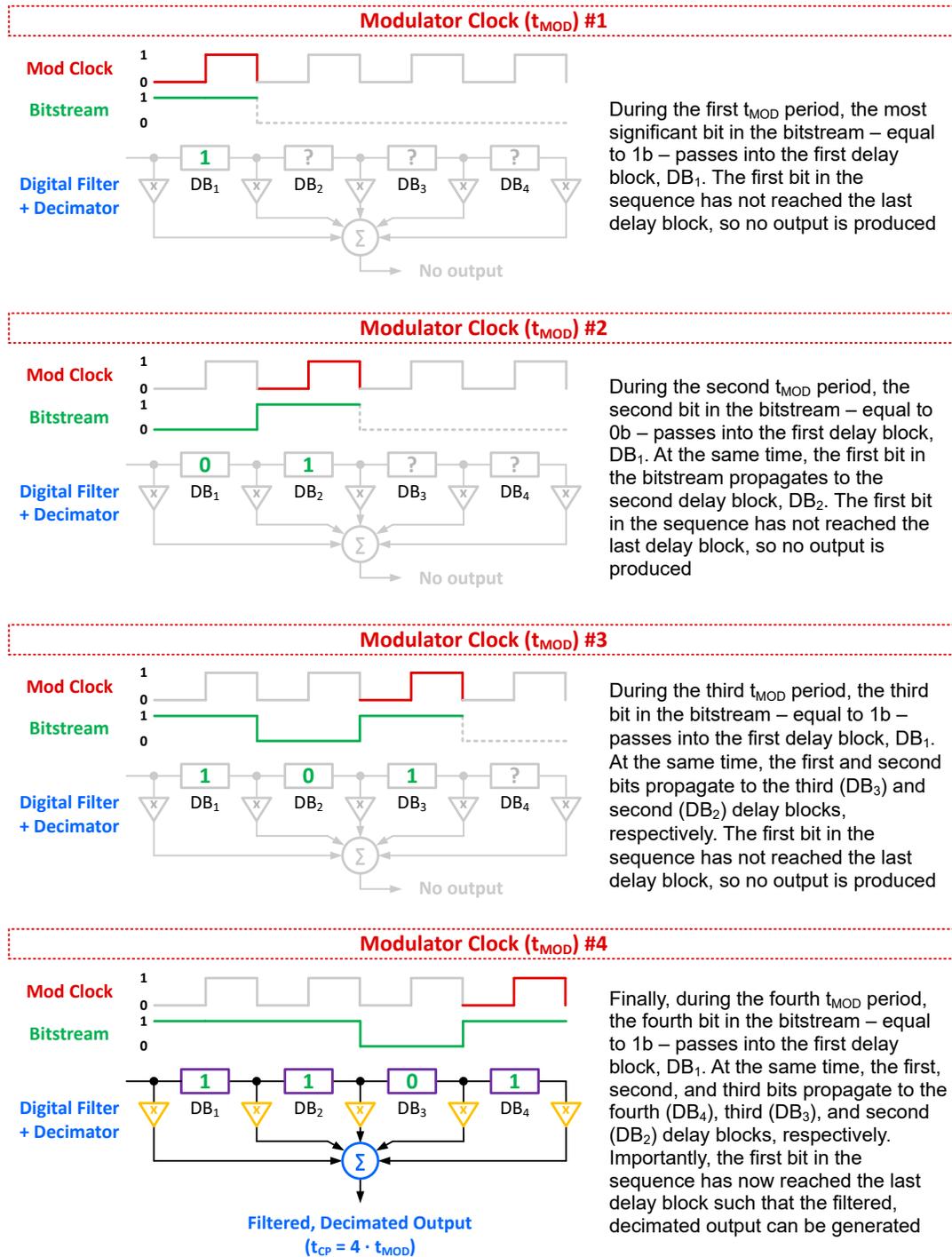


图 3-3.  $N = 4$  时通过数字滤波器传播的调制器位流

如图 3-3 中第四个调制器周期所示， $t_{CP} = 4 \cdot t_{MOD}$ ，这就是位流到达本例中最后一个延迟块所需的时间。因此，数字滤波器的延迟块数量是导致  $\Delta$ - $\Sigma$  ADC 转换延迟的主要因素。下一节对此主题进行了展开，使用图 3-2 中的数字滤波器模型分析了  $\Delta$ - $\Sigma$  ADC 中常用的各种不同类型的低延迟滤波器，以及这些滤波器对模拟输入信号的响应情况。

本文并不对  $\Delta$ - $\Sigma$  ADC 调制器操作和数字滤波器设计做进一步讨论。有关更多信息，请参阅 [《 \$\Delta\$ - \$\Sigma\$  ADC 中的数字滤波器类型](#) 应用手册和 [TI 高精度实验室 - ADC](#) 内容。

## 4 数字滤波器操作和行为

$\Delta$ - $\Sigma$  ADC 中常用的数字滤波器类型是 sinc 和宽带等有限脉冲响应 (FIR) 滤波器。本文档重点介绍了 sinc 滤波器的操作，因为它们通常只需五个或更少的转换周期即可稳定，因而延迟较小。相比之下，宽带滤波器可能最初需要数十个转换周期才能稳定，因此不适用于大多数多路复用应用。不过，同样的一般时序和工作原理可应用于具有宽带滤波器的 ADC。

在从位流输入到数字输出的延迟方面，上一节中介绍的简化数字滤波器模型实际上是一阶 sinc ( $\text{sinc}^1$ ) 滤波器。更高阶的 sinc 滤波器可以近似为多个  $\text{sinc}^1$  滤波器串联。例如，如果  $\text{sinc}^1$  滤波器具有  $N$  个延迟块，那么三阶 sinc ( $\text{sinc}^3$ ) 滤波器具有  $3 \cdot N$  个延迟块。图 4-1 显示了如何针对  $\text{sinc}^3$  滤波器修改数字滤波器模型，其中三阶 ( $S_x$ ) 各自包含  $N$  个延迟块。

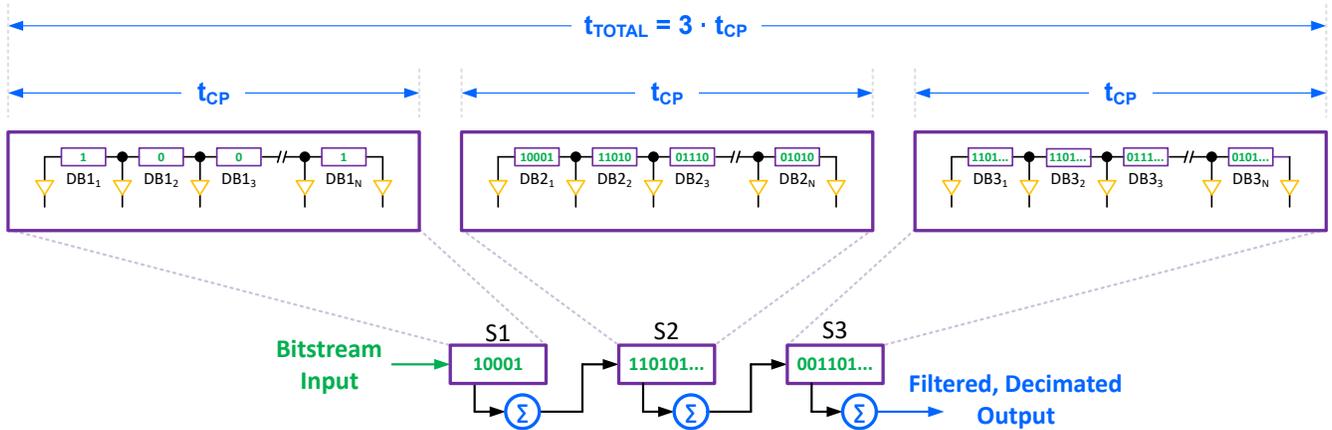


图 4-1. 简化  $\text{Sinc}^3$  数字滤波器模型

从图 4-1 中简化的  $\text{sinc}^3$  模型可以得出一个最重要的结果，那就是位流需要一个转换周期 ( $1 \cdot t_{CP}$ ) 来到达每一阶 ( $S_1$ 、 $S_2$  或  $S_3$ ) 的末端，其中  $t_{CP} = N \cdot t_{MOD}$ 。位流到达  $S_3$  末端并计算出滤波抽取输出的总延迟是  $t_{TOTAL} = 3 \cdot t_{CP}$ 。不过，在生成此初始输出后，更高阶的 sinc 滤波器可以在特定条件 (本文档中通篇所述) 下每个转换周期 ( $1 \cdot t_{CP}$ ) 后输出经过滤波、抽取的数据。此行可实现，是因为调制器采样和数字滤波过程能够有效地对模拟输入的瞬态信息求平均值。因此，通常可以假定任何  $X$  连续转换周期内的数字滤波器数据都足够相似，能够在大多数情况下生成稳定的数据，其中  $X$  是 sinc 滤波器阶数。在此假定下工作能够降低更高阶滤波器的噪声，同时还可避免第一个输出所需的额外多重转换周期延迟。

不过，如果模拟输入实际上会在转换过程中显著变化，此假定可能导致不稳定的转换结果。例如，图 4-2 显示了在转换周期  $N$  ( $t_{CP(N)}$ ) 完成后向 ADC 施加阶跃输入时， $\text{sinc}^1$ 、 $\text{sinc}^3$  和五阶 ( $\text{sinc}^5$ ) 滤波器的响应情况。

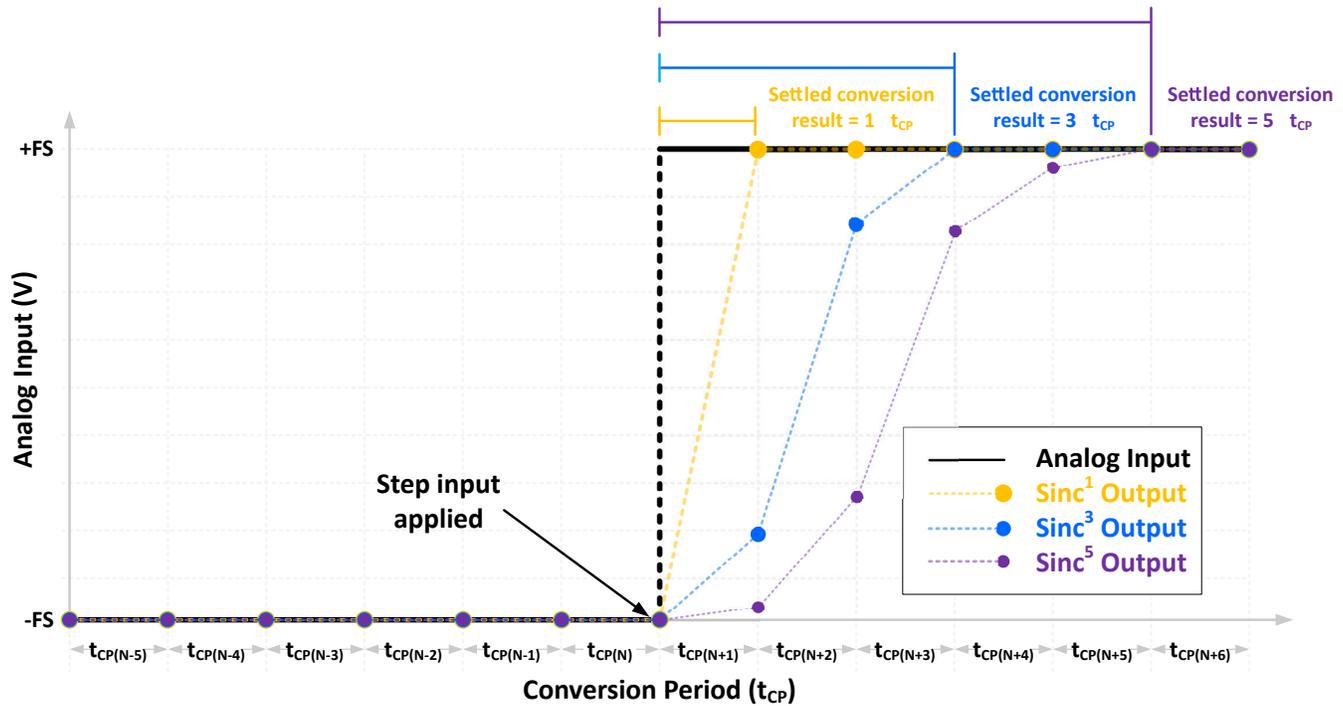


图 4-2. Sinc 滤波器对阶跃输入响应

备注

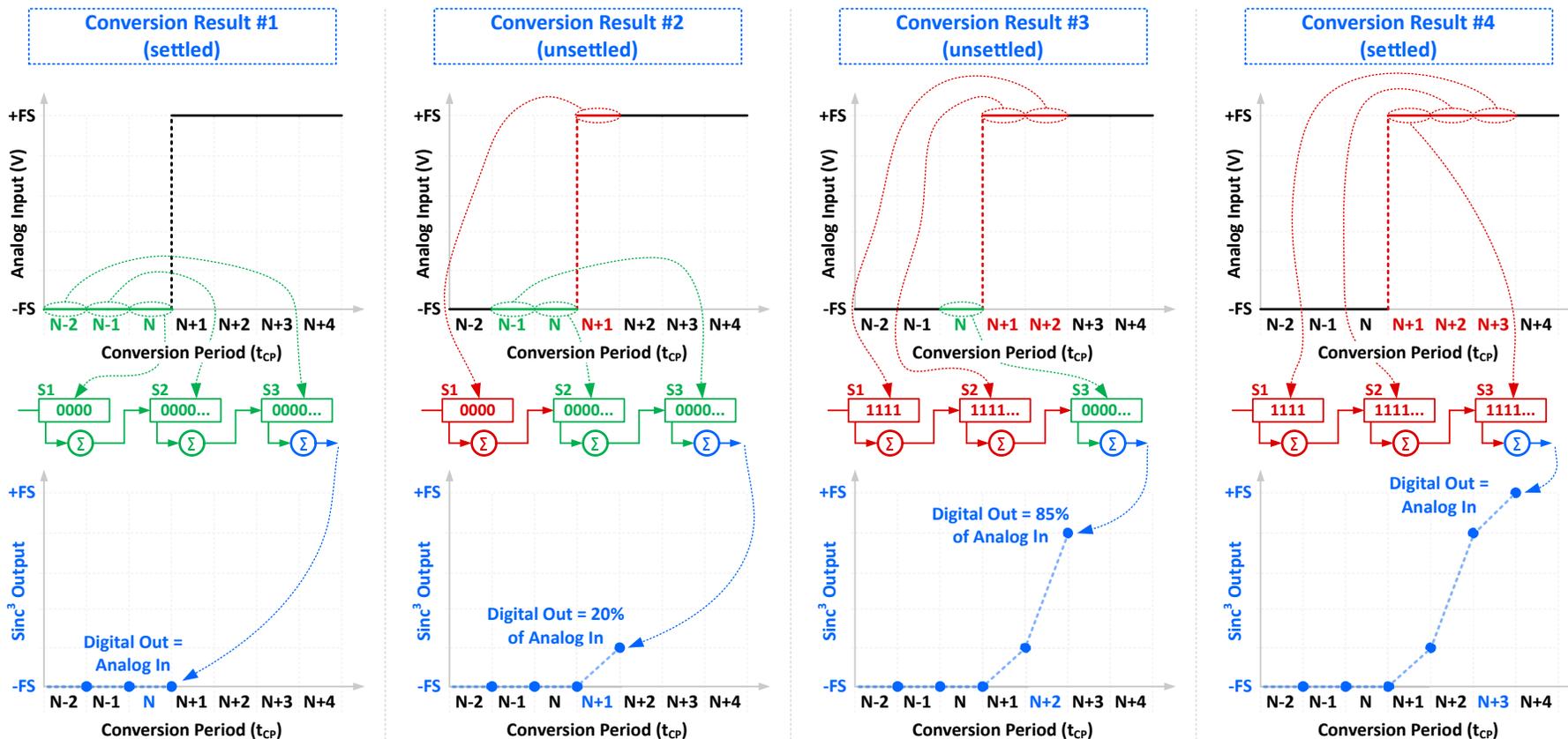
在图 4-2 所示的示例系统中，所有转换周期均相等，而“ $N \pm x$ ”一词仅用于指示转换周期指数。在本文档的其余部分中，该指数仅用于指示特定的转换周期，例如“ $N+1$ ”表示转换周期  $t_{CP(N+1)}$ 。

在图 4-2 中， $-FS$  输入会在  $N-5$  至  $N$  期间施加于所选的 ADC 通道。在此期间，每个 sinc 滤波器都会在每个转换周期后输出稳定的转换结果。不过， $+FS$  阶跃输入会在  $N$  至  $N+1$  期间施加于同一 ADC 通道。虽然此变化几乎是在模拟域瞬间发生（假定无需任何模拟稳定时间），但稳定的输出数据会有所延迟，进而导致转换延迟  $t_{CL}$  增加：

- 橙色  $\text{sinc}^1$  滤波器具有  $t_{CL} \cong 1 \cdot t_{CP}$
- 蓝色  $\text{sinc}^3$  滤波器具有  $t_{CL} \cong 3 \cdot t_{CP}$
- 紫色  $\text{sinc}^5$  滤波器具有  $t_{CL} \cong 5 \cdot t_{CP}$

请注意，前面所列的  $t_{CL}$  是近似值，因为稳定的转换结果可能需要额外的处理时间或用户定义的延迟，如表 2-1 所述。

为了更好地了解稳定的数据会出现延迟的原因，图 4-3 中结合了图 4-1 中的简化  $\text{sinc}^3$  数字滤波器模型和图 4-2 中的蓝色  $\text{sinc}^3$  滤波器响应，展示了如何在转换周期  $N-2$  至  $N+3$  期间通过每个  $\text{sinc}^3$  滤波器级传播模拟输入。



Conversion result #1 is the filtered, decimated bitstream from all three filter stages (S1, S2, and S3) during conversion periods N-2, N-1, and N. Since the analog input is at -FS during these three conversion periods – shown in green – the combined information from each filter stage is all 0s. This produces settled data after conversion period N completes. The user can retrieve this settled data (conversion result #1) when the ADC indicates new data is ready. This conversion result is equal to the blue digital output at the end of conversion period N, which correlates very well to the black analog input plot at this time.

For conversion result #2, a +FS step input is applied immediately after conversion period N completes. The ADC modulator samples this input and outputs all 1s to S1, as shown in red. However, S2 and S3 in green still contain information from when the analog input was at -FS. When conversion result #2 is ready to be retrieved, this output contains a combination of data from when the analog input was at -FS (green) and +FS (red). This results in unsettled data at the end of conversion period N+1 that corresponds to approximately 20% of the actual analog input.

Similarly, conversion result #3 is a combination of filtered data corresponding to sampling the input signal when it was at -FS (green) and +FS (red). This still yields an unsettled conversion result at the end of conversion period N+2, though the digital output is now much closer to the true input signal, at approximately 85%.

Finally, conversion result #4 at the end of conversion period N+3 is a settled output because all three filter stages contain information from when the modulator was sampling the +FS input signal, highlighted in red.

图 4-3. 通过 Sinc<sup>3</sup> 滤波器传播的模拟输入来生成转换结果

根据图 4-2 和图 4-3 中的结果，可以得出转换延迟  $t_{CL}$  的近似值，如方程式 2 所示：

$$t_{CL} \approx x / ODR \quad (2)$$

其中

- $x$  是 sinc 滤波器阶数，即表示法  $sinc^x$  中的  $x$

节 2 中介绍的 ADS1261 转换延迟表说明了该关系。例如，使用  $sinc^1$  滤波器时，20SPS ODR 的转换延迟为 50.43ms，约为  $1 / ODR$ 。相比之下，使用  $sinc^3$  滤波器时，延迟为 150.4ms，约为  $3 / ODR$ 。不过，ADC 开销时间或可编程延迟等其他因素可能导致此关系出现偏斜。本文档将通篇详细介绍这些因素。

实际的 ADC 还可以看到数字滤波器对阶跃输入的响应行为。图 4-4 重现了 ADS1261 数据表中的图像，其中显示了当向单个输入通道施加阶跃输入（黑色）时，数据就绪 ( $\overline{DRDY}$ ) 引脚和  $sinc^3$  输出（蓝色）的响应情况。

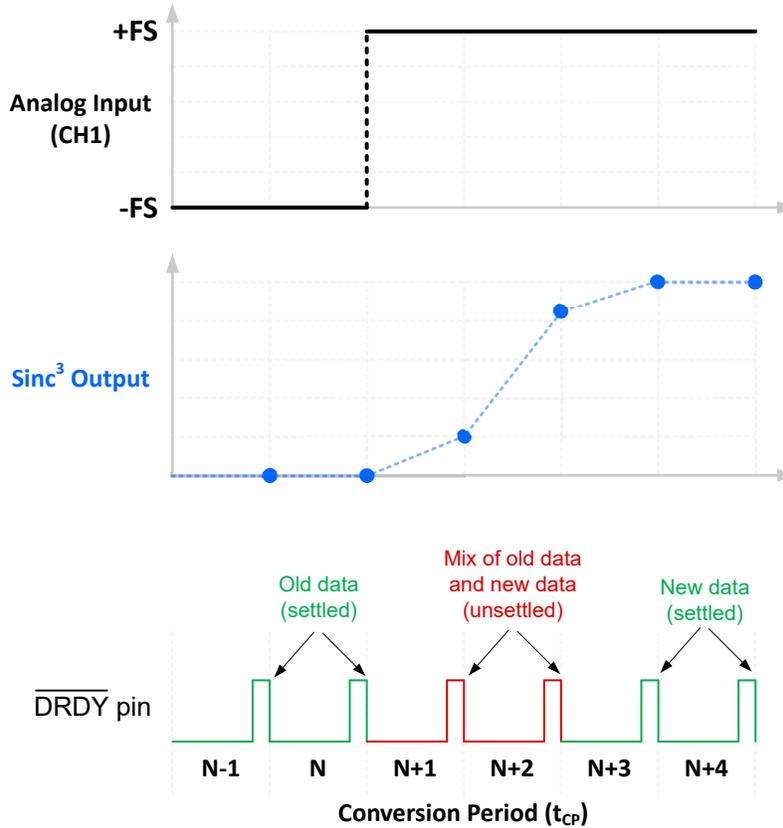
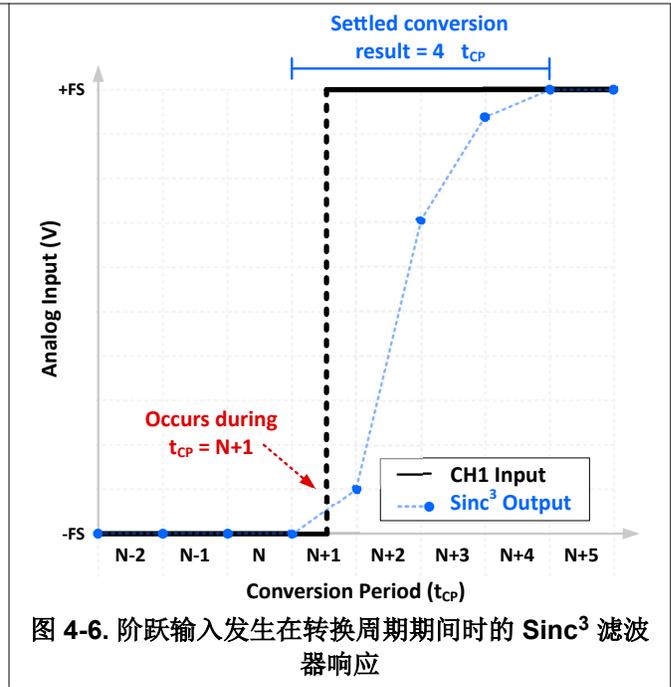
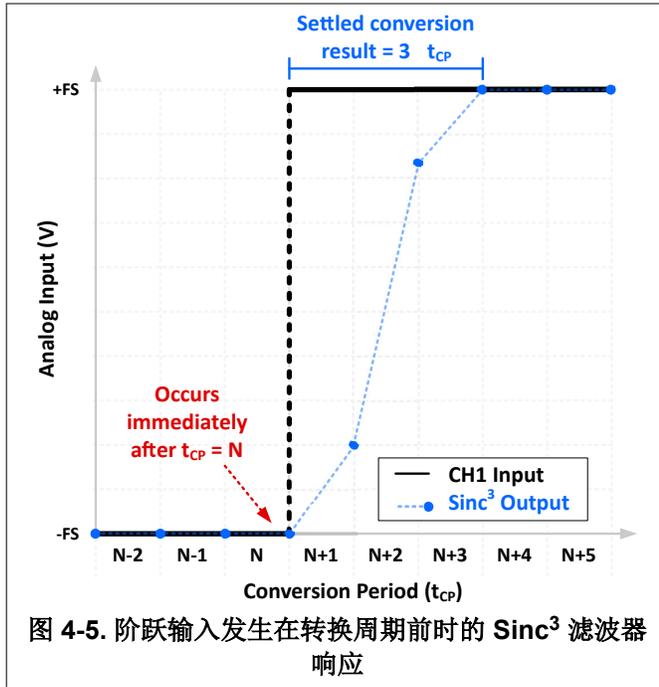


图 4-4. 发生阶跃输入时的 ADS1261  $\overline{DRDY}$  引脚行为

对于图 4-4，需要注意的是阶跃输入（红色所示）后立即生成的两个转换结果是旧数据和新数据的混合。不过， $\overline{DRDY}$  仍会从高电平转换到低电平，以指示新的转换结果已就绪，尽管这些结果都包含不稳定的数据。换句话说，ADC 不会检测何时向选定通道施加了阶跃输入。相反， $\Delta-\Sigma$  调制器会继续对输入进行采样，而且不管模拟信号是否发生重大变化，数字滤波器都会处理此信息。如图 4-4 所示，ADS1261 需要一些额外的  $\overline{DRDY}$  转换，才能生成稳定的转换结果（绿色），具体取决于所选的滤波器类型。最后，用户必须手动确定阶跃输入，然后忽略后续的  $\overline{DRDY}$  转换，直到稳定的转换结果变为可用。

另外还务必要考虑阶跃变化是否发生在转换过程期间，这可能导致额外的转换延迟。图 4-5 显示了就在转换周期 N+1 之前单个通道 (CH1) 上发生的阶跃输入。图 4-6 显示了输入阶跃发生在转换周期 N+1 期间的相同响应。



如图 4-6 所示，当阶跃输入发生在转换过程期间时，sinc<sup>3</sup> 滤波器实际上需要四个转换周期才能生成稳定的转换结果。之所以出现此额外延迟，是因为第一个数字滤波器级包含模拟输入为 -FS 和 +FS 时的采样数据。此信息实际上对准确地重现输入信号并无帮助，而且需要完全退出数字滤波器后，稳定的转换结果才会变为可用。对于 sinc<sup>3</sup> 滤波器，这需要三个完整的转换周期，稳定的数据才会出现在第四个转换周期结束时。

方程式 3 将考虑因素应用到方程式 2 并提供了模拟输入在转换过程中发生显著变化时 t<sub>CL</sub> 的近似值：

$$t_{CL} \approx (x + 1) / \text{ODR} \quad (3)$$

其中

- x 是 sinc 滤波器阶数，即表示法 sinc<sup>x</sup> 中的 x

为了避免读取不稳定的转换结果并增加转换延迟，请确保输入信号已稳定至其最终值，然后再开始转换过程。

#### 4.1 ADC 操作导致的数据不稳定

多路复用器变化或转换开始等 ADC 操作类似于施加的阶跃输入及其对数字滤波器的影响。例如，从具有 -FS 输入的通道更改为具有 +FS 输入的通道模拟了图 4-2 中在转换周期 N 完成后立即施加的阶跃电压。发生此情况时，用户是否需要识别此操作并手动忽略这些转换结果，直到稳定的数据变为可用，类似于阶跃输入？

幸运的是，多路复用器变化与阶跃输入之间存在一项主要区别，那就是很多 ADC 都包含配置来自动识别可能导致数据不稳定的 ADC 操作。然后，ADC 会一直等待，直到数据稳定下来，指示新的转换结果已就绪。作为此行为的一个示例，当某些寄存器（包括 INPMUX 寄存器）设置发生更改时，或者当新的转换触发时，24 位、4kSPS、12 通道 Δ-Σ ADC ADS124S08 会自动重新启动数字滤波器。图 4-7 显示了 ADS124S08 sinc<sup>3</sup> 滤波器和  $\overline{\text{DRDY}}$  引脚在用户发起转换后的响应情况。

### Single-shot conversion mode: Sinc<sup>3</sup> Filter

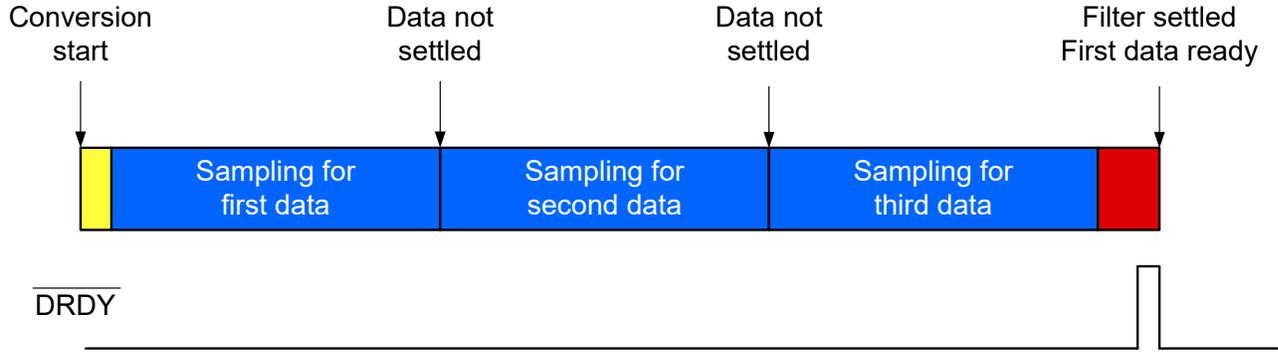


图 4-7. 单次转换模式下的 ADS124S08 Sinc<sup>3</sup> 滤波器和  $\overline{\text{DRDY}}$  引脚行为

在图 4-7 中， $\overline{\text{DRDY}}$  只会在转换开始三个周期（加上处理时间）后从高电平变为低电平，指示新数据可用。重要的是，ADS124S08 会在转换触发后自动隐藏不稳定的数据，这样用户便无需手动忽略此信息。不过，并非所有 ADC 都是如此。例如，24 位、125kSPS、16 通道 ADS1258 上的  $\overline{\text{DRDY}}$  引脚会在固定通道模式下指示所有新的转换结果，即便那些值并不稳定。请参阅具体的 ADC 数据表，进一步了解器件如何处理不稳定数据。

此外，ADS124S08 只能隐藏不稳定的数据，因为它会接收转换开始或寄存器写入请求。这些操作会提醒 ADC，输入信号正在发生变化并且数字滤波器中的所有信息都需要清除。如节 4 所述，如果在对相同通道采样期间，模拟输入发生显著变化，例如发生阶跃输入时，ADC 无法识别不稳定的数据。ADC 不会自动识别的另一个操作是外部多路复用器的输入发生变化时。与阶跃输入类似，用户必须在更改外部多路复用器上的输入后，手动重新启动转换过程。

## 5 影响转换延迟的 ADC 功能和模式

前面几节介绍了  $\Delta$ - $\Sigma$  ADC 中导致转换延迟的原因并详述了数字滤波器运行和行为，而后面几节探讨了可能影响转换延迟的几项重要 ADC 功能和模式。深入了解这些 ADC 行为有助于理解启用每项功能或选择特定模式会对整体系统周期时间造成的影响。

### 5.1 第一次转换与第二次及后续转换延迟

可能影响 ADC 转换延迟的一项重要因素是稳定的数据是第一次转换还是第二次或后续转换。表 2-2 中所示的 ADS1261 转换延迟值适用于第一次转换。如 [ADS126x \(ADS1261\) 具有 PGA 和监控器的精密、5 通道和 10 通道、40kSPS、24 位、 \$\Delta\$ - \$\Sigma\$  ADC](#) 数据表的转换延迟部分所述，假定使用连续转换模式并禁用斩波功能，对于所有滤波器类型，第二次及后续转换延迟等于  $1 / \text{ODR}$ 。

图 5-1 展示这一概念的方法是突出显示  $\text{sinc}^3$  滤波器在转换周期 N 完成后发生多路复用器变化时稳定的第一次转换（红色）与稳定的第二次及后续转换（绿色）。

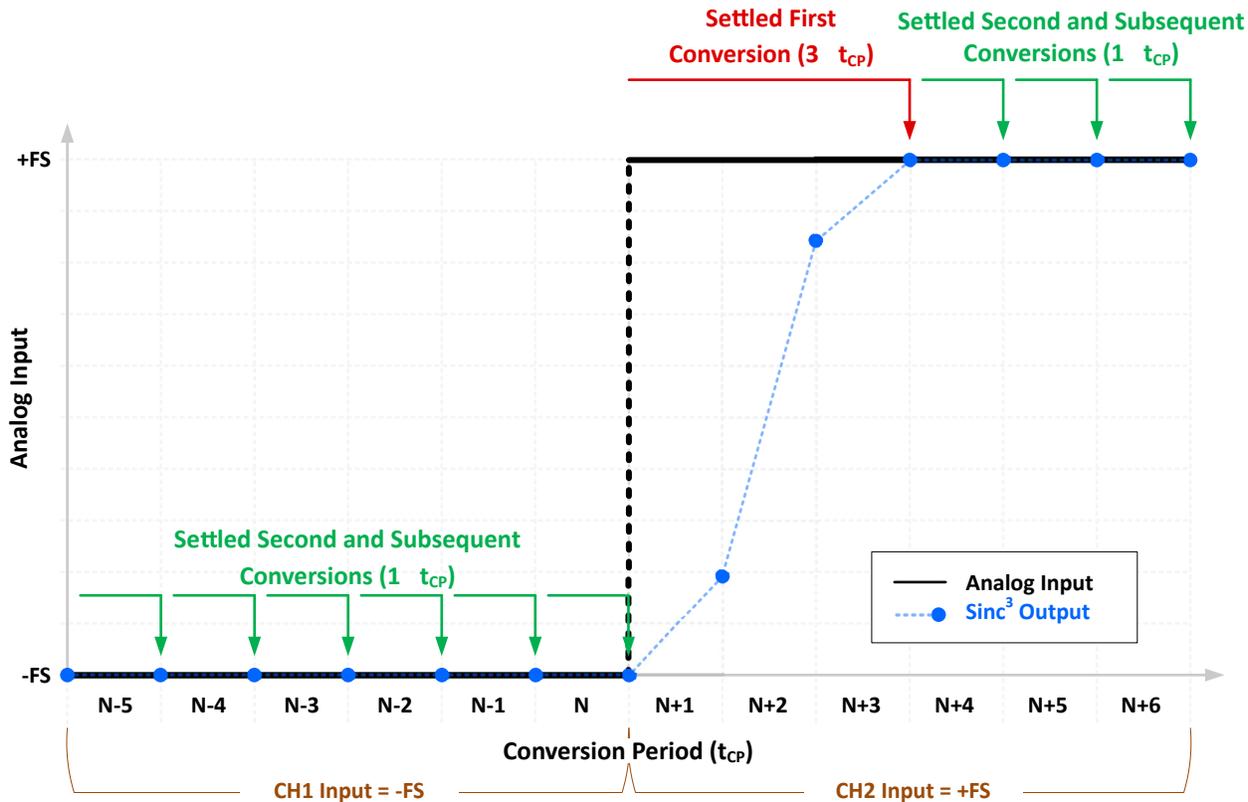


图 5-1. 使用  $\text{Sinc}^3$  滤波器时的第一次转换与第二次及后续转换

在图 5-1 中，多路复用器变化后第一个稳定的转换结果需要三个转换周期，才能通过  $\text{sinc}^3$  滤波器传播，并且出现在转换周期 N+3 的结束时，如红色所示。重要的是，第二次及后续转换结果（CH1 为 - N-5 至 N，而 CH2 为 N+4 至 N+6）都会在一个转换周期或  $1 / \text{ODR}$  内稳定，如绿色所示。之所以能得到这一结果，是因为输入信号在这些转换期间没有显著变化，使得每个滤波器级中的信息都近似相等。因此，结合所有三个滤波器级的数据将会在每个转换周期结束时得到稳定的转换结果。例如，如果在转换周期 N+6 后发生另一个多路复用器变化，该过程将需要重新开始并适用第一次转换延迟。

ADS124S0x 具有 PGA 和电压基准的低功耗、低噪声、高集成度、6 通道和 12 通道 4kSPS 24 位  $\Delta$ - $\Sigma$  ADC 数据表中也记录了此行为。图 5-2 显示了低延迟和 sinc<sup>3</sup> 滤波器的  $\overline{\text{DRDY}}$  引脚在连续转换模式下的响应情况。请注意，这里的低延迟一词是特定 ADS124S08 数字滤波器的名称，而不应与通常的 sinc 滤波器相混淆，后者与宽带滤波器相比，通常被视为低延迟（请参阅节 4）。

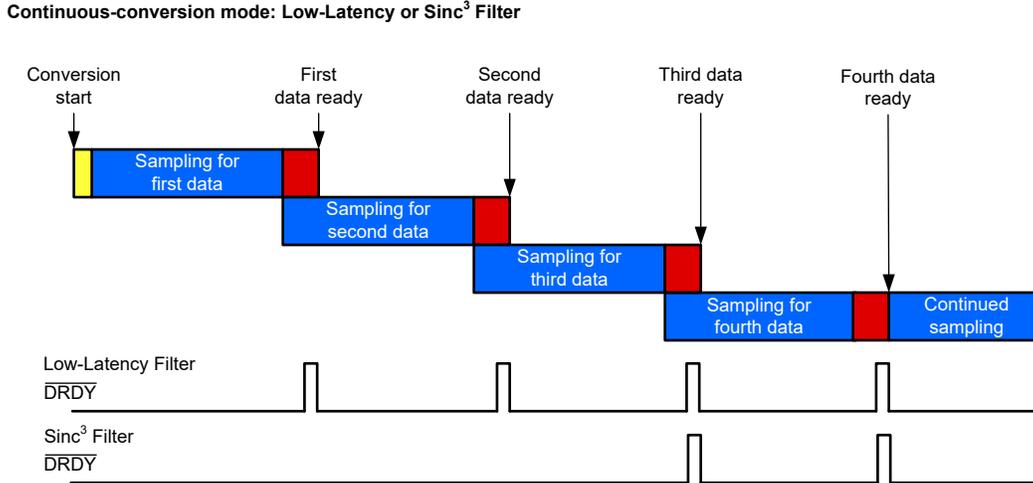


图 5-2. ADS124S08 低延迟、Sinc<sup>3</sup> 滤波器和连续转换模式下的  $\overline{\text{DRDY}}$  引脚行为

图 5-2 中所示的 ADS124S08 低延迟滤波器实际上是一款 sinc<sup>1</sup> 滤波器，可在近似一个转换周期内提供稳定的数据（假设模拟输入信号已稳定）。相比之下，图 5-2 中的 sinc<sup>3</sup> 滤波器在转换开始后需要三个转换周期，才能提供稳定的数据。不过，sinc<sup>3</sup> 滤波器的后续转换会在一个转换周期内变为可用。如节 2 中所述，转换延迟表中通常会此信息进行量化。表 5-1 列出了 ADS124S08 sinc<sup>3</sup> 滤波器的第一次转换和第二次及后续转换延迟。

表 5-1. 使用 Sinc<sup>3</sup> 滤波器时的 ADS124S08 转换延迟表

标称数据传输速率 <sup>(1)</sup> (SPS)	连续转换模式或单次转换模式的第一个数据 <sup>(2)</sup>		连续转换模式的第二次及后续转换	
	ms <sup>(3)</sup>	t <sub>MOD</sub> 周期数 <sup>(3)</sup>	ms <sup>(4)</sup>	t <sub>MOD</sub> 周期数 <sup>(4)</sup>
2.5	1200.25	307265	400	102400
5	600.254	153665	200	51200
10	300.254	76865	100	25600
16.6	180.254	46145	60	15360
20	150.254	38465	50	12800
50	60.254	15425	20	5120
60	50.223	12857	16.7	4264
100	30.254	7745	10	2560
200	15.254	3905	5	1280
400	7.754	1985	2.5	640
800	4.004	1025	1.25	320
1000	3.156	808	1	256
2000	1.656	424	0.5	128
4000	0.906	232	0.25	64

- (1) 适用于内部振荡器或外部 4.096MHz 时钟。与时钟频率成比例调整。
- (2) 转换会在 START/SYNC 引脚的上升沿或 START 命令的第七个 SCLK 下降沿开始。
- (3) 该时间不包括由增益设置寄存器中 DELAY[2:0] 位设置的可编程延迟。默认设置是一个额外的  $14 \cdot t_{\text{MOD}}$ ，其中  $t_{\text{MOD}} = t_{\text{CLK}} \cdot 16$ 。
- (4) 连续转换模式下的后续读数不包括可编程延迟时间。

如本节中所述，第一次转换延迟会在 ADC 操作后应用，如节 4.1 所示。这可能包括手动触发转换，更改输入通道等一些 ADC 设置，或者在 ADC 上电后的初始转换。请参阅 ADC 数据表，以进一步了解可能触发数字滤波器复位而适用第一次转换延迟的任何具体操作。

当发生节 4 中所述的阶跃输入时，第一次转换延迟不适用，因为 ADC 无法自动识别此条件。这时，用户必须检测此事件，然后手动等待所需时间来获取稳定的数据。相反，用户可以在确认阶跃输入已稳定后手动重新开始转换过程。然后，ADC 会自动等待第一次转换延迟，以提供稳定的数据，这里假定器件包含此功能。

## 5.2 转换模式

第一次转换与第二次及后续转换延迟与用户触发转换的方式密切相关。很多 ADC 都提供多个模式来触发转换。这些模式的示例包括连续转换、单次或脉冲转换。表 5-2 显示了 ADS124S08 中提供的转换模式。

**表 5-2. ADS124S08 数据速率 (DATARATE) 寄存器中的转换模式选择**

位	字段	类型	复位	说明
5	MODE	R/W	0h	<b>转换模式选择</b> ADC 既可配置为连续转换模式，也可配置为单次模式。 0：连续转换模式（默认） 1：单次转换模式

连续转换模式会在上一个转换周期完成后立即自动开始一个新的转换。此过程会无限期继续，直到由用户停止。假定采用稳定的模拟输入，针对第二次及后续转换，ADC 会在每个转换周期后输出稳定的数据。图 5-2 显示了此过程。

相反，单次模式会生成一个转换结果，等待用户输入后再重新开始转换过程。当用户在单次模式下请求新的转换时，ADC 每次都会复位数字滤波器。因此，如前面节 5.1 所述，单次转换始终会受到第一次转换延迟的影响。即使是在没有任何 ADC 操作或阶跃输入的情况下重复对相同通道进行采样，情况也是如此。

转换延迟表中可能也包含不同转换模式之间的差异。例如，表 5-1 表明第一次转换延迟适用于 ADS124S08 的连续转换模式和单次转换模式，而第二次及后续转换延迟仅适用于连续转换模式。请参阅具体的 ADC 数据表，以确定可用的转换模式以及每种模式对总体转换延迟的影响。

### 5.3 可编程延迟

一些 ADC 包含 *可编程延迟* 时间来满足外部稳定要求。表 5-3 以调制器周期  $t_{MOD}$  形式显示了 ADS124S08 可用的可编程延迟时间选项。

表 5-3. ADS124S08 增益设置 (PGA) 寄存器中的可编程延迟选择

位	字段	类型	复位	说明
7:5	DELAY[2:0]	R/W	0h	<b>可编程转换延迟选择</b> 当配置更改复位数字滤波器并触发新的转换时，WREG 命令后为第一次转换设置可编程转换延迟时间。 000 : $14 \cdot t_{MOD}$ (默认) 001 : $25 \cdot t_{MOD}$ 010 : $64 \cdot t_{MOD}$ 011 : $256 \cdot t_{MOD}$ 100 : $1024 \cdot t_{MOD}$ 101 : $2048 \cdot t_{MOD}$ 110 : $4096 \cdot t_{MOD}$ 111 : $1 \cdot t_{MOD}$

表 5-3 中所示的延迟可用于多种原因，包括等待外部 *模拟 RC 滤波器* 稳定至最终值，适应 PGA 启动时间，或者在开始转换过程之前，确保集成电压基准或电流源 (IDAC) 处于稳定状态。

尽管图 4-7 和图 5-2 中并未明确提及，但都包含了可编程延迟时间。图 5-3 显示了单次转换模式下 ADS124S08 *低延迟* 和 *sinc<sup>3</sup>* 滤波器的完整示意图。可编程延迟时间对应于黄色方框，如右上方图例所示。

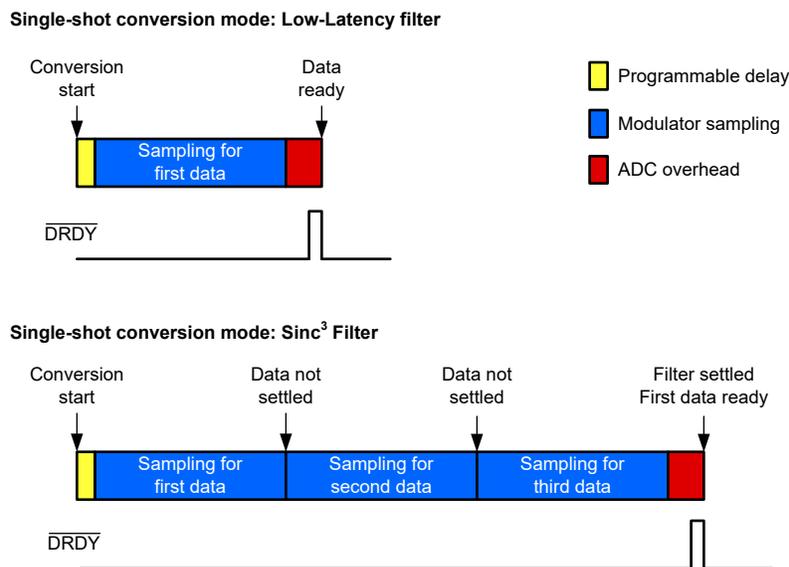


图 5-3. 在单次转换模式下使用 ADS124S08 *低延迟* 和 *Sinc<sup>3</sup>* 滤波器时的可编程延迟

如图 5-3 所示，可编程延迟就发生在触发转换开始后。因此，只有在计算第一次转换延迟时，才需要考虑此时间。不过，总体转换延迟表格值中并不总是包含可编程延迟时间。ADS124S08 转换延迟表的 [表格注释 #3](#) 明确地表明，转换延迟值不包括  $14 \cdot t_{MOD}$  秒的默认可编程延迟时间。相比之下，ADS1261 转换延迟表的 [表格注释](#) 表明，转换延迟值包括  $50\mu s$  的默认可编程延迟时间。请参阅具体的 ADC 数据表，确定器件是否具有可编程延迟功能以及该时间对总体转换延迟的影响。

### 5.4 ADC 开销时间

导致 ADC 转换延迟的另一个因素是 *ADC 开销时间*。此时间取决于 ADC 指示新的转换结果就绪之前处理转换数据所需的任何内部 ADC 功能。ADC 开销时间由 ADC 设计定义，因此用户无法进行更改。

与可编程延迟时间不同，每次稳定数据变为可用时，都需要 ADC 开销时间。不过，转换过程会在 ADC 开销时间开始时启动，这样 ADC 开销时间只会增加至第一次转换期间的转换延迟。图 5-4 以红色突出显示 ADC 开销时间，及其在连续转换模式下 ADS124S08 低延迟滤波器每个转换周期中发生的时间。

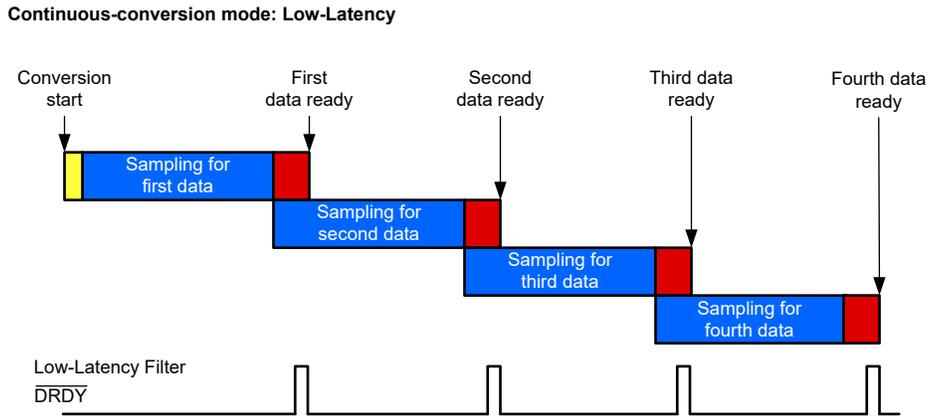


图 5-4. 在连续转换模式下使用 ADS124S08 低延迟滤波器时的 ADC 开销时间

重要的是，图 5-4 确认 ADC 开销时间仅影响第一次转换期间的转换延迟。第二次及后续转换结果必须能够适应 ADC 开销时间，但转换过程会与 ADC 开销时间同时开始，这样总体转换延迟便等于  $1 / \text{ODR}$ 。

高阶滤波器遵循相似的模式。图 5-5 以红色突出显示 ADC 开销时间，及其在连续转换模式下 ADS124S08 sinc<sup>3</sup> 滤波器的转换过程中发生的时间。

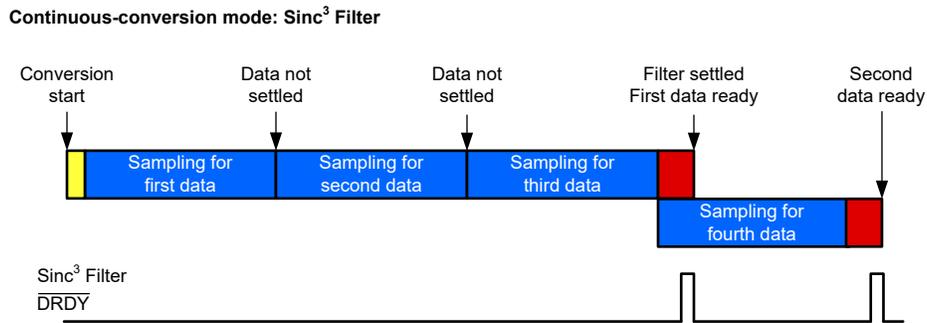


图 5-5. 在连续转换模式下使用 ADS124S08 Sinc<sup>3</sup> 滤波器时的 ADC 开销时间

图 5-5 中不稳定的 sinc<sup>3</sup> 数据无需 ADC 开销时间，因为该数据在第一次和第二次转换周期后尚未准备好进行处理。相反，ADC 开销会在第三次转换周期结束后开始，然后在每个第二次及后续转换周期结束后立即开始。不过，对于第二次及后续数据，转换过程会与 ADC 开销时间同时开始，因此它并不影响总体转换延迟。最终结果就是使用 ADS124S08 sinc<sup>3</sup> 滤波器时，开销时间仅影响第一个转换延迟，就像图 5-4 中的低延迟滤波器那样。

ADC 开销时间的一个重要特性是，它通常需要固定的 ADC 时钟周期，因此可以独立于 ODR。这意味着，随着 ODR 增加，ADC 开销时间往往会占用更大比例的总体转换延迟。为了验证这个说明，请参阅表 5-1 中的 ADS124S08 sinc<sup>3</sup> 转换延迟值。如表格注释 #3 所述，转换延迟中不含可编程延迟。因此，使用 sinc<sup>3</sup> 滤波器时的 ADS124S08 第一次转换延迟值由三个转换周期加上 ADC 开销时间组成，如图 5-5 所示。由于转换周期只是为第二次或后续转换指定的时间，所以可以使用方程式 4 计算 ADS124S08 sinc<sup>3</sup> 滤波器开销时间  $t_{\text{ADC\_OVERHEAD}}$ ：

$$t_{\text{ADC\_OVERHEAD}} = t_{\text{MOD(FC)}} - (3 \cdot t_{\text{MOD(SSC)}}) \quad (4)$$

其中

- $t_{\text{MOD(FC)}} = t_{\text{MOD}}$  周期数 (等于第一个转换延迟)
- $t_{\text{MOD(SSC)}} = t_{\text{MOD}}$  周期数 (等于第二个或后续转换延迟)

考虑以  $t_{MOD}$  周期数表示的  $t_{ADC\_OVERHEAD}$  很有帮助，因为转换延迟值（以微秒为单位）可能包含会导致结果变模糊的舍入误差。不过，如果 ADC 数据表没有以  $t_{MOD}$  周期数形式量化转换延迟，可以使用以毫秒表示的转换延迟值。在这种情况下，请将 [方程式 4](#) 中的变量替换为以毫秒为单位的相应转换延迟值。

[表 5-4](#) 使用 [方程式 4](#) 来计算使用 ADS124S08 sinc<sup>3</sup> 滤波器时所有 ODR 的  $t_{ADC\_OVERHEAD}$ 。[表 5-4](#) 还计算了  $t_{ADC\_OVERHEAD}$  所占的总转换延迟比例。

**表 5-4. 计算 ADS124S08 Sinc<sup>3</sup> 滤波器的  $t_{ADC\_OVERHEAD}$**

ODR (SPS)	$t_{MOD(FC)}$ ( $t_{MOD}$ PERIODS)	$t_{ADC\_OVERHEAD}$ ( $t_{MOD}$ PERIODS)	% 的占比
2.5	307265	65	0.02%
5	153665	65	0.04%
10	76865	65	0.08%
16.6	46145	65	0.14%
20	38465	65	0.17%
50	15425	65	0.42%
60	12857	65	0.51%
100	7745	65	0.84%
200	3905	65	1.66%
400	1985	65	3.27%
800	1025	65	6.34%
1000	808	40	4.95%
2000	424	40	9.43%
4000	232	40	17.24%

对于 [表 5-4](#)，需要注意的是，使用 ADS124S08 sinc<sup>3</sup> 滤波器时， $t_{ADC\_OVERHEAD}$  在所有 ODR 上并不恒定。ODR < 1000SPS 时， $t_{ADC\_OVERHEAD} = 65 \cdot t_{MOD}$  周期；ODR  $\geq 1000$ SPS 时， $t_{ADC\_OVERHEAD} = 40 \cdot t_{MOD}$  周期。此行为是数字滤波器架构造成的，并且对于同一 ADC 内的不同滤波器，可能会有所不同。此外，[表 5-4](#) 确认了以下说法：随着 ODR 增加， $t_{ADC\_OVERHEAD}$  在总体转换延迟中占到的比例也会增加。实际上，当 ODR = 4000SPS 时， $t_{ADC\_OVERHEAD}$  几乎是总转换时间的 20%，而当 ODR = 2.5SPS 时，则仅为 0.02%。

如前所述，ADC 开销时间由 ADC 设计定义。这意味着，对于给定的 ADC 数字滤波器架构和 ODR，ADC 开销时间在总转换延迟中的占比是固定的。不过， $t_{MOD}$  周期可以通过修改 ADC 时钟频率来更改，因此转换延迟也可以这样更改。

## 5.5 时钟频率

ADC 时钟频率在确定 ADC 数据表中的转换延迟值方面发挥着重要作用。通常，这些延迟值都是默认时钟频率  $f_{CLK}$  条件下的。例如，[ADS124S08 转换延迟表](#) 中的 [表格注释 #1](#) 指出，sinc<sup>3</sup> 滤波器转换延迟值是  $f_{CLK} = 4.096$ MHz 条件下的。不过，选择不同的时钟频率  $f_{CLK\_NEW}$  会使得对应的延迟时间（以毫秒表示时）成比例地变化。

[表 5-5](#) 显示了 ADS124S08 sinc<sup>3</sup> 滤波器的  $t_{MOD}$  周期、默认第一次转换延迟以及默认的 ODR 值。[表 5-5](#) 还计算了  $f_{CLK\_NEW} = 4.5$ MHz（即 ADS124S08 允许的最大时钟频率）时的第一次转换延迟和 ODR 值。

**表 5-5. 计算更改时钟频率对第一次转换延迟和 ODR 有何影响**

$t_{MOD}$ 周期数	$f_{CLK} = 4.096$ MHz		$f_{CLK\_NEW} = 4.5$ MHz	
	第一次转换延迟 (ms)	ODR (SPS)	第一次转换延迟 (ms)	ODR (SPS)
307265	1200.254	2.5	1092.498	2.7
153665	600.254	5	546.365	5.5
76865	300.254	10	273.298	11
46145	180.254	16.6	164.071	18

**表 5-5. 计算更改时钟频率对第一次转换延迟和 ODR 有何影响 (续)**

38465	150.254	20	136.765	22
15425	60.254	50	54.845	55
12857	50.223	60	45.714	66
7745	30.254	100	27.538	110
3905	15.254	200	13.885	220
1985	7.754	400	7.058	439
1025	4.004	800	3.645	879
808	3.156	1000	2.873	1099
424	1.656	2000	1.507	2197
232	0.906	4000	0.825	4395

重要的是，表 5-5 中的  $t_{MOD}$  周期数不受时钟频率变化的影响。不过，当  $f_{CLK\_NEW} = 4.5\text{MHz}$  时，随着 ODR 值增加，得到的转换延迟会减少，从而能够更快地得到转换结果。

更改时钟频率还会影响可编程延迟。如表 5-3 所示，ADS124S08 可编程延迟以  $t_{MOD}$  周期形式指定。例如，默认延迟为  $14 \cdot t_{MOD}$ ，当  $f_{CLK} = 4.096\text{MHz}$  时就是  $3.42\mu\text{s}$ 。当  $f_{CLK\_NEW} = 4.5\text{MHz}$  时，此延迟会减小至  $3.11\mu\text{s}$ 。更改时钟频率值时，应确保系统仍然具有所需的延迟。

关于时钟频率，最后要考虑的是容差。时钟频率容差会改变  $f_{CLK}$ ，因此会直接影响转换延迟，如本节中通篇所述。例如，ADS124S08 内部振荡器具有  $\pm 1.5\%$  的最大精度容差，这就相当于存在  $\pm 1.5\%$  的转换延迟变化。最后，需要考虑不管时钟位于 ADC 内部还是外部，时钟频率容差可能对具有严格时序约束的系统产生的影响。

## 5.6 斩波

很多  $\Delta$ - $\Sigma$  ADC 都提供斩波功能来帮助减少误差和提高精度。斩波是一项采样技术，该技术会对两次转换一起求平均值：一次转换具有正常极性，而另一次转换具有反极性，因此最终转换结果基本上没有失调或失配误差。一些不同的斩波技术示例包括：

- 输入（全局）斩波 - 消除 ADC 的内部偏移，与恒定偏移校准类似。
- 桥接芯片（交流激励） - 通常与惠斯通电桥电路配合使用来从 ADC 的外部信号调节电路消除偏移。
- IDAC 斩波（旋转） - 与双 IDAC、3 线 RTD 系统配合使用，以消除 IDAC 失配的影响。

斩波会影响转换延迟，因为需要多次转换来确定单个斩波转换结果。此外，即使是对相同的通道进行采样，数字滤波器也会在每次转换后复位，因为输入极性会交换。ADC 数据表中介绍并量化了此行为。例如，图 5-6 显示了当全局斩波处于启用状态时，ADS124S08 如何处理低延迟和 sinc<sup>3</sup> 滤波器的数据。

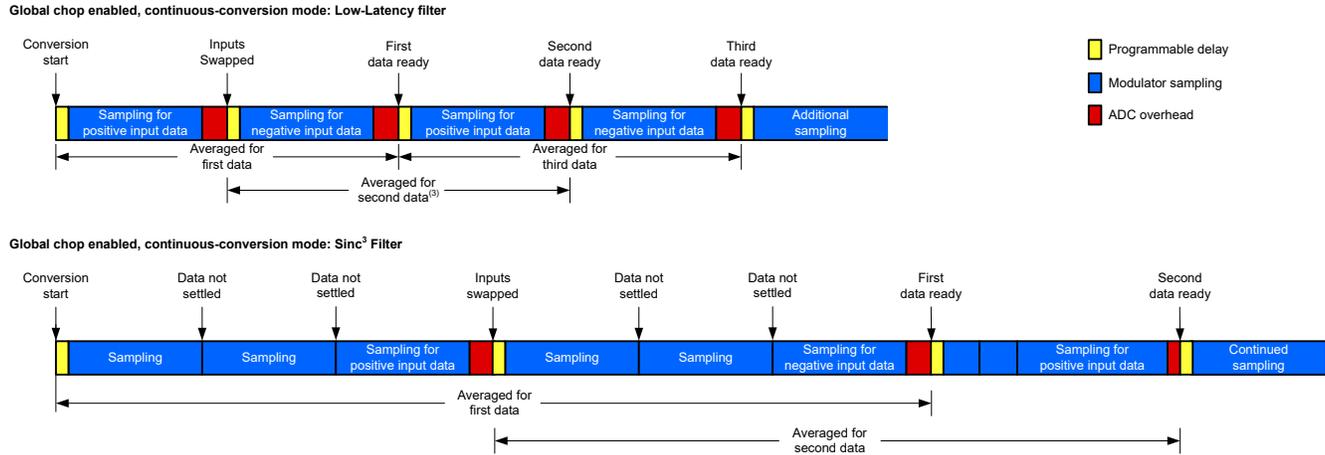


图 5-6. 使用 ADS124S08 低延迟和 Sinc<sup>3</sup> 滤波器时的全局斩波转换模式序列

启动转换后，图 5-6 中的低延迟和 sinc<sup>3</sup> 滤波器都需要两个完整的第一次转换延迟周期，每个都包含可编程延迟和 ADC 开销时间，第一次转换结果才能就绪。如前所述，这是因为输入信号极性会在每次转换后交换，这要求数字滤波器每次都要复位。例如，当 ODR = 100SPS 时，根据表 5-1，需要 30.254ms 才能从 ADS124S08 sinc<sup>3</sup> 滤波器获得第一个稳定的转换结果。当全局斩波模式处于启用状态时，此时间会翻倍，即 2 • 30.254ms = 60.508ms，因此第一次转换数据的有效数据速率为 16.5SPS。

第二次及后续转换遵循类似的过程，如节 5.2 中所述。如果 ADC 处于单次模式，并且用户在同一通道上触发第二次转换，则整个过程会重新开始。这需要对两个新的转换一起求平均值，因此需要两个额外的第一次转换延迟周期，才能生成一个稳定的转换结果。如果 ADC 处于连续转换模式，则第二次或后续转换会对前一个转换和当前转换求平均值，从而生成下一个稳定的转换结果。此行为只需一个额外的第一次转换延迟周期。图 5-6 中也显示了连续转换模式下的第二次及后续转换行为。继续采用前一个示例，当 ODR = 100SPS 且全局斩波处于启用状态时，生成第一个转换结果需要 60.508ms，而在连续转换模式下生成第二个或后续转换结果需要 30.254ms。

并非所有 ADC 都提供斩波功能，斩波行为也并非都完全相同。请参阅具体的 ADC 数据表，以确定斩波功能启用时如何计算转换延迟。

## 6 模拟稳定

前面几节讨论了 ADC 中集成的一些功能和模式对转换延迟和周期时间造成的影响，此外，外部因素也会对其造成影响，其中比较常见的一个因素就是模拟稳定。放大器或滤波器等外部信号调节电路具有有限带宽。此外，一些 ADC 具有内部模拟滤波器，这类滤波器具有定义明确的稳定时间。因此，模拟信号需要一些时间来通过这些元件传送，然后由 ADC 进行采样。此模拟信号可能来自传感器的输入，也可能是电流源或激励电压等偏置信号。无论是哪种情况，都不能忽视总体转换延迟中的模拟稳定时间。否则，ADC 将会对未稳定的信号进行采样，而这将会在 ADC 转换结果中显示为误差。即使此噪声实际上是对未稳定的信号进行采样而造成的，但仍可能会被错误地归因于串扰或其他误差。

例如，用于抗混叠的简单低通 RC 滤波器具有一定时间常数  $\tau$ ，这可能会阻止输入信号在 ADC 开始转换之前稳定下来。图 6-1 显示了  $\Delta$ - $\Sigma$  ADC 输入端常用的差分滤波器电路（左侧）及其对应的稳定时间曲线图（右侧）。

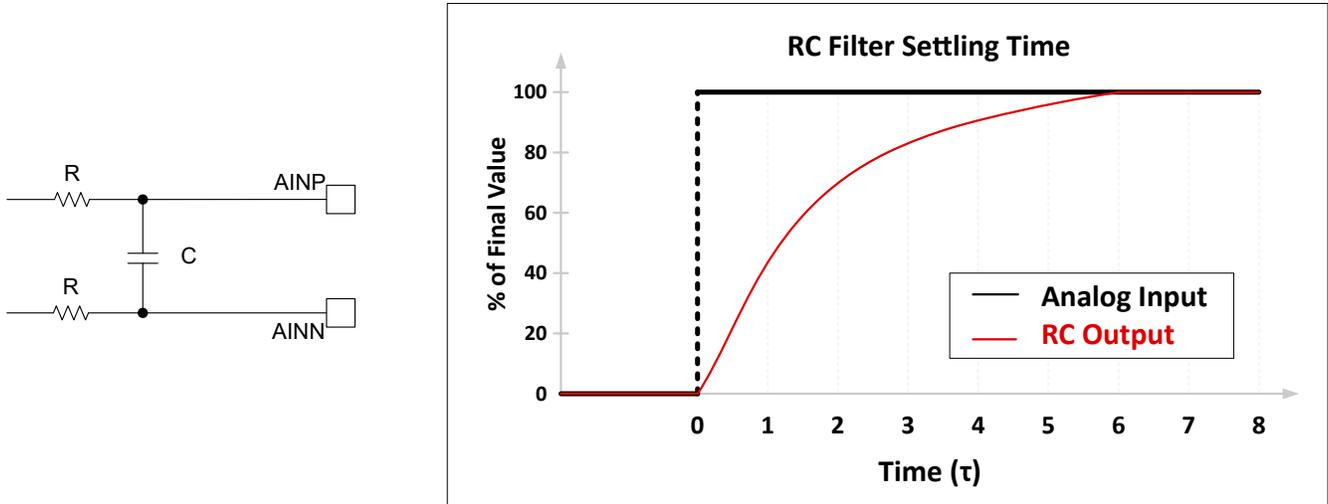


图 6-1. RC 滤波器的阶跃响应和稳定时间

如图所示，图 6-1 假定示例系统中电容器上的初始电压为 0V。然后，在  $\tau = 0$  时，向电容器施加 5V 模拟阶跃，也即图 6-1 中所示的黑色曲线图。电容器无法立即响应此电压，而是需要一些时间来变为施加的值，如图中红色所示的响应。虽然该图显示输出大约在  $5 \cdot \tau$  后稳定，但很多高分辨率  $\Delta$ - $\Sigma$  ADC 可以区分比  $5 \cdot \tau$  时 RC 输出幅度更精细的模拟信号。实际上，对于 RC 输出信号，它需要超过  $17 \cdot \tau$  的时间才能达到 24 位 ADC 最低有效位 (LSB) 的  $\frac{1}{2}$ 。尽管 20 位分辨率也需要几乎  $15 \cdot \tau$  的时间才能稳定至 LSB 的  $\frac{1}{2}$ ，但在一些应用中可能没必要等待  $17 \cdot \tau$ 。ADC 分辨率与稳定至  $\frac{1}{2}$  LSB 所需的时间常数值 ( $\tau_{\text{LSB}}$ ) 之间的关系可以使用方程式 5 计算得出。

$$\tau_{\text{LSB}} = \ln(2^{N+1}) \quad (5)$$

其中

- N 为 ADC 分辨率

表 6-1 使用方程式 5 来计算几种常见 ADC 分辨率值条件下模拟滤波器稳定至  $\frac{1}{2}$  LSB 所需的时间常数值。

表 6-1. 常见 ADC 分辨率的 RC 滤波器稳定时间

分辨率 (位)	$\tau_{\text{LSB}}$
16	11.78
18	13.17
20	14.56
22	15.94
24	17.33

对于表 6-1 中的信息，需要注意的一个重要因素是实际 RC 输出稳定时间取决于 ADC LSB 的幅度以及输入电压的变化幅度。如果 ADC 基准电压较小或增益较大，稳定至  $\frac{1}{2}$  LSB 往往不太现实，因为 LSB 大小远小于 ADC 的固有噪声。相反，应该以所需数据速率和增益设置下的系统噪声幅度为目标。此外，如果施加的电压从 4.99V 变为 5V，则无需等待表 6-1 中指定的时间，即可达到相应的 ADC 分辨率。因此，当输入信号变化极快时，当  $\tau$  的值较大时，或者当输入信号的幅度在每次转换后发生显著变化时，应考虑模拟稳定时间。

如前所述，一些 ADC 包含可编程延迟，该延迟就发生在转换过程之前，以将多路复用器变化或模拟稳定等外部因素纳入考量。例如，假定设计需要 20 位分辨率并包含一个 RC 抗混叠滤波器，其中  $\tau = 15\mu\text{s}$ 。表 6-1 显示了稳定至 20 位分辨率需要  $14.56 \cdot \tau$  秒钟，因此总模拟稳定时间为  $14.56 \cdot 15\mu\text{s} = 218.4\mu\text{s}$ 。根据表 5-3 中的 ADS124S08 可编程延迟选项（其中， $f_{\text{CLK}} = 4.096\text{MHz}$  时， $t_{\text{MOD}} = 3.9\mu\text{s}$ ）可以确定，系统需要至少  $218.4 / 3.9 = 55.9 \cdot t_{\text{MOD}}$  个周期来适应模拟稳定时间。因此，请设置 DELAY[2:0] = 010b 以等待 64  $t_{\text{MOD}}$  个周期并等待足够的时间，以便 RC 输出可以在 ADC 开始转换过程之前完全稳定。

最后，务必要考虑外部信号调节电路可能对模拟稳定时间造成的影响，因为这会直接添加到总体 ADC 转换延迟。

## 7 关键点

本应用手册详细说明了不同的 ADC 时序组件，多路复用  $\Delta$ - $\Sigma$  ADC 如何对数据进行采样和处理，以及如何使用 ADC 数据表中的信息来选择符合系统周期时间要求的器件。下表总结了本文档中介绍的要点：

- $\Delta$ - $\Sigma$  调制器数据需要一些时间才能通过数字滤波器传播，进而导致转换延迟。
- Sinc 滤波器转换延迟近似等于与 sinc 滤波器阶数相当的转换周期数。例如，sinc<sup>3</sup> 滤波器通常具有三个转换周期延迟。
- ADC 无法识别输入信号的显著变化，例如发生阶跃输入时。在开始转换过程之前，确保输入信号已稳定。
- 在特定条件下，一些 ADC 可以向用户隐藏不稳定的数据。
- 第一个转换数据受到与 sinc 滤波器阶数成比例的转换延迟影响，而第二个及后续转换数据在大多数情况下都近似为  $1 / \text{ODR}$ 。
- 单次模式要求数字滤波器在每次转换结果后复位，以与第一次转换延迟相当的速率提供所有数据。连续转换模式通常会以  $1 / \text{ODR}$  的速率提供第二个及后续数据。
- 一些 ADC 包含可编程延迟，以便将转换过程开始前的外部模拟稳定考虑在内。此延迟只会在转换触发时发生，并会随着时钟频率调整。
- 每个 ADC 均包含一个开销时间，以便在转换结果可用之前处理数据。该时间仅影响第一次转换延迟，无法由用户更改，并会随着时钟频率而调整。
- ODR、可编程延迟和 ADC 开销时间会随着时钟频率而调整。这使得用户可以相较于标称值增加或减少转换延迟，而不改变任何其他系统设置。
- 斩波功能会交换输入信号的极性并对两次转换求平均值，以生成稳定的转换结果。因此，数字滤波器必须在每次转换后复位，从而需要两个第一次转换延迟周期来生成单个稳定的输出。
- 外部信号调节电路具有一些有限的带宽，这可能导致模拟输入在 ADC 转换过程开始时还未稳定。可编程延迟可用于将任何模拟稳定延迟纳入考量，尽管这会增加总转换延迟。

## 8 周期时间计算示例

本节介绍了将本文档提供的信息运用到任意几个系统参数的几个不同示例。这些示例展示了周期时间的计算方式，以及不同的设计要求对周期时间的影响。为了简化分析，这些示例中假定没有模拟稳定或阶跃输入。不过，实际设计中始终应当考虑这些因素。

### 8.1 示例 1：使用 ADS124S08

表 8-1 列出了用于确定示例 1 中周期时间的系统参数：

表 8-1. 示例 1 的系统参数

参数	值
ADC	ADS124S08
ODR	1000SPS
滤波器类型	sinc <sup>3</sup>
时钟频率	4.096MHz (默认值)
转换模式	持续
可编程延迟	14 • t <sub>MOD</sub> (默认)
斩波	禁用
每通道转换次数	3
通道数	2

首先，此示例使用 4.096MHz 的默认时钟频率  $f_{CLK}$ ，以便使用数据表中提供的标称转换延迟值。接着，需考虑此示例的第一次转换与第二次及后续转换延迟，因为每个通道需要多次转换并且使用连续转换模式。

根据表 5-1，使用 sinc<sup>3</sup> 滤波器且 ODR = 1000SPS 时，ADS124S08 的第一个转换数据转换延迟 ( $t_{FC}$ ) 为 3.156ms，而第二次及后续转换延迟 ( $t_{SSC}$ ) 为 1ms。这些时间包括 ADC 开销，但不包括可编程延迟  $t_{DELAY}$  (如适用)。方程式 6 使用  $t_{DELAY} = 14 \cdot t_{MOD}$  的默认值且  $f_{CLK} = 4.096\text{MHz}$  来计算  $t_{DELAY}$  的值 (以毫秒为单位)：

$$t_{DELAY} = 14 \cdot t_{MOD} = 14 \cdot (16 / f_{CLK}) = 54.69 \mu\text{s} \quad (6)$$

ADS124S08 可编程延迟影响  $t_{FC}$ ，但不影响  $t_{SSC}$ 。包括可编程延迟的第一次转换延迟  $t_{FC\_TOTAL}$  由方程式 7 计算得出：

$$t_{FC\_TOTAL} = t_{FC} + t_{DELAY} = 3.156 \text{ ms} + 0.055 \text{ ms} = 3.211 \text{ ms} \quad (7)$$

最后，由于斩波技术，因此无需考虑额外的延迟。由于每个通道都包含一个第一次转换和两个第二次或后续转换，一个通道的扫描时间  $t_{CH}$  可以通过方程式 8 得出：

$$t_{CH} = 1 \cdot t_{FC\_TOTAL} + 2 \cdot t_{SSC} = 1 \cdot 3.211 \text{ ms} + 2 \cdot 1 \text{ ms} = 5.211 \text{ ms} \quad (8)$$

方程式 9 使用方程式 8 的结果来计算周期时间  $t_{CYCLE}$ ：

$$t_{CYCLE} = \# \text{ of channels} \cdot t_{CH} = 2 \cdot 5.211 \text{ ms} = 10.422 \text{ ms} \quad (9)$$

最终，本示例中 6 个转换结果的周期时间为 10.422ms。图 8-1 显示了给定设计参数下示例系统的时序图。

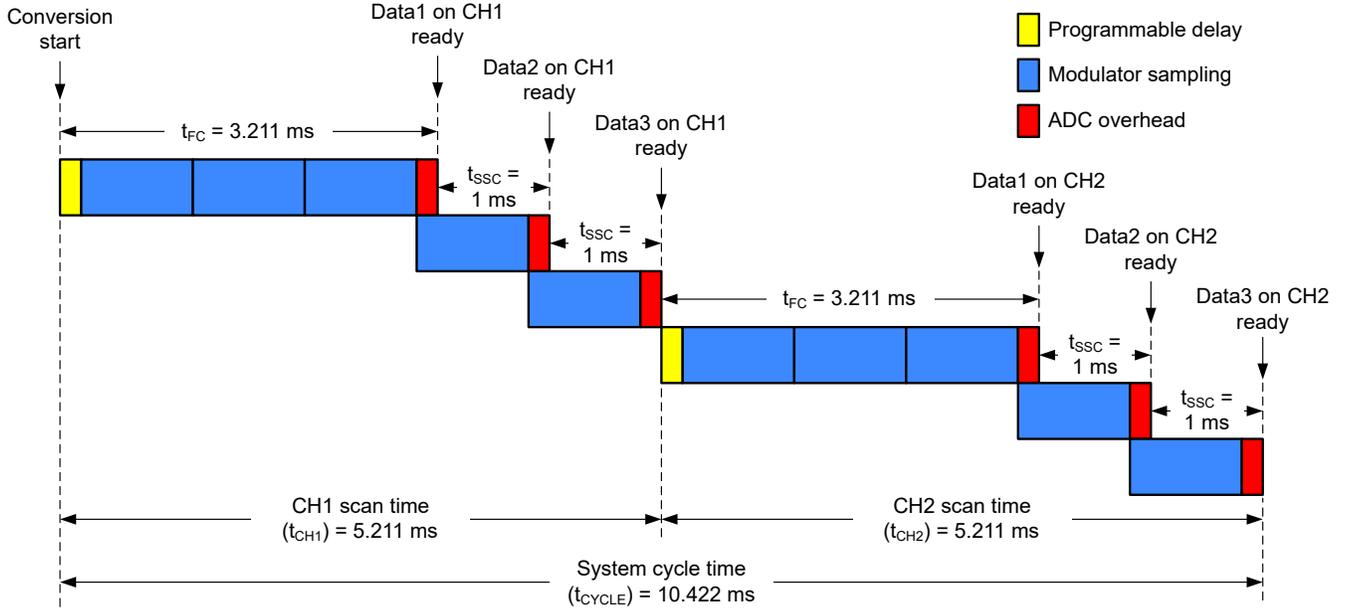


图 8-1. 示例 1 的时序图

## 8.2 示例 2：更改转换模式

表 8-2 列出了用于确定示例 2 中周期时间的系统参数：

表 8-2. 示例 2 的系统参数

参数	值
ADC	ADS124S08
ODR	1000SPS
滤波器类型	sinc <sup>3</sup>
时钟频率	4.096MHz (默认值)
转换模式	单次
可编程延迟	14 • t <sub>MOD</sub> (默认)
斩波	禁用
每通道转换次数	3
通道数	2

示例 1 与示例 2 的唯一区别是，示例 2 现在使用单次转换模式。该选择意味着，每个通道上的所有三个转换都受到第一次转换延迟的影响。

根据表 5-1，当使用 sinc<sup>3</sup> 滤波器且 ODR = 1000SPS 时，ADS124S08 第一个转换数据的第一次转换延迟 (t<sub>FC</sub>) 为 3.156ms。该时间假定使用的是 4.096MHz 的默认时钟频率 f<sub>CLK</sub>，也就是本例中的情况。另外，该时间包括 ADC 开销，但不包括可编程延迟 t<sub>DELAY</sub>。方程式 10 使用 t<sub>DELAY</sub> = 14 • t<sub>MOD</sub> 的默认值且 f<sub>CLK</sub> = 4.096MHz 来计算 t<sub>DELAY</sub> 的值 (以毫秒为单位)：

$$t_{\text{DELAY}} = 14 \cdot t_{\text{MOD}} = 14 \cdot (16 / f_{\text{CLK}}) = 54.69 \mu\text{s} \quad (10)$$

使用单次模式时，ADS124S08 可编程延迟适用于每次转换，因此会得到包含可编程延迟的第一次转换延迟 t<sub>FC\_TOTAL</sub>，如方程式 11 所示：

$$t_{\text{FC\_TOTAL}} = t_{\text{FC}} + t_{\text{DELAY}} = 3.156 \text{ ms} + 0.055 \text{ ms} = 3.211 \text{ ms} \quad (11)$$

最后，由于斩波技术，因此无需考虑额外的延迟。方程式 13 使用从方程式 12 得到的单通道扫描时间 t<sub>CH</sub> 来计算周期时间 t<sub>CYCLE</sub>。这假定用户在上个转换结果就绪后立即在每个通道上开始下一次转换。

$$t_{\text{CH}} = 3 \cdot t_{\text{FC\_TOTAL}} = 3 \cdot 3.211 \text{ ms} = 9.633 \text{ ms} \quad (12)$$

$$t_{\text{CYCLE}} = \# \text{ of channels} \cdot t_{\text{CH}} = 2 \cdot 9.633 \text{ ms} = 19.266 \text{ ms} \quad (13)$$

最终，本示例中 6 个转换结果的周期时间为 19.266ms。图 8-2 显示了给定设计参数下示例系统的时序图。

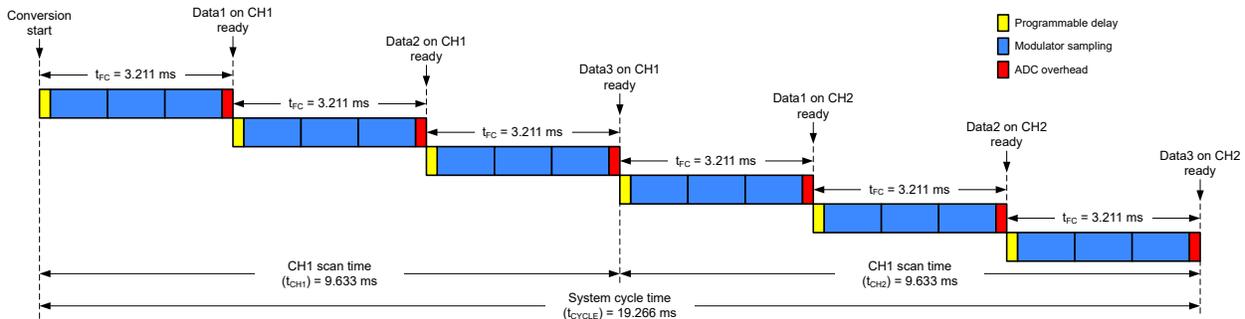


图 8-2. 示例 2 的时序图

### 8.3 示例 3：更改滤波器类型

表 8-3 列出了用于确定示例 3 中周期时间的系统参数：

表 8-3. 示例 3 的系统参数

参数	值
ADC	ADS124S08
ODR	1000SPS
滤波器类型	低延迟
时钟频率	4.096MHz (默认值)
转换模式	单次
可编程延迟	14 • t <sub>MOD</sub> (默认)
斩波	禁用
每通道转换次数	3
通道数	2

示例 3 将所有系统参数都保留为与示例 2 中相同，不同之处是切换至 ADS124S08 低延迟滤波器。该选择会减小每个第一次转换的转换延迟。

虽然本文档中并未显示，但是 ADS124S08 数据表表明了使用低延迟滤波器且 ODR = 1000SPS 时第一次转换延迟 t<sub>FC</sub> 为 1.156ms。该时间假定使用的是 4.096MHz 的默认时钟频率 f<sub>CLK</sub>，也就是本例中的情况。另外，该时间包括 ADC 开销，但不包括可编程延迟 t<sub>DELAY</sub>。方程式 14 使用 t<sub>DELAY</sub> = 14 • t<sub>MOD</sub> 的默认值且 f<sub>CLK</sub> = 4.096MHz 来计算 t<sub>DELAY</sub> 的值（以毫秒为单位）：

$$t_{\text{DELAY}} = 14 \cdot t_{\text{MOD}} = 14 \cdot (16 / f_{\text{CLK}}) = 54.69 \mu\text{s} \quad (14)$$

使用单次模式时，ADS124S08 可编程延迟适用于每次转换，因此会得到包含可编程延迟的第一次转换延迟 t<sub>FC\_TOTAL</sub>，如方程式 15 所示：

$$t_{\text{FC\_TOTAL}} = t_{\text{FC}} + t_{\text{DELAY}} = 1.156 \text{ ms} + 0.055 \text{ ms} = 1.211 \text{ ms} \quad (15)$$

最后，由于斩波技术，因此无需考虑额外的延迟。由于所有三次转换都使用单次模式并受到 t<sub>FC\_NEW</sub> 的影响，因此一个通道的扫描时间 t<sub>CH</sub> 可以通过方程式 16 得出。这假定用户在上个转换结果就绪后立即在每个通道上开始下一次转换。

$$t_{\text{CH}} = 3 \cdot t_{\text{FC\_TOTAL}} = 3 \cdot 1.211 \text{ ms} = 3.633 \text{ ms} \quad (16)$$

方程式 17 使用方程式 16 的结果来计算周期时间 t<sub>CYCLE</sub>：

$$t_{\text{CYCLE}} = \# \text{ of channels} \cdot t_{\text{CH}} = 2 \cdot 3.633 \text{ ms} = 7.266 \text{ ms} \quad (17)$$

最终，本示例中 6 个转换结果的周期时间为 7.266ms。图 8-3 显示了给定设计参数下示例系统的时序图。

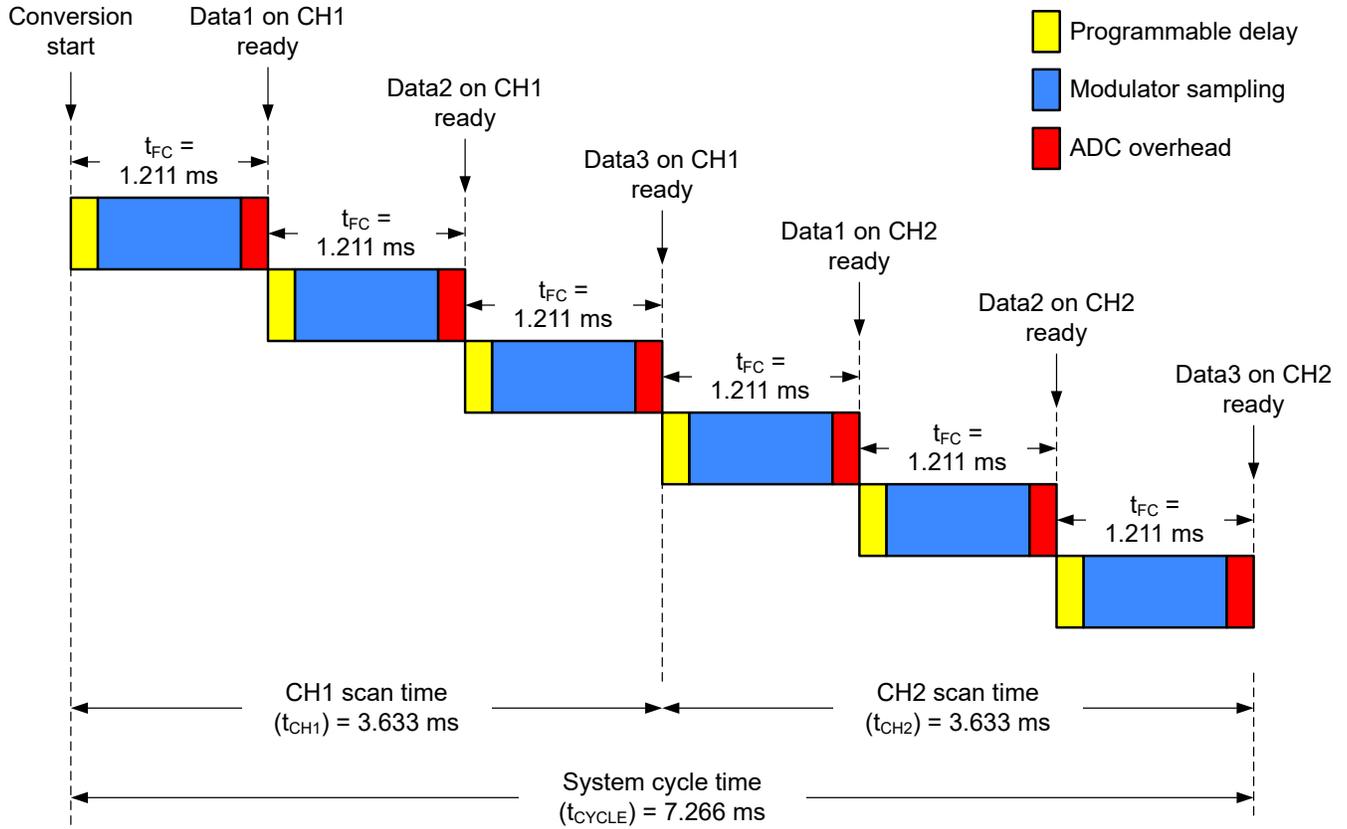


图 8-3. 示例 3 的时序图

## 8.4 示例 4：更改时钟频率

表 8-4 列出了用于确定示例 4 中周期时间的系统参数：

表 8-4. 示例 4 的系统参数

参数	值
ADC	ADS124S08
ODR	1000SPS
滤波器类型	低延迟
时钟频率	3MHz
转换模式	单次
可编程延迟	14 • t <sub>MOD</sub> (默认)
斩波	禁用
每通道转换次数	3
通道数	2

示例 4 将所有系统参数都保留为与示例 3 中相同，不过 4.096MHz 的默认时钟频率 f<sub>CLK</sub> 已经更改为 3MHz 的新时钟频率 f<sub>CLK\_NEW</sub>。该选择直接影响转换延迟和可编程延迟，并间接影响 ODR。

虽然本文档中并未显示，但是 ADS124S08 数据表表明了使用低延迟滤波器且 ODR = 1000SPS 时第一次转换延迟 t<sub>FC</sub> 为 296 • t<sub>MOD</sub> 个周期。使用以 t<sub>MOD</sub> 个周期而非毫米表示的转换延迟可以简化计算，因为 t<sub>MOD</sub> 周期数与时钟频率无关。

296 • t<sub>MOD</sub> 个周期的转换延迟包括 ADC 开销，但不包括可编程延迟 t<sub>DELAY</sub>。使用 t<sub>DELAY</sub> = 14 • t<sub>MOD</sub> 的默认值时，第一次总转换延迟 t<sub>FC\_TOTAL</sub> 由方程式 18 计算得出：

$$t_{FC\_TOTAL} = t_{FC} + t_{DELAY} = 296 \cdot t_{MOD} + 14 \cdot t_{MOD} = 310 \cdot t_{MOD} \quad (18)$$

接着，方程式 19 计算了使用 ADS124S08 时以 f<sub>CLK\_NEW</sub> 表示的一个 t<sub>MOD</sub> 周期：

$$t_{MOD} = 16 / f_{CLK\_NEW} \quad (19)$$

当 f<sub>CLK\_NEW</sub> = 3MHz 时，t<sub>MOD</sub> = 5.33μs。因此，t<sub>FC\_TOTAL</sub> = 310 • 5.33μs = 1.652ms

最后，由于斩波技术，因此无需考虑额外的延迟。方程式 21 使用从方程式 20 得到的单通道扫描时间 t<sub>CH</sub> 来计算周期时间 t<sub>CYCLE</sub>。这假定用户在上个转换结果就绪后立即在每个通道上开始下一次转换。

$$t_{CH} = 3 \cdot t_{FC\_TOTAL} = 3 \cdot 1.652 \text{ ms} = 4.956 \text{ ms} \quad (20)$$

$$t_{CYCLE} = \# \text{ of channels} \cdot t_{CH} = 2 \cdot 4.956 \text{ ms} = 9.912 \text{ ms} \quad (21)$$

最终，本示例中 6 个转换结果的周期时间为 9.912ms。图 8-4 显示了给定设计参数下示例系统的时序图。

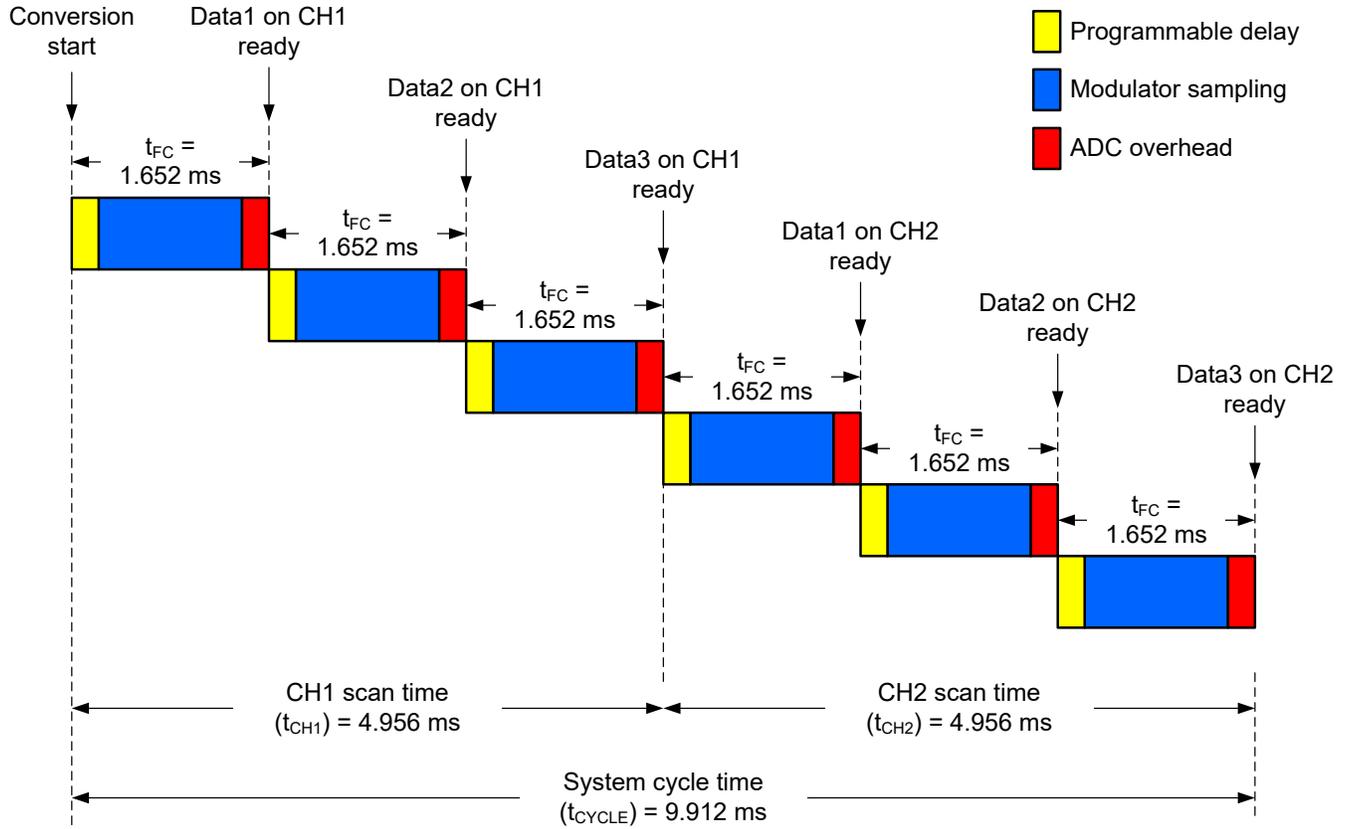


图 8-4. 示例 4 的时序图

## 8.5 示例 5：启用斩波并减少每通道转换次数

表 8-5 列出了用于确定示例 5 中周期时间的系统参数：

表 8-5. 示例 5 的系统参数

参数	值
ADC	ADS124S08
ODR	1000SPS
滤波器类型	低延迟
时钟频率	4.096MHz (默认值)
转换模式	单次
可编程延迟	14 • t <sub>MOD</sub> (默认)
斩波	启用
每通道转换次数	2
通道数	2

示例 5 与示例 3 相似，不过本例中开启了 ADS124S08 斩波功能。另外，每通道转换次数已经从 3 减少到 2。当斩波处于启用状态且使用单次模式时，必须对两次转换求平均值来生成每次转换结果。这增加了总体转换延迟。

虽然本文中并未显示，但是 ADS124S08 数据表表明了使用低延迟滤波器且 ODR = 1000SPS 时第一次转换延迟 t<sub>FC</sub> 为 1.156ms。该时间包括 ADC 开销，但不包括可编程延迟 t<sub>DELAY</sub>。方程式 22 使用 t<sub>DELAY</sub> = 14 • t<sub>MOD</sub> 的默认值且 f<sub>CLK</sub> = 4.096MHz 来计算 t<sub>DELAY</sub> 的值（以毫秒为单位）：

$$t_{\text{DELAY}} = 14 \cdot t_{\text{MOD}} = 14 \cdot (16 / f_{\text{CLK}}) = 54.69 \mu\text{s} \quad (22)$$

使用单次模式时，ADS124S08 可编程延迟适用于每次转换，因此会得到包含可编程延迟的第一次转换延迟 t<sub>FC\_TOTAL</sub>，如方程式 23 所示：

$$t_{\text{FC\_TOTAL}} = t_{\text{FC}} + t_{\text{DELAY}} = 1.156 \text{ ms} + 0.055 \text{ ms} = 1.211 \text{ ms} \quad (23)$$

最后，需要考虑斩波导致的额外延迟，因为每个输出都是两次转换的平均值。由于使用单次模式时生成每个转换需要 1 • t<sub>FC\_TOTAL</sub>，因此在启用全局斩波的情况下生成单个转换结果需要 2 • t<sub>FC\_TOTAL</sub>。方程式 25 使用从方程式 24 得到的单通道扫描时间 t<sub>CH</sub> 来计算周期时间 t<sub>CYCLE</sub>。这假定用户在上个转换结果就绪后立即在每个通道上开始下一次转换。

$$t_{\text{CH}} = 2 \cdot (2 \cdot t_{\text{FC\_TOTAL}}) = 4 \cdot 1.211 \text{ ms} = 4.844 \text{ ms} \quad (24)$$

$$t_{\text{CYCLE}} = \# \text{ of channels} \cdot t_{\text{CH}} = 2 \cdot 4.844 \text{ ms} = 9.688 \text{ ms} \quad (25)$$

最终，本示例中 4 个转换结果的周期时间为 9.688ms。图 8-5 显示了给定设计参数下示例系统的时序图。

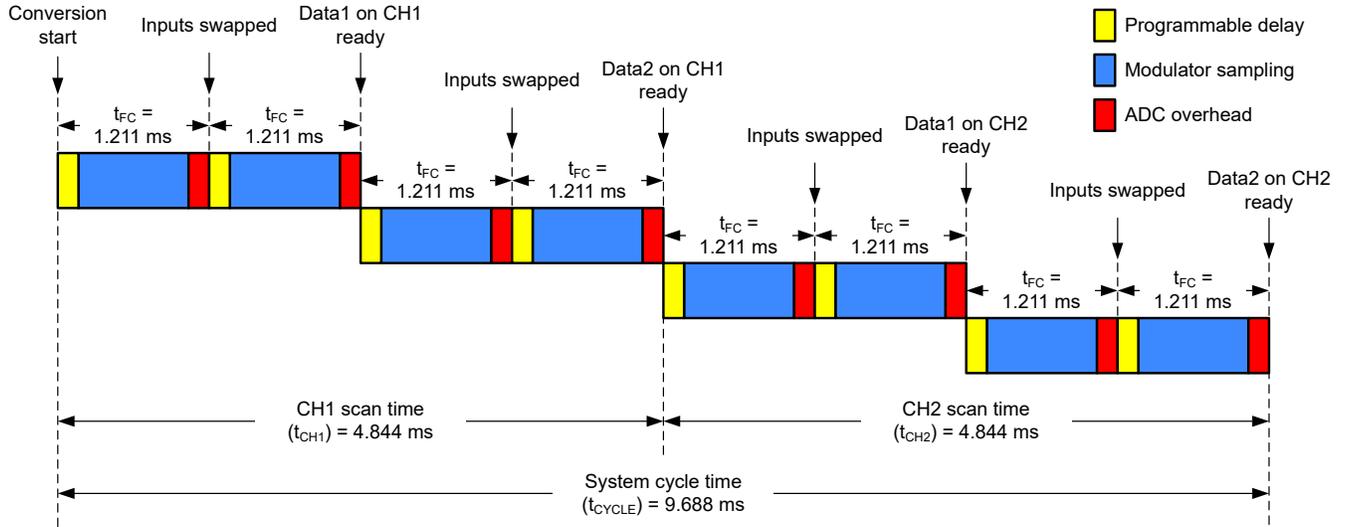


图 8-5. 示例 5 的时序图

## 8.6 示例 6：使用不同的系统参数扫描两个通道

表 8-6 列出了用于确定示例 6 中周期时间的系统参数：

表 8-6. 示例 6 的系统参数

参数		值
ADC		ADS124S08
时钟频率		4.5MHz
通道数		2
通道 1 (CH1)	ODR	800SPS
	滤波器类型	低延迟
	转换模式	持续
	可编程延迟	$14 \cdot t_{MOD}$ (默认)
	斩波	启用
	每通道转换次数	2
通道 2 (CH2)	ODR	200SPS
	滤波器类型	Sinc <sup>3</sup>
	转换模式	单次
	可编程延迟	$256 \cdot t_{MOD}$
	斩波	禁用
	每通道转换次数	3

示例 6 针对两个通道分别采用了不同的参数。这要求单独分析 CH1 和 CH2 以确定它们各自的扫描时间  $t_{CH1}$  和  $t_{CH2}$ 。

为了确定  $t_{CH1}$ ，不妨假设 ADC 采用 800SPS 工作，使用了低延迟滤波器，在连续转换模式下工作，选择了默认可编程延迟并启用了斩波。此外，此系统不使用 4.096MHz 的默认时钟频率  $f_{CLK}$ ，而是要适应 4.5MHz 的新时钟频率  $f_{CLK\_NEW}$ 。

首先，确定 CH1 在 800SPS 条件下使用 ADS124S08 低延迟滤波器时的第一次转换延迟  $t_{FC\_CH1}$ 。即使对 CH1 使用连续转换模式，第二次及后续转换延迟也不适用，因为这里启用了全局斩波功能。虽然本文档中并未显示，但是 ADS124S08 数据表标明了使用低延迟滤波器且 ODR = 800SPS 时  $t_{FC\_CH1} = 360 \cdot t_{MOD}$  个周期。使用以  $t_{MOD}$  个周期而非毫米表示的转换延迟可以简化计算，因为  $t_{MOD}$  周期数与时钟频率无关。

$t_{FC\_CH1}$  指定的时间包括 ADC 开销，但不包括可编程延迟  $t_{DELAY}$ 。使用  $t_{DELAY} = 14 \cdot t_{MOD}$  的默认值时，CH1 的第一次总转换延迟  $t_{FC\_CH1\_TOTAL}$  由方程式 26 计算得出：

$$t_{FC\_CH1\_TOTAL} = t_{FC\_CH1} + t_{DELAY} = 360 \cdot t_{MOD} + 14 \cdot t_{MOD} = 374 \cdot t_{MOD} \quad (26)$$

接着，方程式 27 计算了使用 ADS124S08 时以  $f_{CLK\_NEW}$  表示的一个  $t_{MOD}$  周期：

$$t_{MOD} = 16 / f_{CLK\_NEW} \quad (27)$$

当  $f_{CLK\_NEW} = 4.5\text{MHz}$  时， $t_{MOD} = 3.56\mu\text{s}$ 。因此， $t_{FC\_CH1\_TOTAL} = 374 \cdot 3.56\mu\text{s} = 1.331\text{ms}$ 。

如节 5.6 中所述，启用全局斩波时，每个转换结果都是两次转换的平均值。由于输入交换，生成每次转换的数据需要  $1 \cdot t_{FC\_CH1\_TOTAL}$ ，因此启用全局斩波时第一次转换结果需要  $2 \cdot t_{FC\_CH1\_TOTAL}$ 。不过，在连续转换模式下，前一个转换可以与下一个转换求平均值，以生成第二个转换结果。因此，第二个转换结果仅受到  $1 \cdot t_{FC\_CH1\_TOTAL}$  的影响。图 8-6 显示了此行为对 CH1 中每个转换结果的转换延迟有何影响。

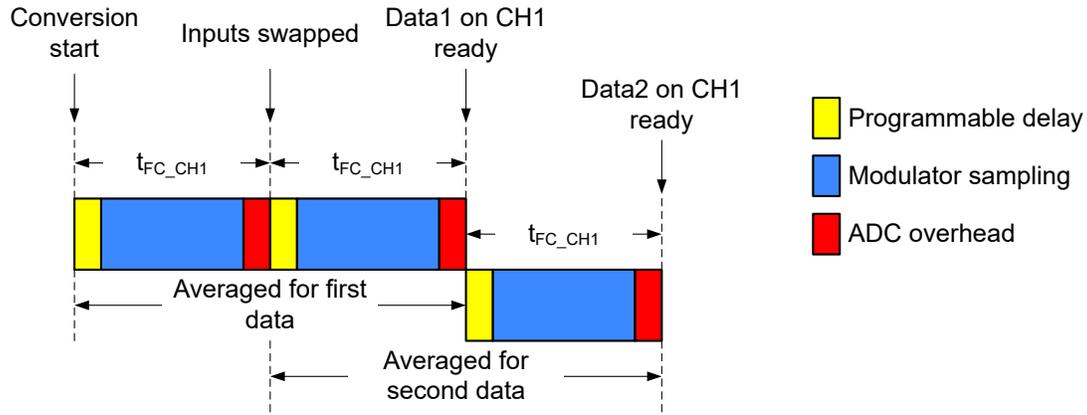


图 8-6. 示例 6 中 CH1 的时序图

图 8-6 显示了 CH1 的扫描时间  $t_{CH1}$  由方程式 28 来计算：

$$t_{CH1} = 3 \cdot t_{FC\_CH1\_TOTAL} = 3 \cdot 1.331 \text{ ms} = 3.993 \text{ ms} \quad (28)$$

请注意，尽管  $t_{CH1}$  由  $3 \cdot t_{FC\_CH1\_TOTAL}$  组成，但 CH1 仅会产生两个转换结果。具体来说，这是因为启用了全局斩波并采用连续转换模式。

为了确定  $t_{CH2}$ ，不妨假设 ADC 以 200SPS 采样，使用了  $\text{sinc}^3$  滤波器，在单次转换模式下工作，可编程延迟为  $256 \cdot t_{MOD}$  并启用了斩波。此外，CH2 也使用来自 CH1 的相同时钟频率，其中  $f_{CLK\_NEW} = 4.5\text{MHz}$ 。

首先，表 5-1 标明了以 200SPS 使用 ADS124S08  $\text{sinc}^3$  滤波器时，CH2 的第一次转换延迟  $t_{FC\_CH2}$  等于  $3905 \cdot t_{MOD}$  个周期。使用以  $t_{MOD}$  个周期而非毫米表示的转换延迟可以简化计算，因为  $t_{MOD}$  周期数与时钟频率无关。

$t_{FC\_CH2}$  指定的时间包括 ADC 开销，但不包括  $t_{DELAY}$ 。使用  $t_{DELAY} = 256 \cdot t_{MOD}$  的示例值时，CH2 的第一次总转换延迟  $t_{FC\_CH2\_TOTAL}$  由方程式 29 计算得出：

$$t_{FC\_CH2\_TOTAL} = t_{FC\_CH2} + t_{DELAY} = 3905 \cdot t_{MOD} + 256 \cdot t_{MOD} = 4161 \cdot t_{MOD} \quad (29)$$

因此， $t_{FC\_CH2\_TOTAL} = 4161 \cdot 3.56\mu\text{s} = 14.813\text{ms}$ ，因为当  $f_{CLK\_NEW} = 4.5\text{MHz}$  时，针对 CH1 计算得出  $t_{MOD}$  为  $3.56\mu\text{s}$ 。此外，使用单次转换模式意味着，CH2 所需的所有三个转换结果都受到第一次转换延迟的影响。假定用户在上一个转换结果就绪后立即在 CH2 上开始下一次转换，方程式 30 计算  $t_{CH2}$ ：

$$t_{CH2} = 3 \cdot t_{FC\_CH2\_TOTAL} = 3 \cdot 14.813 \text{ ms} = 44.439 \text{ ms} \quad (30)$$

最后，由于斩波技术，因此 CH2 无需考虑额外的延迟。通过对每个通道的扫描时间求和，方程式 31 可以计算出周期时间  $t_{CYCLE}$ ：

$$t_{CYCLE} = t_{CH1} + t_{CH2} = 3.993 \text{ ms} + 44.439 \text{ ms} = 48.432 \text{ ms} \quad (31)$$

最终，本示例中 5 个转换结果的周期时间为 48.432ms。图 8-7 显示了给定设计参数下示例系统的时序图。

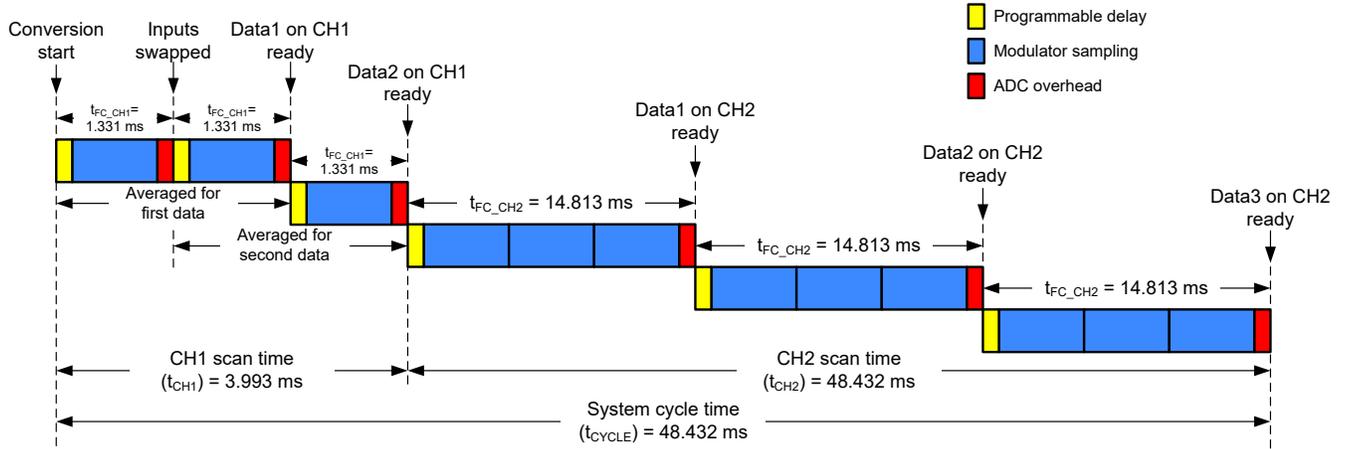


图 8-7. 示例 6 的完整时序图

## 8.7 示例 7：使用 ADS1261

表 8-7 列出了用于确定示例 7 中周期时间的系统参数：

表 8-7. 示例 7 的系统参数

参数	值
ADC	ADS1261
ODR	4800SPS
滤波器类型	sinc <sup>4</sup>
时钟频率	7.3728MHz (默认值)
转换模式	持续
可编程延迟	50 μs (默认值)
斩波	禁用
每通道转换次数	3
通道数	2

与使用 ADS124S08 的之前示例不同，示例 7 采用 ADS1261。因此，默认时钟频率和可编程延迟时间有所不同，ODR 和滤波器类型选项也是如此。不过，用于确定周期时间的过程保持不变。

请参阅表 2-2，确定使用 sinc<sup>4</sup> 滤波器且 ODR = 4800SPS 时的 ADS1261 第一次转换延迟  $t_{FC}$ 。这个延迟为 1.258ms 并包括 50μs 的默认可编程延迟时间以及任何 ADC 开销。ADS1261 数据表中并未直接提供第二次及后续转换延迟  $t_{SSC}$ 。相反，ADS1261 数据表中的转换延迟部分表明，使用连续转换模式且斩波处于禁用状态时， $t_{SSC} = 1 / ODR$ 。由于本例中这两个条件都为真，因此  $t_{SSC}$  可以通过方程式 32 计算得出：

$$t_{SSC} = 1 / ODR = 1 / 4800 = 0.208 \text{ ms} \quad (32)$$

最后，由于斩波技术，因此无需考虑额外的延迟。方程式 34 使用从方程式 33 得到的单通道扫描时间  $t_{CH}$  来计算周期时间  $t_{CYCLE}$ 。

$$t_{CH} = 1 \cdot t_{FC} + 2 \cdot t_{SSC} = 1 \cdot 1.258 \text{ ms} + 2 \cdot 0.208 \text{ ms} = 1.674 \text{ ms} \quad (33)$$

$$t_{CYCLE} = \# \text{ of channels} \cdot t_{CH} = 2 \cdot 1.674 \text{ ms} = 3.348 \text{ ms} \quad (34)$$

最终，本示例中 6 个转换结果的周期时间为 3.348ms。图 8-8 显示了给定设计参数下示例系统的时序图。

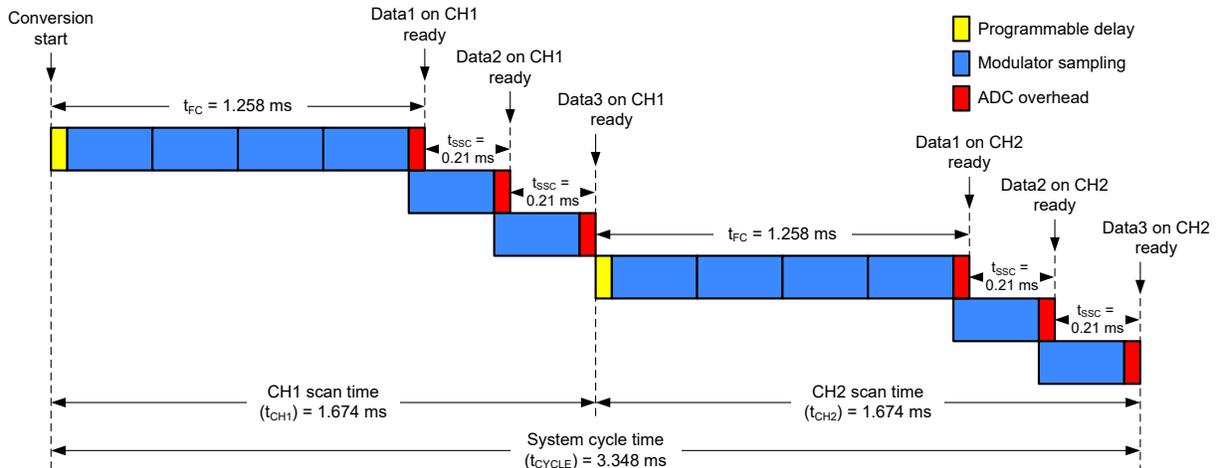


图 8-8. 示例 7 的时序图

## 8.8 示例 8：使用 ADS1261 更改多个参数

表 8-8 列出了用于确定示例 8 中周期时间的系统参数：

表 8-8. 示例 8 的系统参数

参数	值
ADC	ADS1261
ODR	600SPS
滤波器类型	sinc <sup>2</sup>
时钟频率	4MHz
转换模式	脉冲转换
可编程延迟	<非默认 - 请参阅示例描述>
斩波	启用
每通道转换次数	2
通道数	2

示例 8 采用示例 7 中相同的 ADC (ADS1261)，尽管几乎所有系统参数都已经更改。这些变化包括 60SPS ODR、sinc<sup>2</sup> 滤波器、4MHz 时钟频率 ( $f_{CLK\_NEW}$ )、脉冲转换模式 (类似于单次模式) 斩波已启用及每个通道两个转换结果 (而不是三个)。此外，可编程延迟已经更改为默认值以外的值，尽管具体的值 (以毫秒为单位) 取决于时钟频率并在示例期间计算得出。

与启用了斩波并采用单次模式的示例 5 相似，使用新示例参数时每个通道上的两个转换结果都需要两个第一次转换延迟周期。表 2-2 标明了对于 ADS1261，在使用 sinc<sup>2</sup> 滤波器且 ODR = 60SPS 时，第一次转换延迟  $t_{FC}$  为 33.76ms。在本例中， $t_{FC}$  使用 7.3728MHz 的默认时钟频率  $f_{CLK}$  来得出，并包括默认的 50 $\mu$ s 可编程延迟  $t_{DELAY\_DEFAULT}$ 。因此，有必要根据  $f_{CLK\_NEW} = 4\text{MHz}$  来调整  $t_{FC}$  并应用新的可编程延迟。

与 ADS124S08 不同，ADS1261 数据表仅提供了以毫秒为单位的  $t_{FC}$ ，而没有  $t_{MOD}$  周期。要转换为新的转换延迟值  $t_{FC\_NEW}$ ，首先要移除  $t_{DELAY\_DEFAULT}$ 。然后，按照  $f_{CLK}$  与  $f_{CLK\_NEW}$  之比调整  $t_{FC}$ ，如方程式 35 所示：

$$t_{FC\_NEW} = (t_{FC} - t_{DELAY\_DEFAULT}) \cdot (f_{CLK} / f_{CLK\_NEW}) \quad (35)$$

应用此示例中的值会得到由方程式 36 给出的  $t_{FC\_NEW}$  值：

$$t_{FC\_NEW} = (33.76 \text{ ms} - 0.05 \text{ ms}) \cdot (7.3728 \text{ MHz} / 4 \text{ MHz}) = 62.134 \text{ ms} \quad (36)$$

ADS1261 中的可编程延迟选项也使用毫秒指定并以  $f_{CLK}$  为基准。执行方程式 36 中所示的类似操作来调整  $f_{CLK\_NEW}$  的任何新可编程延迟值  $t_{DELAY\_NEW}$ 。对于本例，请从 ADS1261 数据表中的 MODE1 寄存器选择 328 $\mu$ s 的标称可编程延迟  $t_{DELAY\_NOM}$ 。然后，按照  $f_{CLK}$  与  $f_{CLK\_NEW}$  之比调整  $t_{DELAY\_NOM}$  来获得  $t_{DELAY\_NEW}$  的值，如方程式 37 所示：

$$t_{DELAY\_NEW} = t_{DELAY\_NOM} \cdot (f_{CLK\_NOM} / f_{CLK\_NEW}) \quad (37)$$

在本例中， $t_{DELAY\_NEW} = 328\mu\text{s} \cdot (7.3728\text{MHz} / 4\text{MHz}) = 0.605\text{ms}$ 。因此，总转换延迟  $t_{FC\_TOTAL}$  由方程式 38 计算得出：

$$t_{FC\_TOTAL} = t_{FC\_NEW} + t_{DELAY\_NEW} = 62.134 \text{ ms} + 0.605 \text{ ms} = 62.739 \text{ ms} \quad (38)$$

如前所述，斩波要求每个转换结果需要两个第一次转换延迟周期 ( $2 \cdot t_{FC\_TOTAL}$ )。当每个通道两个转换结果时并假定用户在上个转换结果就绪后立即开始下一次转换，[方程式 40](#) 使用从[方程式 39](#) 得到的单通道扫描时间  $t_{CH}$  来计算周期时间  $t_{CYCLE}$ ：

$$t_{CH} = 2 \cdot (2 \cdot t_{FC\_TOTAL}) = 4 \cdot 62.739 \text{ ms} = 250.956 \text{ ms} \quad (39)$$

$$t_{CYCLE} = \# \text{ of channels} \cdot t_{CH} = 2 \cdot 250.956 \text{ ms} = 501.912 \text{ ms} \quad (40)$$

最终，本示例中 4 个转换结果的周期时间为 501.912ms。[图 8-9](#) 显示了给定设计参数下示例系统的时序图。

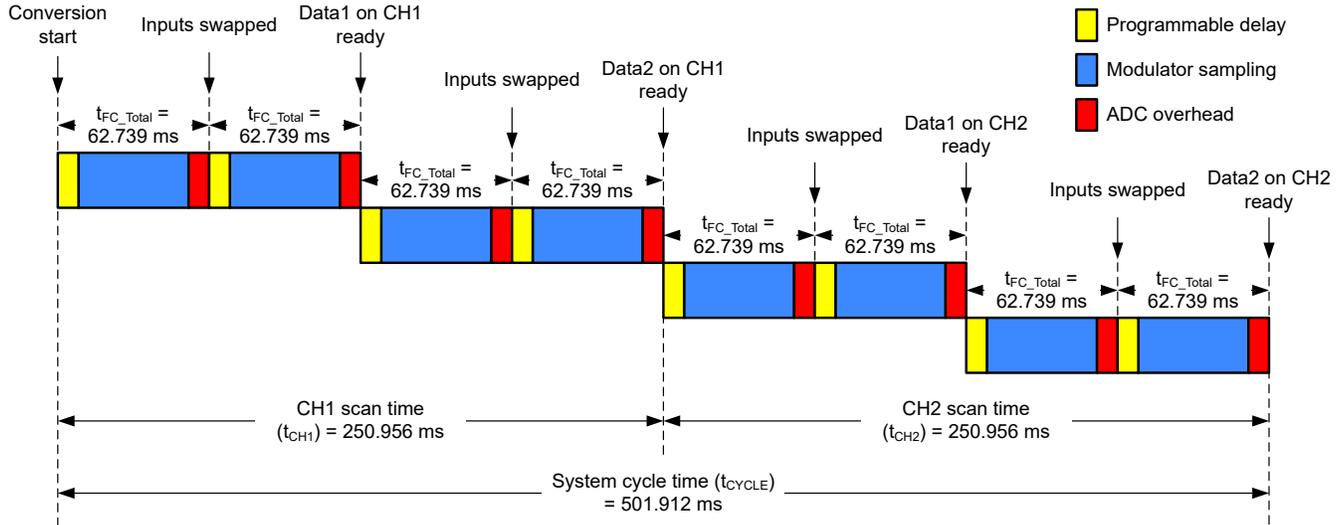


图 8-9. 示例 8 的时序图

## 9 总结

必须了解影响 ADC 转换延迟的所有因素，有助于正确选择满足所需系统周期时间的 ADC。本应用手册详细讨论了这些重要因素并提供了几个示例，以便深入理解如何利用 ADC 数据表中的信息来计算系统周期时间。

## 10 修订历史记录

<b>Changes from Revision * (March 2022) to Revision A (March 2024)</b>	<b>Page</b>
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司