

Kevin Scholz

摘要

对存储器的需求处于各种应用的核心位置。由于处理器的片上存储器容量有限，外部存储器为大型软件系统以及数据存储提供了解决方案，但不稳定的外部存储器接口可导致系统故障或者会阻碍软件开发。为防止潜在的系统级异常并确保系统稳健，硬件必须经过正确的配置和仔细测试。

Jacinto 7 DDRSS 寄存器配置工具着重于布线后的工作，并提供配置德州仪器 (TI) Jacinto 7 处理器的简化解决方案，用以访问针对某个系统选定的特定双倍数据速率 (DDR) 存储器器件型号。本文档详细描述了如何针对特定系统和存储器组件使用相关的应用文件来生成适当的寄存器设置，更新所支持的软件开发套件 (SDK) 的源代码，以及处理可能出现的常见疑问或问题。文档简介提供了 Jacinto 7 DDRSS 寄存器配置工具支持的处理器和存储器类型的完整列表。

可从以下 URL 下载本文档所述的电子表格：<https://www.ti.com/cn/lit/zip/spracu8>。

内容

1 引言	2
1.1 特性.....	2
1.2 电子表格概述.....	3
1.3 默认 SDK 配置.....	4
2 定制 DDR 配置	5
2.1 Config 工作表.....	5
2.2 DRAMTiming 工作表.....	8
2.3 IO 控制工作表.....	9
3 软件注意事项	12
3.1 更新 U-Boot.....	12
3.2 更新 RTOS PDK.....	14
4 疑难解答指南	14
4.1 主题/问题.....	14
5 参考文献	18
修订历史记录.....	18

插图清单

图 1-1. Jacinto 7 DDRSS 寄存器配置工具工作表.....	3
图 1-2. “保存”左键单击按钮.....	4
图 1-3. 加载默认 SDK DDR 配置的步骤.....	4
图 4-1. 类型不匹配错误.....	15
图 4-2. 类型不匹配源.....	15
图 4-3. 工作簿输出未基于用户输入更新.....	16
图 4-4. 启用公式计算.....	16
图 4-5. “无法运行宏”错误.....	17
图 4-6. 启用工作簿宏.....	18

表格清单

表 2-1. Jacinto 7 DDR IO 驱动强度与 IBIS 模型的对应关系.....	10
表 2-2. Jacinto 7 DDR IO 端接与 IBIS 模型的对应关系.....	11

商标

Jacinto™ and E2E™ are trademarks of Texas Instruments.

所有商标均为其各自所有者的财产。

1 引言

Jacinto™ 7 DDRSS 寄存器配置工具提供了简化的解决方案，用于配置德州仪器 (TI) Jacinto 7 处理器以访问 DDR 存储器。该工具由本文档和对应的电子表格组成，该电子表格根据用户输入生成寄存器设置。电子表格的输出旨在方便地与支持的 DDR 驱动程序集成，这些驱动程序随所支持的每个处理器的软件开发套件一起提供。

此文档提供了关于工具特性的详细信息，以及使用电子表格并相应地更新软件的过程概述。

备注

尽管此文档中的某些内容可能适用于 Jacinto 7 DDRSS 寄存器配置工具的其他电子表格版本，但此版本的文档特别针对电子表格 0.10.0 版本。

1.1 特性

Jacinto 7 DDRSS 寄存器配置工具支持和不支持的主要特性在节 1.1.1 和节 1.1.2 所示的列表中提供。

备注

此部分列出的支持/不支持特性并非详尽无遗。如果某个相关特性未在任何部分列出，请在 TI E2E™ 设计支持[论坛](#)上提交请求单。

1.1.1 支持的特性 (版本 0.10.0)

- 以下 TI 处理器器件型号的 DDR 接口：DRA821x、DRA829x、TDA4AH、TDA4AL、TDA4AP、TDA4VE、TDA4VH、TDA4VL、TDA4VM、TDA4VP
- DDR 存储器类型：LPDDR4
- DDR 总线宽度：32 位或 16 位
- 单等级或双等级 LPDDR4 存储器
- IO 驱动强度/端接定制
- 可配置 DDR 时序参数
- DRAM 初始化期间启用 DDRSS 硬件训练算法，包括：
 - 控制器/PHY 的 IO 校准
 - 命令总线训练，包括在 DRAM 的 MR12 中编程的基准电压
 - 写入矫正
 - 读取 DQS 栅极训练
 - 读取数据眼 (DQ) 训练，包括控制器/PHY 的基准电压
 - 写入数据眼 (DQ) 训练，包括在 DRAM 的 MR14 中编程的基准电压
- 在正常操作期间启用以下 DDRSS 硬件周期训练算法：
 - 写入数据眼 (DQ) 训练，不包括基准电压
 - ZQ 校准
- 非 2 的幂 LPDDR4 密度 (例如：3Gb、6Gb、12Gb)
- 数据总线反转

1.1.2 不支持的特性 (版本 0.10.0)

- 配置 ECC
- 位或字节通道交换
- LPDDR4 频率集合点
- 小于 2Gb 或大于 16Gb 的 LPDDR4 密度
- 32 位 READ (读取) /WRITE (写入) 突发长度
- 训练灵活性：默认情况下启用训练，并且此工具不支持定制

1.2 电子表格概述

相应的电子表格由三个用户输入工作表、四个寄存器输出工作表、一个标题页和一个修订历史记录组成，如图 1-1 所示。

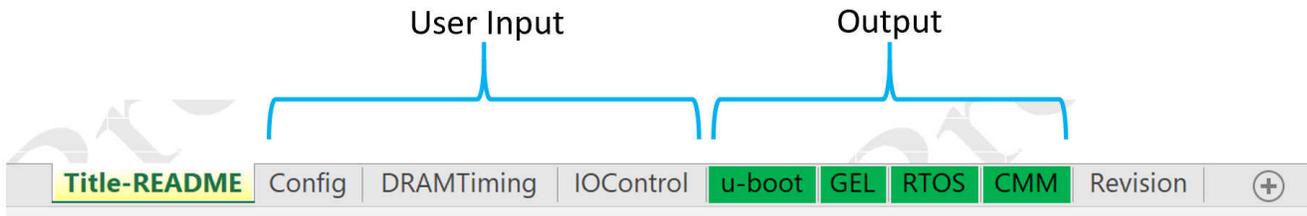


图 1-1. Jacinto 7 DDRSS 寄存器配置工具工作表

1.2.1 输入工作表

三个用户输入工作表包括：

- **配置**
- **DRAMTiming**
- **IOControl**

Config (配置) 输入工作表旨在用于采集高电平详细信息，例如系统中使用的 TI 处理器，运行的 DDR 子系统个数和它们之间的交错模式（如适用），所需的 DDR 频率以及 DDR 的高电平详细信息。完成此工作表需要高度了解系统。

DRAMTiming 输入工作表采集 DDR 的时序要求，可能随不同的 DDR 器件型号而变化。完成此工作表所需的信息是从系统中使用的 DDR 元件/器件型号的器件专用数据表中提取的，这些数据表通常可以在 DDR 供应商的网站上找到。使用中的每个 DDRSS 都需要输入。

IOControl 输入工作表采集所需输入/输出 (IO) 设置，例如处理器和 DDR 的驱动强度以及端接。IO 设置对于每个系统可以是唯一的，独立于所选的 TI 处理器和 DDR。使用中的每个 DDRSS 都需要输入。有关选择 IO 设置的更多信息，请参见节 2.3.1。

1.2.2 输出工作表

四个用户输出工作表包括：

- **u-boot**
- **GEL**
- **RTOS**
- **CMM**

每个输出工作表包含计算出的相应软件存储库格式的寄存器设置。例如，**RTOS** 工作表以次级引导加载程序 (SBL) DDR 驱动器所使用的数组格式提供寄存器设置，而 **u-boot** 工作表以 `#define` 预处理器指令的方式提供寄存器设置。另外，每个工作表包含一个“保存”左键单击按钮，用以将工作表的内容保存到硬盘驱动器。图 1-2 显示了“保存”左键单击按钮的例子。



图 1-2. “保存”左键单击按钮

备注

工作簿公式计算选项必须设置为“自动”，或者必须使用“立即计算”按钮，基于用户输入生成适当的寄存器设置。应当确保在将寄存器设置集成到软件之前完成计算。有关详细信息，请参阅节 4 的节 4.1.2。

1.2.3 其他工作表

标题页包含通用信息，支持用生成了 SDK 评估板 (EVM) 默认值的输入对工作簿进行预填充。如需了解更多信息，请参阅节 1.3。

“Revision”工作表提供工作簿每次修订改动的历史记录，包括特性改动，并记录受到公式更新影响的寄存器。

1.3 默认 SDK 配置

包含在软件开发套件中的 TI EVM 的 DDR 配置由 Jacinto 7 DDRSS 寄存器配置工具生成。由于 SDK 仅包含输出寄存器值，Jacinto 7 DDRSS 寄存器配置工具包含一些宏，用以填充用户输入来匹配相应的 SDK 配置。

若要使用这些宏填充该工具，以匹配用于生成 TI EVM 配置的用户输入，请按照以下步骤操作：

1. 导航到该工具的“Title-README”工作表。
2. 在下拉菜单中选择适当的 TI 处理器型号，如图 1-3 所示。
3. 左键单击“Load User Config”按钮。

备注

必须启用 Excel 工作簿的宏，此特性才能正常工作。有关详细信息，请参阅节 4 的节 4.1.3。

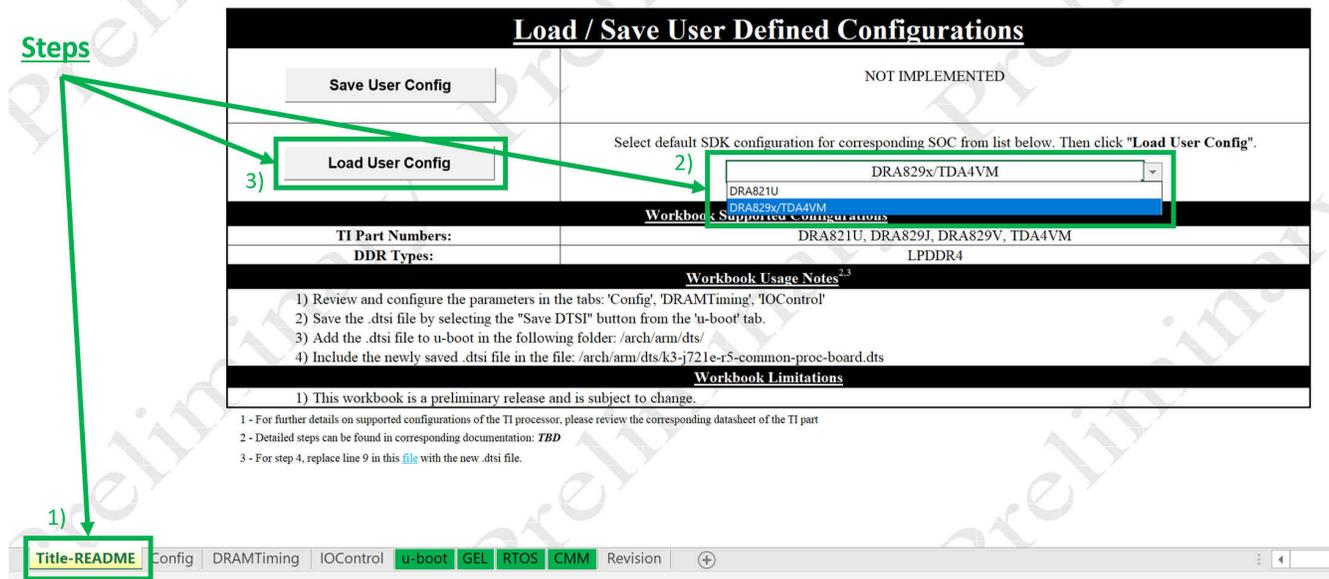


图 1-3. 加载默认 SDK DDR 配置的步骤

2 定制 DDR 配置

Jacinto 7 DDRSS 寄存器配置工具有助于轻松定制 DDRSS 寄存器值，确保针对给定系统执行适当的操作。如节 1.2 所述，相应的工作簿由三个控制寄存器配置输出的用户输入工作表组成。本节提供了与该工具每个输入工作表有关的详细信息。

2.1 Config 工作表

第一个需要配置的工作表是“Config”工作表，它分为两部分。工作表的第一部分，系统配置，用于输入有关定制设计方案的总体详情，并且很可能需要在默认输入的基础上进行定制。工作表的第二部分，存储器突发配置，允许对 DDR 接口的读取/写入突发进行一些定制。如果不确定如何设置工作簿中存储器突发配置部分的参数，建议使用 TI 的默认值。

2.1.1 系统配置

此部分每个参数的其他详细信息可以下列表中找到：

1. 电路板项目名称：
 - a. 说明：Jacinto 7 DDRSS 寄存器配置工具 0.10.0 或更早版本中未使用此参数。
 - b. 有效值：不适用
 - c. 推荐值：不适用
2. TI 片上系统 (SoC) 器件型号：
 - a. 说明：定义了系统中使用的 TI 处理器器件型号。
 - b. 有效值：由下拉菜单列表定义，与工具支持的 TI 处理器相匹配。
 - c. 推荐值：必须选择此参数，以便匹配系统中正在使用的 TI 处理器器件型号。工具的输出会随所选的 SoC 而变，请务必使用正确的器件型号！
3. 系统中使用的 DDR 控制器：
 - a. 说明：定义 TI SoC 的哪些 DDRSS 实例连接到外部存储并应由软件配置。
 - b. 有效值：由下拉菜单列表定义，与支持的 DDR 子系统（可以为所选 TI SoC 启用）组合相匹配。
 - c. 推荐值：不适用

备注

该参数的下拉列表依赖于“TI SoC 器件型号”的用户输入。

4. DDR 存储器类型：
 - a. 说明：定义了系统中使用的 DDR 存储器类型。
 - b. 有效值：由下拉菜单列表定义，与工具支持的 DDR 存储器类型相匹配。
 - c. 推荐值：工具仅支持“LPDDR4”这一个选项。
5. DDR 存储器引导频率 (频率集 0)：
 - a. 说明：定义了 DRAM 初始化期间 DDR 存储器时钟频率，或特定 DDR 元件数据表中定义的 $tCKb$ 。
 - b. 有效值：有关支持的 $tCKb$ 频率，请参阅特定 DDR 组件数据表。
 - c. 推荐值：建议与 TI 默认值相匹配。

备注

根据所用的 SDK 和 Jacinto 7 DDRSS 寄存器配置工具版本不同，此参数的使用影响也不同。在 SDK8.0 和 Jacinto 7 DDRSS 寄存器配置工具 0.6.0 版本之前，此参数影响着 *_F0 时序参数，但并不控制实际的 LPDDR4 引导频率。相反，在 SDK8.0 之前发布的 SDK 中，LPDDR4 引导频率是 PLL12 旁路时钟的 2 倍，或振荡器频率的 2 倍。从 SDK8.0 和 Jacinto 7 DDRSS 寄存器配置工具 0.6.0 版本开始，此参数对 *_F0 时序参数和 LPDDR4 引导频率都有影响。

6. DDR 存储器频率 (频率集 1)：
 - a. 说明：当 LPDDR4 配置为频率集合点 0 时，定义了正常操作期间的目标 DDR 存储器时钟频率。
 - b. 有效值：不可配置。由于工具不支持不同的频率集合点，因此该值必须与输入参数 DDR 存储器频率 (频率集合 2) 相匹配，并会在工具中自动更新以反映这一要求。
 - c. 推荐值：不适用

7. DDR 存储器频率 (频率集合 2) :

- 说明：当 LPDDR4 配置为频率集合点 1 时，定义了正常操作期间的目标 DDR 存储器时钟频率。
- 有效值：有关支持的频率，请参阅 TI 器件专用数据表，以及特定 DDR 组件数据表。请注意此参数应当设置为时钟速率，而不是数据速率。
- 推荐值：值必须处于 TI 处理器 DDRSS 和 DDR 支持的最小/最大范围内。

8. DDR 数据总线宽度 :

- 说明：定义了 DDR 接口使用的总线宽度。
- 有效值：由下拉菜单列表定义，与工具支持的总线宽度相匹配。
- 推荐值：设置的值应当与物理数据 (DQ) IO 引脚的数量相匹配，这些引脚连接在印刷电路板 (PCB) 上的处理器 DDRSS 和 LPDDR4 存储器之间。

9. DDR 密度 :

- 说明：定义单等级 LPDDR4 存储器的单通道的密度。例如，如果 LPDDR4 存储器在 2 条通道和 2 个等级上的总密度为 32Gb，则此参数应当设置为 8Gb。或者，如果 LPDDR4 存储器在 2 条通道和 1 个等级上的总密度为 8Gb，则此参数应当设置为 4Gb。
- 有效值：由下拉菜单列表定义，与工具支持的密度相匹配。
- 推荐值：正如此参数的说明所述，值应当设置为与系统中使用的 LPDDR4 的密度相匹配。

10. 芯片选择/等级 :

- 说明：定义了 DDR 接口使用的等级或芯片选择的数量。尽管 LPDDR4 接口的每个通道都拥有唯一的芯片选择，使用 CS0_A 和 CS0_B 应当视为 1 个等级。使用 CS0_A 和 CS1_A 应当视为 2 个等级。也就是说，此参数定义了每个通道的芯片选择的数量。
- 有效值：由下拉菜单列表定义，与工具支持的等级相匹配。
- 推荐值：正如此参数的说明所述，值应当设置为与 DDR 接口中所使用的等级数量相匹配。

11. 启用 DRAM 温度轮询 :

- 说明：此参数在正常操作期间启用或禁用 LPDDR4 温度轮询。启用后，控制器将定期向 LPDDR4 发送模式寄存器读取申请以读取 MR4。启用 DRAM 温度轮询的目的是根据 LPDDR4 的温度动态地改变刷新率。
- 有效值：由下拉菜单列表定义。
- 推荐值：此特性的用途将依赖于系统，并可能受到 LPDDR4 在最终应用中可能受到的温度以及系统的吞吐量要求的影响。

备注

启用此参数仅允许控制器定期读取 LPDDR4 的 MR4。它不会改变刷新率。需要软件中断服务例程来处理温度变化。

如果未动态更改刷新率，应当确保在“DRAMTiming”工作表内相应的时序参数中编程 LPDDR4 要求的最快刷新率。

无论参数的配置如何，都应在“DRAMTiming”工作表中将温度降额考虑在内。

12. 系统温度梯度 :

- 说明：定义了系统 (特别是 DDR) 在最终目标应用承受的最高温度梯度值。也就是说，此参数定义了 DDR 温度的变化速度。
- 有效值：任何大于零的十进制值。
- 推荐值：不适用，此参数依赖于系统，必须由最终用户定义。

备注

DRAM 温度轮询被禁用时，不使用此参数。

13. 多 DDRSS 交错混合配置

- 说明：确定使用多个 DDR 子系统时这些 DDR 子系统是如何交错的。
- 有效值：由下拉菜单列表定义，与所选 TI SoC 及使用的 DDR 子系统数的支持配置相匹配。

14. 多 DDRSS 交错存储大小

- 说明：确定交错存储区域的大小。

- b. 有效值：由下拉菜单列表定义，与基于使用的 DDR 子系统数及连接的相应 LP4 存储器的支持配置相匹配。

15. 多 DDRSS 交错粒度

- a. 说明：确定 DDR 子系统在交错存储区域内交错的粒度。
- b. 有效值：由下拉菜单列表定义，与基于使用的 DDR 子系统数及交错存储区域大小的支持配置相匹配。

2.1.2 存储器突发配置

此部分的每个参数的其他详细信息可在下述列表中找到：

1. **突发长度：**
 - a. 说明：此参数对应于 LPDDR4 存储器的 MR1[1:0] 并定义了单个 READ（读取）或 WRITE（写入）命令期间在每个数据引脚上传输的数据位的数量。
 - b. 有效值：由下拉菜单列表定义，与工具支持的突发长度相匹配。尽管 LPDDR4 存储器可能支持其他配置，但该工具仅支持 16 位连接突发长度。
2. **读取前同步码：**
 - a. 说明：此参数对应于 LPDDR4 存储器的 MR1[3] 并定义了 READ 前同步码是否切换。
 - b. 有效值：由下拉菜单列表定义。
3. **读取后同步码：**
 - a. 说明：此参数对应于 LPDDR4 存储器的 MR1[7] 并定义了时钟周期内的读取后同步码的长度。
 - b. 有效值：由下拉菜单列表定义。

4. 写入后同步码：

- a. 说明：此参数对应于 LPDDR4 存储器的 MR3[1] 并定义了时钟周期内的写入后同步码的长度。
- b. 有效值：由下拉菜单列表定义。

5. 数据总线反转（读取）：

- a. 说明：此参数对应于 LPDDR4 存储器的 MR3[6] 并定义了数据总线反转 (DBI) 函数在 READ（读取）期间是否启用。
- b. 有效值：由下拉菜单列表定义。

6. 数据总线反转（写入）：

- a. 说明：此参数对应于 LPDDR4 存储器的 MR3[7] 并定义了数据总线反转 (DBI) 函数在 WRITE（写入）期间是否启用。
- b. 有效值：由下拉菜单列表定义。

2.2 DRAMTiming 工作表

第二个待配置的工作表是“DRAMTiming”工作表。“DRAMTiming”工作表分为两部分：随频率变化的延迟参数和一般不随频率改变的非延迟参数。时序参数被划分为这两部分以简化不同频率的输入更新过程。待输入到“DRAMTiming”工作表参数中的值应当基于特定的 DDR 组件数据表。

备注

客户应负责确保输入到电子表格中的时序值符合相应系统中使用的器件专用 DDR 元件数据表。

2.2.1 延迟参数

由于延迟参数依赖于频率，对于频率 0 (F0)、频率 1 (F1) 以及频率 2 (F2)，每个参数拥有唯一的输入。F0、F1 和 F2 在“Config”工作表中进行定义。因此，应当针对每个延迟参数设置所有三个输入，以与给定频率的特定 DDR 组件数据表中定义的相应值对应。例如，若要了解基于时钟频率的值，请参阅 *JESD209-4D* 的表 100 和表 167，网址：<https://www.jedec.org/system/files/docs/JESD209-4D.pdf>。有关每个延迟参数的其他详细信息，请参阅以下列表：

1. **读取延迟**：此参数应当基于是否启用了读取 DBI，设置为与 DDR 在定义频率上的读取延迟相匹配。有效输入由一个下拉列表定义。

备注

读取延迟的下拉列表依赖于“Config”工作表中定义的“数据总线反转（读取）”参数的用户输入。

2. **写入延迟集合**：此参数定义了写入延迟集合。有效输入由一个下拉列表定义。建议保留工具针对此设置的默认值。
3. **写入延迟**：此参数应当基于所选择的写入延迟集合，设置为与 DDR 在定义频率上的写入延迟相匹配。有效输入由一个下拉列表定义。

备注

写入延迟的下拉列表依赖于“DRAMTiming”工作表中定义的“写入延迟集合”参数的用户输入。

4. **写入恢复**：此参数应当设置为与 DDR 在定义频率上的写入恢复时间相匹配。有效输入由一个下拉列表定义。
5. **ODTLon**：此参数应当基于所选择的写入延迟集合，设置为与 DDR 在定义频率上的 ODTLon 延迟相匹配。有效输入由一个下拉列表定义。

备注

ODTLon 的下拉列表依赖于“DRAMTiming”工作表中定义的“写入延迟集合”参数的用户输入。

6. **ODTLoff**：此参数应当基于所选择的写入延迟集合，设置为与 DDR 在定义频率上的 ODTLoff 延迟相匹配有效输入由一个下拉列表定义。

备注

ODTLoff 的下拉列表依赖于“DRAMTiming”工作表中定义的“写入延迟集合”参数的用户输入。

2.2.2 非延迟参数

除了延迟参数之外，还有几个附加 DDR 时序需要输入到 Jacinto 7 DDRSS 寄存器配置工具中。所有这些参数都应当根据特定的 DDR 组件数据表中获得的值进行设置。

备注

某些参数在高温下可能需要降额。客户应负责将降额的时序输入到电子表格中；软件中并未考虑这一问题。

2.3 IO 控制工作表

第三个也是最后一个需要配置的工作表是“IOControl”工作表，该工作表基于相应的集成电路 (IC) 组件将 IO 参数分成两部分。这两部分都可以对类似的参数类型进行定制：

- 基准电压 (VREF)
- 驱动强度
- 芯片端接

2.3.1 确定 IO 设置

由于电路板布局存在差异，最优 IO 设置可能随系统的不同而变化，即使这些系统使用了相同的处理器和 DDR。因此，执行 [Jacinto7 LPDDR4 电路板设计和布局指南](#) 所述的仿真并分析波形，以确定可提供最佳裕度的设置很重要。此过程可能需要多次仿真迭代才能确定最佳设置。一般的出发点是，可以选择驱动强度和端接设置来匹配 PCB 迹线阻抗。有关执行仿真的更多信息，请参阅 [Jacinto7 LPDDR4 电路板设计和布局指南](#)。

2.3.2 处理器/DDR 控制器 IO

有关此部分每个参数的其他详细信息，请参阅以下列表：

1. **VREF 控制**：VREF 控制参数影响 READ 周期期间的处理器数据 (DQ) 和频闪 (DQS) 输入/输出引脚的输入基准电压。
 - a. **范围**：此参数定义了后续参数“VDDQ 的百分比”可用的基准电压值的范围。此参数的推荐配置是“范围 0”。
 - b. **VDDQ 的百分比**：此参数以 IO 电压百分比的方式定义了目标基准电压电平，`vdds_ddr`。建议将此参数配置为 DDR 上拉校准配置的一半。例如，如果 DDR 上拉校准设置为“VDDQ/3”，此参数应当设置为 $[(1/3)/2] = \text{VDDQ}$ 的 16.67%。

备注

正常操作期间使用的实际基准电压由 DDR 接口初始化期间执行的 VREF 训练算法的结果决定。

2. **驱动强度**：驱动强度参数影响 WRITE 周期期间处理器 DDR 引脚的电压摆幅和信号完整性。如节 2.3.1 中所述，应当基于 IO 模型设置选择合适的值以实现最好的仿真结果。表 2-1 说明了 IBIS IO 模型名称和相应驱动强度参数值之间的对应关系。

表 2-1. Jacinto 7 DDR IO 驱动强度与 IBIS 模型的对应关系

工具参数	IO 模型 ^{(1) (2)}	相应的参数值
驱动器上拉	lpddr4_ocd_240p_240n	240Ω
	lpddr4_ocd_120p_120n	120Ω
	lpddr4_ocd_80p_80n	80Ω
	lpddr4_ocd_60p_60n	60Ω
	lpddr4_ocd_48p_48n	48Ω
	lpddr4_ocd_40p_40n	40Ω
	lpddr4_ocd_120pd_60p_40n ⁽³⁾	不支持
	lpddr4_ocd_120pd_48p_40n ⁽³⁾	不支持
驱动器下拉	lpddr4_ocd_240p_240n	240Ω
	lpddr4_ocd_120p_120n	120Ω
	lpddr4_ocd_80p_80n	80Ω
	lpddr4_ocd_60p_60n	60Ω
	lpddr4_ocd_48p_48n	48Ω
	lpddr4_ocd_40p_40n	40Ω
	lpddr4_ocd_120pd_60p_40n ⁽³⁾	不支持
	lpddr4_ocd_120pd_48p_40n ⁽³⁾	不支持

- (1) 模型名称基于 IBIS 文件 *j7es_v0p2.ibs*、*DRA829* 和 *TDA4VM IBIS 文件*。IO 模型名称对于不同的 Jacinto 7 处理器应相同，但仿真必须使用正确的处理器 IBIS 模型，它可从相应的产品主页获得。
- (2) 模型名称也用于表示模型的版本差别（以 *_diff* 结尾的模型）
- (3) Jacinto 7 DDRSS 寄存器配置工具当前不支持此 IO 模型。

3. **端接**：端接参数影响 READ 周期期间处理器 DDR 引脚的电压摆幅和信号完整性。如节 2.3.1 中所述，应当基于 IO 模型设置选择合适的值以实现最好的仿真结果。表 2-2 说明了 IBIS IO 模型名称和相应端接参数值之间的对应关系。

表 2-2. Jacinto 7 DDR IO 端接与 IBIS 模型的对应关系

工具参数	IO 模型 (1) (2)	相应的参数值
ODT 上拉	lpddr4_odt_240	高阻态
	lpddr4_odt_120	高阻态
	lpddr4_odt_80	高阻态
	lpddr4_odt_60	高阻态
	lpddr4_odt_48	高阻态
	lpddr4_odt_40	高阻态
	lpddr4_odt_off	高阻态
ODT 下拉	lpddr4_odt_240	240Ω
	lpddr4_odt_120	120Ω
	lpddr4_odt_80	80Ω
	lpddr4_odt_60	60Ω
	lpddr4_odt_48	48Ω
	lpddr4_odt_40	40Ω
	lpddr4_odt_off	高阻态

- (1) 模型名称基于 IBIS 文件 *j7es_v0p2.ibs*、*DRA829* 和 *TDA4VM IBIS* 文件。IO 模型名称对于不同的 Jacinto 7 处理器应相同，但仿真必须使用正确的处理器 IBIS 模型，它可从相应的产品主页获得。
- (2) 模型名称也用于表示模型的版本差别（以 *_diff* 结尾的模型）

2.3.3 DRAM I/O

此部分的每个参数的其他详细信息可以在下述列表中找到：

1. VREF 控制：

- VREF 范围 (DQ 或 CA)**：此参数对应于 DQ 信号的 MR14[6] 以及命令/地址信号的 MR12[6]，并定义了各自信号使用的 VREF 范围。
- VREF (DQ 或 CA)**：此参数对应 DQ 信号的 MR14[5:0] 以及命令/地址信号的 MR12[5:0]，并定义了目标参考电压电平，作为 I/O 电压的百分比。

2. 驱动强度：

- 下拉 (PDDS)**：此参数对应于 LPDDR4 存储器的 MR3[5:3] 并定义了读取周期内 DDR 数据 (DQ) 和频闪 (DQS) 引脚的驱动强度。如节 2.3.1 中所述，应当基于 I/O 模型设置选择合适的值以实现最佳的模拟结果。
- 上拉校准**：此参数对应于 LPDDR4 存储器的 MR3[0] 并定义了读取周期内的目标 VOH。建议将此参数保持为默认的“VDDQ / 3”。

3. 端接：

- a. **CA ODT 禁用**：此参数对应于 LPDDR4 存储器的 MR22[5]。当将此参数设置为“Disable”（禁用）时，无论在 MR11 中是如何配置端接的或 ODT_CA 引脚处于何种状态，命令/地址引脚的端接被禁用。当将此参数设置为“ODT_CA Bond Pad”时，命令/地址引脚的端接将根据 MR11 配置和 ODT_CA 引脚进行配置。建议将此参数保持为默认的“ODT_CA Bond Pad”。
- b. **CK ODT 覆盖**：此参数对应于 LPDDR4 存储器的 MR22[3]。当设置为“Enable”（启用）时，无论 ODT_CA 引脚如何，时钟端接都由 MR11 配置决定。如果 CA 总线在两个等级之间共享，但时钟未共享，此参数用于启用时钟上的端接。由于 Jacinto 7 处理器在不同等级之间共享 CA 总线和时钟，建议将此参数保持为默认值“Disable”（禁用）。
- c. **CS ODT 覆盖**：此参数对应于 LPDDR4 存储器的 MR22[4]。当设置为“Enable”（启用）时，无论 ODT_CA 引脚如何，芯片选择端接都由 MR11 配置决定。如果 CA 总线在两个等级之间共享，但芯片选择未共享，此参数用于启用芯片选择引脚上的端接。由于 Jacinto 7 处理器在不同等级之间共享 CA 总线但只有唯一的芯片选择信号，建议将此参数保持为默认值“Enable”（启用）。
- d. **CA ODT**：此参数对应于 LPDDR4 存储器的 MR11[6:4] 并定义了 LPDDR4 存储器的命令/地址引脚的端接。如节 2.3.1 中所述，应当基于 I/O 模型设置选择合适的值以实现最佳的模拟结果。
- e. **DQ ODT**：此参数对应于 LPDDR4 存储器的 MR11[2:0] 并定义了 WRITE 周期内 LPDDR4 存储器的数据 (DQ)、数据掩码 (DM) 以及频闪 (DQS) 引脚的端接。如节 2.3.1 中所述，应当基于 I/O 模型设置合适的值以实现最佳的模拟结果。
- f. **SOC ODT**：此参数对应于 LPDDR4 存储器的 MR22[2:0] 并定义了处理器/DDR 控制器的端接。此参数必须配置为与 3 中所定义的端接匹配。

3 软件注意事项

此部分提供了关于如何将 Jacinto 7 DDRSS 寄存器配置工具的输出纳入现有软件存储库的详细信息。

3.1 更新 U-Boot

Jacinto 7 DDRSS 寄存器配置工具在器件树源包含 (DTSI) 文件中输出唯一的寄存器设置，该文件可与 u-boot 中关联的驱动搭配使用，以初始化 LPDDR4 接口。

此部分详细描述了如何使用 Jacinto 7 DDRSS 寄存器配置工具输出来更新 u-boot 源代码。此部分也描述了处理可用内存大小所必需的 u-boot 源代码更新。

备注

此文档并未涵盖生成源文件的过程。有关重新构建二进制文件的步骤，请参阅相应的 SDK 文档。

3.1.1 更新 DDR 寄存器设置

若要更新 DDRSS 寄存器设置，应遵循以下步骤：

1. 导航至“u-boot”工作表（一旦所有用户输入工作表都完成），并通过选择工作表顶部的“保存 DTSI”按钮保存 DTSI 文件。出现提示时，保存该文件并将其添加到 u-boot 源代码中，并将该文件放置在 `<UBOOT_BASE>/arch/arm/dts/` 文件夹内。
2. 更新相应的 R5 通用处理器器件树源文件，以包含由 Jacinto 7 DDRSS 寄存器配置工具生成的新的 DDR DTSI 文件。例如，在为 TDA4VM EVM 构建 R5 引导加载程序时，“k3-j721e-r5-common-proc-board”器件树源文件包含了 Jacinto 7 DDRSS 寄存器配置工具输出 DTSI 文件（“k3-j721e-ddr-evm-lp4-4266.dtsi”）。

源：[arch/arm/dts/k3-j721e-r5-common-proc-board.dts](#)

```

// SPDX-License-Identifier: GPL-2.0
/*
 * 2019 德州仪器版权所有 - http://www.ti.com/
 */

/dts-v1/;

#include "k3-j721e-som-p0.dtsi"
#include "k3-j721e-ddr-evm-lp4-4266.dtsi"
#include "k3-j721e-ddr.dtsi"

```

3. 按照 SDK 文档中的指令重新构建源代码。

3.1.2 更新源以设置可用存储器大小

除了更新 DDRSS 寄存器，可能还需要更新 u-boot 中的其他源文件，以便系统按预期工作。

例如，定制电路板上可用存储器总大小与 TI EVM 相比可能不相同。SDK 中的默认软件使用 u-boot 全局数据和电路板信息结构，特别是 *ram_size* 变量，该变量应当配置为与 DDR 存储器的总大小相匹配，以及 *bi_dram* 结构的 *start* (开始) 和 *size* (大小) 参数，他们将处理器相应的地址空间映射到 DDR 存储器区域。但是，这些参数并非根据寄存器设置或 Jacinto 7 DDRSS 寄存器配置工具的输出进行配置的。因此，必须更新这些变量，以确保当定制电路板的存储器比 EVM 的少时，系统不会尝试访问不可用的物理存储器；当定制电路板的存储器比 EVM 的多时，允许系统使用全部 DDR 存储器空间。

在默认的 SDK 源代码中，*ram_size* 和 *bi_dram* 结构变量在函数 *dram_init* 和 *dram_init_banksizes* 中进行配置，这些函数位于相应的处理器板级配置文件中。下方提供了示例：

源：[board/ti/j721e/evm.c](#)

如下所示，函数 *dram_init* 对全局数据变量 *ram_size* 进行配置。应当在自定义代码中修改此函数，*ram_size* 应当配置为与可用的 DDR 存储器总大小相匹配。

```

int dram_init(void)
{
#ifdef CONFIG_PHYS_64BIT
    gd->ram_size = 0x100000000;
#else
    gd->ram_size = 0x80000000;
#endif

    return 0;
}

```

如下所示，函数 *dram_init_banksizes* 对全局数据变量 *ram_size* 以及电路板信息 *bi_dram* 进行配置。应当在自定义代码中修改此函数。变量 *ram_size* 应当配置为与可用的 DDR 存储器总大小相匹配。*bi_dram* 结构的 *start* (开始) 和 *size* (大小) 参数应当配置为与每个 DDR 段的可用存储器相匹配。对于 Jacinto 7 处理器，DDR 存储器分为低电平区域和高电平区域。低电平区域的寻址空间为 32 位，但大小限制在 2GB。在下面的例子中，4GB 分为低电平区域和高电平区域，使得每个区域被映射到 2GB。

```

int dram_init_banksize(void)
{
    /* Bank 0 声明在 DDR 低电平区域中可用的存储器 */
    gd->bd->bi_dram[0].start = CONFIG_SYS_SDRAM_BASE;
    gd->bd->bi_dram[0].size = 0x80000000;
    gd->ram_size = 0x80000000;

#ifdef CONFIG_PHYS_64BIT
    /* Bank 1 声明在 DDR 高电平区域中可用的存储器 */
    gd->bd->bi_dram[1].start = CONFIG_SYS_SDRAM_BASE1;
    gd->bd->bi_dram[1].size = 0x80000000;
    gd->ram_size = 0x100000000;
#endif

    return 0;
}
    
```

3.2 更新 RTOS PDK

Jacinto 7 DDRSS 寄存器配置工具在头文件中输出唯一的寄存器设置，该设置可与 RTOS SDK 所含平台开发套件 (PDK) 中关联的 DDR 驱动搭配使用。此部分详细描述了如何使用 Jacinto 7 DDRSS 寄存器配置工具输出来更新 PDK 源代码。

备注

此文档并未涵盖生成源文件的过程。有关重新构建二进制文件的步骤，请参阅相应的 SDK 文档。

3.2.1 更新 DDR 寄存器设置

若要更新 DDRSS 寄存器设置，应遵循以下步骤：

1. 所有用户输入工作表都完成后，导航至“RTOS”工作表，选择工作表顶部的“Save RTOS Header File”按钮保存头文件。出现提示时，将文件保存到 RTOS PDK 源代码，替换相应板卡包含文件夹内的 *board_ddrRegInit.h* 文件。示例目录路径如下：
 - a. **TDA4VM EVM** : <RTOS_INSTALL_DIR>/pdk_jacinto_xx_xx_xx/packages/ti/board/src/j721e_evm/include/
 - b. **DRA821x EVM** : <RTOS_INSTALL_DIR>/pdk_jacinto_xx_xx_xx/packages/ti/board/src/j7200_evm/include/
2. 根据相应 SDK 文档所概述的步骤重新构建二进制文件。

4 疑难解答指南

以下部分针对可能发生的相应问题列出了可尝试的初始步骤。如果这些步骤无法解决问题，请在 [TI E2E 设计支持论坛](#)上提交请求单。

4.1 主题/问题

1. 尝试保存寄存器输出时收到一个错误，内容为“Run-time error '13': Type mismatch”。对于某些寄存器值也可以观察到“#N/A”（如图 4-1 所示）。
2. 更改工作表输入并保存寄存器设置时，可以看到这些值和之前一样（如图 4-3 中所示）。
3. 当在工作簿内选择任意按钮后，收到一条错误消息，内容为“Cannot run the macro ...”（如图 4-5 中所示）。

4.1.1 主题 1

问题：尝试保存寄存器输出时收到一个错误，内容为“Run-time error '13': Type mismatch”。对于某些寄存器值也可以观察到“#N/A”（如图 4-1 所示）。

```
#define DDRSS_CTL_170_DATA 0x021600D6
#define DDRSS_CTL_171_DATA 0x02161010
#define DDRSS_CTL_172_DATA 0x00000000
#define DDRSS_CTL_173_DATA 0x00000000
#define DDRSS_CTL_174_DATA 0x00000000
#N/A
#N/A
#define DDRSS_CTL_177_DATA 0x00003333
#define DDRSS_CTL_178_DATA 0x56000000
#define DDRSS_CTL_179_DATA 0x27270056
#define DDRSS_CTL_180_DATA 0x0F0F0000
#define DDRSS_CTL_181_DATA 0x16000000
#define DDRSS_CTL_182_DATA 0x00841616
#N/A
#define DDRSS_CTL_184_DATA 0x33333300
#define DDRSS_CTL_185_DATA 0x00000000
```

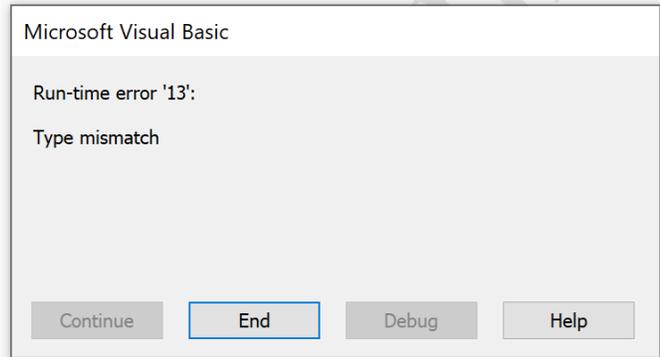


图 4-1. 类型不匹配错误

解决方案：仔细检查以确保所有依赖其他参数的参数都设置为有效值。每个参数的依赖关系用“注”在节 2 中进行说明。

说明：类型不匹配错误可能是用户输入中的错误造成的。某些输入取决于电子表格的其他输入。例如，“DRAMTiming”工作表“Write Latency”的下拉选项取决于“Write Latency Set”的输入。因此，如果“Write Latency”的值配置完成后“Write Latency Set”的值被改变，“Write Latency”的值可能无效。如图 4-2 中所示，“Write Latency Set”的值从“WL set B”变为“WL set A”后，上一个“Write Latency”的值“34”不再有效。

A) Configure the latency parameters by selecting the appropriate values from the respective drop-down menus.

Parameter Group	Parameter	Description	Frequency Set 0	Frequency Set 1	Frequency Set 2	Units
Latency Parameters	RL	Read Latency	6	36	36	nCK
	WLS	Write Latency Set	WL set A	WL set B	WL set A	NA
	WL	Write Latency	4	34	34	nCK
	nWR	Write Recovery	6	40	4	nCK
	ODTLon	Latency from a CAS-2 command to the tODT _{ON} reference	0	8	6	nCK
	ODTLoff	Latency from a CAS-2 command to the tODT _{OFF} reference	0	28	8	nCK

Valid values for "WL set A" (values 4, 6, 8, 10, 12, 14, 16, 18 are shown in the dropdown menu)

B) Configure the timing parameters by entering the DRAM datasheet values into the appropriate cells.

Parameter Group	Parameter	Description	Datasheet Values		JEDEC	
			tCK	ns	tCK	ns
Initialization	tINIT1	Minimum RESET_n LOW time after completion of voltage ramp		200000		
	tINIT2	Minimum CKE low time before RESET_n goes high		10		
	tINIT3	Minimum CKE low time after RESET_n goes high		2000000		
	tINIT4	Minimum stable clock before first CKE high	5			
	tINIT5	Minimum idle time before first MRW/MRR command		2000		
Reset	tPW_RESET	Minimum RESET_n LOW time for reset initialization with stable power		0		

图 4-2. 类型不匹配源

4.1.2 主题 2

问题：更改工作表输入并保存寄存器设置时，可以看到这些值和之前一样（如图 4-3 中所示）。

A) System Configuration

Detail	Parameter	Value	Units	Notes
1	Company / Board Name / Revision (Ex: TI EVM_revC)	Not Used	NA	1
2	TI SOC Part Number	TDA4VM	NA	1
3	OSC1 Input Frequency	Not Used	MHz	1
4	DDR Memory Type	LPDDR4	NA	2
5	DDR Memory Boot Frequency (Frequency Set 0)	55	MHz	3
6	DDR Memory Frequency (Frequency Set 1)	2133	MHz	4
7	DDR Memory Frequency (Frequency Set 2)	1600	MHz	5
8	DDR Data Bus Width	32	Bits	6
9	DDR Density (per channel)	8	Gb	
10	Chip Selects / Ranks	2	NA	
11	Enable DRAM Temperature Polling	No	NA	7, 8
12	System Temperature Gradient (maximum)	30	°C/s	9

Change to “DDR Memory Frequency (Frequency Set 2)” not reflected in tool output

```
#define DDRSS_PLL_FHS_CNT 10
#define DDRSS_PLL_FREQUENCY_0 27500000
#define DDRSS_PLL_FREQUENCY_1 1066500000
#define DDRSS_PLL_FREQUENCY_2 1066500000
```

图 4-3. 工作簿输出未基于用户输入更新

解决方案：尝试以下两个选项之一：

1. 从工作簿公式功能区开启自动公式计算（如图 4-4 中所示）。
2. 从工作簿公式功能区选择“Calculate Now”按钮（如图 4-4 中所示）。

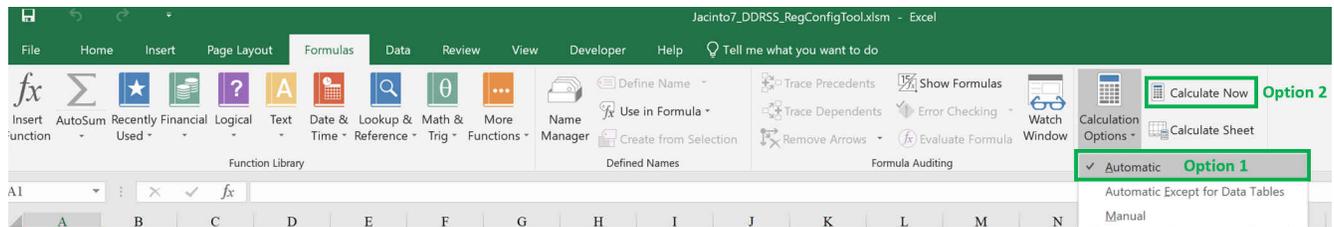


图 4-4. 启用公式计算

说明：寄存器设置由公式而不是宏生成。公式必须自动计算得出，或通过与工作簿公式功能区选择“Calculate Now”按钮计算得出。

4.1.3 主题 3

问题：当在工作簿内选择任意按钮后，收到一条错误消息，内容为“Cannot run the macro ...”（如图 4-5 中所示）。

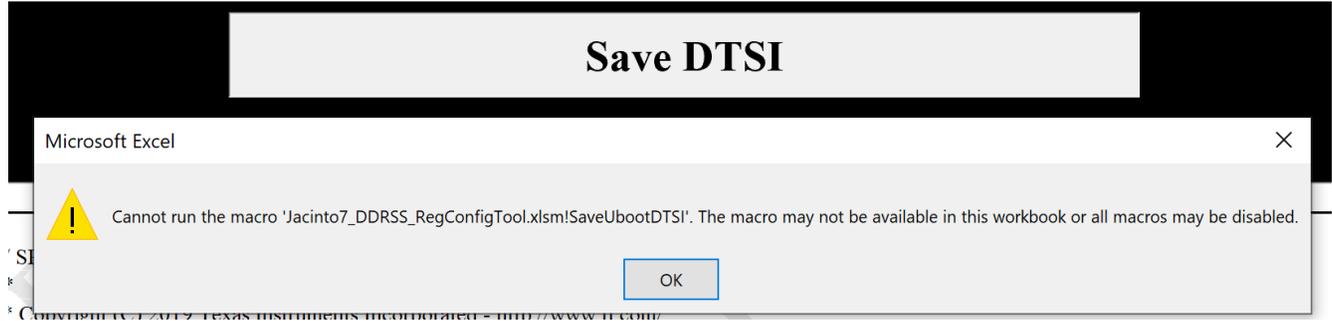


图 4-5. “无法运行宏” 错误

解决方案：使用以下步骤对工作簿启用宏，如图 4-6 中所示：

1. 从工作簿“File”菜单中选择“Options”
2. 选择“Trust Center”
3. 选择“Trust Center Settings...”
4. 选择“Macro Settings”
5. 选择“Disable all macros with notification”
6. 保存工作簿以确保对所有内容的修改均已保存。关闭工作簿然后重新打开。
7. 提示重新打开文件时，选择“Enable Content”

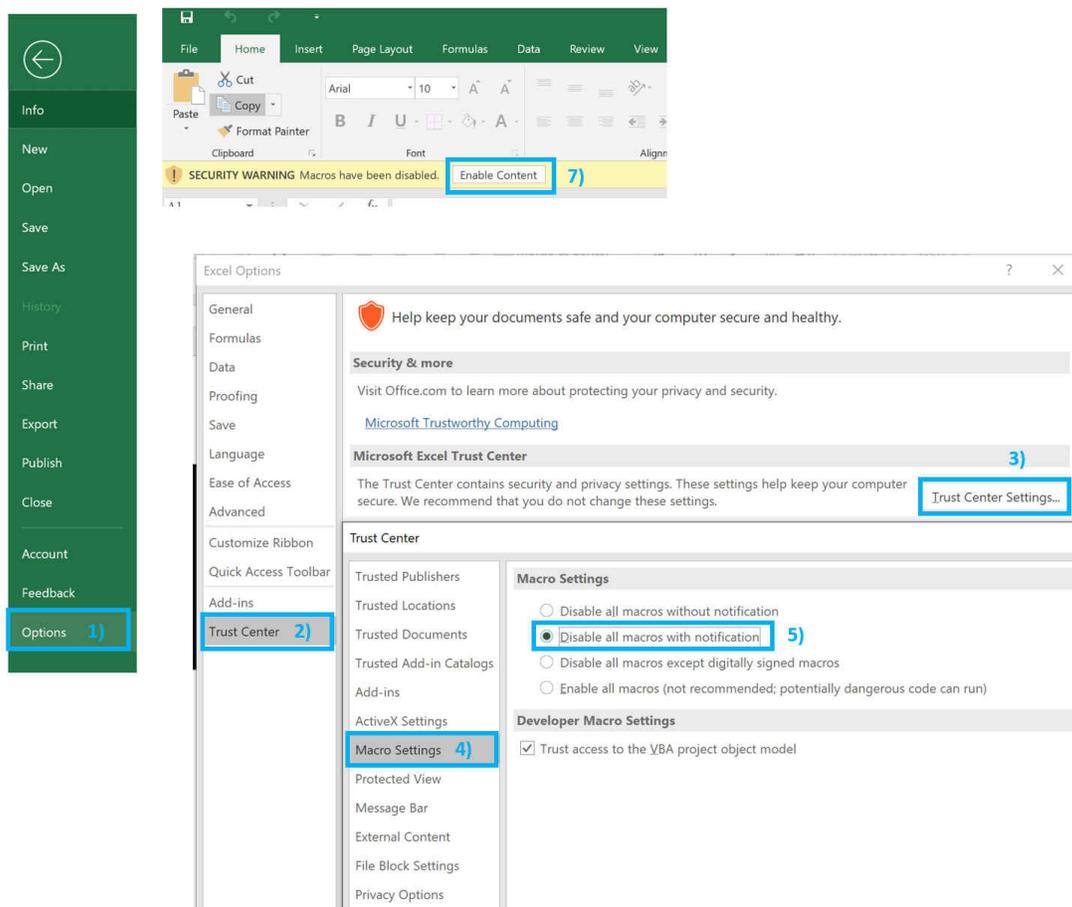


图 4-6. 启用工作簿宏

说明：在某些计算机上默认情况下宏可能被禁用，打开文件时可能没有任何启用选项。但是，这些按钮依赖于工作簿所包含的宏，所以必须启用才能正常工作。

5 参考文献

- [Jacinto7 LPDDR4 电路板设计和布局指南](#)
- [DRA829 和 TDA4VM IBIS 文件](#)

修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (July 2022) to Revision B (January 2023)	Page
• 更新了整个文档中的表、图和交叉参考的编号格式.....	2
• 更新了 节 1	2
• 更新了 节 1.1.1	2
• 更新了 节 1.1.2	3
• 更新了 节 2.1.1	5

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司