

Application Note

多个 TLV320ADCx140/PCMX140-Q1、TLV320ADCx120 和 PCMX120-Q1 器件共享 TDM 和 I²C 总线



Pedro Gelabert

摘要

TLV320ADCx140/PCMX140-Q1 器件系列 (TLV320ADC3140、TLV320ADC5140 和 TLV320ADC6140) 是适用于音频应用的四通道、高性能模数转换器 (ADC)。TLV320ADCx120 系列 (TLV320ADC3120、TLV320ADC5120 和 TLV320ADC6120) 是适用于音频应用的小型双通道高性能 ADC。PCMX120-Q1 系列 (PCM3120-Q1、PCM5120-Q1、PCM6120-Q1) 是适用于音频应用的汽车级双通道高性能 ADC。本文档介绍如何将多个 TLV320ADCx140/PCMX140-Q1 和/或 TLV320ADCx120/PCMX120-Q1 器件配置为共享单个 TDM 和 I²C 总线。

内容

1 简介.....	2
2 共享控制总线.....	3
3 共享音频总线.....	4
3.1 共享 TDM 的 ASI 配置.....	5
3.2 菊花链 TDM 的 ASI 配置.....	10
4 为多个 TLV320ADCx140/PCMX140-Q1 EVM 配置 PurePath Console.....	13
4.1 更改 TLV320ADCx140/PCMX140-Q1 的默认 I ² C 地址.....	13
4.2 启动 PurePath Console (针对多个器件)	14
5 PurePath Console I ² C 脚本.....	18
5.1 用于共享 TDM 的 TLV320ADCx140/PCMX140-Q1 I ² C 脚本.....	18
5.2 用于菊花链 TDM 的 TLV320ADCx140/PCMX140-Q1 I ² C 脚本.....	19
6 修订历史记录.....	20

插图清单

图 1-1. 四个 TLV320ADCx140/PCMX140-Q1 器件共享控制和音频数据总线.....	2
图 1-2. TLV320ADCx140/PCMX140-Q1 通道信号链处理流程图.....	3
图 3-1. TDM 模式标准协议时序 (TX_OFFSET = 0).....	4
图 3-2. TLV320ADCx140/PCMX140-Q1 共享 TDM 连接图.....	5
图 3-3. ASI_CH1 寄存器.....	5
图 3-4. ASI_CH2 寄存器.....	6
图 3-5. ASI_CH3 寄存器.....	6
图 3-6. ASI_CH4 寄存器.....	6
图 3-7. ASI_CFG0 寄存器.....	7
图 3-8. ASI_OUT_CH_EN 寄存器.....	8
图 3-9. ASI_CFG1 寄存器.....	8
图 3-10. TLV320ADCx140/PCMX140-Q1 共享拆分 TDM 连接图.....	9
图 3-11. TLV320ADCx140/PCMX140-Q1 具有主要和辅助总线的共享拆分 TDM 连接图.....	10
图 3-12. TLV320ADCx140/PCMX140-Q1 菊花链 TDM 连接图.....	11
图 3-13. ASI_CFG2 寄存器.....	11
图 3-14. GPIO_CFG0 寄存器.....	11
图 4-1. TLV320ADCx140/PCMX140-Q1 EVM I ² C 和 TDM 信号的位置.....	13
图 4-2. TLV320ADCx140 EVM 的 I ² C 地址配置.....	14
图 4-3. PurePath Console “Input Number of Devices” 对话框.....	15
图 4-4. PurePath Console 主窗口.....	15

图 4-5. PurePath Console 器件 A 通道到时隙映射.....	16
图 4-6. PurePath Console 器件 B 通道到时隙映射.....	16
图 4-7. 器件 A 和 B 的 PurePath Console 通道到时隙映射.....	17

表格清单

表 2-1. TLV320ADCx140/PCMx140-Q1 I ² C 从器件地址设置.....	3
表 3-1. ASI_CH1 寄存器字段说明.....	5
表 3-2. ASI_CH2 寄存器字段说明.....	6
表 3-3. ASI_CH3 寄存器字段说明.....	6
表 3-4. ASI_CH4 寄存器字段说明.....	6
表 3-5. ASI_CFG0 寄存器字段说明.....	7
表 3-6. ASI_OUT_CH_EN 寄存器字段说明.....	8
表 3-7. ASI_CFG1 寄存器字段说明.....	9
表 3-8. ASI_CFG2 寄存器字段说明.....	11
表 3-9. GPIO_CFG0 寄存器字段说明.....	12
表 4-1. TLV320ADCx140/PCMx140-Q1 EVM I ² C 从器件地址.....	14

商标

PurePath™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

1 简介

对于需要四个以上通道的 TLV320ADx140 应用，多个 TLV320ADCx140/PCMx140-Q1 器件可以共享公共总线。对于具有最多 16 个模拟输入通道或最多 32 个数字麦克风输入的系统，最多四个 TLV320ADCx140/PCMx140-Q1 器件可以共享单个控制和音频数据总线，以更大限度地减少电路板布线面积。TLV320ADCx140/PCMx140-Q1 支持使用 I²C 接口的控制总线和使用时分多路复用 (TDM)、IC 间音频 (I²S) 或左对齐 (LJ) 接口的音频串行总线。图 1-1 展示了四个 TLV320ADCx140/PCMx140-Q1 器件共享控制总线和音频数据总线的示意图。

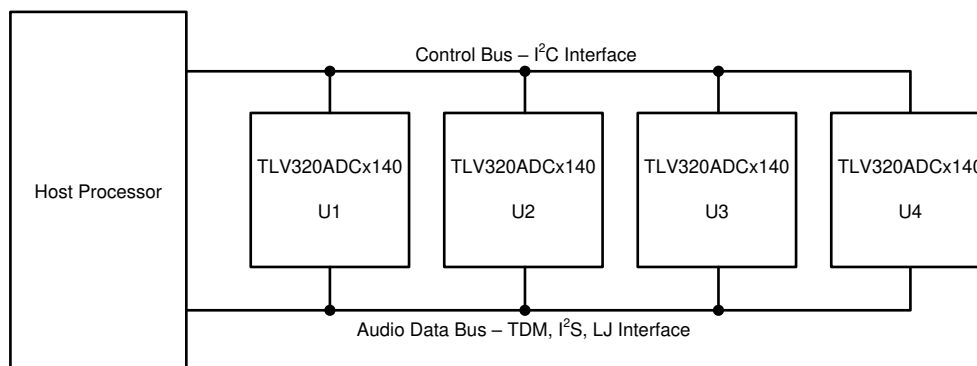


图 1-1. 四个 TLV320ADCx140/PCMx140-Q1 器件共享控制和音频数据总线

TLV320ADCx140/PCMx140-Q1 器件的各通道都遵循如图 1-2 所示的信号链。TLV320ADCx140/PCMx140-Q1 的每个通道都支持模拟差分信号或单端信号或数字脉冲密度调制 (PDM) 数字麦克风。在 TLV320ADCx140/PCMx140-Q1 系列器件中，模拟输入信号由可编程增益放大器 (PGA) 放大，然后通过高性能 ADC 转换为数字信号。PGA 获得输入信号，以匹配 ADC 的满量程。数字信号具有可编程相位校准功能，以一个调制器时钟周期为阶跃，调整每个通道的相位延迟，因而支持系统跨不同通道来匹配相位。然后，通过一组线性相位滤波器或低延迟滤波器来抽取经过相位校准的数字信号。直流偏移由具有三个预设截止频率或完全可编程截止频率的数字高通滤波器 (HPF) 从抽取的信号中去除。请注意，直流偏移由共模电压不匹配引起。HPF 输出是以 0.1dB 阶跃进行校准的增益，并与其他通道相加。增益校准与不同通道的增益相匹配，特别是在通道内的麦克风具有不同增益值时。然后，输出由数字双二阶滤波器进行过滤并通过音量控制获得。

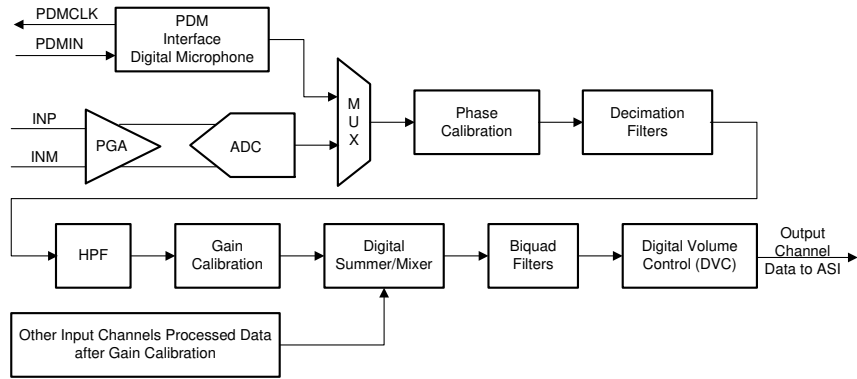


图 1-2. TLV320ADCx140/PCMx140-Q1 通道信号链处理流程图

本应用手册重点介绍如何配置 TLV320ADCx140/PCMx140-Q1 以在器件之间共享单个控制和音频数据总线。

2 共享控制总线

TLV320ADCx140/PCMx140-Q1 器件通过 I²C 总线（工作模式有标准模式、快速模式和快速+ 模式）进行控制。该 I²C 控制总线需要一个 7 位从器件地址，可通过将 ADDR0_SCLK 和 ADDR1_MISO 引脚拉至 VSS 或 IOVDD 对其最低有效位进行编程。通过这些引脚对不同的 I²C 从器件地址进行编程，多个 TLV320ADCx140/PCMx140-Q1 器件可以共享一个 I²C 控制总线。此外，可编程广播使能功能允许您临时更改 I²C 从器件地址：TLV320ADCx140/PCMx140-Q1 为 1001100。利用该临时从器件地址，可同时向系统中的所有 TLV320ADCx140/PCMx140-Q1 器件广播 I²C 通信。表 2-1 列出了这些引脚和广播配置选项可能生成的四个 TLV320ADCx140/PCMx140-Q1 器件地址。在 ADDR1_MISO 和 ADDR0_SCLK 的这些表条目中，符号“0”表示将引脚拉至 VSS，符号“1”表示将引脚拉至 IOVDD。符号“X”表示将引脚拉至 VSS 或 IOVDD。

表 2-1. TLV320ADCx140/PCMx140-Q1 I²C 从器件地址设置

ADDR1_MISO	ADDR0_SCLK	SLEEP_CFG 寄存器的 I2C_BRDCAST_EN 位字段	I ² C 从器件地址（二进制）
0	0	0（默认值）	1001 100
0	1	0（默认值）	1001 101
1	0	0（默认值）	1001 110
1	1	0（默认值）	1001 111
X	X	1	1001 100

双通道 TLV320ADCx120/PCMx120-Q1 器件不包含地址引脚，因此具有固定的 7 位 I²C 从器件地址 1001110。TLV320ADCx120/PCMx120-Q1 还支持 I²C 广播模式，当启用 I2C_BRDCAST_EN (P0_R2_D2) 位时，地址变为 1001100，从而允许与系统中可能共享同一总线的其他 TLV320ADCx140/PCMx140-Q1 器件同时通信。

3 共享音频总线

TLV320ADCx140/PCMx140-Q1 和 TLV320ADCx120/PCMx120-Q1 器件通过时分多路复用 (TDM) 音频总线发送数字音频数据。一组通道传输从 FSYNC 的上升沿开始, 先传输第一个数据时隙 (时隙 0), 然后按升序传输其余数据时隙 (时隙 1、时隙 2, 依此类推)。时隙包含来自 ADC 通道的转换数据。每个时隙在 BCLK 的上升沿或下降沿传输一个位, 首先从最高有效位开始。图 3-1 展示了当 TX_OFFSET 设置为 0 时具有八个时隙的 TDM 总线运行的示例。在该图中, FSYNC 是来自主机处理器的帧同步信号, BCLK 是来自主机处理器的位时钟信号, SDOUT 是来自 TLV320ADCx140/PCMx140-Q1 和 TLV320ADCx120/PCMx120-Q1 器件的总线。

TLV320ADCx140/PCMx140-Q1 和 TLV320ADCx120/PCMx120-Q1 支持 SDOUT 输出中多达 64 个时隙。

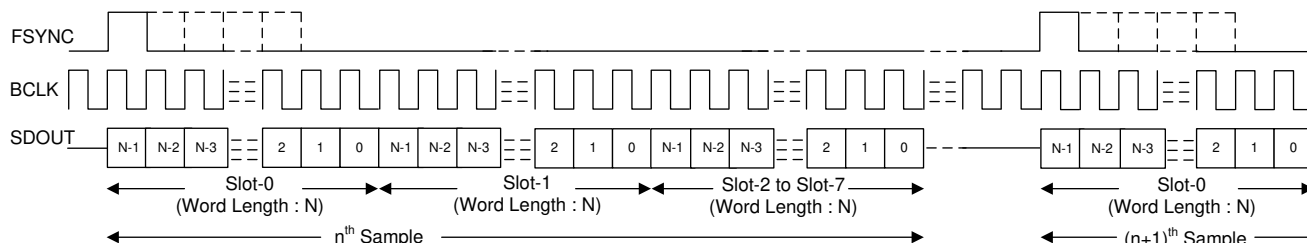


图 3-1. TDM 模式标准协议时序 (TX_OFFSET = 0)

为了使音频总线在 TDM 模式下正常工作, 每帧的位时钟数必须大于或等于活动输出通道数乘以输出通道数据的编程字长, 如方程式 1 所示。对于图 1-1 所示的示例 (其中有四个器件, 每个器件具有四个通道, 采样速率为 48KHz, 字长为 32 位), $BCLK \geq 4 \times 4 \times 48,000 \times 32 = 24.576\text{MHz}$ 。由于支持的最大 BCLK 为 25MHz, 因此最大器件数取决于所使用的通道数、采样速率和字长, 以保持位时钟 (BCLK) 低于 25MHz。

$$25\text{MHz} \geq \text{位时钟} \geq (\text{通道/器件数}) \times (\text{器件数}) \times (\text{采样速率}) \times (\text{字长}) \quad (1)$$

备注

对于大于 18.5MHz 的 BCLK 周期 (有关相应的采样速率, 请参阅数据表中支持的 FSYNC 和 BCLK 频率表), 必须满足以下条件之一:

- 微处理器必须通过增加一个 BCLK 周期延迟来锁存同边沿时钟极性上的 DOUT 数据, 以便采集 DOUT 传输。
- 通过在 ASI_CFG0 寄存器中设置 TX_EDGE = 1, ADC 必须在 BCLK 边沿的 DOUT 传输中增加半个周期的 DOUT 延迟 (图 3-7)。该设置将在微处理器的数据采集中增加 1 位偏移。

如果不遵守这些条件, 可能会导致微处理器从 DOUT 采集损坏的数据。

TLV320ADCx140/PCMx140-Q1 和 TLV320ADCx120/PCMx120-Q1 支持使用两种方法将多个器件接到一起: 共享 TDM 或菊花链 TDM。以下两部分详细介绍需要对哪些寄存器进行编程, 以便将 TLV320ADCx140/PCMx140-Q1 器件配置为用这些方法共享 TDM 总线。

3.1 共享 TDM 的 ASI 配置

在共享 TDM 总线配置中，多个 TLV320ADCx140/PCMx140-Q1 器件的 ASI 总线连接在一起，形成一个共享总线，如图 3-2 所示。

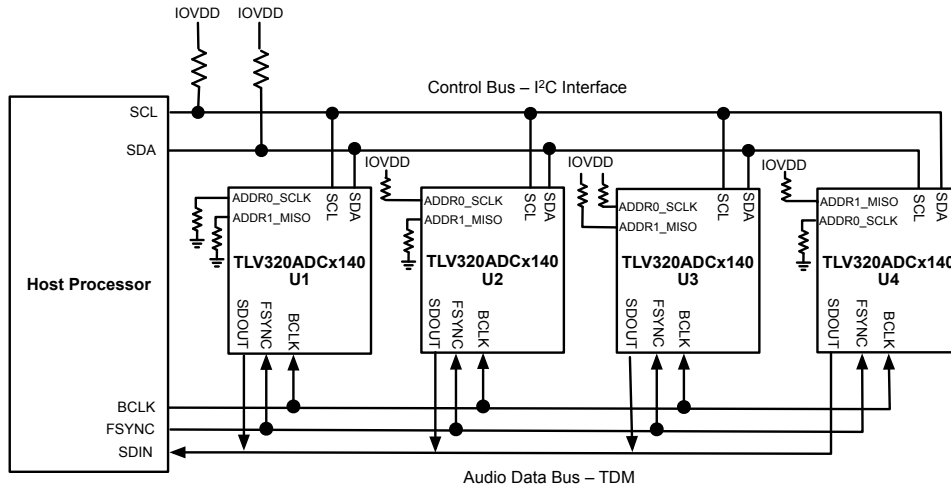


图 3-2. TLV320ADCx140/PCMx140-Q1 共享 TDM 连接图

为了避免多个器件在同一时隙中传输输出数据，TLV320ADCx140/PCMx140-Q1 支持使用以下寄存器将器件的输入通道映射到可编程时隙：

- ASI_CH1 (页 0x00, 寄存器 0x0B), 如图 3-3 所示
- ASI_CH2 (页 0x00, 寄存器 0x0C), 如图 3-4 所示
- ASI_CH3 (页 0x00, 寄存器 0x0D), 如图 3-5 所示
- ASI_CH4 (页 0x00, 寄存器 0x0E), 如图 3-6 所示

这样就可以将任何通道以任何顺序映射到任何时隙。此外，TLV320ADCx140/PCMx140-Q1 还支持辅助 SDOUT 输出 (SDOUT2)，这通过 GPO_CFG0 寄存器 (位字段 GPIO1_CFG 值为 0x03) 进行配置，如图 3-14 所示。这样一个或多个器件便可通过两个引脚输出时隙：主要输出 (SDOUT) 和辅助输出 (SDOUT2)。ASI_CHx 寄存器位字段 CHx_OUTPUT 将时隙映射到主要输出 (SDOUT) 或辅助输出 (SDOUT2)。

图 3-3. ASI_CH1 寄存器

7	6	5	4	3	2	1	0
保留	CH1_OUTPUT	CH1_SLOT[5:0]					
R-0h	R/W-0h	R/W-0h					

表 3-1. ASI_CH1 寄存器字段说明

位	字段	类型	复位	说明
7	保留	R	0h	保留
6	CH1_OUTPUT	R/W	0h	通道 1 输出线路 0d = 通道 1 输出在 ASI 主要输出引脚 (SDOUT) 上 1d = 通道 1 输出在 ASI 辅助输出引脚 (GPIO1 或 GPOx) 上
5-0	CH1_SLOT[5:0]	R/W	0h	通道 1 时隙分配 0d = TDM 是时隙 0 或 I ² S, LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I ² S, LJ 是左侧时隙 1 2d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I ² S, LJ 是左侧时隙 31 32d = TDM 是时隙 32 或 I ² S, LJ 是右侧时隙 0 33d = TDM 是时隙 33 或 I ² S, LJ 是右侧时隙 1 34d 至 62d = 分配的时隙视配置而定 63d = TDM 是时隙 63 或 I ² S, LJ 是右侧时隙 31

图 3-4. ASI_CH2 寄存器

7	6	5	4	3	2	1	0
保留	CH2_OUTPUT	CH2_SLOT[5:0]					
R-0h	R/W-0h	R/W-1h					

表 3-2. ASI_CH2 寄存器字段说明

位	字段	类型	复位	说明
7	保留	R	0h	保留
6	CH2_OUTPUT	R/W	0h	通道 2 输出线路 0d = 通道 2 输出在 ASI 主要输出引脚 (SDOUT) 上 1d = 通道 2 输出在 ASI 辅助输出引脚 (GPIO1 或 GPOx) 上
5-0	CH2_SLOT[5:0]	R/W	1h	通道 2 时隙分配 0d = TDM 是时隙 0 或 I ² S, LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I ² S, LJ 是左侧时隙 1 2d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I ² S, LJ 是左侧时隙 31 32d = TDM 是时隙 32 或 I ² S, LJ 是右侧时隙 0 33d = TDM 是时隙 33 或 I ² S, LJ 是右侧时隙 1 34d 至 62d = 分配的时隙视配置而定 63d = TDM 是时隙 63 或 I ² S, LJ 是右侧时隙 31

图 3-5. ASI_CH3 寄存器

7	6	5	4	3	2	1	0
保留	CH3_OUTPUT	CH3_SLOT[5:0]					
R-0h	R/W-0h	R/W-2h					

表 3-3. ASI_CH3 寄存器字段说明

位	字段	类型	复位	说明
7	保留	R	0h	保留
6	CH3_OUTPUT	R/W	0h	通道 3 输出线路 0d = 通道 3 输出在 ASI 主要输出引脚 (SDOUT) 上 1d = 通道 3 输出在 ASI 辅助输出引脚 (GPIO1 或 GPOx) 上
5-0	CH3_SLOT[5:0]	R/W	2h	通道 3 时隙分配 0d = TDM 是时隙 0 或 I ² S, LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I ² S, LJ 是左侧时隙 1 2d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I ² S, LJ 是左侧时隙 31 32d = TDM 是时隙 32 或 I ² S, LJ 是右侧时隙 0 33d = TDM 是时隙 33 或 I ² S, LJ 是右侧时隙 1 34d 至 62d = 分配的时隙视配置而定 63d = TDM 是时隙 63 或 I ² S, LJ 是右侧时隙 31

图 3-6. ASI_CH4 寄存器

7	6	5	4	3	2	1	0
保留	CH4_OUTPUT	CH4_SLOT[5:0]					
R-0h	R/W-0h	R/W-3h					

表 3-4. ASI_CH4 寄存器字段说明

位	字段	类型	复位	说明
7	保留	R	0h	保留
6	CH4_OUTPUT	R/W	0h	通道 4 输出线路 0d = 通道 4 输出在 ASI 主要输出引脚 (SDOUT) 上 1d = 通道 4 输出在 ASI 辅助输出引脚 (GPIO1 或 GPOx) 上

表 3-4. ASI_CH4 寄存器字段说明 (续)

位	字段	类型	复位	说明
5-0	CH4_SLOT[5:0]	R/W	3h	通道 4 时隙分配 0d = TDM 是时隙 0 或 I ² S, LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I ² S, LJ 是左侧时隙 1 2d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I ² S, LJ 是左侧时隙 31 32d = TDM 是时隙 32 或 I ² S, LJ 是右侧时隙 0 33d = TDM 是时隙 33 或 I ² S, LJ 是右侧时隙 1 34d 至 62d = 分配的时隙视配置而定 63d = TDM 是时隙 63 或 I ² S, LJ 是右侧时隙 31

以图 3-2 为例, 以下 I²C 脚本将 U1-U4 的输入通道分别配置到 TLV320ADCx140/PCMx140-Q1 的 0-15 时隙中。注意, 时隙并未按顺序分配给每个器件的输入通道, 以显示为 TDM 时隙分配通道的灵活性:

```
w 98 0B 04 # Set U1 ch1 mapped to slot 4 of SDOUT
w 98 0C 06 # Set U1 ch2 mapped to slot 6 of SDOUT
w 98 0D 01 # Set U1 ch3 mapped to slot 1 of SDOUT
w 98 0E 00 # Set U1 ch4 mapped to slot 0 of SDOUT
w 9A 0B 03 # Set U2 ch1 mapped to slot 3 of SDOUT
w 9A 0C 05 # Set U2 ch2 mapped to slot 5 of SDOUT
w 9A 0D 02 # Set U2 ch3 mapped to slot 2 of SDOUT
w 9A 0E 07 # Set U2 ch4 mapped to slot 7 of SDOUT
w 9C 0B 08 # Set U3 ch1 mapped to slot 8 of SDOUT
w 9C 0C 09 # Set U3 ch2 mapped to slot 9 of SDOUT
w 9C 0D 0A # Set U3 ch3 mapped to slot 10 of SDOUT
w 9C 0E 0C # Set U3 ch4 mapped to slot 12 of SDOUT
w 9E 0B 0F # Set U4 ch1 mapped to slot 15 of SDOUT
w 9E 0C 0D # Set U4 ch1 mapped to slot 13 of SDOUT
w 9E 0D 0E # Set U4 ch1 mapped to slot 14 of SDOUT
w 9E 0E 0B # Set U4 ch1 mapped to slot 11 of SDOUT
```

这种配置要求所有器件将其输出置于高阻抗模式, 以便另一器件可以驱动总线。TLV320ADCx140/PCMx140-Q1 支持通过 ASI_CFG0 寄存器位字段 TX_FILL, 在未使用的位时钟周期内将输出线路驱动为低电平或置于高阻抗状态, 如图 3-7 所示。设置 TX_FILL 会将主要输出线路 (SDOUT) 和辅助输出线路 (SDOUT2) 置于高阻抗。注意, 复位值会将 SDOUT 和 SDOUT2 配置为在未使用的位时钟周期期间驱动为低电平。

图 3-7. ASI_CFG0 寄存器

7	6	5	4	3	2	1	0
ASI_FORMAT[1:0]		ASI_WLEN[1:0]		FSYNC_POL	BCLK_POL	TX_EDGE	TX_FILL
R/W-0h		R/W-3h		R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 3-5. ASI_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7-6	ASI_FORMAT[1:0]	R/W	0h	ASI 协议格式 0d = TDM 模式 1d = I ² S 模式 2d = LJ (左对齐) 模式 3d = 保留
5-4	ASI_WLEN[1:0]	R/W	3h	ASI 字长或时隙长度 0d = 16 位 1d = 20 位 2d = 24 位 3d = 32 位
3	FSYNC_POL	R/W	0h	ASI FSYNC 极性 0d = 极性默认符合标准协议 1d = 与标准协议的极性相反
2	BCLK_POL	R/W	0h	ASI BCLK 极性 0d = 极性默认符合标准协议 1d = 与标准协议的极性相反

表 3-5. ASI_CFG0 寄存器字段说明 (续)

位	字段	类型	复位	说明
1	TX_EDGE	R/W	0h	ASI 数据输出 (在主要和辅助数据引脚上) 发送边沿 0d = 边沿默认符合位 2 (BCLK_POL) 中的协议配置设置 1d = 与默认边沿设置的下一个边沿反相 (半个周期延迟)
0	TX_FILL	R/W	0h	任何未使用周期的 ASI 数据输出 (在主要和辅助数据引脚上) 0d = 针对未使用周期始终发送 0 1d = 针对未使用周期始终使用高阻态

TLV320ADCx140/PCMx140-Q1 还支持通过 ASI_OUT_CH_EN 寄存器对未使用的通道时隙进行三态设置, 如图 3-8 所示。

图 3-8. ASI_OUT_CH_EN 寄存器

7	6	5	4	3	2	1	0
ASI_OUT_CH1_EN	ASI_OUT_CH2_EN	ASI_OUT_CH3_EN	ASI_OUT_CH4_EN	ASI_OUT_CH5_EN	ASI_OUT_CH6_EN	ASI_OUT_CH7_EN	ASI_OUT_CH8_EN
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 3-6. ASI_OUT_CH_EN 寄存器字段说明

位	字段	类型	复位	说明
7	ASI_OUT_CH1_EN	R/W	0h	ASI 输出通道 1 使能设置 0d = 通道 1 输出时隙处于三态条件 1d = 通道 1 输出时隙已启用
6	ASI_OUT_CH2_EN	R/W	0h	ASI 输出通道 2 使能设置 0d = 通道 2 输出时隙处于三态条件 1d = 通道 2 输出时隙已启用
5	ASI_OUT_CH3_EN	R/W	0h	ASI 输出通道 3 使能设置 0d = 通道 3 输出时隙处于三态条件 1d = 通道 3 输出时隙已启用
4	ASI_OUT_CH4_EN	R/W	0h	ASI 输出通道 4 使能设置 0d = 通道 4 输出时隙处于三态条件 1d = 通道 4 输出时隙已启用
3	ASI_OUT_CH5_EN	R/W	0h	ASI 输出通道 5 使能设置 0d = 通道 5 输出时隙处于三态条件 1d = 通道 5 输出时隙已启用
2	ASI_OUT_CH6_EN	R/W	0h	ASI 输出通道 6 使能设置 0d = 通道 6 输出时隙处于三态条件 1d = 通道 6 输出时隙已启用
1	ASI_OUT_CH7_EN	R/W	0h	ASI 输出通道 7 使能设置 0d = 通道 7 输出时隙处于三态条件 1d = 通道 7 输出时隙已启用
0	ASI_OUT_CH8_EN	R/W	0h	ASI 输出通道 8 使能设置 0d = 通道 8 输出时隙处于三态条件 1d = 通道 8 输出时隙已启用

为了通过防止引脚悬空来更大幅度地降低功耗, TLV320ADCx140/PCMx140-Q1 还支持在 SDOUT 和 SDOUT2 输出上启用总线保持器。寄存器 ASI_CFG1 通过 TX_KEEPER 位字段控制输出线路上的总线保持器, 如表 3-7 所示。该寄存器还控制 SDOUT 和 SDOUT2 强烈驱动总线上的最低有效位 (LSB) 的时间长度。这样可以进行精细控制, 确保两个器件不会同时在同一总线上驱动不同的信号, 从而避免总线争用。例如, 可以将 U2 的 LSB 设置为在位时钟周期的前半部分进行传输, 而 U3 的 MSB 则在没有任何偏移的情况下进行驱动。此外, 选择 TX_KEEPER 值 0x2 或 0x3 可确保主机处理器正确锁存 LSB 来增加系统的鲁棒性, 因为总线保持器继续使用最后驱动的值来保持总线。注意, 该寄存器还控制最高有效位 (MSB) 延迟的位时钟数。

图 3-9. ASI_CFG1 寄存器

7	6	5	4	3	2	1	0
---	---	---	---	---	---	---	---

图 3-9. ASI_CFG1 寄存器 (续)

TX_LSB	TX_KEEPER[1:0]	TX_OFFSET[4:0]
R/W-0h	R/W-0h	R/W-0h

表 3-7. ASI_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7	TX_LSB	R/W	0h	用于 LSB 传输的 ASI 数据输出 (在主要和辅助数据引脚上) 0d = 一个完整周期内发送 LSB 1d = 在前半个周期内发送 LSB, 在后半个周期内发送高阻态
6-5	TX_KEEPER[1:0]	R/W	0h	ASI 数据输出 (在主要和辅助数据引脚上) 总线保持器 0d = 始终禁用总线保持器 1d = 始终启用总线保持器 2d = 总线保持器仅在 LSB 传输期间启用一个周期 3d = 总线保持器仅在 LSB 传输期间启用 1.5 个周期
4-0	TX_OFFSET[4:0]	R/W	0h	ASI 数据 MSB 时隙 0 偏移 (在主要和辅助数据引脚上) 0d = ASI 数据 MSB 位置没有偏移, 并符合标准协议 1d = 一个 BCLK 周期相对于标准协议的 ASI 数据 MSB 位置 (TDM 模式是时隙 0 或 I ² S, LJ 模式是左侧和右侧时隙 0) 偏移 2d = 两个 BCLK 周期相对于标准协议的 ASI 数据 MSB 位置 (TDM 模式是时隙 0 或 I ² S, LJ 模式是左侧和右侧时隙 0) 的偏移 3d 至 30d = 根据配置分配的 ASI 数据 MSB 位置 (TDM 模式是时隙 0 或 I ² S, LJ 模式是左侧和右侧时隙 0) 偏移 31d = 31 个 BCLK 周期相对于标准协议的 ASI 数据 MSB 位置 (TDM 模式是时隙 0 或 I ² S, LJ 模式是左侧和右侧时隙 0) 偏移

为了支持比方程式 1 所允许的更多时隙数, 可通过多条主机处理器 TDM 总线将连接的 TLV320ADCx140/PCMx140-Q1 器件拆分开来, 如图 3-10 所示。这种连接方法不仅使位时钟 (BCLK) 速度减半, 而且还减少了主机处理器数据线路 SDIN1 和 SDIN2 上的负载电容。

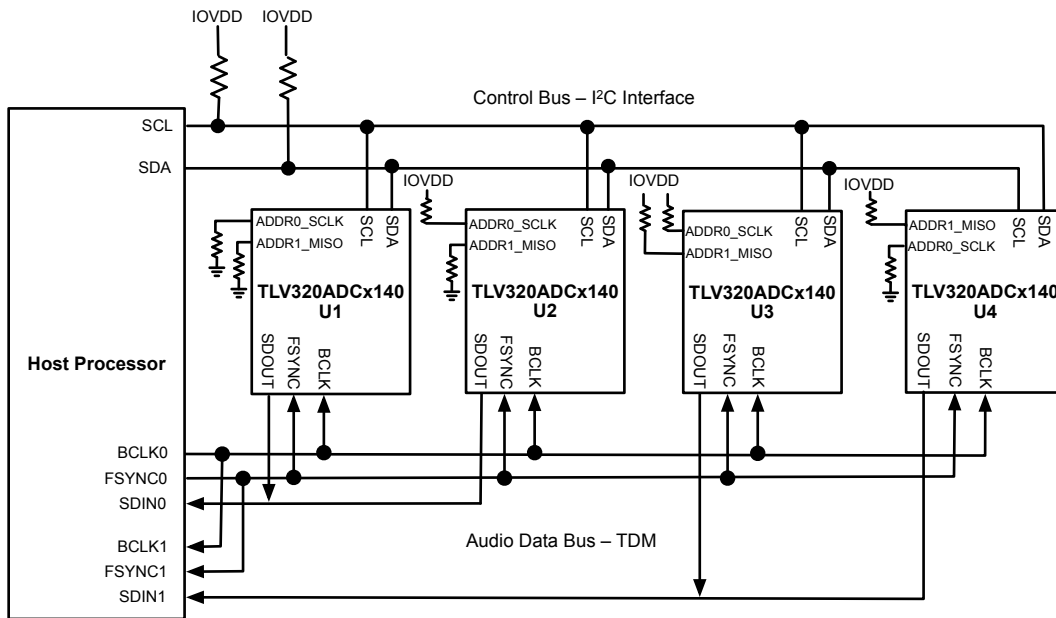


图 3-10. TLV320ADCx140/PCMx140-Q1 共享拆分 TDM 连接图

另一种选择是使用辅助输出将单个器件的时隙映射到主要输出和辅助输出。例如, 一个具有 12 个通道、32 位数据字且以 96KHz 采样速率运行的系统, 需要 36.864MHz 的位时钟 (三个器件 * 四个通道/器件 * 32 位字 * 96kHz), 违反了 25MHz 的最大 BCLK 速度。12 个通道可以分开, 其中 6 个通道分配给主要总线, 另外 6 个通道分配给辅助总线, 使 BCLK 保持在 25MHz 以下。每个器件有四个通道, 一个器件有两个通道分配给主要总线, 两个通道分配给辅助总线, 如图 3-11 所示。

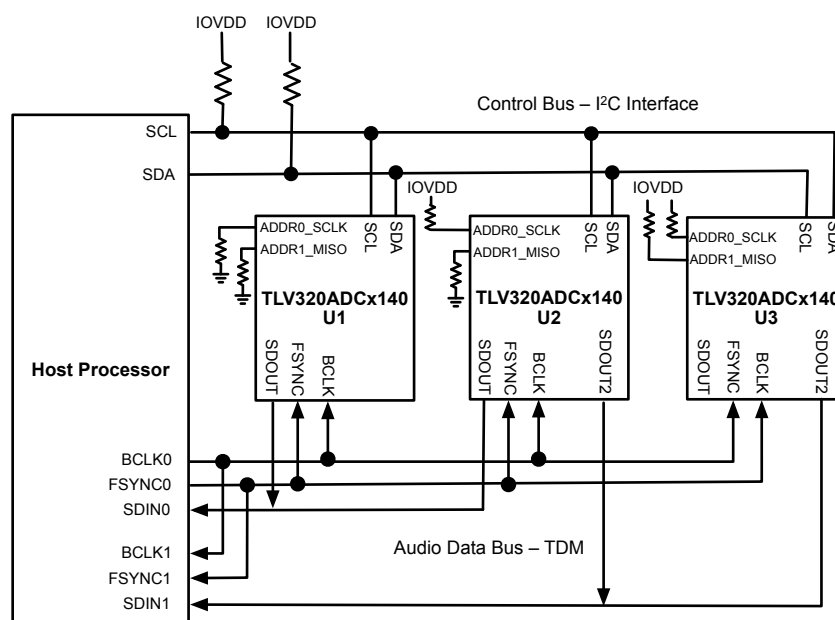


图 3-11. TLV320ADCx140/PCMx140-Q1 具有主要和辅助总线的共享拆分 TDM 连接图

以图 3-11 为例，以下 I²C 脚本将 U1、U2 和 U3 配置为具有主要和辅助总线的共享 TDM。

```

w 98 0B 00 # Set U1 Ch1 mapped to slot 0 of SDOUT
w 98 0C 01 # Set U1 Ch2 mapped to slot 1 of SDOUT
w 98 0D 02 # Set U1 Ch3 mapped to slot 2 of SDOUT
w 98 0E 03 # Set U1 Ch4 mapped to slot 3 of SDOUT
w 9A 0B 04 # Set U2 Ch1 mapped to slot 4 of SDOUT
w 9A 0C 05 # Set U2 Ch2 mapped to slot 5 of SDOUT
w 9A 22 30 # Set U2 GPIO1 as SDOUT2
w 9A 0D 40 # Set U2 Ch3 mapped to slot 0 of SDOUT2
w 9A 0E 41 # Set U2 Ch4 mapped to slot 1 of SDOUT2
w 9C 22 30 # Set U3 GPIO1 as SDOUT2
w 9C 0B 42 # Set U3 Ch1 mapped to slot 2 of SDOUT2
w 9C 0C 43 # Set U3 Ch2 mapped to slot 3 of SDOUT2
w 9C 0D 44 # Set U3 Ch3 mapped to slot 4 of SDOUT2

```

3.2 菊花链 TDM 的 ASI 配置

为了简化电路板布线和 TDM 总线时序要求，或避免高 SDOUT 线路负载电容，TLV320ADCx140/PCMx140-Q1 器件提供菊花链模式，将一个器件的数据输出 (SDOUT) 作为输入路由到另一器件的 GPIO1 引脚 (GPIO1)。每个器件在内部将数据合并到 TDM 总线的相应时隙中，并将其传递给下一个器件。



图 3-13. ASI CFG2 寄存器

表 3-8. ASI CFG2 寄存器字段说明

对于将 **SDOUT** 作为输入路由到另一器件的 **GPIO1** 引脚的所有器件，必须将 **GPIO_CFG0** 寄存器的 **GPIO1_CFG** 位设置为菊花链的 **ASI 输入 (SDIN)**，如表 3-9 所示。

图 3-14. GPIO_CFG0 寄存器

11

表 3-9. GPIO_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7-4	GPIO1_CFG[3:0]	R/W	2h	GPIO1 配置 0d = GPIO1 禁用 1d = GPIO1 配置为通用输出 (GPO) 2d = GPIO1 配置为器件中断输出 (IRQ) 3d = GPIO1 配置为辅助 ASI 输出 (SDOUT2) 4d = GPIO1 配置为 PDM 时钟输出 (PDMCLK) 5d 至 7d = 保留 8d = GPIO1 配置为控制 MICBIAS 何时开启或关闭的输入 (MICBIAS_EN) 9d = GPIO1 配置为通用输入 (GPI) 10d = GPIO1 配置为控制器时钟输入 (MCLK) 11d = GPIO1 配置为菊花链的 ASI 输入 (SDIN) 12d = GPIO1 配置为通道 1 和通道 2 的 PDM 数据输入 (PDMDIN1) 13d = GPIO1 配置为通道 3 和通道 4 的 PDM 数据输入 (PDMDIN2) 14d = GPIO1 配置为通道 5 和通道 6 的 PDM 数据输入 (PDMDIN3) 15d = GPIO1 配置为通道 7 和通道 8 的 PDM 数据输入 (PDMDIN4)
3	保留	R	0h	保留
2-0	GPIO1_DRV[2:0]	R/W	2h	GPIO1 输出驱动配置 (当 GPIO1 配置为 SDOUT2 时不使用) 0d = 高阻态输出 1d = 驱动低电平有效和高电平有效 2d = 驱动低电平有效和弱高电平 3d = 驱动低电平有效和高阻态 4d = 驱动低电平有效和高电平有效 5d = 驱动高阻态和高电平有效 6d 至 7d = 保留

以图 3-12 为例，以下 I²C 脚本将 U1、U2 和 U3 配置为菊花链，通过链的 GPIO1 从 SDOUT 中的下一个器件接收输入。注意，每个器件的通道都映射到时隙 0-3。然而，在 U1 的 SDOUT 中，0-3 时隙用于 U1 通道，4-7 时隙用于 U2 通道，8-11 时隙用于 U3 通道，12-15 时隙用于 U4 通道。注意，菊花链中的最后一个器件不需要配置为菊花链模式，因为它不从其他器件获取 GPIO1 上的输入。

```

w 98 0B 00 # Set U1 Ch1 mapped to slot 0 of SDOUT
w 98 0C 01 # Set U1 Ch2 mapped to slot 1 of SDOUT
w 98 0D 02 # Set U1 Ch3 mapped to slot 2 of SDOUT
w 98 0E 03 # Set U1 Ch4 mapped to slot 3 of SDOUT
w 9A 0B 00 # Set U2 Ch1 mapped to slot 0 of SDOUT
w 9A 0C 01 # Set U2 Ch2 mapped to slot 1 of SDOUT
w 9A 0D 02 # Set U2 Ch3 mapped to slot 2 of SDOUT
w 9A 0E 03 # Set U2 Ch4 mapped to slot 3 of SDOUT
w 9C 0B 00 # Set U3 Ch1 mapped to slot 0 of SDOUT
w 9C 0C 01 # Set U3 Ch2 mapped to slot 1 of SDOUT
w 9C 0D 02 # Set U3 Ch3 mapped to slot 2 of SDOUT
w 9C 0E 03 # Set U3 Ch4 mapped to slot 3 of SDOUT
w 9E 0B 00 # Set U4 Ch1 mapped to slot 0 of SDOUT
w 9E 0C 01 # Set U4 Ch1 mapped to slot 1 of SDOUT
w 9E 0D 02 # Set U4 Ch1 mapped to slot 2 of SDOUT
w 9E 0E 03 # Set U4 Ch1 mapped to slot 3 of SDOUT
w 98 09 80 # Set U1's ASI to daisy chain
w 98 21 B0 # Set U1's GPIO1 input as ASI input for daisy chain
w 9A 09 80 # Set U2's ASI to daisy chain
w 9A 21 B0 # Set U2's GPIO1 input as ASI input for daisy chain
w 9C 09 80 # Set U3's ASI to daisy chain
w 9C 21 B0 # Set U3's GPIO1 input as ASI input for daisy chain

```

4 为多个 TLV320ADCx140/PCMx140-Q1 EVM 配置 PurePath Console

PurePath™ Console 支持将多个 TLV320ADCx140/PCMx140-Q1 器件连接到单个 AC-MB。但是，AC-MB 连接器只能连接到一个 TLV320ADCx140/PCMx140-Q1。要将额外的器件连接到单个 AC-MB，请将连接到单个 AC-MB 的电路板的电源、接地、I²C 和 TDM 信号外部连线到其他 TLV320ADCx140/PCMx140-Q1 EVM 的相应信号。仅将一个 EVM 连接到 AC-MB，同时通过各自的接头或跳线连接其他信号，具体如下所示：

- 通过 JMP2 跳线将所有 TLV320ADCx140/PCMx140-Q1 EVM 的 IOVDD 连接在一起。
- 通过 JMP1 跳线将所有 TLV320ADCx140/PCMx140-Q1 EVM 的 AVDD 连接在一起。
- 通过 SHDNz 测试点将所有 TLV320ADCx140/PCMx140-Q1 器件的 SHDNz 连接在一起。
- 通过 SCL 测试点将所有 TLV320ADCx140/PCMx140-Q1 器件的 SCL 引脚连接在一起。
- 通过 SDA 测试点将所有 TLV320ADCx140/PCMx140-Q1 器件的 SDA 引脚连接在一起。
- 通过 BCLK 测试点将所有 TLV320ADCx140/PCMx140-Q1 器件的 BCLK 引脚连接在一起。
- 通过 FSYNC 测试点将所有 TLV320ADCx140/PCMx140-Q1 器件的 FSYNC 引脚连接在一起。
- SDOUT 连接取决于共享 TDM 或菊花链 TDM 模式：
 - 对于共享 TDM 模式，通过 DOUT 测试点将所有 TLV320ADCx140/PCMx140-Q1 器件的 SDOUT 引脚连接在一起。
 - 对于菊花链 TDM 模式，以菊花链方式连接 TLV320ADCx140/PCMx140-Q1 EVM：
 - 通过 DOUT 测试点将连接到 AC-MB 的电路板上接头 J13 引脚 1 处的 GPIO1 信号 (GPIO1) 连接到第二个电路板的 SDOUT 引脚。
 - 如果使用三个或更多器件，则通过 DOUT 测试引脚将第二个电路板上接头 J13 引脚 1 处的信号 (GPIO1) 连接到第三个电路板的 SDOUT 引脚。
 - 如果使用四个器件，则通过 DOUT 测试引脚将第三个电路板上接头 J13 引脚 1 处的信号 (GPIO1) 连接到第四个电路板的 SDOUT 引脚。

这些信号可在 TLV320ADCx140/PCMx140-Q1 EVM 的相应数字测试点抽头，如图 4-1 所示。

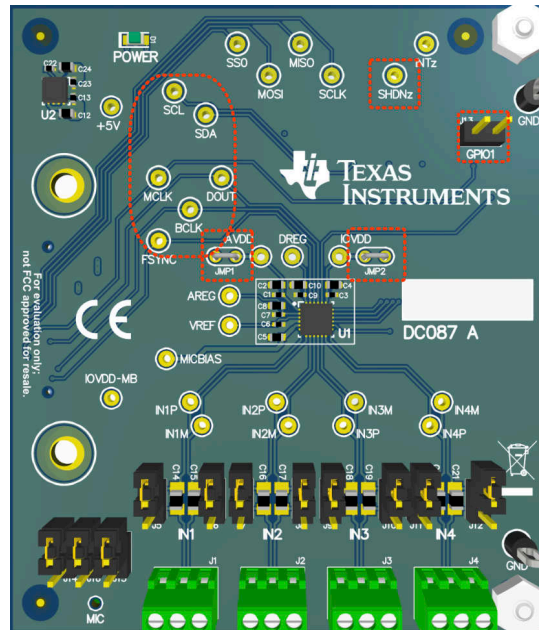


图 4-1. TLV320ADCx140/PCMx140-Q1 EVM I²C 和 TDM 信号的位置

4.1 更改 TLV320ADCx140/PCMx140-Q1 的默认 I²C 地址

当多个 TLV320ADCx140/PCMx140-Q1 EVM 连接到单个 I²C 总线时，每个 EVM 必须具有唯一的 I²C 地址。在 TLV320ADCx140 EVM 上，I²C 地址通过电路板底部的控制和 GPIO 选择上的上拉和下拉来设置，如图 4-2 所示。此部分的电阻放置（如图 4-1 所示）控制每个 TLV320ADCx140 器件的 I²C 地址。

在 PCMx140-Q1 EVM 上，I2C 地址通过电路板顶部的跳线设置。

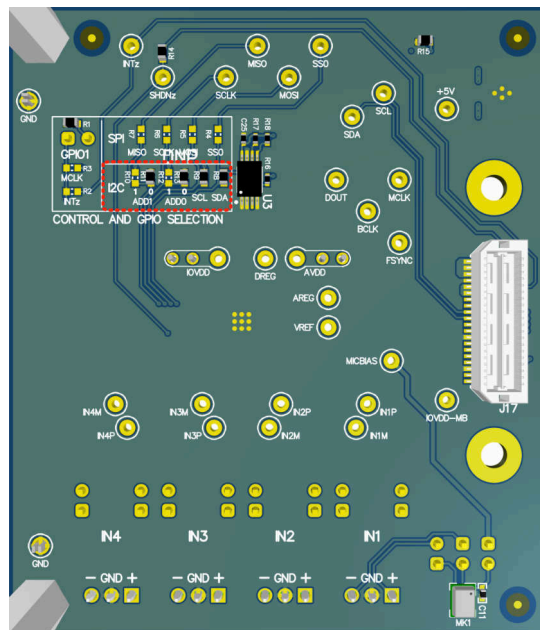


图 4-2. TLV320ADx140 EVM 的 I²C 地址配置

表 4-1. TLV320ADCx140/PCMx140-Q1 EVM I²C 从器件地址

ADD1		ADD0		I ² C 从器件地址 (二进制)
1	0	1	0	
未安装	已安装	未安装	已安装	1001 100
未安装	已安装	已安装	未安装	1001 101
已安装	未安装	未安装	已安装	1001 110
已安装	未安装	已安装	未安装	1001 111

4.2 启动 PurePath Console (针对多个器件)

PurePath Console 启动时，会询问用户要连接到 AC-MB 的器件数量，如图 4-3 所示。在该对话框窗口中，选择两个 TLV320ADC5140 器件并点击“Next”后，将启动图 4-4 所示的主窗口。

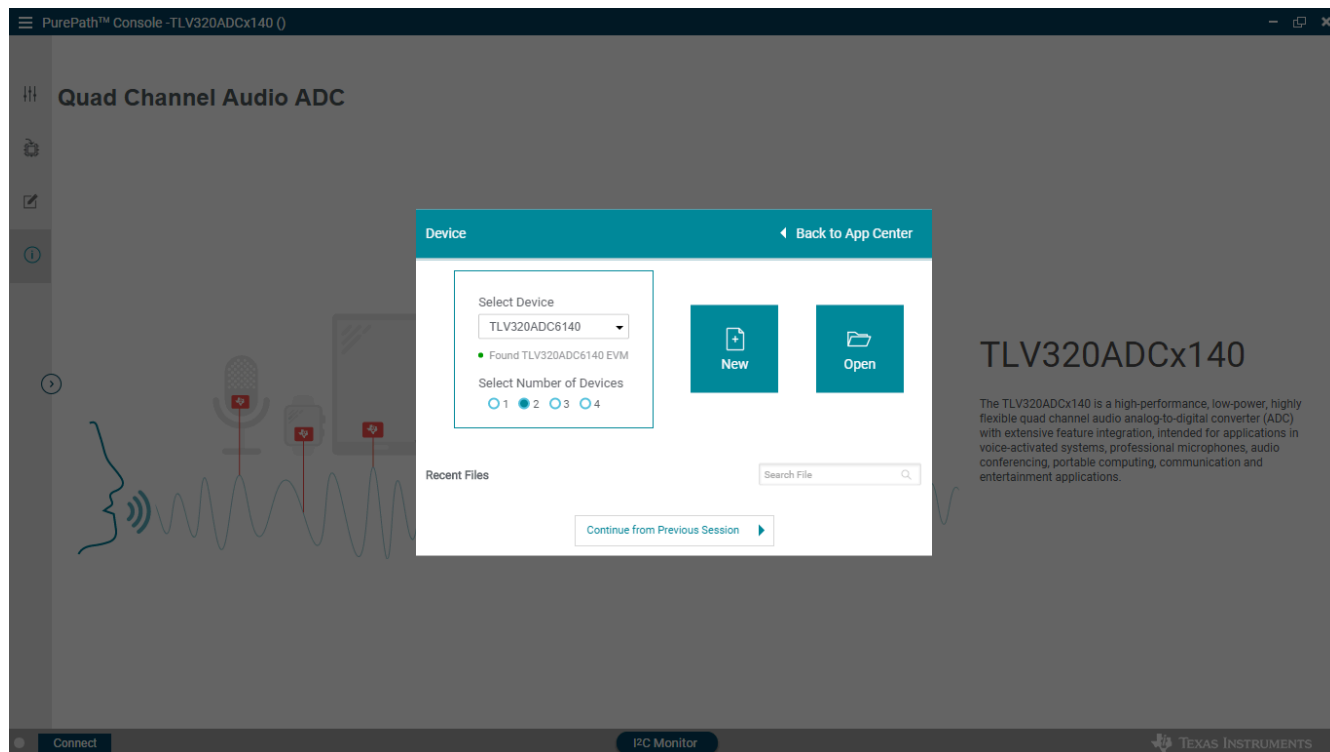


图 4-3. PurePath Console “Input Number of Devices” 对话框

PurePath Console 一次仅配置一个器件。器件通过屏幕顶部的器件图标（字母）进行标记，如图 4-4 所示。点击器件图标 A 可以对较小数字的 I²C 地址进行编程，点击 B 可以对下一个 I²C 地址进行编程，依此类推。

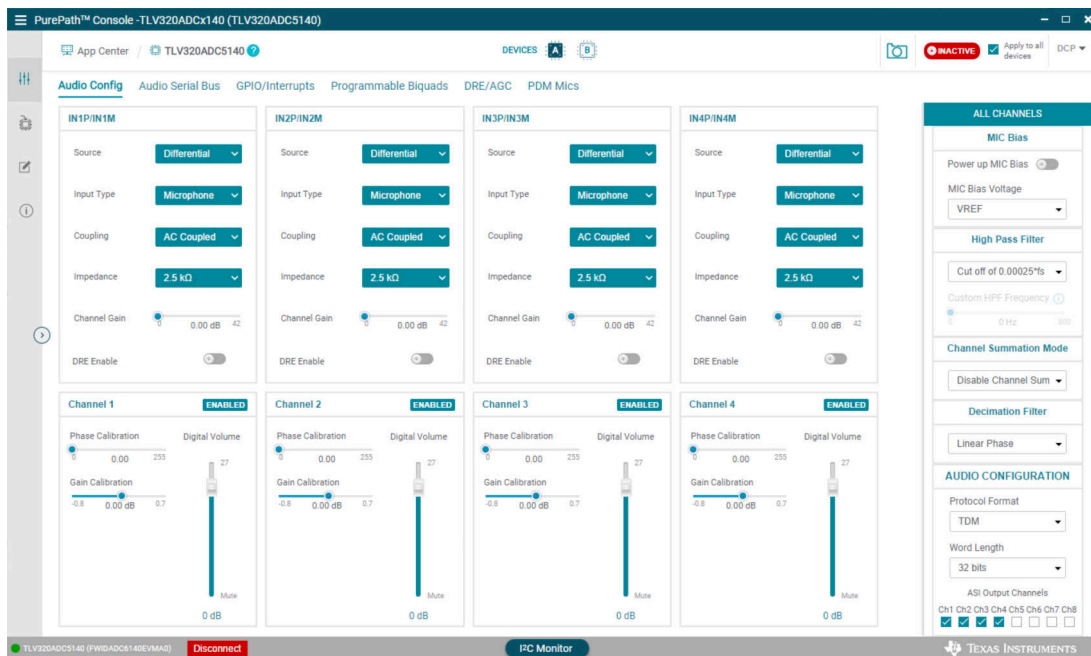


图 4-4. PurePath Console 主窗口

“Audio Serial Bus” 选项卡将器件的每个通道分配给一个时隙。在图 4-5 中，器件 A 输入通道 1-4 分别分配给时隙 0-3。在图 4-6 中，器件 B 输入通道 1-4 分别分配给时隙 4-7。注意，TDM 总线中的先前时隙未显示，但 BCLK、FSYNC 和 SDOUT 中音频接口信号线路图开头的省略号表示这些时隙之前有其他时隙。

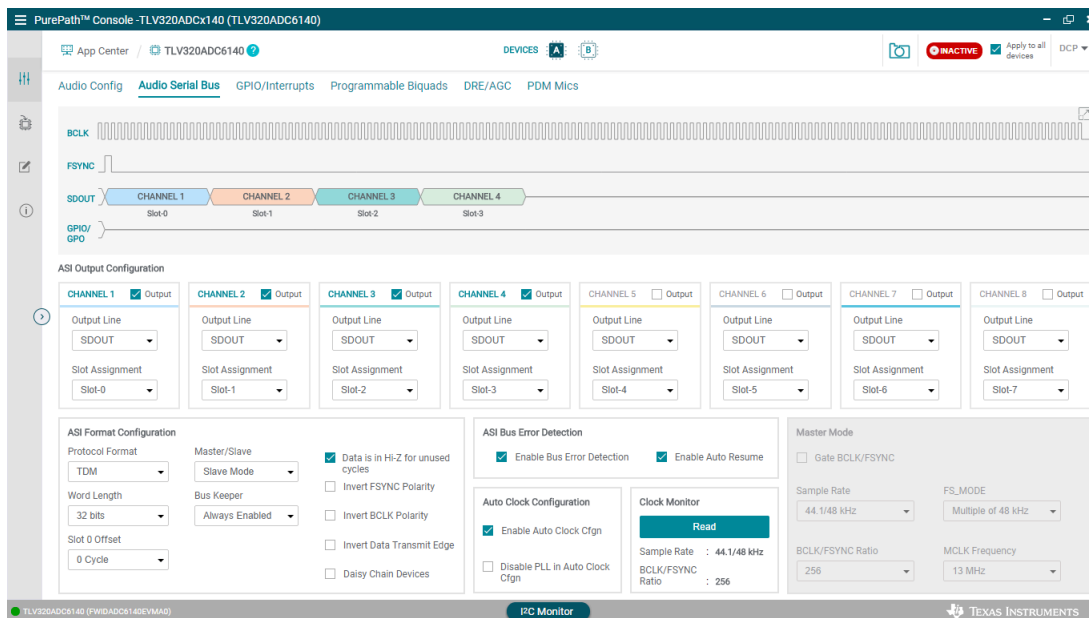


图 4-5. PurePath Console 器件 A 通道到时隙映射

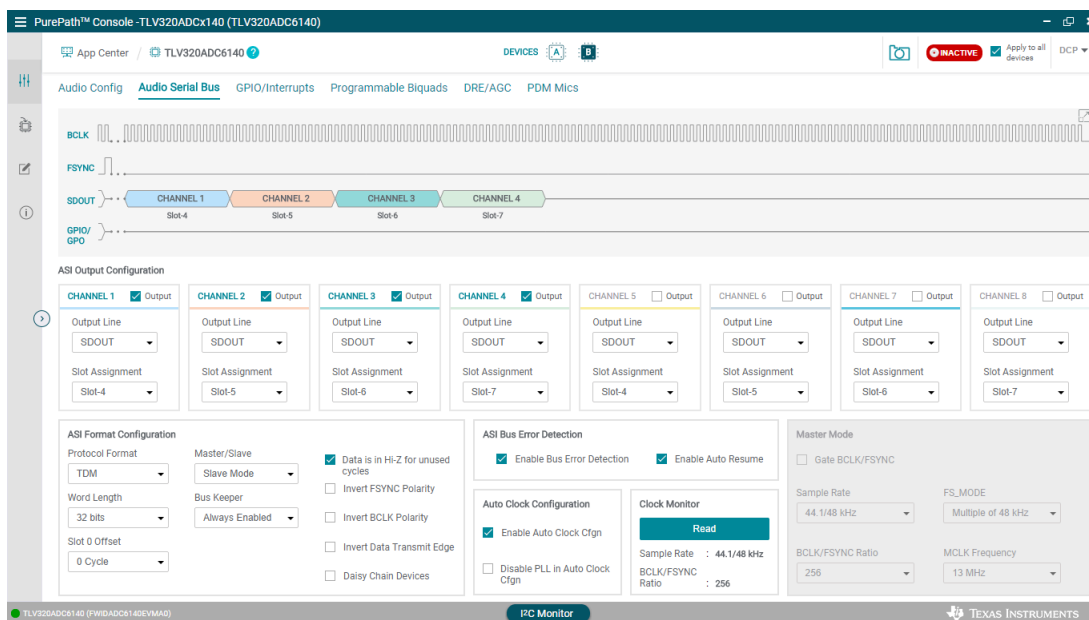


图 4-6. PurePath Console 器件 B 通道到时隙映射

点击“Audio Serial Bus”图右上方的窗口展开图标，可显示所有时隙和所有器件，如图 4-7 所示。

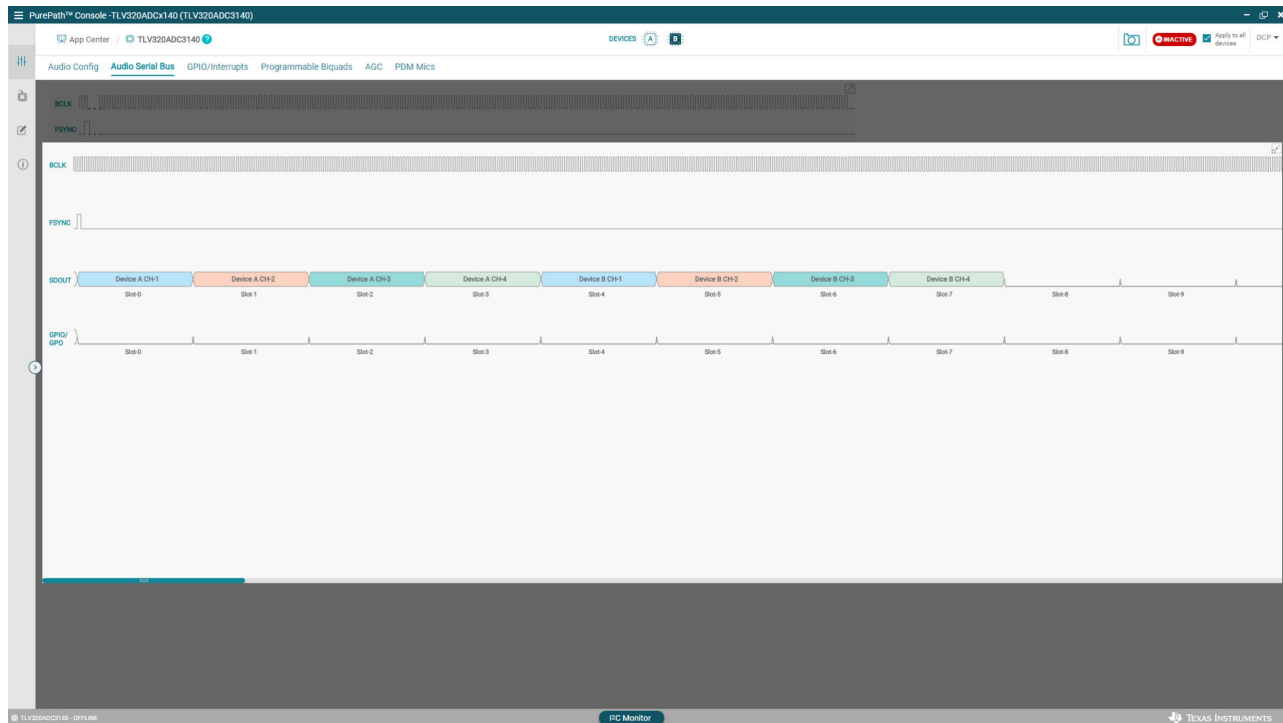


图 4-7. 器件 A 和 B 的 PurePath Console 通道到时隙映射

5 PurePath Console I²C 脚本

5.1 用于共享 TDM 的 TLV320ADCx140/PCMx140-Q1 I²C 脚本

以下 I²C 脚本在器件复位后将四个器件设置为共享 TDM 模式：

```
# Key: w NN YY ZZ ==> write to I2C address 0xNN, to register 0xYY, data 0xZZ
#           # ==> comment delimiter
#
# I2C programming script for four devices sharing a TDM bus
# U4(SDOUT) -> U3 (SDOUT) -> U2 (SDOUT) -> U1 (SDOUT) -> Host Processor
#
#####
# Power-up Sequence:
# Power up IOVDD and AVDD power supplies keeping SHDNZ pin voltage LOW
# wait for IOVDD and AVDD power supplies to settle to steady state operating voltage range.
# Release SHDNZ to HIGH.
# wait for 1ms.
#####
# Wake-up devices
w 98 02 81 # Wake-up Device U1
w 9A 02 81 # Wake-up Device U2
w 9C 02 81 # Wake-up Device U3
w 9E 02 81 # Wake-up Device U4
d 10      # 10 ms delay
# Program Device A (U1), interfaces to host processor
w 98 00 00 # Set Device page register to Page 0
w 98 07 31 # ASI Format TDM with 32-bit word length, default FSYNC and BCLK polarity,
           # default TX edge, Hi-Z for unused cycles
w 98 08 A0 # ASI transmit LSB for 1st half cycle, Hi-Z for second half cycle,
           # bus keeper always enabled
w 98 0B 00 # ASI primary output (SDOUT) with CH1 assigned to slot 0
w 98 0C 01 # ASI primary output (SDOUT) with CH2 assigned to slot 1
w 98 0D 02 # ASI primary output (SDOUT) with CH3 assigned to slot 2
w 98 0E 03 # ASI primary output (SDOUT) with CH4 assigned to slot 3
w 98 73 F0 # Enable Ch1-4 of Device A
w 98 74 F0 # Enable Ch1-4 ASI output of Device A
# Program Device B (U2)
w 9A 00 00 # Set Device page register to Page 0
w 9A 07 31 # ASI Format TDM with 32-bit word length, default FSYNC and BCLK polarity,
           # default TX edge, Hi-Z for unused cycles
w 9A 08 80 # ASI transmit LSB for 1st half cycle, Hi-Z for second half cycle,
           # bus keeper disabled
w 9A 0B 04 # ASI primary output (SDOUT) with CH1 assigned to slot 4
w 9A 0C 05 # ASI primary output (SDOUT) with CH2 assigned to slot 5
w 9A 0D 06 # ASI primary output (SDOUT) with CH3 assigned to slot 6
w 9A 0E 07 # ASI primary output (SDOUT) with CH4 assigned to slot 7
w 9A 73 F0 # Enable Ch1-4 of Device B
w 9A 74 F0 # Enable Ch1-4 ASI output of Device B
# Program Device C (U3)
w 9C 00 00 # Set Device page register to Page 0
w 9C 07 31 # ASI Format TDM with 32-bit word length, default FSYNC and BCLK polarity,
           # default TX edge, Hi-Z for unused cycles
w 9C 08 80 # ASI transmit LSB for 1st half cycle, Hi-Z for second half cycle,
           # bus keeper disabled
w 9C 0B 08 # ASI primary output (SDOUT) with CH1 assigned to slot 8
w 9C 0C 09 # ASI primary output (SDOUT) with CH2 assigned to slot 9
w 9C 0D 0A # ASI primary output (SDOUT) with CH3 assigned to slot 10
w 9C 0E 0B # ASI primary output (SDOUT) with CH4 assigned to slot 11
w 9C 73 F0 # Enable Ch1-4 of Device C
w 9C 74 F0 # Enable Ch1-4 ASI output of Device C
# Program Device D (U4)
w 9E 00 00 # Set Device page register to Page 0
w 9E 07 31 # ASI Format TDM with 32-bit word length, default FSYNC and BCLK polarity,
           # default TX edge, Hi-Z for unused cycles
w 9E 08 80 # ASI transmit LSB for 1st half cycle, Hi-Z for second half cycle,
           # bus keeper disabled
w 9E 0B 0C # ASI primary output (SDOUT) with CH1 assigned to slot 12
w 9E 0C 0D # ASI primary output (SDOUT) with CH2 assigned to slot 13
w 9E 0D 0E # ASI primary output (SDOUT) with CH3 assigned to slot 14
w 9E 0E 0F # ASI primary output (SDOUT) with CH4 assigned to slot 15
w 9E 73 F0 # Enable Ch1-4 of Device D
w 9E 74 F0 # Enable Ch1-4 ASI output of Device D
# Power-up Devices A, B, C, & D
w 98 75 60 # Power up ADC and PLL of Device A
w 9A 75 60 # Power up ADC and PLL of Device B
```

```
w 9C 75 60 # Power up ADC and PLL of Device C
w 9E 75 60 # Power up ADC and PLL of Device D
```

5.2 用于菊花链 TDM 的 TLV320ADCx140/PCMx140-Q1 I²C 脚本

以下 I²C 脚本在器件复位后将四个器件设置为菊花链 TDM 模式：

```
# Key: w NN YY ZZ ==> write to I2C address 0xNN, to register 0xYY, data 0xZZ
#          # ==> comment delimiter
#
# I2C programming script for four devices in daisy chain TDM mode
# U4(SDOUT) -> (GPIO1) U3 (SDOUT) -> (GPIO1) U2 (SDOUT) -> (GPIO1) U1 (SDOUT) -> Host Processor
#
#####
# Power-up Sequence:
# Power up IOVDD and AVDD power supplies keeping SHDNZ pin voltage LOW
# wait for IOVDD and AVDD power supplies to settle to steady state operating voltage range.
# Release SHDNZ to HIGH.
# wait for 1ms.
#####
# Wake-up devices
w 98 02 81 # Wake-up Device U1
w 9A 02 81 # Wake-up Device U2
w 9C 02 81 # Wake-up Device U3
w 9E 02 81 # Wake-up Device U4
d 10      # 10 ms delay
# Program Device A (U1), interfaces to host processor
w 98 00 00 # Set Device A page register to Page 0
w 98 07 31 # ASI Format TDM with 32-bit word length, default FSYNC and BCLK polarity,
           # default TX edge, Hi-Z for unused cycles
w 98 08 A0 # ASI transmit LSB for 1st half cycle, Hi-Z for second half cycle,
           # bus keeper always enabled
w 98 09 80 # ASI to daisy chain connection with bus error detection and
           # auto resume after bus error recovery
w 98 21 B0 # GPIO1 input as ASI input for daisy chain
w 98 0B 00 # ASI primary output (SDOUT) with CH1 assigned to slot 0
w 98 0C 01 # ASI primary output (SDOUT) with CH2 assigned to slot 1
w 98 0D 02 # ASI primary output (SDOUT) with CH3 assigned to slot 2
w 98 0E 03 # ASI primary output (SDOUT) with CH4 assigned to slot 3
w 98 73 F0 # Enable CH1-4 of Device A
w 98 74 F0 # Enable CH1-4 ASI output of Device A
# Program Device B (U2)
w 9A 00 00 # Set Device page register to Page 0
w 9A 07 31 # ASI Format TDM with 32-bit word length, default FSYNC and BCLK polarity,
           # default TX edge, Hi-Z for unused cycles
w 9A 08 80 # ASI transmit LSB for 1st half cycle, Hi-Z for second half cycle,
           # bus keeper disabled
w 9A 09 80 # ASI to daisy chain connection with bus error detection and
           # auto resume after bus error recovery
w 9A 21 B0 # GPIO1 input as ASI input for daisy chain
w 9A 0B 00 # ASI primary output (SDOUT) with CH1 assigned to slot 0
w 9A 0C 01 # ASI primary output (SDOUT) with CH2 assigned to slot 1
w 9A 0D 02 # ASI primary output (SDOUT) with CH3 assigned to slot 2
w 9A 0E 03 # ASI primary output (SDOUT) with CH4 assigned to slot 3
w 9A 73 F0 # Enable CH1-4 of Device B
w 9A 74 F0 # Enable CH1-4 ASI output of Device B
# Program Device C (U3)
w 9C 00 00 # Set Device page register to Page 0
w 9C 07 31 # ASI Format TDM with 32-bit word length, default FSYNC and BCLK polarity,
           # default TX edge, Hi-Z for unused cycles
w 9C 08 80 # ASI transmit LSB for 1st half cycle, Hi-Z for second half cycle,
           # bus keeper disabled
w 9C 09 80 # ASI to daisy chain connection with bus error detection and
           # auto resume after bus error recovery
w 9C 21 B0 # GPIO1 input as ASI input for daisy chain
w 9C 0B 00 # ASI primary output (SDOUT) with CH1 assigned to slot 0
w 9C 0C 01 # ASI primary output (SDOUT) with CH2 assigned to slot 1
w 9C 0D 02 # ASI primary output (SDOUT) with CH3 assigned to slot 2
w 9C 0E 03 # ASI primary output (SDOUT) with CH4 assigned to slot 3
w 9C 73 F0 # Enable CH1-4 of Device C
w 9C 74 F0 # Enable CH1-4 ASI output of Device C
# Program Device D (U4)
w 9E 00 00 # Set Device page register to Page 0
w 9E 07 31 # ASI Format TDM with 32-bit word length, default FSYNC and BCLK polarity,
           # default TX edge, Hi-Z for unused cycles
w 9E 08 80 # ASI transmit LSB for 1st half cycle, Hi-Z for second half cycle,
           # bus keeper disabled
```

```

w 9E 0B 00 # ASI primary output (SDOUT) with CH1 assigned to slot 0
w 9E 0C 01 # ASI primary output (SDOUT) with CH2 assigned to slot 1
w 9E 0D 02 # ASI primary output (SDOUT) with CH3 assigned to slot 2
w 9E 0E 03 # ASI primary output (SDOUT) with CH4 assigned to slot 3
w 9E 73 F0 # Enable Ch1-4 of Device D
w 9E 74 F0 # Enable Ch1-4 ASI output of Device D
# Power-up Devices A, B, C, & D
w 98 75 60 # Power up ADC and PLL of Device A
w 9A 75 60 # Power up ADC and PLL of Device B
w 9C 75 60 # Power up ADC and PLL of Device C
w 9E 75 60 # Power up ADC and PLL of Device D

```


6 修订历史记录

Changes from Revision B (January 2020) to Revision C (January 2024)	Page
---	------

- | | |
|--|-------------------|
| • 更新了整个文档中的表格、图和交叉参考的编号格式..... | 1 |
| • 在整个出版物中添加了 TLV320ADCx120 和 PCMX120-Q1..... | 1 |
-

Changes from Revision A (November 2019) to Revision B (January 2020)	Page
--	------

- | | |
|---|-------------------|
| • 添加了有关描述 BCLK > 18.5MHz 时的系统限制的注释..... | 4 |
|---|-------------------|
-

Changes from Revision * (April 2019) to Revision A (November 2019)	Page
--	------

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司