

Application Report

在数字预失真系统中使用 AFE77xx



Kang Hsia

摘要

为了克服 PA (功率放大器) 的线性功率限制, 同时降低无线电的整体成本, 无线电制造商使用成本更低、具有特定线性度和功率传输特性的 PA, 同时利用数字预失真 (DPD) 技术对 PA 进行线性化。AFE77xx 系列器件未通过单独的反馈路径来观测 PA, 而是在高通道数收发器器件中内置射频采样模数转换器来简化 DPD 的实现。AFE77xx 系列器件具有四个零中频发送器链、四个零中频接收器链和两个基于专用射频采样 ADC 的反馈路径, 可实现 DPD 反馈。此器件集成度很高, 有助于节省系统整体成本, 特别是在需要 DPD 的系统中。此应用报告重点介绍了如何使用 AFE77xx 来实现 DPD, 发送器和反馈接收器的信号链, 以及系统工程师在 DPD 系统规划期间需要考虑的各种重要注意事项。

内容

1 术语.....	3
2 DPD 简介.....	3
3 DPD 的基本构建块.....	5
4 利用 AFE77xx 实现 DPD 系统.....	6
5 AFE77xx 中 DPD 系统的概要实现方式.....	9
6 TX/FB 的延迟.....	11
7 反馈抗混叠滤波.....	11
8 TX 正交调制器校正 (QMC) 交互.....	13
9 修订历史记录.....	15

插图清单

图 2-1. 具有线性增益模型的理想功率放大器行为.....	3
图 2-2. 具有非线性增益系数模型的实际功率放大器行为.....	3
图 2-3. 具有预失真输入的整体功率放大器行为.....	4
图 2-4. AFE77xx 系列收发器方框图.....	5
图 3-1. 基本 DPD 构建块.....	6
图 4-1. 利用 TI AFE77xx TX/FB 构建块的 DPD 完整解决方案.....	7
图 4-2. TX 链方框图.....	8
图 4-3. 反馈路径方框图.....	8
图 5-1. 4G LTE 典型的 TDD 下行链路/上行链路比例.....	9
图 5-2. 使用 Special Slot 设置的 DPD 典型估算和校正阶段.....	10
图 7-1. 用于分析镜像滤波要求的 DAC 输出、调制器输出以及射频采样 ADC 输入级.....	11
图 7-2. DAC 输出频谱.....	12
图 7-3. 调制器输出频谱.....	12
图 7-4. TXLO 镜像和射频采样造成镜像折叠.....	13
图 8-1. 与 DPD 并行的 TXQMC 运行时间.....	13
图 8-2. 专门的 TXQMC 时段和专门的 DPD 调整时段.....	14
图 8-3. 利用触发的外部 GPIO 进行内部 TXQMC 系数更新.....	14

表格清单

表 5-1. TDD 模式下的器件状态.....	10
表 5-2. RX/FB 状态与 GPIO.....	10

商标

所有商标均为其各自所有者的财产。

1 术语

- PA：功率放大器
- TXQMC：发送器正交调制器校正。用于校正调制镜像和本地振荡器馈通。
- DPD：一种将数字预失真信号应用于功率放大器以提供非线性补偿的技术。
- TX：发送器链。在 AFE77xx 中有四种可用的发送器。
- FB：数字预失真的反馈观测链。AFE77xx 中有两种可用的观测链。
- DL：下行链路或流量发送器运行时段
- RX：流量接收器链。在 AFE77xx 中有四种可用的接收器。
- UL：上行链路或流量接收器运行时段
- LO：本机振荡器。用于直接升频转换或降频转换混合。
- NCO：数控振荡器。在反馈路径中使用，将射频信号降频转换至基带。
- LO 馈通：混合电路的 DC 偏移，导致了本机振荡器频率的泄漏损耗。可通过 TXQMC 校准到更低的水平。
- 图片：不需要的镜像，位于以本机振荡器频率为中心的对侧。这是混合电路正交混合不理想造成的。可通过 TXQMC 校准到更低的水平。
- 奈奎斯特镜像：这是奈奎斯特采样造成的混叠镜像。
- MIMO：多输入多输出收发器
- JESD204：由 JEDEC 标准委员会制定的高速串行链路
- SERDES：高速串行器和解串器

2 DPD 简介

在典型的电信基站以及小型蜂窝和分布式天线系统等各种衍生系统中，功率放大器 (PA) 的总功率传输和电源效率现已成为当前第四代 (4G) 系统和即将到来的第五代 (5G) 预发布系统的主要规格指标。由于对移动数据的需求增加，电信设备必须具有更小的外形尺寸，未来可能还要能够支持多输入多输出天线阵列 (MIMO)。无线电设备的物理尺寸更小、密度更高有助于实现更高的电源效率。

尽管每台无线电设备的天线数量在不断增加，但只要保持设备成本与原来持平，无线电制造商就能在不断发展的市场中保持竞争力。在理想情况下，PA 应是线性的，可提供与 PA 的增益 (k) 和输入功率 (V_{in}) 成正比的功率，如图 2-1 所示。但 PA 的线性性能并不理想，具有典型的 1dB 压缩点和三阶截点 (如图 2-2 所示)。工程师在设计时必须考虑这些非线性行为，了解如何权衡 PA 的线性性能和最大输出功率限制。

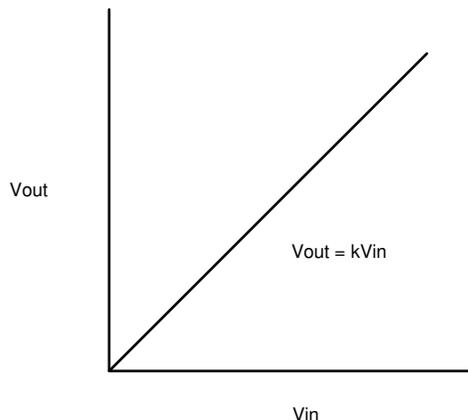


图 2-1. 具有线性增益模型的理想功率放大器行为

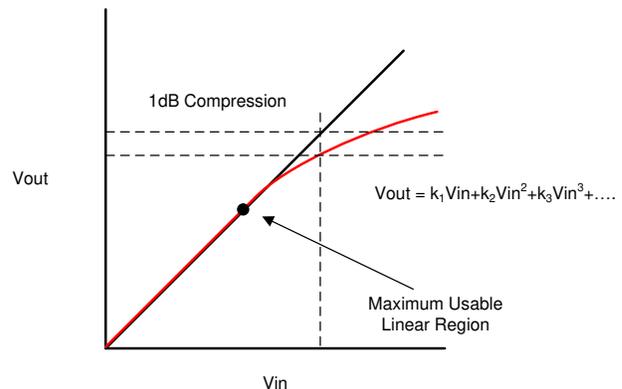


图 2-2. 具有非线性增益系数模型的实际功率放大器行为

为了克服线性功率限制，同时降低无线电的整体成本，无线电制造商必须发挥创造力，使用成本更低、线性功率传输限制更少的 PA。工程师针对上述 PA 应用创新技术，促使 PA 具有非线性行为，甚至接近饱和区域，从而传输更高的发送功率。这种技术需要进行数字处理，并被称为数字预失真，或 DPD。如图 2-1 所示，DPD 的目标是确定 PA 非线性行为的特性，并在 PA 中注入线性信号，以实现整体输出的线性化。比较图 2-2 和图 2-3 可以发现，经过 DPD 线性化后 PA 的可使用区域得以增加，从而提高了无线电系统的可用输出功率。

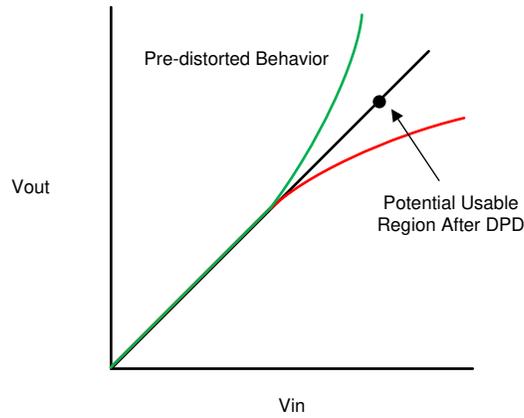


图 2-3. 具有预失真输入的整体功率放大器行为

在学术和工业领域研究和实施了各种数字处理优化和算法架构，目标是增加 PA 功率传输和效率。若要实施 DPD，无线电必须具有可用于发送观测的反馈路径。为了帮助系统设计人员完成具有 DPD 的无线电收发器系统，TI 的 AFE77xx 系列收发器包含可用于实施的高性能反馈观测路径。

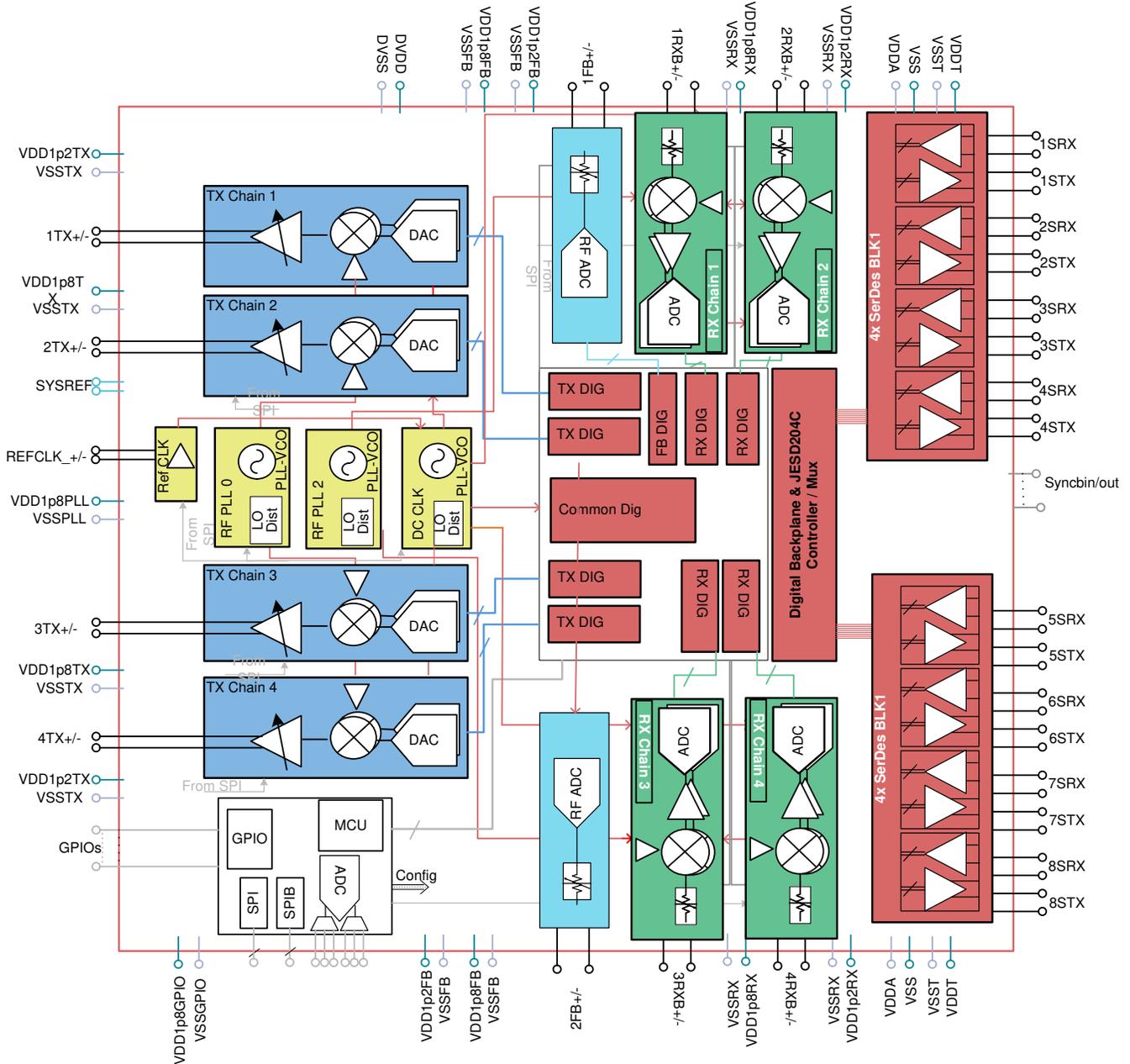


图 2-4. AFE77xx 系列收发器方框图

3 DPD 的基本构建块

3.1 基本 DPD 系统构建块

从 DPD 系统的构建块来看，该系统包含负反馈和正向校正路径，如图 3-1 所示。正向路径可简化为基本的数字升频转换块、DAC、调制器和 PA。负反馈路径包含一个观测路径，可观测 PA 输出、解调器、ADC 和数字降频转换块。DPD 运行期间观测到的数据将以负反馈的形式馈入 DPD 处理环路，对正向路径进行预失真。预失真的功率曲线应与 PA 的线性曲线成反比，以便使 PA 总输出线性化。

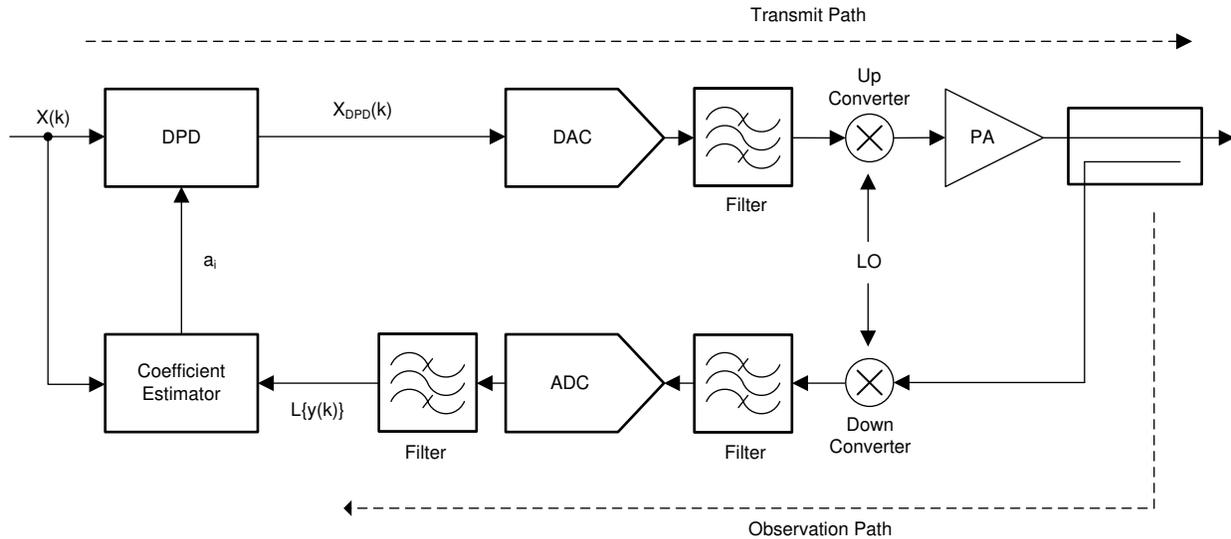


图 3-1. 基本 DPD 构建块

3.2 DPD 环路分析

在数学负反馈分析方面，DPD 的正向路径传入复合信号 $X(k)$ ，该信号基于 PA 行为进行 DPD 校正，实现预失真。预失真信号为 $X_{DPD}(k)$ ，它经过 DAC、调制器，然后到达 PA 链。来自 PA 输出的耦合器形成观测路径，并由 ADC 进行降频转换和采样，以馈入系数估算器。系数估算器基本上可测量 $L\{y(k)\}$ 和正向路径 $X(k)$ 之间的误差。请注意，这里有适当的延迟块，可确保在合适的时间比较来自 $L\{y(k)\}$ 和 $X(k)$ 的输入。然后该误差信号将用于更新 DPD 系数的值。此外， $X(k)$ 信号通常是已知的训练信号，自动关联度较高，可用于 DPD 通道的估算阶段。DPD 环路的估算阶段可定期运行。

4 利用 AFE77xx 实现 DPD 系统

AFE77xx 系列包含任何 DPD 系统所需的必要构建块。图 4-1 所示为整个 AFE77xx 发送器链（用作 DPD 的正向路径构建块）；以及整个 AFE77xx 反馈接收器链（用作 DPD 的观测反馈路径）。此图可帮助系统设计人员了解如何利用 AFE77xx 信号链实现 DPD 系统的数据路径。

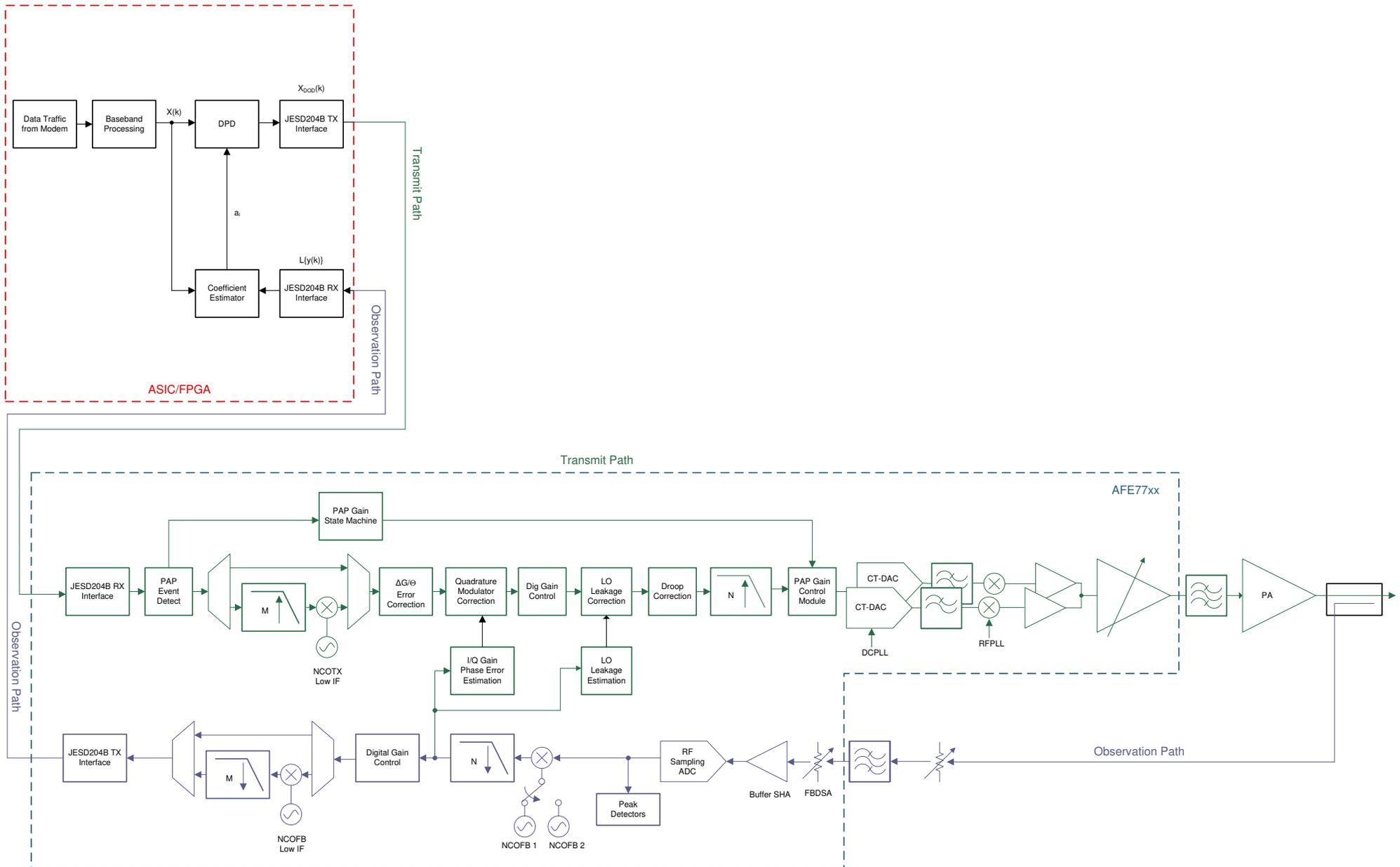


图 4-1. 利用 TI AFE77xx TX/FB 构建块的 DPD 完整解决方案

4.1 AFE77xx 发送器路径概述

AFE7799 集成了四个基于 0-IF 架构的发送器链，其方框图如图 4-2 所示。发送器链的模拟部分包含两个 14 位、3.4Gsps IQ DAC，后跟一个可编程重建和 DAC 镜像抑制滤波器以及一个 IQ 调制器，用于驱动具有 39dB 增益控制范围的宽带射频放大器。发送器链的数字部分包含多个块，可内插和过滤从支持的输入速率到 DAC 时钟速率范围内的信号，并补偿模拟部分的一些损失（例如 LO 泄漏、IQ 失配、DSA 步进错误）。

两个 IQ DACscan 可配置为在两种不同的采样率模式下工作：48x (2949.12Mps) 和 54x (3317.76Mps)。

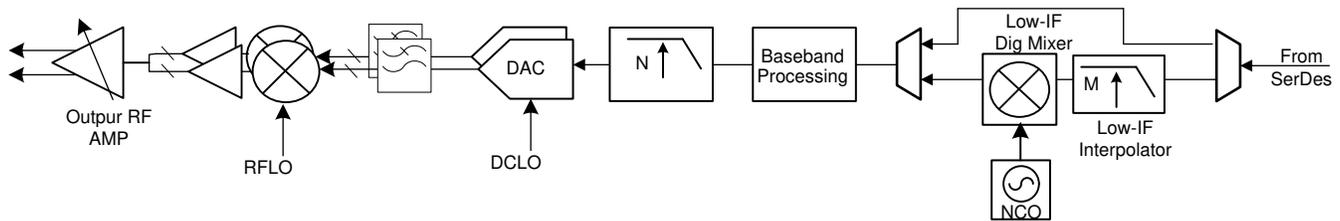


图 4-2. TX 链方框图

AFE7799 发送器链的数字部分如图 4-2 所示。TX 链的输入是来自 JESD 块的复合信号。第一级是 PA 保护块，可用于监控输入信号，检查输入功率何时出现可能损坏功率放大器的行为。

在 PA 保护块之后，是低 IF 内插级，后跟带 NCO 的低 IF 混频器。这些块可增加采样率，使输入信号频率偏移，从而实现低 IF 运行模式。如果不使用移频，可绕过这些块。

下一个块涉及基带处理功能，其中包括对模拟元件的增益控制和补偿。最后一个数字块是第二内插级，其中信号输出进入 I/Q DAC。

IQ 失配补偿块由启动和实时跟踪算法控制。它根据基带频率提供边带抑制，并通过补偿进行 LO 馈送。AFE7799 支持以下模式：更新 QMC 系数后，主机可通过 GPIO 引脚进行控制。通过 SPI 配置此模式时，估算器会持续计算校正参数，但只有将分配的引脚 (TXQMCEN) 设为高电平时，QMC 块系数才会更新为最新参数。相关详细信息，请参阅节 8。

4.2 AFE77xx 反馈观测接收器路径概述

AFE7799 包含两个基于直接射频采样架构的反馈 (FB) 链。图 4-3 所示为 FB 链方框图。FB 链通常用作功率放大器 (PA) 输出的观测路径，该输出为外部 DPD 引擎提供输入。直接采样架构提供了一个固有的宽带接收器链，并简化了 TX 链损失的校准过程。反馈路径由一条模拟射频链和一个数字块组成。

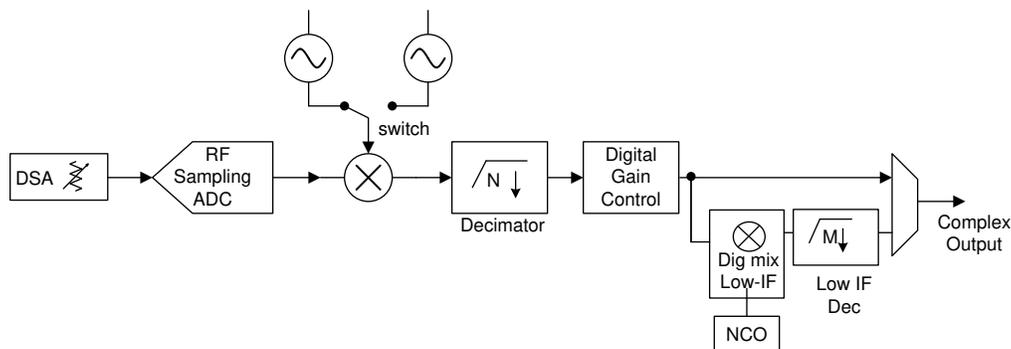


图 4-3. 反馈路径方框图

FB 路径模拟块包含一个输入 DSA 和一个射频采样 ADC。

输入 DSA 具有总计达 16dB 的衰减量，分辨率为 1dB。DSA 衰减可通过 SPI 设置。

14 位射频 ADC 可配置为在两种不同的采样率模式下工作：48x (2949.12Mps) 和 54x (3317.76Mps)。

AFE7799 反馈链的数字部分如图 4-3 所示。FB 数字部分的输入是来自 FB ADC 的真射频信号。第一级是混频器，用于转换为复合的基带信号。混频器有两个可切换的 NCO，因此对于双频带应用，可在使用一个 NCO 的同

时维持另一个 NCO 的相位。混频器之后是抽取级。AFE7799 将抽取级的输出用于 IQ 失配校正引擎，该引擎与进入数字增益块的主信号路径并行，后跟带 NCO 的低 IF 混频器，最后是第二抽取级。当 TX 信号频率偏移以实现低 IF 运行模式时，这些块可用于匹配 TX 信号。如果不使用移频，可绕过这些块。将射频采样 ADC 和数字降频转换级用于 FB 路径的优势是，更大限度地减少了镜像和 LO 馈通等模拟瑕疵，并降低了对 DPD 估算阶段的影响。

5 AFE77xx 中 DPD 系统的概要实现方式

DPD 的一般概念与任何类型的均衡控制环路类似。该环路基本上有以下阶段：

1. 为环路生成已知的训练序列。此训练序列必须有非常好的自动关联特性。发送器正向路径生成训练序列，此路径中的训练序列有附加噪声（任何类型的发送器系统固有），还有 PA 增加的非线性。FB 接收器会接收此训练序列，以及 FB 接收器的噪声和非线性。系统会比较生成的训练序列和接收到的训练序列，并进行自动关联。二者需要能够很好地自动关联，才能正常检测训练序列。
2. 估算阶段涉及将生成的训练序列与接收到的训练序列自动关联。除了训练序列外，额外的信息是发送器和 FB 接收器路径的非线性因素，以及整体噪声。假设该过程是随机的（白噪声），则噪声对估算和自动关联流程产生的影响是非常低的。
3. 该环路基于正向路径估算的非线性，应用于预失真信号。然后，此预失真信号会经过失真信号链，PA 可实现线性化。

对 DPD 本身的研究超出了本应用手册的范围。有很多行业和学术研究的深度都远超本手册。为了缩小讨论范围，典型的时分双工 (TDD) 系统中的以下 DPD 应用示例有助于读者关注 AFE77xx 和 DPD 应用的效用。TDD 系统是一个动态环境，发送和接收通道的偏移量相同或类似（TXLO、RXLO 和 FB NCO 处于相同的频率），而发送和接收的时序在某些时间偏移下会交叉（TX 下行链路 [DL] 在一个时段，而 RX 上行链路 [UL] 在另一个时段，有一些预定义的占空比）。DPD 应用的这种场景涵盖 DPD 训练序列的规划、估算阶段的时序，以及可能会依赖 DPD 处理的各种其他环路。

5.1 时域双工系统概述

在 TDD 条件下（如图 5-1 所示），DL 时段流量发送器处于运行模式。在此时段，FB 接收器也可启用，用于 DPD 环路的估算阶段。在此时段，流量接收器不需要运行。除了 DL 时间，其余时间为 UL 阶段。在此阶段，流量发送器和 FB 接收器不需要运行。¹

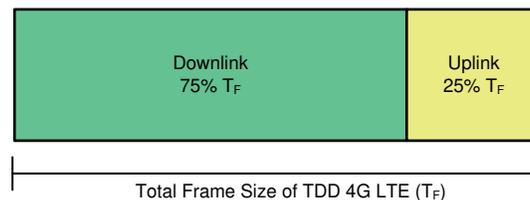
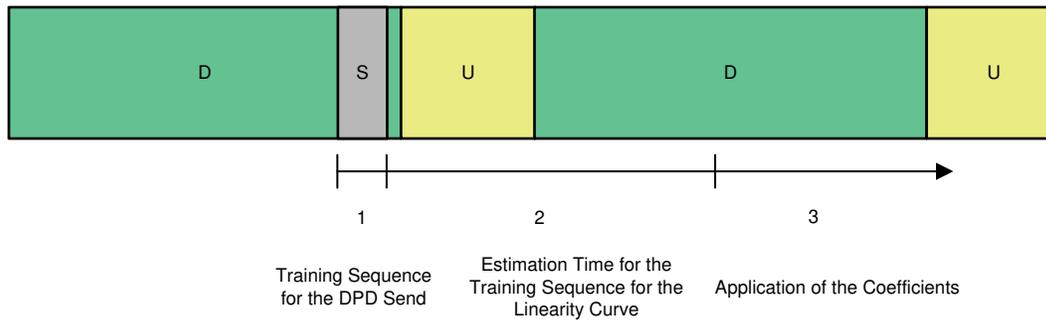


图 5-1. 4G LTE 典型的 TDD 下行链路/上行链路比例

5.2 训练序列生成

在典型的通信协议中（例如 4G LTE TDD 系统），可利用一个被称为 Special Slot 的时段来发送 DPD 训练序列。如图 5-2 所示，DL 链可使用此时段来发送 DPD 所需的训练序列。然后 FB ADC 可捕获此训练序列，以执行系数估算。最后，DPD 环路可应用此系数来实现线性化。

¹ 在典型的 4G LTE TDD 系统中，典型的 DL 时间约为总时长的 75%，典型的 UL 时间约为总时长的 25%。这主要是由内容提供商向移动设备提供的数据流量决定的。在未来的 5G 系统时代，移动设备之间共享的流量可能增加，那么 DL 与 UL 的比例可能会接近 50%。


图 5-2. 使用 Special Slot 设置的 DPD 典型估算和校正阶段

在无线电系统中，同一 Special Slot 可用于其他用途，例如正向功率观测、反射功率观测和 DL 链中需要的其他各种估算。与 DPD 类似，其他观测流程也可定期执行。

5.3 AFE77xx 中的特殊 TDD 功能

在 AFE77xx 集成式收发器中，可使用外部 GPIO 于 TDD 期间切换发送器、反馈和接收器的待机和在工作模式。进行 TDD 切换有两方面的目的：

1. 在必要的时段只激活必要的块，并将不必要的块置于待机模式，以减少器件的整体功耗。例如，在 DL 时段，AFE77xx 中的流量接收器可置于待机模式。而在 UL 时段，流量发送器和 FB 接收器可置于待机模式。TI 将各块的唤醒和待机时间设计在 $2\mu\text{s}$ 之内，短于各种 TDD 情况下的典型保护频带。
2. 在 JESD204B/C 串行链路中，流量接收器和 FB 接收器均有有效的 SERDES 发送器通道 (STX1 到 STX8)，时间段中可共享 STX 通道，以减少高速 SERDES 端口的整体使用情况。这样可减少系统整体成本，因为可减少所需 SERDES 通道的数量。

表 5-1 所示为 AFE77xx 在 TDD 模式下使用的外部 GPIO。共有 5 个 GPIO 用于在下行链路和上行链路 TDD 模式之间进行切换：TXEN1、TXEN2、RXEN1、RXEN2 和 1FBEN。

表 5-1. TDD 模式下的器件状态

TDD 模式	TXEN1/TXEN2	RXEN1/RXEN2	1FBEN	发送器模式	接收器模式	反馈模式
下行链路	1	0	1	工作	待机	工作
上行链路	0	1	0	待机	工作	待机

对 TDD GPIO 的控制并不相互排斥，因此上行链路和下行链路模式可以同时处于待机或工作状态。例如，在一些特殊应用场合，整体流量很少（例如在远程区域的夜间时段，无线电的一些通道可置于节能模式）。

在减少 SERDES 高速端口整体数量方面，FB 和 RX ADC 可以分时使用 SERDES 通道，从而有效减少在 FPGA 和 AFE77xx 中使用的 SERDES 资源。SERDES 通道上的信息可根据 RXEN1/RXEN2 和 1FBEN GPIO 的状态在反馈 ADC 和接收器 ADC 之间动态切换。表 5-2 对此进行了总结。

表 5-2. RX/FB 状态与 GPIO

RXEN1/RXEN2	1FBEN	RX 链	FB 链	串行器/解串器通道至
1	0	打开	关闭	RX
0	1	关闭	打开	FB
1	1	开/关	开/关	基于可编程 SPI 配置，RX/FB ²
0	0	关闭	关闭	

² (1,1) 可以是 (1,0) 或 (0,1)

6 TX/FB 的延迟

进行数字失真估算和校准需要知晓从发送器链到反馈观测链之间的延迟。根据设计，AFE77xx 支持的 JESD204B/C 标准对于发送器和反馈路径都有确定性延迟。确切地说，AFE77xx 每次启动时发送器和反馈数据路径都有精确的延迟。启动过程包括器件的上电、器件的重置、器件的编程以及 JESD204B/C 握手过程。

此外，AFE77xx 具有的以下特性有助于 DPD 的实现：

6.1 TX 链中的延迟块

AFE77xx 的 TX 链可对输入信号的延迟进行编程。可编程延迟可拆分为粗延迟和精细延迟。粗延迟出现在内插链中，分辨率为 $T_{in}/2$ ，其中 $T_{in} = 1/F_{in}$ ，或为接口采样率。粗延迟可通过 3 位 SPI 寄存器在 0 到 $4 T_{in}/2$ 之间进行编程。

精细延迟块位于内插滤波器的输出端，可通过专用的 5 位 SPI 寄存器配置为 DAC 时钟周期的整数倍，最高为 31 个时钟周期。I 和 Q 路径可同时应用延迟（复合），可针对每个 TX 链编程为不同的延迟。

6.2 TXLO 和 FBNCO 频率偏移

DPD 运行期间，必须保持 TXLO 和 FBNCO 之间的频率偏移，以防止相位积累误差和延迟误差。在以下情况下，对于 TX 调制器和 TXLO，FB ADC 数字混频器和 NCO 可具有同步频率偏移：

1. FB ADC 有两个独立 NCO，可匹配两个不同的 TXLO 频率，适用于双频带或对两个频带进行采样。
2. 如果 AFE77xx 的参考时钟（DC-PLL 和 RF-PLL 的参考时钟）是 61.44MHz 的倍数（即 $F_{ref} = N * 61.44MHz$ ），则 FB ADC NCO 的确切光栅频率为 1kHz。如果 TXLO 的 RF-PLL 分数模式为 1kHz 光栅，则 TX 和 FB 之间的频率偏移可为零。

7 反馈抗混叠滤波

由于 AFE77xx 反馈路径基于射频采样架构，如果频谱功率是带内信号的奈奎斯特倍数，则会混叠到带内信号中。因此，为了改良 DPD 算法和 AFE77xx 内部 TXQMC 算法，反馈路径必须具有抗混叠滤波功能。

图 7-1 所示为简化的 TX 和 FB 块。如引言所述，TX 部分包含直接升频转换电路与典型基带 DAC 和模拟调制器，而 FB 部分是射频采样 ADC 电路。此处重点介绍的节点是同相信号 (I) 和正交信号 (Q) 的基带 DAC 输出，基带到射频的调制器输出以及射频采样 ADC 的采样数据。

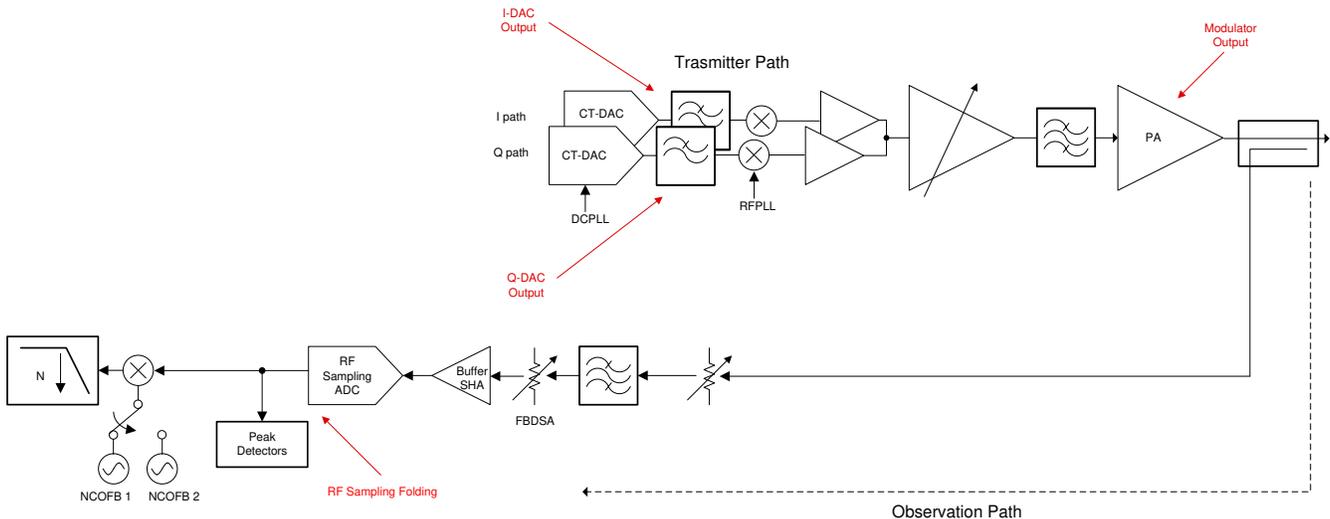
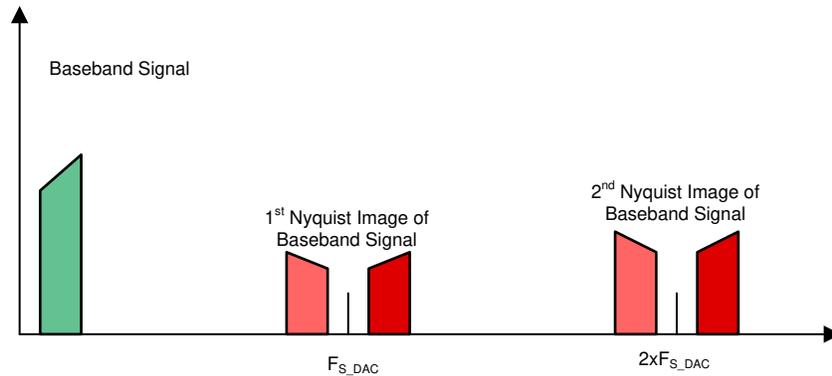


图 7-1. 用于分析镜像滤波要求的 DAC 输出、调制器输出以及射频采样 ADC 输入级

I 或 Q 路径上 DAC 输出的分析如图 7-2 中的频谱所示。要进行升频转换的基带信号用深绿色表示。DAC 也是一个采样器，所以奈奎斯特镜像频率是奈奎斯特频率的倍数（即 $F_{S_DAC}/2$ 频率）。虽然有基带输出滤波，但这种滤波并不是理想的砖墙式滤波，会有一些残余功率。暗红色的是基带信号的镜像，具有与基带对称的振幅和相位信息。浅红色的是折叠镜像，具有翻转的振幅和相位信息（相位差 180° ）。


图 7-2. DAC 输出频谱

I 和 Q 信号然后通过调制器路径进行升频转换。经过 LO 混合后的最终射频频谱如图 7-3 所示。深绿色的是经过调制的波形，浅绿色的是因模拟元件正交混合不理想而产生的镜像瑕疵。由于混合过程中的 DC 偏移，还有一些轻微的 LO 馈通。TXQMC 算法可校正镜像瑕疵和 LO 馈通。

如果关注的带宽接近 LO 频率的相关信号，图 7-3 展示的是另外两个影响反馈性能的区域。

1. 第 1 奈奎斯特镜像和 TXLO 直接混合：这以基带信号的第一奈奎斯特镜像为参考，以 F_{S_DAC} 为对称轴，如图 7-2 所示。DAC 输出的第一奈奎斯特镜像基本上利用 LO 混合直接调制为 RF。因此，第一奈奎斯特镜像现在位于 $F_{S_DAC} + F_{LO}$ 的中心。
2. 因混合第 2 奈奎斯特镜像和 TXLO 而生成的镜像：这以基带信号的第二奈奎斯特镜像为参考，以 2 倍的 F_{S_DAC} 为对称轴，如图 7-2 所示。利用 LO 混合，主要调制信号位于 2 倍的 $F_{S_DAC} + F_{LO}$ （出于简化原因未显示），由于正交混合不理想，还有一个镜像位于 2 倍的 $F_{S_DAC} - F_{LO}$ 。

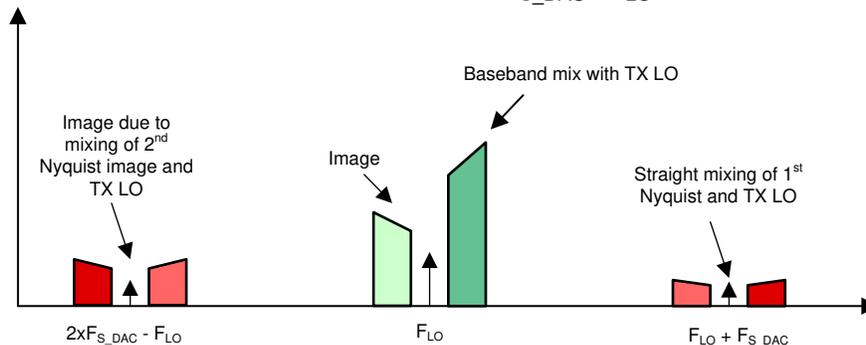

图 7-3. 调制器输出频谱

图 7-4 中强调了这些镜像（或镜像的镜像）的影响。首先，由于 F_{S_ADC} 处的 FB ADC 采样率通常设为与 F_{S_DAC} 处的基带 DAC 采样率相同，这些镜像在 FB ADC 的奈奎斯特带宽内部折叠。另外，由于 FB NCO 设为与 TXLO 相同，这些镜像在 FB ADC 路径的抽取带宽中带内折叠。除了实际基带信号之外，镜像（或镜像的镜像）的所有折叠会在 DPD 和 TXQMC 算法的估算阶段引发问题。因此，TI 建议围绕带内信号提供充分的带通滤波，从而实现出色的 DPD 和 TXQMC 性能。

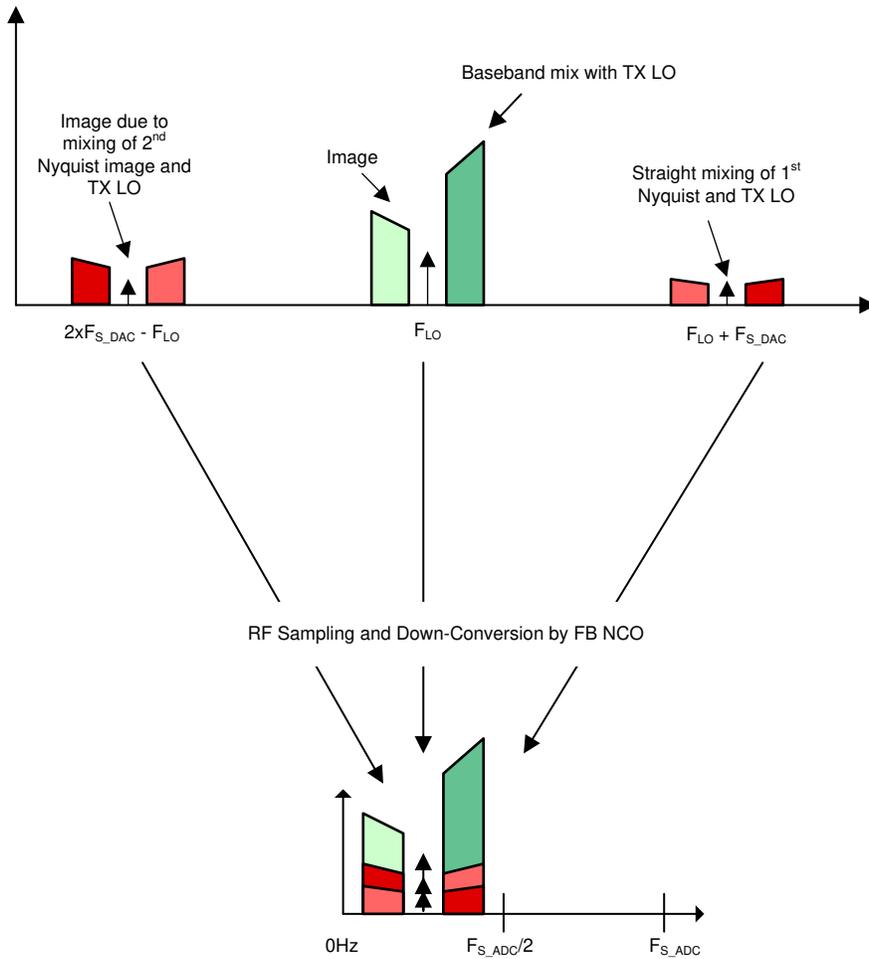


图 7-4. TXLO 镜像和射频采样造成镜像折叠

1. 在反馈路径中，通常不适合使用低通滤波器。
2. 对于 1.8GHz、2.4GHz 或 3.5GHz 信号带， $F_{S_DAC}-F_{LO}$ 毛刺和 3 倍的 $F_{S_DAC}-F_{LO}$ 通常出现在低频或极高频处。
3. 随着 F_{LO} 接近 4.5GHz，附近会出现 3 倍的 $F_{S_DAC}-F_{LO}$ 和 F_{LO} 。可能需要额外调整，例如采样率 F_{S_DAC} 或 F_{S_ADC} 调整。

8 TX 正交调制器校正 (QMC) 交互

DPD 估算和调整可能会与 TX QMC 和 LO 泄漏收敛同时进行。系统工程师应在 QMC 和 LO 泄漏校正的初步收敛阶段留出专门的时间窗口，通常约为 50ms。在这个专门的时间窗口中，DPD 调整应保持冻结。类似地，TI 建议在初步 DPD 收敛期间，冻结 TX QMC 和 LO 泄漏估算。初步 DPD 收敛完成后，TX QMC 和 LO 泄漏校正就能以更快的速度更新。这也被称为自主 TXQMC 阶段，通常需要约 10ms 来完成。

DPD 环路时间在很大程度上取决于 DPD 算法估算。假设 DPD 调整所需的时间在 100ms 范围内可实现较好的线性性能，使 TX QMC 和 LO 泄漏可与 DPD 调整时间窗口保持一致的 TX-FB 连接时间段如图 8-1 所示。这样可避免为 QMC 和 LO 泄漏跟踪校准分配专门的时间窗口。

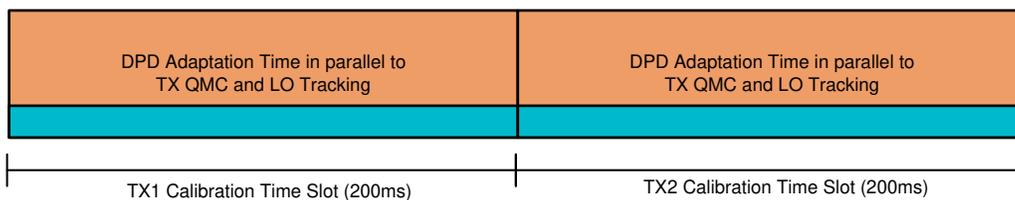


图 8-1. 与 DPD 并行的 TXQMC 运行时间

AFE77xx 还支持 DPD 调整和 QMC/LO 跟踪分别在专门的时间窗口中完成的模式。这更适合需要针对特定 TX 路径定期进行多次校准的系统（即 DPD 调整、输出功率观测、反射功率观测等），以便跟踪时间和温度的改变。假设为特定 TX 链所需的所有校准定期分配 200ms 的时间窗口，系统工程师可保留 30ms 的专门时间窗口，在 200ms 的时间窗口内维持 TX-FB 对连接，以启用 QMC 的 LO 泄漏来跟踪时间和温度变化。但要在 TXQMC 初步收敛阶段和跟踪阶段之间保留统一的校准方案，TI 建议在 200ms 的时间窗口中，为 QMC 和 LO 泄漏跟踪保留至少 50ms 的 TX-FB 对专门连接时间，如图 8-2 所示。³

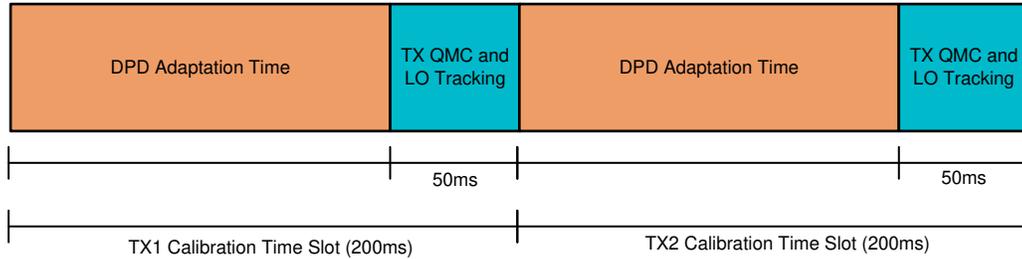


图 8-2. 专门的 TXQMC 时段和专门的 DPD 调整时段

在 TX QMC 和 LO 泄漏跟踪期间，校正系数会定期更新。系数更新设计为无干扰进行。但如果应用需要，AFE7xx 还支持以下模式：QMC 和 LO 泄漏算法在后台持续估算系数，但只有在启用了额外的 GPIO 后才更新系数，如图 8-3 所示。这种基于额外的 GPIO 更新数据路径系数的模式被称为“主机触发的更新模式”。在主机触发的更新模式下，触发额外的 GPIO 后，四个 TX 通道的 TX QMC 和 LO 泄漏系数会在 200 μ s 后更新。

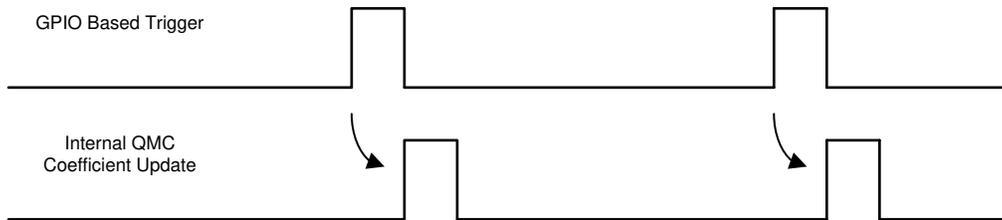


图 8-3. 利用触发的外部 GPIO 进行内部 TXQMC 系数更新

³ 在 TX QMC 跟踪的初期，算法会跟踪未校正的正交失配和 LO 泄漏水平。初始 QMC 跟踪时间约为 50ms。初始 QMC 跟踪后的自主估算和系数更新在 10ms 内完成。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (July 2019) to Revision B (August 2021) Page

- 更新了整个文档中的表格、图和交叉参考的编号格式..... 1

Changes from Revision * (April 2019) to Revision A (July 2019) Page

- 编辑了摘要..... 1
 - 编辑了节 2 3
 - 编辑了节 4.1 8
 - 编辑了节 4.2 8
 - 编辑了节 5 9
 - 编辑了节 5.3 10
-

重要声明和免责声明

TI 提供技术和可靠性数据 (包括数据表)、设计资源 (包括参考设计)、应用或其他设计建议、网络工具、安全信息和其他资源, 不保证没有瑕疵且不做任何明示或暗示的担保, 包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任: (1) 针对您的应用选择合适的 TI 产品, (2) 设计、验证并测试您的应用, (3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。这些资源如有变更, 恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务, TI 对此概不负责。

TI 提供的产品受 TI 的销售条款 (<https://www.ti.com/legal/termsofsale.html>) 或 [ti.com](https://www.ti.com) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

邮寄地址: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2021, 德州仪器 (TI) 公司

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司