

深入理解 FPD-LINK 产品的速率评估方法

Charles Zhang

ABSTRACT

FPD-LINK 是 TI 汽车级高速 Ser-Des 产品，在车载娱乐系统（IVI）与自动驾驶（ADAS）中广泛应用。针对不同的接口类型与速率，FPD-LINK 有不同的产品来匹配。由于 FPD-LINK 的速率除了与自身的工作机制相关，还与诸多系统参数相关，比如分辨率、消隐时间、接口协议等，因此在实际应用过程中，客户最常见的问题就是如何评估一款 FPD-LINK 产品的速率能否满足需求。由于目前市场上应用最多的是 FPD-LINK III 产品，本文将分别对 FPD-LINK III 的 IVI 与 ADAS 两大类产品的工作原理进行阐述，并详细介绍其速率参数评估方法。

Contents

1.	IVI 产品速率评估	2
1.1	LCD 的分辨率与时序参数	2
1.2	IVI 产品的 PCLK 与 Line rate	3
1.3	HDMI/DSI/CSI-2 接口的时钟频率.....	4
2.	ADAS 产品速率评估	5
2.1	传感器输出的图像编码格式.....	5
2.1.1	RAW 图像格式	5
2.1.2	RGB 图像格式	6
2.1.3	YUV 图像格式 ^[6]	6
2.2	摄像头的硬件输出接口.....	7
2.2.1	DVP 输出接口	7
2.2.2	CSI-2 输出接口 ^{[7][8]}	8
2.3	不同接口的 ADAS 产品的速率评估	9
2.3.1	DVP 接口 Serializer 配合 DVP 接口 Deserializer	9
2.3.2	CSI-2 接口 Serializer 配合 CSI-2 接口 Deserializer	10
2.3.3	DVP 接口 Serializer 配合 CSI-2 接口 Deserializer	13
2.3.4	CSI-2 接口 Serializer 配合 DVP 接口 Deserializer	14
2.4	BT.601 与 BT.656 ^{[11][12]}	15
3.	参考文献.....	16

1. IVI 产品速率评估

1.1 LCD 的分辨率与时序参数

在介绍 FPD-LINK 产品的工作机制之前，首先必须理解 LCD 的分辨率(Resolution)与时序参数(Timing)。通常提到的 720p/1080p/2k/4k 屏，都是指的屏幕的分辨率，即实际显示图像的有效区域。分辨率越大，单帧图像上的数据量越大，则需要的 FPD-LINK 产品的速度要求也越高。比如 720p@60fps 的视频，每秒钟实际显示的像素点个数为 Total Pixels = 720*1280*60 = 55,296,000，如果每个像素点需要 1 个时钟信号，则像素时钟频率为 55.296MHz。

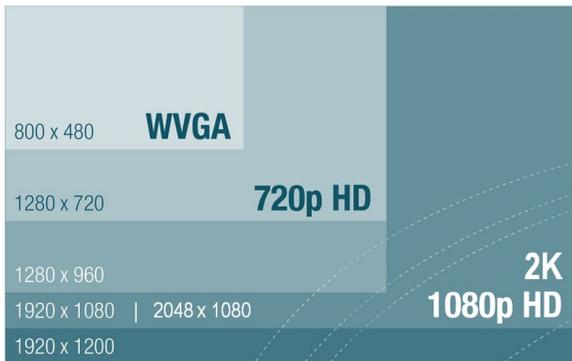


图 1: 屏幕分辨率 Resolution

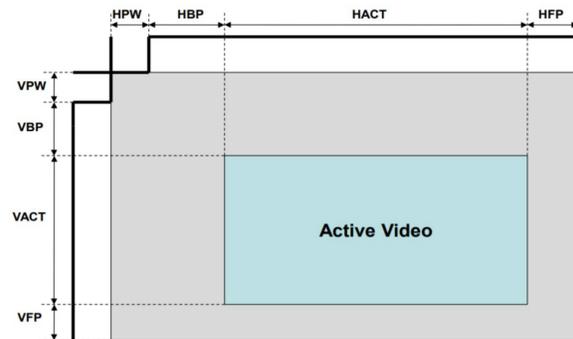


图 2: 屏幕详细 timing 参数

视频信号能连续不断地在 LCD 上刷新显示，除了正常显示内容以外，还需要额外的时序信号进行显示控制，即 Hsync/Hbp/Hfp, Vsync/Vbp/Vfp 这六个参数，如图 2 所示。通常 LCD 屏的 datasheet 中会明确定义这几个参数的 min/typ/max 范围，输入到 LCD 的 timing 参数只需要在 min/max 范围内即可，SOC 一般情况下都是配置为 typical 值输出。真实的 Pixel clock 频率计算也需要把 timing 控制的时间考虑在内，如公式(1)所示，因此真实的 pixel clock 频率会高于仅仅根据 active video 区域计算出的 PCLK 频率。比如一个 720*1920 双路 OLDI 接口的 LCD 显示屏，通常由两组 720*960 图像进行奇偶交错显示^[1]，其 timing 参数如表 1 所示，每组 OLDI 时钟为 47.3392MHz，总的 Pixel clock 频率为 94.755840MHz。

$$\text{Pixel Clock} = (H_{\text{active}} + H_{\text{sync}} + H_{\text{bp}} + H_{\text{fp}}) * (V_{\text{active}} + V_{\text{sync}} + V_{\text{bp}} + V_{\text{fp}}) * \text{fps} \quad \text{公式(1)}$$

表 1: 720*1920 LCD timing example 1

Parameter	Min	Typ	Max	Unit
Horizontal active data		960		DCLK
Horizontal sync width	3	8	254	DCLK
Horizontal back porch	5	8	254	DCLK
Horizontal front porch	16	16	129	DCLK
Horizontal total		992		DCLK
Vertical active data		720		H
Vertical sync width	1	4	65	H
Vertical back porch	2	5	66	H
Vertical front porch	8	67	78	H
Vertical Total		796		H

有些 DE mode 的显示屏会把这几个参数也统称为消隐时间(Blanking Timing), 在 DE 为高电平的时候传递视频图像, 在 DE 为低电平的时候传递消隐数据或其他控制数据。比如一个 DE mode 的 LCD 的 timing 如表 2 所示, 按照公式(2)进行计算, 则总的 Pixel clock 时钟频率为 94.848MHz。

表 2: 720*1920 LCD timing example 2

Parameter	Min	Typ	Max	Unit
Horizontal active data		960		DCLK
Horizontal blanking	60	80	240	DCLK
Horizontal total	1020	1040	1200	DCLK
Vertical active data		720		H
Vertical front porch	10	40	120	H
Vertical Total	730	760	840	H

$$\text{Pixel Clock} = (H_{\text{active}} + H_{\text{blanking}}) * (V_{\text{active}} + V_{\text{blanking}}) * \text{fps} \quad \text{公式(2)}$$

在项目初期架构阶段, 如果屏幕详细的 spec 还未确定的情况下, 可以按照公式(3)初步进行 Pixel Clock 估算, blanking time 的比例时间一般选择 10~30%。待屏幕参数明确以后, 再用公式(1)、公式(2)进行精确计算 Pixel Clock 能否满足 FPD-LINK 的 spec 要求。

$$\text{Pixel Clock} = H_{\text{active}} * V_{\text{active}} * (1 + \text{blanking time}\%) \quad \text{公式(3)}$$

1.2 IVI 产品的 PCLK 与 Line rate

从选型 FPD-LINK 的角度, 只需要计算出上述的 pixel clock (PCLK)后, 与 FPD-LINK datasheet 定义的频率范围进行比较即可判断芯片能否满足。但从选型整个系统元器件的角度, 还需要计算出串行总线上高速信号的参数。

Line rate 是 FPD-LINK 串行总线上的高速信号的速率, 单位为 bps(bit per second)。对于 FPD-LINK III 的 IVI 产品, 每个 PCLK 会把 24bit RGB 数据、控制信号、时钟信号编码成为 35bit 数据, 格式如图 3,

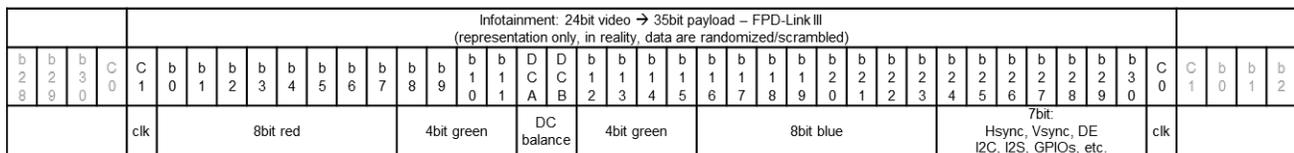


图 3: FPD-LINK III 编码方式

line rate 和 PCLK 之间存在固定的 35 倍关系, 串行总线上的一个 UI 为 line rate 的倒数, 即公式(4), (5)。因此 PCLK 速度越高, line rate 越高, 1UI 对应的的时间越短, UI 参数可以用于眼图与时钟 Jitter 的评估。

$$\text{Line rate} = f_{\text{PCLK}} * 35 \quad \text{公式(4)}$$

$$1\text{UI} = 1 / \text{Line rate} \quad \text{公式(5)}$$

由于 FPD-LINK III 采用 NRZ 编码方式, 在串行线缆上的高速信号的等效的信号频率为 line rate 的一半。信号频率参数可以用于指导线缆、连接器的选型。

$$\text{Signal frequency} = \text{line rate} / 2 \quad \text{公式(6)}$$

表 3 是 FPD-LINK III 常用产品的 PCLK、line rate 以及串行信号频率的汇总。92x 与 94x 的 Ser/Des 产品可以相互配对使用，PCLK 与 line rate 应同时满足 Ser/Des 两者的 spec。

表 3: FPD-LINK III IVI 产品 PCLK 与 line rate 汇总

Category	Device	Interface	PCLK Range	Line rate	Signal frequency
92x Serializer	DS90UB921/UH921	RGB	5~96MHz	0.175~3.36Gbps	0.0875~1.68GHz
	DS90UB925/UH925	RGB	5~85MHz	0.175~2.975Gbps	0.0875~1.4875GHz
	DS90UB927/UH927	OLDI	5~85MHz	0.175~2.975Gbps	0.0875~1.4875GHz
	DS90UB929/UH929	HDMI	25~96MHz	0.875~3.36Gbps	0.4375~1.68GHz
92x Deserializer	DS90UB924/UH924	OLDI	5~96MHz	0.175~3.36Gbps	0.0875~1.68GHz
	DS90UB926/UH926	RGB	5~85MHz	0.175~2.975Gbps	0.0875~1.4875GHz
	DS90UB928/UH928	OLDI	5~85MHz	0.175~2.975Gbps	0.0875~1.4875GHz
94x Serializer	DS90UB941/UH941	DSI	Dual link: 50~210MHz	0.875~3.675Gbps/lane	0.4375~1.8375GHz/lane
			Single link: 25~105MHz	0.875~3.675Gbps	0.4375~1.8375GHz
	DS90UB947/UH947	OLDI	Dual link: 50~170MHz	0.875~2.975Gbps/lane	0.4375~1.4875GHz/lane
			Single link: 25~96MHz	0.875~3.36Gbps	0.4375~1.68GHz
	DS90UB949/UH949	HDMI	Dual link: 50~170MHz	0.875~2.975Gbps/lane	0.4375~1.4875GHz/lane
			Single link: 25~96MHz	0.875~3.36Gbps	0.4375~1.68GHz
	DS90UB949A/UH949A	HDMI	Dual link: 50~210MHz	0.875~3.675Gbps/lane	0.4375~1.8375GHz/lane
			Single link: 25~105MHz	0.875~3.675Gbps	0.4375~1.8375GHz
94x Deserializer	DS90UB940/940N UH940/940N	CSI	Dual link: 50~170MHz	0.875~2.975Gbps/lane	0.4375~1.4875GHz/lane
			Single link: 25~96MHz	0.875~3.36Gbps	0.4375~1.68GHz
	DS90UB948/UH948	OLDI	Dual link: 50~192MHz	0.875~3.36Gbps/lane	0.4375~1.68GHz/lane
			Single link: 25~96MHz	0.875~3.36Gbps	0.4375~1.68GHz

1.3 HDMI/DSI/CSI-2 接口的时钟频率

相同的分辨率的 LCD 可以有不同的输入接口，不同的 SOC 也有不同的输出接口，1.1 小节中对于 pixel clock 的计算并没有区分具体的接口类型，1.2 小节中列出了 FPD-LINK III 产品的不同接口类型，对于不同的接口，其时钟频率和像素频率 PCLK 存在一定的差异。其中 RGB 接口与 OLDI 接口没有复杂的编码协议，都是一个时钟信号对应一个像素点，但是 HDMI/DSI/CSI 接口稍微有些差别。

DS90UB949 采用 HDMI 接口，HDMI 有三对数据线与一对时钟线，接口采用 TMDS 技术与 8b/10b 编码方式，每个 TMDS 时钟传送 10bit 物理数据，即 8bit 有效数据。则三对数据线在一个 TMDS 时钟周期内，可以传递 24bit 有效数据，如图 4 所示。标准的 HDMI 协议支持 24bit、30bit、36bit 与 48bit 多种颜色深度，如果超过 24bit 颜色深度，则每个像素点的数据需要大于 1 个 TMDS 时钟来进行传送，比如 48bit 颜色深度需要 2 个 TMDS 时钟来传递一个像素的数据。但目前车载应用中基本都是 24bit 颜色深度，即 HDMI 协议中定义的 RGB4:4:4 24bit 模式，也是常说的 RGB888 格式，所以在计算输入给 DS90UB949 的时钟频率时，HDMI 时钟频率即所需要的 PCLK 频率^[2]。该时钟信号既用于 HDMI 接口的数据传递，又用于 FPD-LINK 的编码，每个 PCLK 时钟周期内的 24bit 图像数据会被编码到 35bit FPD-LINK 高速串行数据中。

$$f_{\text{HDMI}} = f_{\text{PCLK}} \quad \text{公式(7)}$$

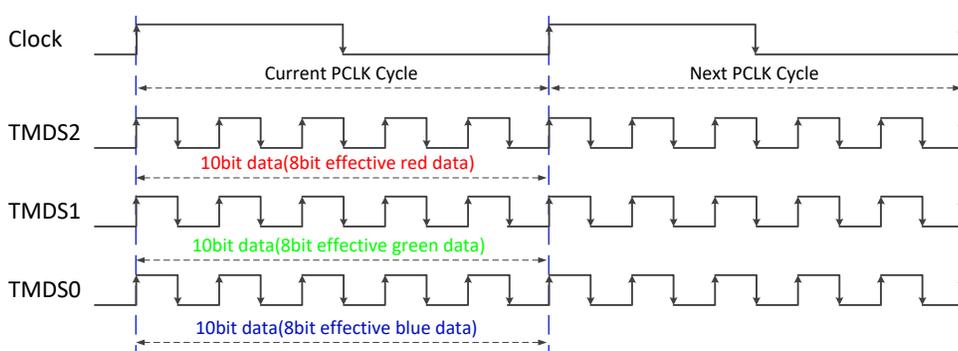


图 4: HDMI TMDS signal

DS90UB941/UH941 采用 MIPI DSI 接口，支持 1~4lane 不同输入配置。不同的 lane 的数量，对应的 DSI 时钟频率也不同。DS90UB941 也支持多种时钟模式，最常用的是 DSI 时钟模式，此时 DSI 的时钟除了负责传递 DSI 的数据，还用于对 941 输出的高速串行数据进行编码。因此，DSI 的时钟频率是结合串行编码数据量进行计算的，如公式(8)所示。比如 PCLK 频率为 170MHz，则有效数据量为 $170 \times 24 = 4080\text{Mbps}$ ，用 4 条 data lane 来传输，每个 DSI data lane 需要传输 1020Mbps，每个时钟传 2bit 数据，DSI 时钟频率为 510MHz，SoC 需要合理配置以输出相应的时钟频率用于高速串行编码。同时，对于不同的 DSI 时钟频率，需要合理的设置 TSKIP 参数才能保证 941 正确接收 SOC 输出的 DSI 数据^[3]。

$$f_{\text{DSI}} = f_{\text{PCLK}} * 12 / N_{\text{lanes}} \quad \text{公式(8)}$$

DS90UB940/UH940/UB940N/UH940N 采用 MIPI CSI-2 接口输出，支持 2lane/4lane 两种输出配置。不同的 lane 的数量，CSI-2 输出时钟频率也不同，频率取决于高速串行总线上恢复出来的 PCLK 信号，也就是远端 SoC 输出给 Serializer 的 PCLK 频率，但是具体的计算公式与 941 的 DSI 时钟略有差异，如公式(9)所示。比如 PCLK 频率为 170MHz，4 条 data lane，则 CSI-2 的时钟频率为 595MHz。如果按照数据量的角度来计算，940 每个 PCLK 理论上输出了 28bit 的数据，多于输入的 24bit RGB888 数据，这是因为 940 内部有 buffer 可以缓存一部分数据用于 CSI-2 输出编码，对于未使用的传输时间，芯片会按照 CSI-2 协议进入 Low power 状态。

$$f_{\text{CSI}} = f_{\text{PCLK}} * 14 / N_{\text{lanes}} \quad \text{公式(9)}$$

2. ADAS 产品速率评估

2.1 传感器输出的图像编码格式

常见的摄像头编码格式有 RAW、RGB、YUV 几种。根据色彩深差异 (color depth 或 bit depth)，RAW 格式又分为 RAW8、RAW10、RAW12 与 RAW16 等；RGB 分为 RGB888、RGB565 与 RGB444 等；YUV 也有 8bit、10bit 等。而 YUV 根据 U/V 采样方式不同，又分为 YUV444、YUV422 与 YUV420。同样分辨率的摄像头，如果采用不同的输出编码格式，其数据量会有较大差别。因此在评估 FPD-LINK ADAS 产品的速率之前，首先需要对理解摄像头的编码格式。

2.1.1 RAW 图像格式

通常要表示一个彩色像素，理论上摄像头需要采集 RGB 三种颜色分量，也就需要三个感光单元，但这不仅结构上难以让三个感光单元完全对齐到同一个像素位置上，而且需要三倍的感光单元数量，因此大多数的摄像头采用 Bayer 阵列来设计 R、G、B 三种感光单元^[4]。其中绿色感光单元占一半，红色与蓝色各占四分之一，摄像头的分辨

率就是 sensor 上总的感光单元的数量。比如分辨率为 720*1280 的 HD camera，有效的感光单元的数量就是 $720*1280=921,600$ ，约为 1Mega。

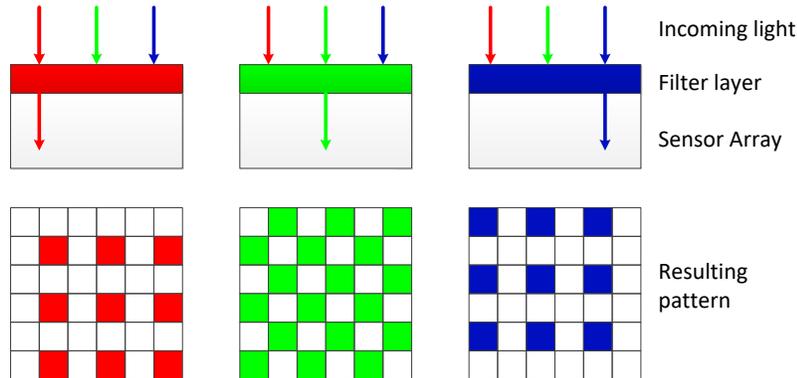


图 5: Bayer 阵列

RAW 数据就是每一个感光元件采集、输出的原始数据，该数据其实只表征了当前像素的一部分光谱信息。数据深度是 8bit，还是 10bit 就是对应 RAW8 还是 RAW10。比如 RAW8 格式的 HD camera，每秒钟 30fps，则其每秒钟需要传输的有效数据量为 $720*1280*30*8=221.184\text{Mbps}$ 。

2.1.2 RGB 图像格式

如 2.1.1 节所述，每个像素的 RAW 数据其实只表征了光谱的一部分信息，如果需要完全表征像素的光谱信息，还需要借用相邻像素的其他两部分光谱信息，插值得到完整的三种颜色分量，这部分插值工作通常由 Image signal processor (ISP)来完成，有些 image sensor 自带 ISP，可以输出插值后的数据；有些 Sensor 不带 ISP，则直接输出 RAW 数据，由专门的 ISP 芯片或者 SOC/DSP 来实现插值算法^[5]。插值之后的 RGB 数据的常见格式有 RGB888、RGB565、RGB444 等。RGB888 即代表 R、G、B 三个分量的数据各用 8bit 来表示。

插值之后的数据量会明显增加，比如上述 HD camera，RAW8 输出时，有效的图像数据量是 221.184Mbps，如果按照 RGB888 插值以后，图像数据量会乘以三倍，达到 663.552Mbps。因此对于高分辨率的摄像头，基本都是 RAW 输出；一些低分辨率的摄像头，可以输出 RGB 格式以降低对后级芯片的图像处理能力的要求。

2.1.3 YUV 图像格式^[6]

由于 RGB 数据量比较大，通常将其转换成其他的色彩空间以降低数据量。原理是把 RGB 信号转换成一种亮度信号和两种颜色信号。因为人眼对于亮度信号比较敏感，则多个像素可以共用一组颜色信号。最常见的是 YUV，YIQ 和 YCbCr。YUV 用于 PAL 制式，主要应用于欧洲彩色电视系统；YIQ 用于 NTSC 制式，主要应用于美国彩色电视系统；YCbCr 源自于 YUV，是 YUV 格式的压缩与偏移版本，在 ITU-R BT.601 协议中定义，并在计算机系统中广泛应用，很多情况下，大家所谈的 YUV 指的是 YCbCr。

图 6-1 所示为 YUV444 格式，每个像素都有各自的 Y、U、V 分量，黑圈代表 Y，红圈代表 U，绿圈代表 V，如果每个分量用 8bit 表示，总共需要 $16\text{pixel}*3=48\text{byte}$ 数据；图 6-2 所示为 YUV422 格式，每个像素都有独立的 Y 分量，但是每两个像素共享一个 U、V 分量，因此则共需要 32byte 数据，等效于每个像素需要 2byte；图 6-3 所示为 YUV420 格式，每 4 个像素共用一个 U、V 分量，则共需要 24byte 数据，等效于每个像素需要 1.5byte^[6]。因此如果传输的数据格式是 YUV 格式，一定要明确具体的编码格式才能正确评估数据量。目前在汽车应用中，最常见的格式是 YUV422 格式。

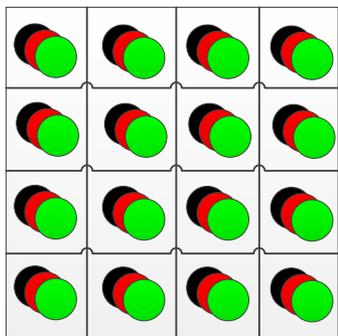


图 6-1: YUV444

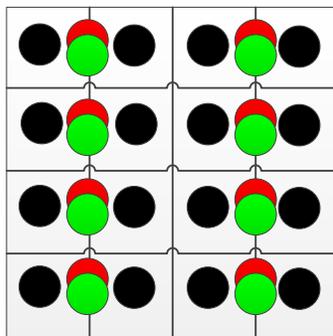


图 6-2: YUV422

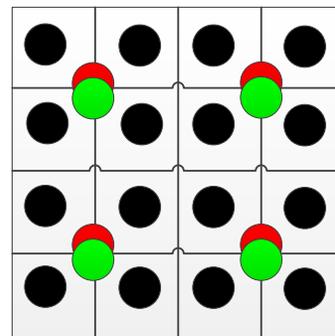


图 6-3: YUV420

2.2 摄像头的硬件输出接口

常见的摄像头输出接口主要有并行与串行两种，并行接口即 DVP(digital video port)，串行有 HiSPI、LVDS、CSI-2 等。其中 DVP 与 CSI-2 接口在车载应用中最为常见，FPD-LINK 的 ADAS 产品也主要支持这两种接口。上述 RAW、YUV 以及 RGB 数据格式理论上均可以在 DVP 或者 CSI-2 接口上输出，在实际应用中，一般低分辨率的摄像头会根据需求采用不同的接口输出不同的格式，但高分辨率摄像头由于数据量更大，一般采用 CSI-2 接口输出 RAW 数据。

2.2.1 DVP 输出接口

DVP 接口比较简单，没有专门的协议，主要有时钟信号、行同步信号(Hsync 或 LV)、场同步信号(Vsync 或 FV)以及一组数据信号。图 7-1 至图 7-6 分别以 RAW、YUV 与 RGB 格式的数据在不同数量的数据线的分布进行简介。

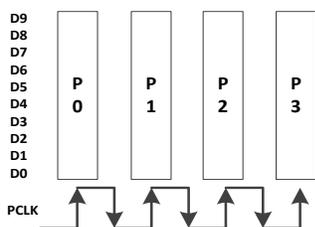


图7-1: RAW10, 10 data lane

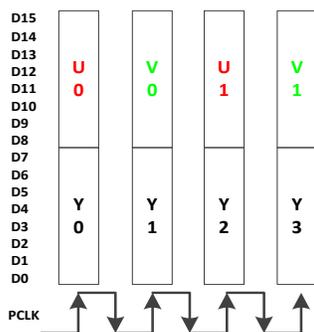


图7-2: YUV422, 16 data lane

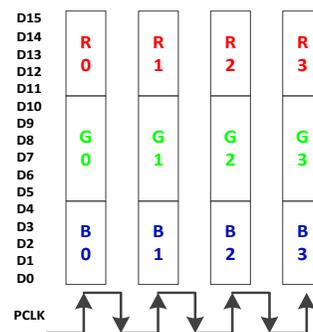


图7-3: RGB565, 16 data lane

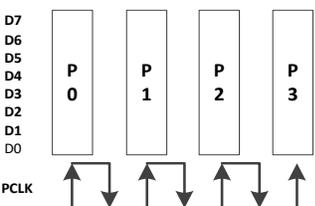


图7-4: RAW8, 8 data lane

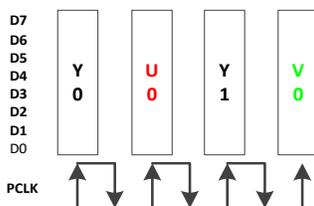


图7-5: YUV422, 8 data lane

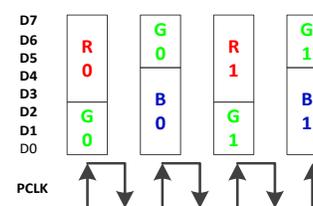


图7-6: RGB565, 8 data lane

RAW 图像格式的 sensor 如果采用 DVP 接口输出，通常色彩深度和数据线数量一致，RAW8 有 8 根 data 线，RAW10 有 10 根 data 线，一个像素只需要一个 PCLK 输出。

YUV 图像格式的 sensor 如果采用 DVP 接口输出，由于每个像素的数据量会增加，硬件处理方式会有差异。比如 8bit 的 YUV422 数据，每个像素需要 16bit 数据，有些 sensor 会用 16 根数据线分高、低 8 位分别传输 Y 分量与 UV 分量，每个像素的数据依然只需要一个 PCLK；有些 sensor 会只用 8 根数据线分两个 PCLK 来传输 Y 分量与 UV 分量，这样 $PCLK_422=PCLK_RAW*2$ 。如果 YUV420 格式用 8 根数据线传输，则 $PCLK_420=PCLK_RAW*1.5$ 。

RGB 图像格式的 sensor 如果采用 DVP 接口输出也是类似的，比如 RGB565 格式，可以用 16bit 数据传输，也可以用 8bit 来传送。最终的 PCLK 频率需要结合色彩深度、data 线数量以及图像数据在 data 线分布情况来进行计算。

2.2.2 CSI-2 输出接口^{[7][8]}

对于 CSI-2 输出接口，有明确的协议进行引脚与数据格式定义。CSI-2 定义的引脚包含一对时钟线以及 1~4 对差分数据线（data lane），其数据都是以 byte 为单位在每个 lane 上分布。图 8 是以 4 对 data lane 为例的数据分布情况，byte 0 到 byte n 从 lane 0 到 lane 3 依次分布。

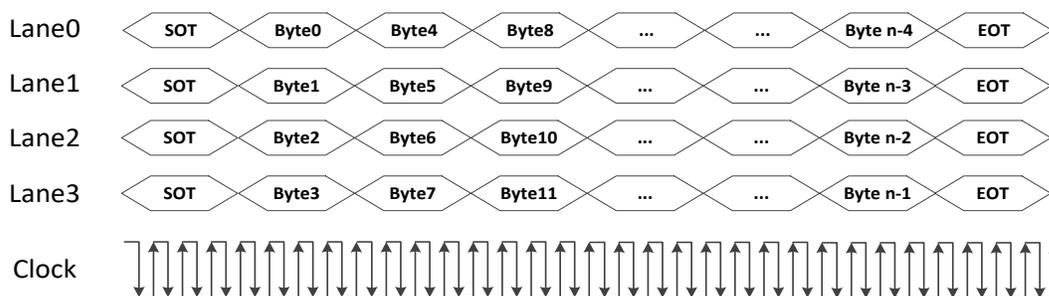


图 8：Four CSI data lane and Clock

具体 byte0~byte n-1 的内容就是 CSI-2 协议定义的数据包，主要分为两大类。一类是短包(short packet)，主要用来传递行场同步信号，由固定的 32bit(4byte)数据组成。还有一类是长包(long packet)，主要用来传递图像数据，每一行图像会被打包成一个长包，长度不固定，取决于每一行图像的像素个数以及每个像素的颜色深度。

对于 RAW 格式图像利用 CSI-2 接口进行传输，图 9(a)、9(b)分别以每行 640 个像素的 RAW8、RAW10 格式为例简介长包的数据格式，对于 RAW8 格式，每个像素刚好需要一个 Byte 数据，加上 32bit 帧头 (packet header)与 16bit 帧尾，总长度为 $32+640*8+16=5168\text{bit}$ ，即 646byte。对于 RAW10 格式，每 4 个像素需要 40bit，数据包首先每 4 个像素取高 8 位组成前 4 个 byte，然后再将四个像素的低 2 位拼接成第 5 个 byte，加上帧头帧尾，总共需要 $32+640*10+16=6448\text{bit}$ 。

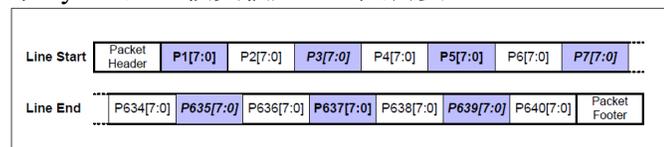


图 9(a): RAW8 数据的 CSI-2 编码方式

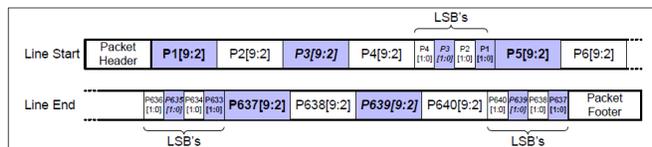


图 9(b): RAW10 数据的 CSI-2 编码方式

对于 RGB 与 YUV 格式的图像，其数据在 CSI-2 data lane 的分布也是类似的，不管颜色深度或者采样方式，均是以 byte 为单位首先组合出完整的长包，然后根据 data lane 的数量依次在每条 lane 上分布，详细内容可以参考 MIPI CSI-2 协议，此处不再展开。

2.3 不同接口的 ADAS 产品的速率评估

FPD-LINK 理论上不区分视频编码格式，也不会进行编码格式的转换，只做数据流的编码解码，如果 image sensor 与 FPD-LINK 的接口完全匹配，则 RAW, YUV 或者 RGB 数据均可利用 FPD-LINK 产品进行传输。但是不同接口的 FPD-LINK 产品，其速率评估方式也会存在差异。DVP 接口的产品更多是从 PCLK 的角度来进行评估，而 CSI-2 的产品是从总的的数据量的角度来评估，具体分为下面四种组合。

2.3.1 DVP 接口 Serializer 配合 DVP 接口 Deserializer

DVP 接口 serializer 产品包括 DS90UB913Q-Q1, DS90UB913A-Q1, DS90UB933-Q1, DS90UB633A-Q1(仅和 DS90UB662-Q1 配对); Deserializer 产品包括 DS90UB914Q-Q1, DS90UB914A-Q1, DS90UB934-Q1。对其速率评估包含 DVP 信号 PCLK 频率以及 FPD-LINK 高速信号的 Line rate, 下面以 933 加 934 的组合为例进行阐述。

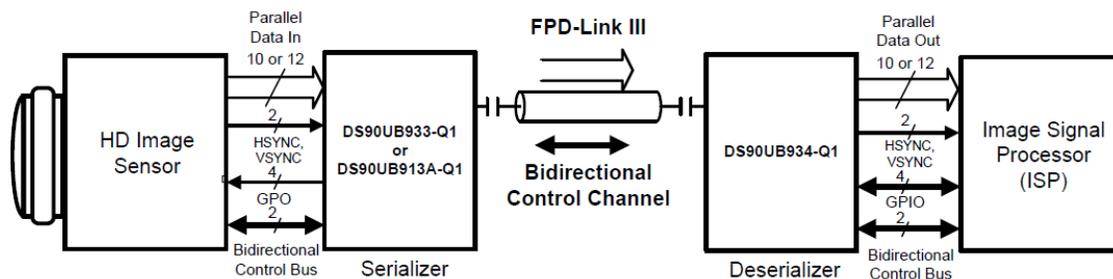


图 10: DVP 接口 DS90UB933+DS90UB934 连接示意图

(1) DVP 接口的 PCLK 计算

DVP 接口为并行接口，类似于 LCD 显示产品中 RGB 并行接口。Image sensor 输出的数据除了 active 的图像区域，也包含 blanking 的数据。因此要准确计算 PCLK，除了要需要知道 resolution，也还需要知道具体的 Blanking 的参数，然后利用公式(1)或公式(2)进行计算。如果在初期选型阶段，不确定 image sensor 的最终参数，利用公式(3)进行 PCLK 预估，blanking time 取 10%~15%即可。计算出来的 PCLK 在 FPD-LINK 产品定义的 PCLK 范围内即可。

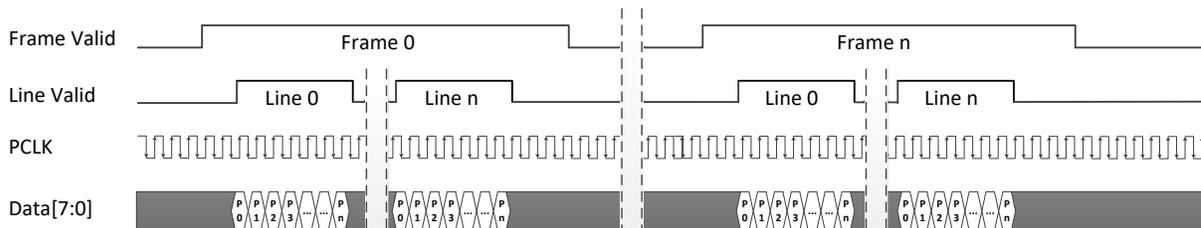


图 11: DVP 接口信号

比如 1Mega HD camera, RAW8 格式, 60fps, 则 $PCLK=1280*720*60*(1+15\%)=63.6\text{MHz}$, 在 DS90UB933 与 DS90UB934 的 100MHz PCLK 的范围, 则可以用这对 Ser/Des 来传递图像。

比如 1Mega HD camera, YUV422 10bit 格式, 60fps, 需要考虑 YUV422 格式的数据, 每个像素需要两个 PCLK 来传输, 则 $PCLK=1280*720*60*2*(1+15\%)=127.2\text{MHz}$, 大于 DS90UB933 与 DS90UB934 的 100MHz PCLK 的范围, 则这对 Ser/Des 不能满足需求。如果改为 30fps, 则可以满足 spec。

(2) FPD-LINK Line rate 计算

Line rate 的计算与芯片的工作模式有关, DVP 接口产品可以支持 12bit low frequency、12bit high frequency、10bit 三种工作模式, 不同的工作模式对应的高速串行数据编码方式也略有差异。12bit LF 模式, 每个 PCLK 会把 12bit 数据、LV、FV、GPIO 等信号编码成 1 个 28bit 数据帧; 12bit HF 模式则是每 3 个 PCLK 编码成 2 个 28bit 数据帧; 10bit 模式是每 2 个 PCLK 编码成 1 个 28bit 数据帧。因此 line rate 如公式(10)、(11)、(12)所示

$$12\text{bit LF mode: Line rate} = f_{PCLK} * 28 \quad \text{公式(10)}$$

$$12\text{bit HF mode: Line rate} = f_{PCLK} * (2/3) * 28 \quad \text{公式(11)}$$

$$10\text{bit mode: Line rate} = f_{PCLK} / 2 * 28 \quad \text{公式(12)}$$

对于 8bit 数据格式, 比如 RAW8 或者 8bit 的 YUV422、YUV420, 可以根据频率需求把芯片设置成上述三种模式, 然后 ser/des 两端分别连接对应的 8bit 数据线即可。比如 ser/des 都设置成 10bit mode, sensor 输出的 8bit 接到 Serializer 的高 8 位, deserializer 的输出的高 8 位接到后级的 SOC 即可。Line rate 继续按照公式(12)的方式进行计算。DVP 产品相互匹配时的 PCLK 与 line rate 的汇总如表 4 所示。

表 4: FPD-LINK III ADAS DVP 接口产品 PCLK 与 line rate 汇总

Serializer	Deserializer	Mode	PCLK Range	Line rate	Signal frequency
DS90UB913Q (Only STP)	DS90UB914Q (Only STP)	12bit LF	10~50MHz	0.28~1.4Gbps	0.14GHz~0.7GHz
		12bit HF	15~75MHz	0.28~1.4Gbps	0.14GHz~0.7GHz
		10bit	20~100MHz	0.28~1.4Gbps	0.14GHz~0.7GHz
DS90UB913A	DS90UB914A DS90UB934	12bit LF	25~50MHz	0.7~1.4Gbps	0.14GHz~0.7GHz
		12bit HF	37.5~75MHz	0.7~1.4Gbps	0.14GHz~0.7GHz
		10bit	50~100MHz	0.7~1.4Gbps	0.14GHz~0.7GHz
DS90UB933	DS90UB914A	12bit (HF)	37.5~75MHz	0.7~1.4Gbps	0.14GHz~0.7GHz
		10bit	50~100MHz	0.7~1.4Gbps	0.14GHz~0.7GHz
	DS90UB934	12bit (HF)	37.5~100MHz	0.7~1.87Gbps	0.14GHz~0.935GHz
		10bit	50~100MHz	0.7~1.4Gbps	0.14GHz~0.7GHz

2.3.2 CSI-2 接口 Serializer 配合 CSI-2 接口 Deserializer

CSI-2 接口的 serializer 有 DS90UB935-Q1, DS90UB953-Q1。Deserializer 有双路 HUB 芯片 DS90UB936-Q1 与 DS90UB954-Q1, 可以接两个 Serializer; 还有 4 路 Hub 芯片 DS90UB960-Q1, DS90UB962-Q1, DS90UB964-Q1 与 DS90UB662-Q1(仅和 DS90UB633A-Q1 配对), 可以接四个 Serializer。对其速率的评估包含 CSI-2 接口的 Bandwidth 以及 FPD-LINK 高速线上的 line rate。下面以 2 颗 953 加 1 颗 954 的组合为例进行阐述。

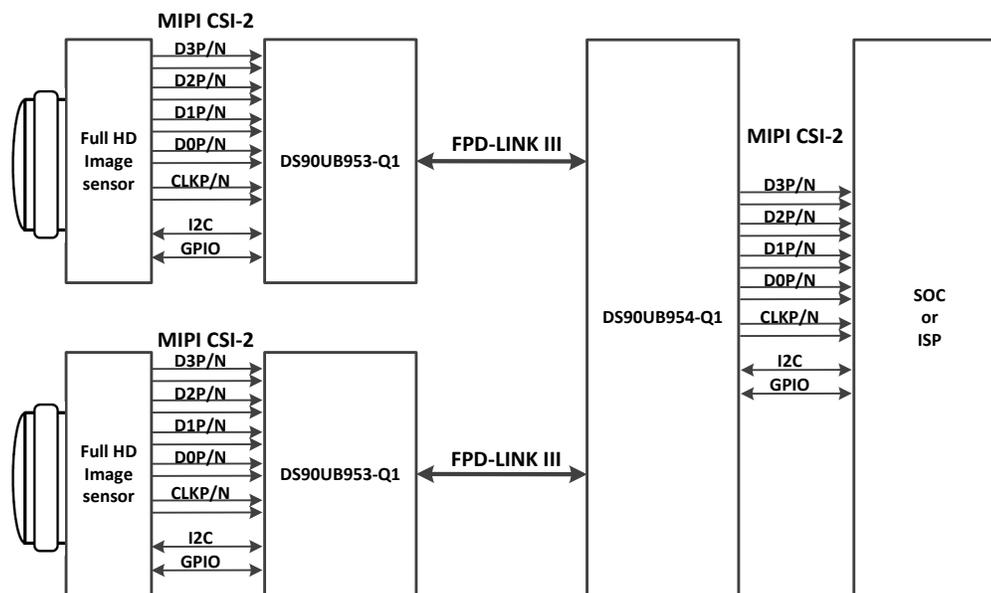


图 12: CSI-2 接口 DS90UB953+DS90UB954 连接示意图

(1)CSI-2 接口的 bandwidth 计算

如 2.2.2 节所述，CSI-2 接口有最多四组 data lane，lane 的数量以及每组 data lane 的最大速率决定了当前 CSI-2 接口的最大 bandwidth。不同于 DVP 接口有专门的行场同步信号，CSI-2 的行场同步需要用特定的 CSI-2 短包来表征，此外 CSI-2 的长包也需要相应的帧头帧尾，在包与包之间还需要切换到 LPS 状态，如图 13 所示，因此 CSI-2 接口比 DVP 接口需要更多额外总线开销。图像消隐时间加上 CSI-2 协议总共需要约 10%~25%的开销。计算出来的数据量满足 FPD-LINK 的 CSI-2 接口定义的最大 bandwidth 即可。

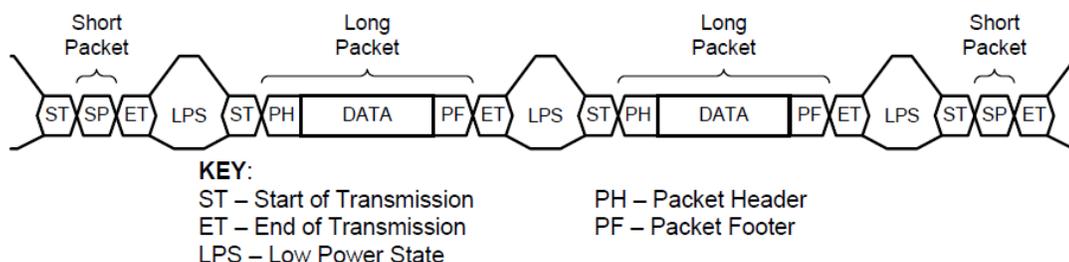


图 13: CSI-2 协议的长包与短包

比如 2Mega full HD camera, YUV422 10bit 格式, 60fps, 则 $data\ rate = 1920 * 1080 * 60 * 2 * 10 * (1 + 25\%) = 3.11\ Gbps$, 小于 953 最大支持的 Bandwidth $832 * 4 = 3.328\ Gbps$ (26M 晶振), 则 953 可以满足摄像头的 spec 需求。

比如 2Mega full HD camera, RGB888 格式, 60fps, 则 $data\ rate = 1920 * 1080 * 60 * 24 * (1 + 25\%) = 3.732\ Gbps$, 大于 953 最大支持的 Bandwidth $832 * 4 = 3.328\ Gbps$ (26M 晶振), 则不能满足 spec。类似的, 改成 30fps 则可支持。

在 serializer 满足条件的前提下，还需要考虑 Hub 芯片的 CSI-2 的输出能力。比如上述 2Mega YUV422 的 Camera，四路 camera 总的的数据量为 12.44Gbps。960 单路 CSI-2 最大 Bandwidth $1664 \times 4 = 6.656\text{Gbps}$ (26M 晶振)，不能满足需求，960 需要使用双路 CSI-2 才可以满足带宽需求。

需要注意的是，Serializer 的 CSI-2 接口是输入接口，CSI-2 时钟频率由 Image Sensor 决定，sensor 输出的数据量应该小于 Serializer 能够支持的最大数据量，Serializer 才能正常接收。而 Deserializer 的 CSI-2 是输出接口，接收端是 ISP 或者 SOC，输出频率由 Deserializer 来确定，两个摄像头总的的数据量也需要低于 Deserializer CSI-2 能发送的最大数据量才能正常发送。而如果 Deserializer 的频率设置的比较高，导致理论输出数据量大于输入数据量，则 Deserializer 在新一帧数据到来之前会进入 LPS 状态停止发送，这样即可保持数据总量平衡。

(2) FPD-LINK Line rate 计算

DVP 接口产品中，FPD-LINK 串行线上 Line rate 与实际运行的 PCLK 存在固定的比例关系，而 CSI-2 接口中，Line rate 与 CSI-2 实际运行的 Bandwidth 不存在固定关系，line rate 取决于固定的参考时钟频率。不论 CSI-2 上运行的数据量是多少，FPD-LINK 串行线上的速率始终是固定的，这有利于线束、连接器的选择以及 EMC 设计。具体的 line rate 计算也和芯片的工作模式有关，详细关系如表 5 所示

表 5: CSI-2 接口产品的 line rate 计算公式

Mode	Divide	Reference Source	REF frequency (MHz)	FC Data rate	CSI Bandwidth \leq	CLK_OUT
Synchronous (Half-rate)	N/A	Back channel	23 - 26	$f \times 160$	$f \times 128$	$\frac{f \times 160}{\text{HS_CLK_DIV} \times (M/N)}$
	N/A	Back channel	11.5 - 13	$f \times 160$	$f \times 128$	$\frac{f \times 160}{\text{HS_CLK_DIV} \times (M/N)}$
Non-Synchronous external clock	CLKIN_DIV = 1	Back channel	25 - 52	$f \times 80$	$f \times 64$	$\frac{f \times 160}{\text{HS_CLK_DIV} \times (M/N)}$
	CLKIN_DIV = 2	Back channel	50 - 104	$f \times 40$	$f \times 32$	$\frac{f \times 160}{\text{HS_CLK_DIV} \times (M/N)}$
Non-Synchronous internal clock	CLKIN_DIV = 1 OSCCLK_SEL = 1	953 internal clock	48.4 - 51	$f \times 80$	$f \times 64$	N/A

比如以 953+954 synchronous mode 为例，晶振在 954 侧，如果选择 26MHz 频率，该频率会利用反向通道传递到 953 侧用于编码，则 953 编码后的 line rate = $26 \times 160 = 4.16\text{Gbps}$ ，对应的 CSI-2 bandwidth $\leq 3.328\text{Gbps}$ 即可。

比如 953+954 运行于 External clock 模式，953 侧也需要晶振，如果选择 50MHz 频率，该频率会直接用于 FPD-LINK 编码，则编码后的 line rate = $50 \times 80 = 4\text{Gbps}$ ，对应的 CSI-2 最大 Bandwidth 为 3.2Gbps。

需要注意的是，DS90UB935 和 DS90UB953 硬件兼容，line rate 计算方法也一样，如果用 26MHz 晶振，实际运行的 line rate 为 4.16Gbps。935 的 CSI-2 接口单 lane 最大也能够支持 832Gbps，但是 CSI-2 port 总带宽低于 953，只能支持 2.528Gbps；类似的，DS90UB936 /962 的 CSI-2 接口单 lane 最大也能够支持 1664Gbps，但平均到每个 Rx port 上最大只能支持 2.528Gbps，CSI-2 空闲时间进入 LPS 状态。在进行 CSI-2 的 bandwidth 与 FPD-LINK 线束上的 line rate 评估时，要注意区分。

不同芯片配对使用时的 CSI-2 bandwidth 与 FPD-LINK 的 line rate 的汇总如表 6 所示，

表 6: FPD-LINK III ADAS CSI 接口产品 Bandwidth 与 line rate 汇总

Serializer			Deserializer					FPD-Link		
Device	Max CSI-2 Lane speed	Max CSI-2 Bandwidth	Device	Max CSI-2 Lane speed	CSI Port	Total CSI-2 BW	Rx Port	Max CSI-2 BW per Rx Port	Max FPD-LINK Line rate	Max Signal frequency
UB935	832Mbps	2.528Gbps	UB936	1664Mbps	1*4lane	6.656Gbps	2	2.528Gbps	4.16Gbps	2.08GHz
					2*2lane					
			UB954	1664Mbps	1*4lane	6.656Gbps	2	2.528Gbps		
					2*2lane					
UB960	1664Mbps	2*4lane	13.312Gbps	4	2.528Gbps					
UB962	1664Mbps	2*4lane	13.312Gbps	4	2.528Gbps					
UB953	832Mbps	3.328Gbps	UB936	1664Mbps	1*4lane	6.656Gbps	2	2.528Gbps	4.16Gbps	2.08GHz
					2*2lane					
			UB954	1664Mbps	1*4lane	6.656Gbps	2	3.328Gbps		
					2*2lane					
UB960	1664Mbps	2*4lane	13.312Gbps	4	3.328Gbps					
UB962	1664Mbps	2*4lane	13.312Gbps	4	2.528Gbps					

2.3.3 DVP 接口 Serializer 配合 CSI-2 接口 Deserializer

这种组合最常见的应用场景是 4 路 1Mega 摄像头做环视的应用场景，常用四颗 913A/933 加上一颗 964 来实现，或者四颗 633A 加上一颗 662 来实现。此种组合的速率计算需要考虑三部分内容。

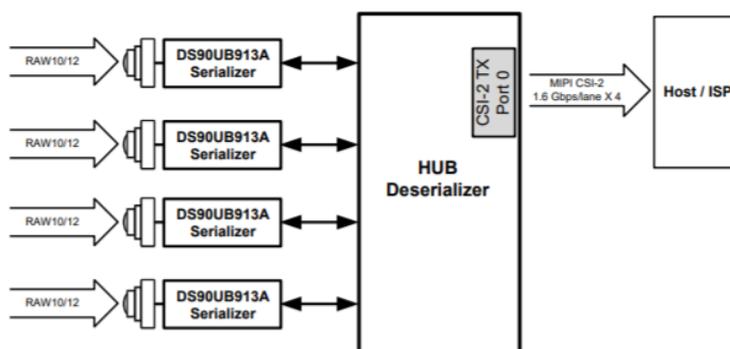


图 14: DVP 接口 DS90UB913A+CSI 接口 DS90UB964 连接示意图

(1) DVP 接口的 PCLK 计算

此部分计算内容参考 2.3.1 节 PCLK 计算方法即可。

(2) FPD-LINK Line rate 计算

这种模式下，虽然 Deserializer 用了 CSI-2 接口，但是芯片需要匹配 serializer 工作于 DVP 模式，line rate 也是跟随 DVP 端输入的 PCLK 的变化而变化。

(3) CSI-2 输出速率计算

此部分内容参考 2.3.2 节 CSI-2 data rate 计算方法。需要注意的是 913 和 964 的工作模式是 RAW10, RAW12 HF, RAW12 LF 三种模式，这个属于 FPD-LINK 自身定义的硬件工作模式，与 CSI 协议中定义的 RAW8、RAW10 与 RAW12 略有差异。

比如摄像头是 RAW8 图像格式输出，913 可以设置成 RAW10 硬件工作模式，sensor 的 8 根数据线接到 913 的高八位或者低八位；964 也需要设置成相同的 RAW10 硬件模式才可以与 913 连接，然后在 964 的 0x7C 寄存器选择使用 10bit 数据的高八位还是低八位，得到了 8bit 的数据之后，最后在 0x70 寄存器中配置 CSI-2 的 data type 格式为 RAW8 格式以符合 MIPI 的协议规范。因此在计算带宽的时候，比如 RAW8 的图像，虽然设置的是 RAW10 硬件模式，但是在进行 CSI-2 的输出 bandwidth 评估的时候，则可以继续使用 8bit 来计算。

由于 CSI-2 比 DVP 接口能处理更大的数据量，通常情况下 DVP 接口的 serializer 能够满足 sensor 的需求，则 CSI 接口的 deserializer 也能够满足需求。所以重点需要评估 DVP 接口的 PCLK 以及 line rate。不同芯片组合的 PCLK 与 line rate 汇总如表 7 所示。

表 7: FPD-LINK III ADAS DVP+CSI 接口产品 PCLK 与 line rate 汇总

Serializer	Deserializer	Mode	PCLK Range	Line rate	Signal frequency
DS90UB913Q (Only STP)	DS90UB936 DS90UB954 DS90UB960 DS90UB962 DS90UB964 (Only STP)	12bit LF	10~50MHz	0.28~1.4Gbps	Signal frequency
		12bit HF	15~75MHz	0.28~1.4Gbps	0.14GHz~0.7GHz
		10bit	20~100MHz	0.28~1.4Gbps	0.14GHz~0.7GHz
DS90UB913A	DS90UB936 DS90UB954 DS90UB960 DS90UB962 DS90UB964	12bit LF	25~50MHz	0.7~1.4Gbps	0.35GHz~0.7GHz
		12bit HF	37.5~75MHz	0.7~1.4Gbps	0.35GHz~0.7GHz
		10bit	50~100MHz	0.7~1.4Gbps	0.35GHz~0.7GHz
DS90UB933	DS90UB936 DS90UB954 DS90UB960 DS90UB962 DS90UB964	12bit (HF)	37.5~100MHz	0.7~1.87Gbps	0.35GHz~0.935GHz
		10bit	50~100MHz	0.7~1.4Gbps	0.35GHz~0.7GHz
DS90UB633A	DS90UB662	12bit (HF)	56.25~100MHz	1.05~1.87Gbps	0.525GHz~0.935GHz
		10bit	75~100MHz	1.05~1.4Gbps	0.525GHz~0.7GHz

2.3.4 CSI-2 接口 Serializer 配合 DVP 接口 Deserializer

这种组合的应用场景相对来讲比较少，因为 DVP 的 deserializer 只有单路的产品，如果 DVP 接口做 Hub 会占用太多芯片引脚，而且 DVP 接口能够处理的数据量低于 CSI-2 接口产品，所以 Deserializer 如果选择 DVP 接口，一般 Serializer 也会选择 DVP 接口。在特殊情况下，SoC/ISP 没有 CSI-2 接口，而 sensor 的选型又只能因为某些功能需求被限定在 CSI-2 接口，才会有这一应用场景。

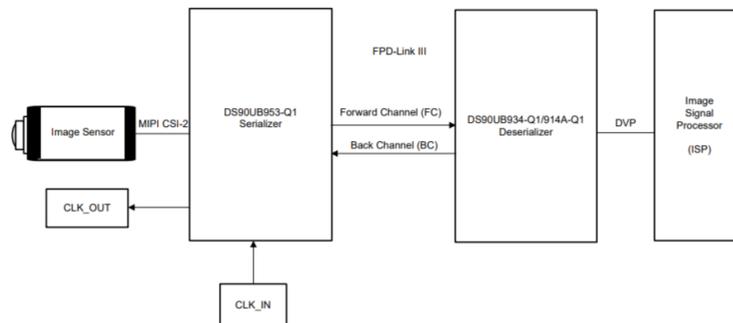


图 15: CSI-2 接口 DS90UB953+DVP 接口 DS90UB914A 连接示意图

在这种场景下，输入给 953 的 CSI-2 的频率与 953 的 CLK_IN 的晶振频率有严格的对应关系，line rate 以及 914A 输出的 PCLK 也依赖于 953 的输入频率，整个系统的设计相对复杂，TI 有专门的 application note(SNLA270A)来详细讲解，此处不做展开。

2.4 BT.601 与 BT.656^{[11][12]}

在 ADAS 产品的选型设计过程中，除了上述图像格式类型差异(RAW, RGB, YUV)以及硬件接口类型差异(DVP, CSI-2)，另一个经常遇到的术语是 BT.656 与 BT.601，某些摄像头的输出会定义成 BT.656 或者 BT.601。

就协议本身而言，BT.601 协议与 BT.656 协议是 ITU-R BT 协议族中的两个子协议，两者是补充关系，而不是对立关系。BT.601 名为《标准 4:3 和宽屏 16:9 显示宽高比演播室数字电视编码参数》，主要定义了 525 行或 625 行隔行扫描数字电视图像的像素特征，以及 YCbCr422 和 YCbCr444 两种视频信号数字编码方式。BT.656 名为《使用 ITU-R BT.601 建议书 4:2:2 比例工作的 525 行和 625 行电视系统的数字分量视频信号接口》，是对 BT.601 的补充，BT.656 在标准中定义了视频计时基准码(SAV, EAV)，还增加了高速比特串行接口的定义。

就硬件接口定义，BT.601 协议中并没有定义详细的引脚规范，业界常见的设计方法是有一组数据线(8 根、16 根或 24 根)加一组控制线(CLK、Hsync、Vsync)，有些芯片会增加额外的 Blank 线进行 blanking 时间控制。而 BT.656 只是对 BT.601 的 YCbCr422 模式进行补充，Y 和 Cb、Cr 数据依次在数据线上传递，所以只需要 8 根或者 10 根数据线；此外由于 BT.656 定义了计时基准码，因此不需要专门的 Hsync 与 Vsync 信号线，所以只需要一根 CLK 时钟线，但是 CLK 频率会是像素频率的两倍，如 2.2.1 一节所述。

就分辨率定义而言，BT.601 与 BT.656 协议中定义的分辨率是标清分辨率(SD, standard definition)，并非 HD 或者 Full HD 分辨率，但是由于 YCbCr 格式的广泛应用，很多 camera 虽然分辨率提高到 HD 或 Full HD，但是仍然采用类似于 BT.656 的 YCbCr 格式。

因此在摄像头应用中谈起 BT.601 还是 BT.656，首先其硬件接口是 DVP 接口，其次其图像格式是 YCbCr(或 YUV)，分辨率也不局限于某个特定值，最大的差别在于是否具有 Hsync、Vsync 硬件信号。BT.601 有专门的同步信号线，又被称为外同步；BT.656 没有专门的同步信号线，由数据线上的 SAV、EAV 信号进行时序控制，又被称为内同步。

对 FPD-LINK 芯片来讲，芯片只负责数据的编解码，如果硬件接口匹配，理论上不区分图像格式，也不区分 BT.601 还是 BT.656。但是部分场景对 Hsync、Vsync 信号有要求。结合 2.3 节的四种组合，详细的支持情况如下：

(1)DVP 接口 serializer 配合 DVP 接口 Deserializer

这个组合可以支持 BT.601 以及 BT.656 格式。如果 image sensor 输出 BT.601，则 sensor 的 Hsync(LV)、Vsync(FV)信号输入 serializer，经过 FPD-LINK 编解码后，Deserializer 的 Hsync、Vsync 输出到 ISP 或者 SOC，后者根据硬件信号进行时序控制。如果 image sensor 输出 BT.656，则 ISP 或者 SoC 需要根据数据流中内嵌的 SAV、EAV 信号进行时序控制。

(2)CSI-2 接口 serializer 配合 CSI-2 接口 Deserializer

因为 Image sensor 是 CSI-2 输出，这个组合不考虑 BT.601 或者 BT.656。

(3)DVP 接口 serializer 配合 CSI-2 接口 Deserializer

这个组合只能支持 BT.601 格式。CSI-2 接口的 Deserializer 自身不具备 BT.656 内嵌信号的解码能力，而其 CSI-2 的打包动作又依赖于 Serializer 传递的 Hsync、Vsync 信号，因此这个组合不能支持 BT.656。

(4)CSI-2 接口 serializer 配合 DVP 接口 Deserializer

因为 Image sensor 是 CSI-2 输出，这个组合也不需要考虑 BT.601 或者 BT.656。

3. 参考文献

- [1] Application note, How to Map RGB Signals to LVDS/OpenLDI(OLDI) displays, <https://www.ti.com/lit/an/snla014a/snla014a.pdf>
- [2] <https://en.wikipedia.org/wiki/HDMI>
- [3] Application note, DS90UB941AS-Q1 DSI Bringup Guide, <https://www.ti.com/lit/an/snla356/snla356.pdf>
- [4] https://en.wikipedia.org/wiki/Bayer_filter
- [5] Application note, Understanding the DaVinci Preview Engine, <https://www.ti.com/lit/an/spraak8a/spraak8a.pdf>
- [6] <https://en.wikipedia.org/wiki/YUV>
- [7] DS90UB960 datasheet, <https://www.ti.com/lit/ds/symlink/ds90ub960-q1.pdf>
- [8] MIPI CSI-2 spec, <https://www.itu.int/rec/R-REC-BT/en>
- [9] <https://e2e.ti.com/support/interface/f/138/t/654865?DS90UB964-Q1-RAW10-8-bit-mode>
- [10] DS90UB953-Q1 Backwards compatibility modes for operation with parallel output deserializers, <https://www.ti.com/lit/an/snla270a/snla270a.pdf>
- [11] BT.601 specification, <https://www.itu.int/rec/R-REC-BT.601/en>
- [12] BT.656 specification, <https://www.itu.int/rec/R-REC-BT.656-5-200712-I/en>

重要声明和免责声明

TI 提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款 (<https://www.ti.com.cn/zh-cn/legal/termsofsale.html>) 或 [ti.com.cn](https://www.ti.com.cn) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122

Copyright © 2021 德州仪器半导体技术（上海）有限公司