

## 小心处理 SN74HC595 级联应用中的时钟偏移问题

Robin Liu

Sales &amp; Applications/ Shenzhen OEM

### ABSTRACT

SN74HC595是常见的3态输出8-bit移位锁存寄存器，常被用在一些需要串并转换的场景中，实际应用中，级联中的后级SN74HC595时常出现偶然，或概率性出错的情况是一个典型的高发性问题。本文通过对SN74HC595级联原理的说明，给出问题的原因分析，并结合实际应用问题排查中的实验结果举例分析说明。

### Contents

1. SN74HC595 简介 .....	2
2. SN74HC595 级联原理和方法 .....	2
3. 后级 SN74HC595 输出出错的原因 .....	4
4. 关注 SRCLK 的时钟偏移 clock skew .....	4
5. 结论 .....	5
参考文献 .....	5

### Figures

Fig. 1 SN74HC595 时序图 .....	3
Fig. 2 二级 SN74HC595 级联电路示意图 .....	3
Fig. 3 过大的传输线电容参数使得信号跳变沿变缓 .....	5
Fig. 4 过大电容使信号边沿变缓,输出出错波形举例 (C=1uF) .....	5

### Table

Table. 1 SN74HC595 逻辑真值表 .....	2
Table. 2 SN74HC595 逻辑切换时间参数 .....	4

## 1. SN74HC595 简介

SN74HC595是常见的3态输出8-bit移位锁存寄存器，常被用在一些需要串并转换的场景中，例如输出口拓展，LED灯串驱动或段码显示驱动等。并可通过多片串行级联，实现更多位16-bit,24bit等的逐次移位输入，同步/异步输出等。

在实际的多级级联应用场景中，一个典型的高发问题是，级联中的后级SN74HC595会存在偶然，或概率性出错的情况。如在一些LED或段码驱动的应用中，表现为显示面板出错或不规则乱闪。尝试将前后级的IC对调位置，或换用不同厂商的芯片，错误又有可能消失或概率减小。本文通过对SN74HC595级联原理的说明，给出问题的原因分析，并结合实际应用问题排查中的实验结果举例分析说明。

## 2. SN74HC595 级联原理和方法

如表1所示为SN74HC595功能逻辑真值表。其基本工作原理为，在每个SRCLK的上升沿时刻，SER引脚上的“引脚电平值”被推入芯片内部的移位数据寄存器中，逐位推移。并在SRCLK的下降沿时刻统一更新至芯片的输出端。

Table. 1 SN74HC595逻辑真值表

INPUTS					FUNCTION
SER	SRCLK	SRCLR	RCLK	OE	
X	X	X	X	H	Outputs $Q_A - Q_H$ are disabled.
X	X	X	X	L	Outputs $Q_A - Q_H$ are enabled.
X	X	L	X	X	Shift register is cleared.
L	↑	H	X	X	First stage of the shift register goes low. Other stages store the data of previous stage, respectively.
H	↑	H	X	X	First stage of the shift register goes high. Other stages store the data of previous stage, respectively.
X	X	X	↑	X	Shift-register data is stored in the storage register.

对于级联应用而言，在第一个时钟SER输入的“引脚电平值”，需要在第8个时钟上升沿时刻时，被移位至第一片SN74HC595的第8位的寄存器中；在第9个时钟上升沿时刻，该“值”需要被推移至下一片级联的SN74HC595的第一位寄存器中。这样，就需要在第9个SRCLK上升沿之前，将该“值”呈现在第二片的SER引脚上，并等待第9个SRCLK上升沿时刻的到来。

SN74HC595逻辑门的处理方法是引入QH’这个引脚，在第8个SRCLK时刻后，将该值呈现在第二片的SER引脚上。如图1所示为SN74HC595的时序图。

因此，若要实现SN74HC595串并转换的级联扩展，只需将数据DATA信号连接至第一片SN74HC595的SER引脚，并将第一片SN74HC595的QH’输出连接至第二片SN74HC595的SER引脚，依次类推。而各SN74HC595的SRCLK，RCLK信号连接至统一的信号端。如图2所示是典型的二级SN74HC595级联电路示意图。

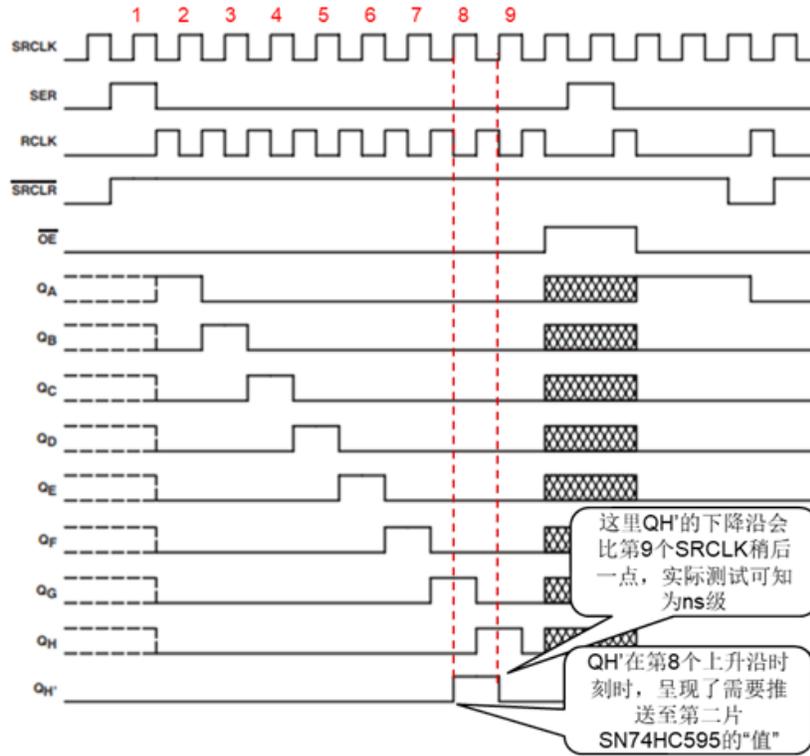


Fig. 1 SN74HC595时序图

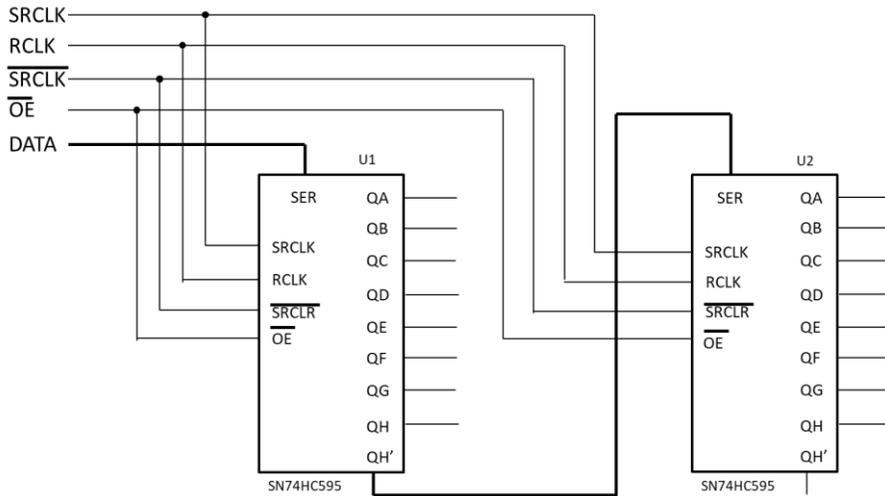


Fig. 2 二级SN74HC595级联电路示意图

### 3. 后级 SN74HC595 输出出错的原因

问题在于，第 9 个 SRCLK 上升沿，既会将第二片 SER 引脚（即第 8 个 SRCLK 时刻 QH' 引脚的值）上的值移入至第二片 SN74HC595 中，又会将下一个移位的值更新到第一片 SN74HC595 的 QH' 的引脚上。因此若想实现级联数据的准确传输，就需要这两个数据移位之间有一个非常小的时间差，具体数值，如表 2 所示红框参数所示。如果第一片 QH' 输出的更新，先于或同时于第二片 SER 输入的更新，则第二片 595 的输出就会错乱。随着模拟 IC 工艺的不断提高，芯片处理的速度也变得越快，这个时间差也变小。这样，容许的通信速率提高，但对电路时序的精确性要求也变得更高。下文统一将这个时间差要求描述为“QH' 更新的时间差”。

Table. 2 SN74HC595逻辑切换时间参数

PARAMETER	FROM (INPUT)	TO (OUTPUT)	LOAD CAPACITANCE	V <sub>CC</sub>	T <sub>A</sub> = 25°C			SN54HC595		SN74HC595		UNIT
					MIN	TYP	MAX	MIN	MAX	MIN	MAX	
f <sub>max</sub>			50 pF	2 V	6	26		4.2		5	MHz	
				4.5 V	31	38		21		25		
				6 V	36	42		25		29		
t <sub>pd</sub>	SRCLK	Q <sub>H'</sub>	50 pF	2 V		50	160		240		200	ns
				4.5 V		17	32		48		40	
				6 V		14	27		41		34	
	2 V		50	150		225		187				
	RCLK	Q <sub>A</sub> - Q <sub>H</sub>	50 pF	4.5 V		17	30		45		37	
				6 V		14	26		38		32	

### 4. 关注 SRCLK 的时钟偏移 clock skew

有多种原因可能导致QH'更新的时间差出现错误，但可以统归为SRCLK信号时钟偏移问题，如下是两种常见的导致SRCLK时钟偏移恶化的原因：

#### 1) SRCLK信号传输线上存在过大的电容参数

过大的电容参数会使信号跳变的边沿变缓，使得时钟触时刻增加，如下图3所示。IC的信号接收器，本质上是一个比较触发器，而比较器的门限（threshold）是一个分布参数。实际的值，既与芯片个体间的一致性差异有关，又与供电VCC和温度等因素有关。因此平缓的时钟跳变沿使得QH'更新的时间差变小或变得模糊不明确。从而使级联的输出出现了错误。

在实际的电路设计中，线缆和PCB传输线会带来显著的电容性分布参数。当然，除了要避免使用过长的线缆，要避免人为在引脚上添加太大的电容。虽然直觉上习惯认为，添加电容可以解决信号传输中的快速跳变沿过冲和抑制振铃。

如图4所示，是实际应用中，过大的电容值使得信号跳边沿变缓，级联出错的波形举例。在本例中，在SRCLK信号引脚引出端，并联了1uF的电容。

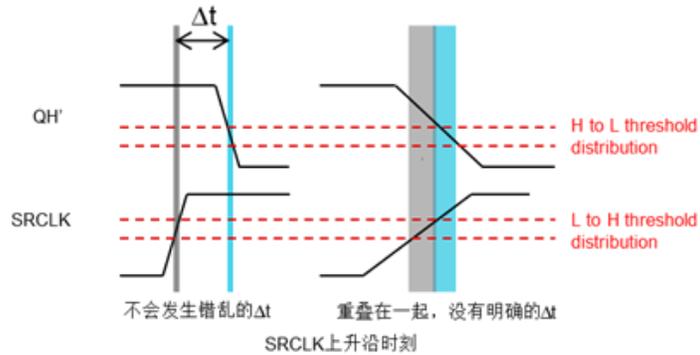


Fig. 3 过大的传输线电容参数使得信号跳变沿变缓

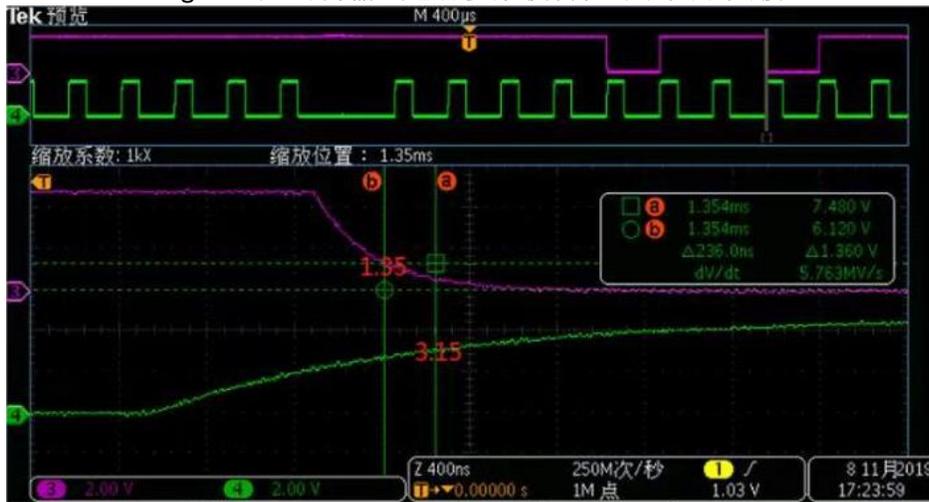


Fig. 4 过大电容使信号边沿变缓,输出出错波形举例 (C=1uF)

2) SRCLK和QH' 传播延时不一致

另一类可能使QH' 更新的时间差变小的原因是, SRCLK的传播延时远远大于QH' 从第一片输出到下一片SER引脚的传播延时, 从而使得SER上的电平来不及更新至下一级, 就被新的移位数据替换掉了。

通常, 这样的问题会由于不良的PCB layout造成。SRCLK级联菊花链上存在过多的过孔将可能导致传播延时被显著增加。

5. 结论

SN74HC595级联应用中后级出错是一个高发性问题。随着IC工艺的不断提高, 芯片驱动门接收器的速度变得越来越快, 即使是如SN74HC595这样简单的逻辑芯片应用中, 小心处理SRCLK的时钟偏移仍然是必要的。

参考文献

[1] SN74HC595 Datasheet, [SCLS0411](#), Texas Instruments.

## 重要声明和免责声明

TI 均以“原样”提供技术性 & 可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证其中不含任何瑕疵，且不做任何明示或暗示的担保，包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的暗示担保。

所述资源可供专业开发人员应用 TI 产品进行设计使用。您将对以下行为独自承担全部责任：(1) 针对您的应用选择合适的 TI 产品；(2) 设计、验证并测试您的应用；(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。所述资源如有变更，恕不另行通知。TI 对您使用所述资源的授权仅限于开发资源所涉及 TI 产品的相关应用。除此之外不得复制或展示所述资源，也不提供其它 TI 或任何第三方的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，TI 对此概不负责，并且您须赔偿由此对 TI 及其代表造成的损害。

TI 所提供产品均受 TI 的销售条款 (<http://www.ti.com.cn/zh-cn/legal/termsofsale.html>) 以及 [ti.com.cn](http://www.ti.com.cn) 上或随附 TI 产品提供的其他可适用条款的约束。TI 提供所述资源并不扩展或以其他方式更改 TI 针对 TI 产品所发布的可适用的担保范围或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122

Copyright © 2020 德州仪器半导体技术（上海）有限公司