

Application Note

Diskrete DESAT für optokompatible isolierte Gate-Treiber UCC23513 in Motorantrieben



Jerome Shan, Martin Staebler, Roland Bucksch

Systems Engineering Industrial

ABSTRACT

Verstärkte isolierte Gate-Treiber sind wichtige Komponenten in 3-Phasen-Invertern für industrielle Motorantriebe, und DESAT ist ein beliebter Ansatz für den Überstromschutz (OCP) oder Kurzschlusschutz (SCP) in diesen Anwendungen. Dieser Anwendungshinweis stellt ein kleines, kostenoptimiertes Design basierend auf dem 6-poligen optokompatiblen, verstärkten isolierten Gate-Treiber UCC23513 mit einer diskreten DESAT-Implementierung unter Verwendung des isolierten Komparators AMC23C11, vor. Diese Kombination ermöglicht eine kleinere Leiterplattengröße und niedrigere Kosten im Vergleich zu den intelligenten Gate-Treibern mit 16-poligem Gehäuse und integriertem DESAT-Schutz. Außerdem trägt sie zur Verbesserung der Flexibilität bei Anwendungen kompakter Motorantriebe bei. Das Design bietet außerdem die Flexibilität, die Anwendungsparameter der DESAT-Funktion zu konfigurieren.

Inhalt

1 Einführung	2
2 Systemherausforderung bei isolierten Gate-Treibern mit integriertem DESAT	4
3 Systemansatz mit UCC23513 und AMC23C11	5
3.1 Systemübersicht und Schlüsselspezifikation.....	5
3.2 Schaltplandesign.....	6
3.3 Referenz-Platinenlayout.....	11
4 Simulations- und Testergebnisse	11
4.1 Simulationsschaltung und Ergebnisse.....	11
4.2 Testergebnisse mit 3-Phasen-IGBT-Inverter.....	14
5 Zusammenfassung	17
6 Quellennachweise	18
7 Revisionsverlauf	18

Abbildungsverzeichnis

Abbildung 1-1. Kurzschluss aufgrund von Erdschlussfehler in einem 3-Phasen-Inverter.....	2
Abbildung 1-2. Kurzschluss aufgrund von Fehlverdrahtung der Klemme des externen Bremswiderstands.....	2
Abbildung 1-3. UCC21750 mit integriertem DESAT-Schutz.....	3
Abbildung 2-1. Vergleich der Gehäusegrößen: SO-6 im Vergleich zu SOIC-16.....	4
Abbildung 3-1. Vereinfachtes Systemblockschaltbild.....	5
Abbildung 3-2. Schaltplan der vorgeschlagenen Schaltung.....	8
Abbildung 3-3. Ober- und Unterseite des Beispiellayouts.....	11
Abbildung 3-4. Typisches Layout des Smart Gate-Treibers ISO5451.....	11
Abbildung 4-1. Simulationsschaltung.....	12
Abbildung 4-2. Simulationsergebnis von DESAT ausgelöst.....	13
Abbildung 4-3. Plattform für den Low-Side-Antriebstest.....	14
Abbildung 4-4. Verzögerungen beim Kurzschlusschutz bei der Low-Side-Antriebsprüfung.....	15
Abbildung 4-5. Plattform zur Ausführung des Motortests.....	16
Abbildung 4-6. Verzögerungen beim Kurzschlusschutz bei Motorlaufstest.....	17

Marken

PSPICE™, C2000™, and LaunchPad™ are trademarks of Texas Instruments.

All trademarks are the property of their respective owners.

1 Einführung

Bei 3-Phasen-Wechselrichtern für Motorantriebe sind OCP und SCP entscheidend, um das System vor Schäden durch anormale Betriebsbedingungen zu schützen. Shunt-basierte OCP oder SCP auf Systemebene werden häufig durch Strommessung durch den negativen DC-Bus oder die drei Low-Side-Schalter implementiert; insbesondere in vielen stromsparenden, kompakten Modellen, bei denen Formfaktor und Systemkosten entscheidend sind. Diese Schutzfunktionen sind wirksam bei häufig gesehenen Fehlermodellen beim ARM-Shoot-through und Phase-to-Phase-Kurzschluss. Jedoch kann keiner von ihnen einen Erdschluss erkennen, wenn der Fehlerstrom durch einen High-Side-Schalter fließt, wie in [Abbildung 1-1](#) gezeigt. Eine DESAT-Funktion auf dem Gate-Treiber kann dabei helfen, den Leistungsschalter gegen diesen Fehler zu schützen. Tatsächlich ist der DESAT-Schutz auf Bausteinebene wirksam für alle diese Fehlermodi in einem 3-Phasen-Inverter und wurde daher häufig in vielen Hochleistungsmodellen verwendet.

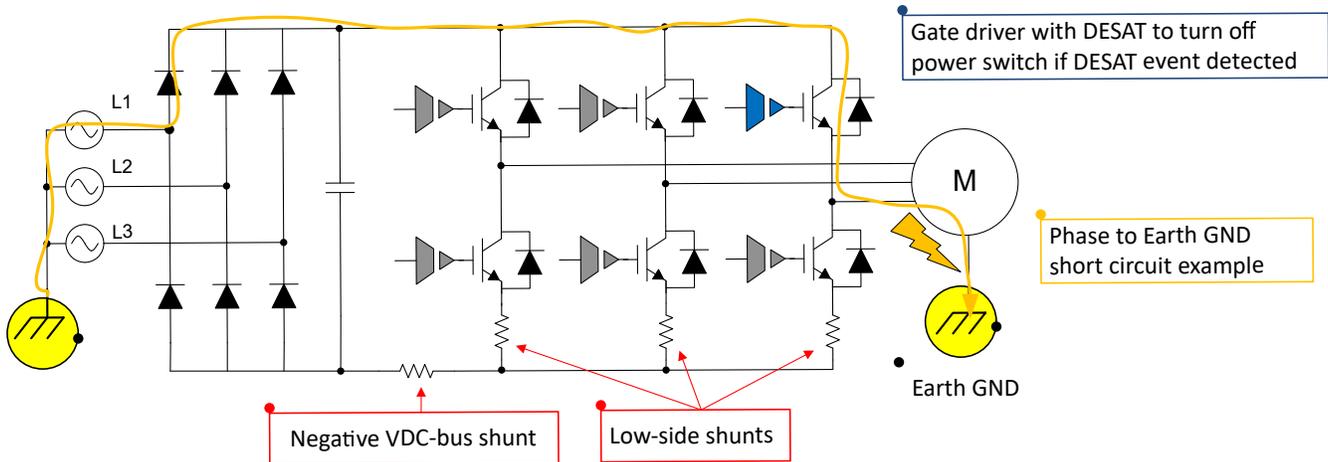


Abbildung 1-1. Kurzschluss aufgrund von Erdschlussfehler in einem 3-Phasen-Inverter

Viele industrielle Motorantriebe verfügen auch über einen Regenerationsbremsschalter, um den Strom an den negativen VDC-Bus zu schalten und den Stützkondensator zu entladen, wenn die Spannung während eines Regenerationsbremsbetriebs zu hoch wird. Oft muss dieser Bremswiderstand extern installiert und dann über eine bestimmte Klemme am Antrieb mit dem System verbunden werden. Wenn ein Benutzer einen Fehler beim Anschluss dieses Widerstands macht oder versehentlich einen mit einem sehr niedrigen Widerstand verwendet, kann ein Überstromfehler auftreten, sobald eine Bremsfunktion durch die Systemsteuerung gestartet wird, wie dargestellt in [Abbildung 1-2](#). In diesem Fall kann eine DESAT-Funktion auf dem Gate-Treiber das Problem erkennen und den Leistungsschalter rechtzeitig schützen.

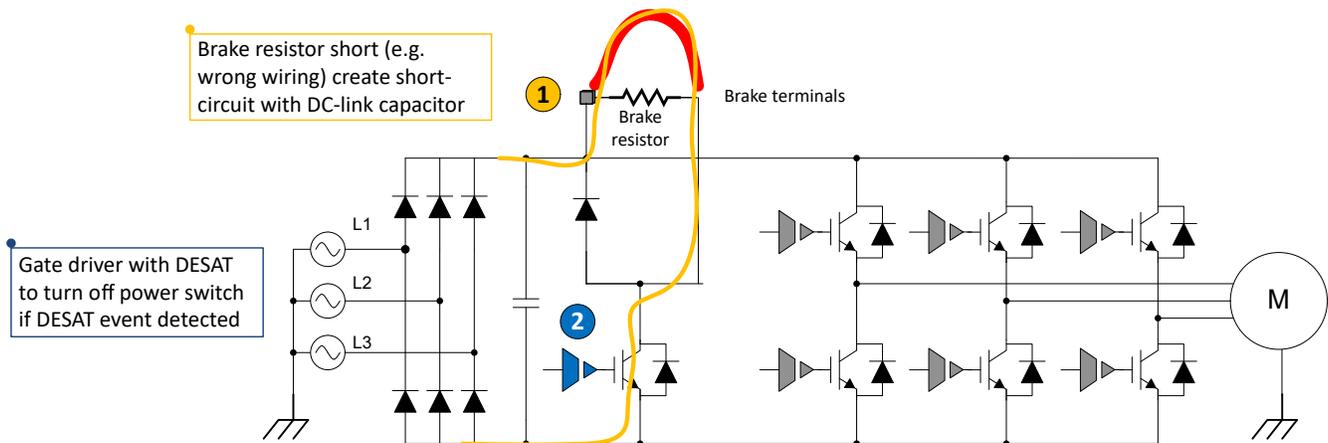


Abbildung 1-2. Kurzschluss aufgrund von Fehlverdrahtung der Klemme des externen Bremswiderstands

Ein typischer Ansatz zum Schutz des Systems gegen diese Fehler besteht aus einem isolierten Smart-Gate-Treiber mit DESAT-Funktion, wie dem verstärkt isolierten UCC21750-Gate-Treiber mit CMOS-Eingang. Wie zu sehen in [Abbildung 1-3](#), überwacht ein DESAT-Pin den Spannungsabfall von V_{CE} , wenn der IGBT EINGESCHALTET wird. Sobald dieser Spannungsabfall steigt und den festgelegten Schwellenwert erreicht, was bedeutet, dass ein Überstrom oder Kurzschluss auftritt, wird der Ausgang des Gate-Treibers auf einmal auf Low gezogen und ein Fehlerausgang wie aktiviert, um den Systemcontroller über den Fehler zu informieren.

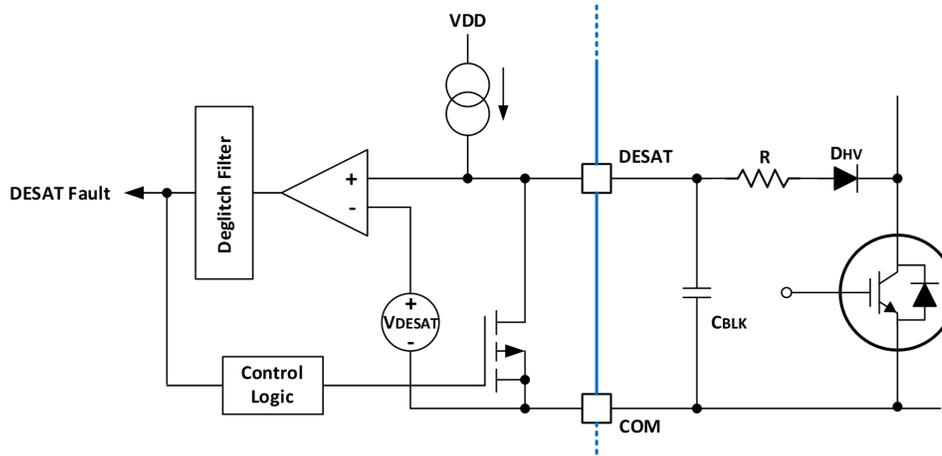


Abbildung 1-3. UCC21750 mit integriertem DESAT-Schutz

2 Systemherausforderung bei isolierten Gate-Treibern mit integriertem DESAT

Verstärkte isolierte intelligente Gate-Treiber mit integrierter DESAT-Funktion werden typischerweise in einem 16-poligen SOIC-Gehäuse angeboten, das physisch viel größer ist als ein kompakter Gate-Treiber ohne DESAT-Funktion in einem gestreckten SO-6-Gehäuse, wie in [Abbildung 2-1](#). Ziehen Sie in Erwägung, sechs solcher Bausteine eines 3-Phasen-Inverters auf einer Leistungswechselrichter-Leiterplatte zu platzieren. Die Gehäuselänge addiert sich entsprechend. Ein Design mit einem kompakten Baustein mit kürzerer Länge kann einen Vorteil bei der Leiterplattengröße bieten. Selbst für einen Regenerationsbremsen-Leistungsschalter kann ein kleinerer Gate-Treiber dazu beitragen, den Anwendungslayoutbereich erheblich zu reduzieren. Allerdings verzichten solche Gate-Treiber auf die Überstromschutzfunktion, um die Anwendungsschaltung zu vereinfachen und Kosten zu senken.

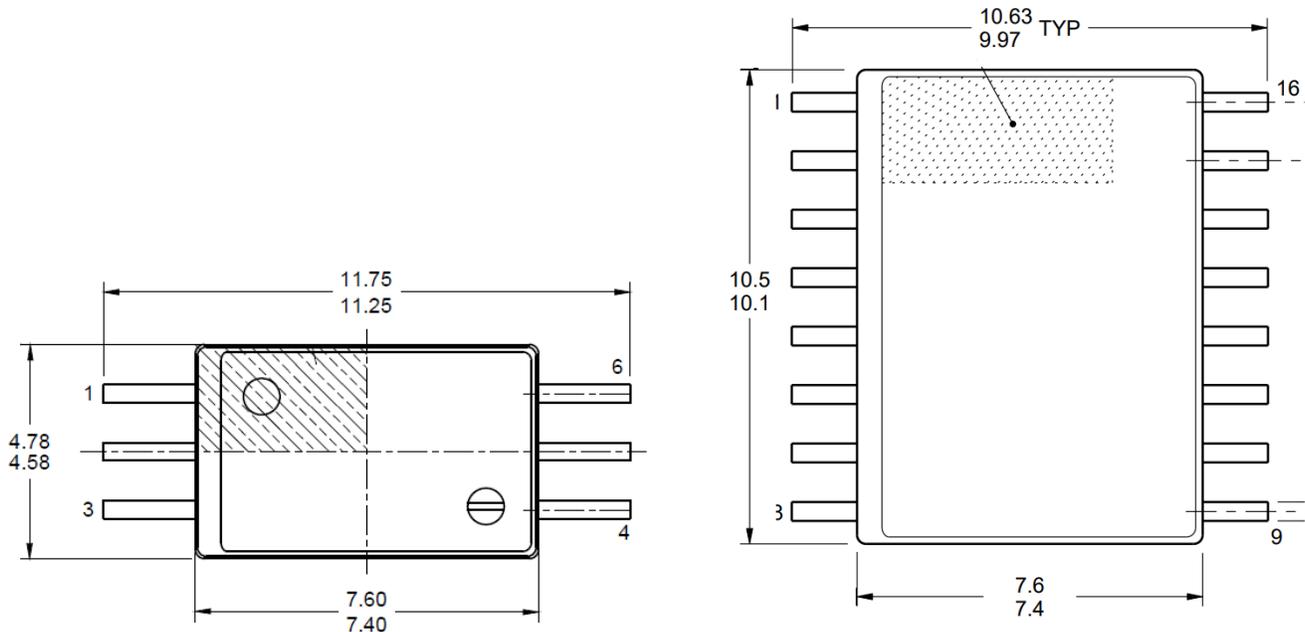


Abbildung 2-1. Vergleich der Gehäusegrößen: SO-6 im Vergleich zu SOIC-16

Eine Alternative besteht darin, den kompakten Gate-Treiber mit geringerem Platzbedarf ohne DESAT zu verwenden und die DESAT-Funktion diskret mit einem isolierten Komparator zu implementieren.

Für Schaltungskonfigurationen, die nur die DESAT-Funktion auf entweder den drei Low-Side-Schaltern oder den drei High-Side-Schaltern benötigen, ermöglicht dieses diskrete DESAT-Design, dass alle sechs Schalter denselben 6-poligen verstärkten isolierten Gate-Treiber verwenden können. Dadurch wird die Mischung einfacher Gate-Treiber mit intelligenten Gate-Treibern in einem Anwendungssystem vermieden. Die externe DESAT-Funktion kann den Low-Side- bzw. High-Side-Gate-Treibern hinzugefügt werden. Diese diskrete DESAT-Implementierung verleiht dem Anwendungsdesign mehr Flexibilität zur Konfiguration der Parameter DESAT-Spannung, DESAT-Bias-Strom, DESAT-Erkennungs-Ausblendzeit und DESAT-Ausgangs-Degitch-Filter. Dies trägt zur Erhöhung der Immunität gegen PWM-Schaltrauschen bei.

3 Systemansatz mit UCC23513 und AMC23C11

Der UCC23513 ist ein optokompatibler Einkanal-Gate-Treiber mit 4 A Quelle, 5 A Senke und 5,7 kV_{RMS} und verstärkter Isolierung. Der AMC23C11 ist ein isolierter Komparator mit schnellem Ansprechverhalten und einstellbarem Schwellenwert und Latch-Funktion. Wenn wir die beiden Bausteine zusammen verwenden, können wir eine externe DESAT auf dem kompakten Gate-Treiber erzielen und einen kleinen Formfaktor für den Schaltkreis mit verstärkter Isolierung beibehalten.

3.1 Systemübersicht und Schlüsselspezifikation

Abbildung 3-1 Zeigt ein vereinfachtes Blockschaltbild der vorgeschlagenen Schaltung. Hier verwenden wir einen IGBT als Leistungsschalter. Das Design eignet sich mit geringfügigen Änderungen auch für einen Leistungs-MOSFET.

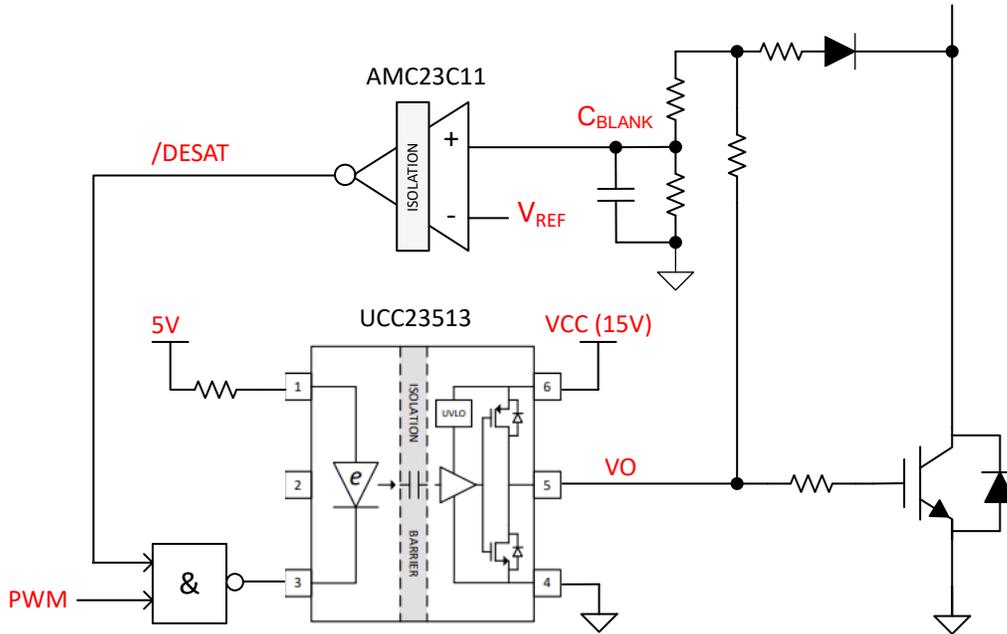


Abbildung 3-1. Vereinfachtes Systemblockschaltbild

Ein NAND-Gate wird verwendet, um eine Funktion zur Überwachung der V_{CE} nur bei hohem PWM-Eingang umzusetzen. Der Chip deaktiviert den Gate-Treiber-Eingang, sobald die gemessene V_{CE} den DESAT-Schwellenwert V_{REF} überschreitet. Tabelle 3-1 Zeigt die wichtigsten Parameter der Anwendungsschaltung.

Tabelle 3-1. Wichtige Systemparameter des Designs

Parameter	Wert	Kommentar
Verstärkte isolierte Gate-Treiber	UCC23513 oder UCC23511 ⁽¹⁾	6-poliges DWY-Gehäuse (SO-6), siehe Abbildung 2-1. B-Version zur Unterstützung von 8-V-UVLO.
Isolierte Gate-Treiberversorgung, VDD	+15 V (IGBT), +12 V (FET)	Unipolare Versorgung
DESAT V_{CE} -Schwellenspannung, $V_{CE(DESAT)}$	8,0 V	Konfigurierbar. Siehe Abschnitt 3.2.2.
DESAT-Bias-Strom, $i_{BIAS(DESAT)}$	5,5 mA	Konfigurierbar. Siehe Abschnitt 3.2.2.
Zeitkonstante DESAT-Austastfilter, t_{BLANK}	0,8 μ s	Gilt für $V_{CE(SAT)} = 12,5$ V. Konfigurierbar. Siehe Gleichung 8 und Tabelle 3-2 in Abschnitt 3.2.3.
DESAT-Deglintch-Filter Verzögerung, $t_{DEGLITCH}$	0,2 μ s	Konfigurierbar. Siehe Gleichung 10 in Abschnitt 3.2.3.

Tabelle 3-1. Wichtige Systemparameter des Designs (Fortsetzung)

Parameter	Wert	Kommentar
DESAT-Latch mit Reset	Aktiviert	Kann deaktiviert werden.
DESAT-Reaktionszeit ⁽²⁾	Ca. 1,1 μ s bis 1,6 μ s	Standardkonfiguration. Siehe Testergebnisse.
Leiterplattengröße ohne Steckverbinder	26 mm x 8,4 mm	

NOTE

(1) UCC23511 ist eine 1,5 A-Quelle und 2 A-Senke im selben Gehäuse wie UCC23513.

(2) für eine eindeutige und einfache Beschreibung des Schutzprozesses verwenden wir in diesem Anwendungshinweis die DESAT-Reaktionszeit für den Zeitraum vom Erreichen des Stroms des erfassten Leistungsschalters bis zum eingestellten Triggerpegel bis zu dem Punkt, an dem der Strom aufgrund des DESAT-Schutzes zu fallen beginnt.

Die Serie UCC2351x kann zur Ansteuerung von Leistungsschaltern von IGBT, SiC oder MOSFET verwendet werden. Sowohl UCC23511 als auch UCC23513 werden in einem gestreckten SO-6-Gehäuse von 7,50 mm x 4,68 mm Gehäusegröße mit mehr als 8,5 mm Kriechstrecke und Abstand angeboten. Beide Bausteine bieten erhebliche Leistungs- und Zuverlässigkeitserweiterungen gegenüber den Standard-Optokoppler-basierten Gate-Treibern bei gleichzeitiger Aufrechterhaltung der Pin-zu-Pin-Kompatibilität. Zu den Leistungsvorteilen gehören ein hoher CMTI-Wert, eine geringe Ausbreitungsverzögerung und eine geringe Impulsbreitenverzerrung. Die Eingangsstufe ist eine emulierte Diode (E-diode), die im Vergleich zu herkömmlichen LEDs langfristige Zuverlässigkeit und hervorragende Alterungseigenschaften bietet.

Der isolierte Komparator AMC23C11 befindet sich in einem 8-poligen, breiten SOIC-Gehäuse mit einer Gehäusegröße von 5,85 mm x 7,50 mm. Der Baustein vergleicht die Eingangsspannung am VIN-Kontakt mit einem Schwellenwert, einstellbar von 20 mV bis 2 V und wird durch einen internen 100 μ A-Referenzstrom und einen externen Widerstand eingestellt. Der Open-Drain-Ausgang wird aktiv auf den niedrigsten Wert gezogen, wenn die Eingangsspannung VIN höher als der Referenzwert VREF ist. Wenn die VIN unter den Auslöseschwellenwert absinkt, wird das Verhalten des Bausteins durch den LATCH-Pin bestimmt:

- Wenn der LATCH-Pin auf LOW gezogen wird, wird das Bauteil in den transparenten Modus versetzt, sodass sich der Ausgangszustand ändern und dem Eingangssignal in Bezug auf den Auslöseschwellenwert folgen kann.
- Wenn der LATCH-Pin auf HIGH gezogen wird, wird das Gerät in den Latch-Modus versetzt. Sobald ein Out-of-Range-Zustand erkannt wird, wird der OUT-Pin auf Low gezogen und verriegelt, bis der LATCH-Pin für mindestens 4 μ s auf Low gezogen wird, um diesen Latch zu lösen.

Die Isolationsbarriere im AMC23C11 ist sehr widerstandsfähig gegen magnetische Interferenzen und zertifiziert für eine verstärkte galvanische Trennung bis zu 5 kV_{RMS}.

3.2 Schaltplandesign

Abbildung 3-2 Zeigt den Schaltplan eines Designs mit einer unipolaren 15 V-Stromversorgung zur Ansteuerung eines IGBT. Mit einigen kleinen Änderungen kann dieses Design in ein 12 V-Stromversorgungsdesign für Leistungs-MOSFETs oder bipolare Stromversorgungsanwendungen integriert werden. Weitere Details finden Sie im Referenzdesign [TIDA-00448](#).

Die Widerstände R9 bis R14 und die Hochspannungsdiode D1 werden verwendet, um die tatsächliche V_{CE} des IGBT während der Einschaltdauer zu erfassen und entsprechend der Referenzspannung VREF des isolierten Komparators AMC23C11 zu skalieren. R10 und R11 sind parallel geschaltet, um die Verlustleistung zu erhöhen.

Der Kondensator C14 parallel zu R14 stellt eine Austastzeit ein, um Fehltrigonometrien während der IGBT-Einschaltung zu vermeiden. Eine 5,1 V-Zenerdiode D2 wird als Option hinzugefügt, um mögliche hohe Spannungsspitzen durch die IGBT-Schaltung zu unterdrücken. Beachten Sie, dass die interne Kapazität von D2 parallel zu C14 verläuft und zur Ausblendzeit beiträgt. In unseren Tests haben wir diese D2 nicht montiert. Eine schnell schaltende Diode D1 mit geringer interner Kapazität wird empfohlen, um falsche DESAT-Trigger zu vermeiden und die erforderliche Ausblendzeit zu minimieren.

Die Niederspannungsseite verwendet eine 3,3 V-Stromversorgung, um eine direkte Schnittstelle zum E/A-Pegel gängiger MCUs wie C2000™ und Sitara MCUs herzustellen. R6 und C11 stellen eine Deglitch-Verzögerung (Standard 0,2 μ s) für den Ausgang des Komparators ein, falls der LATCH nicht aktiviert ist.

3.2.1 Schaltplan

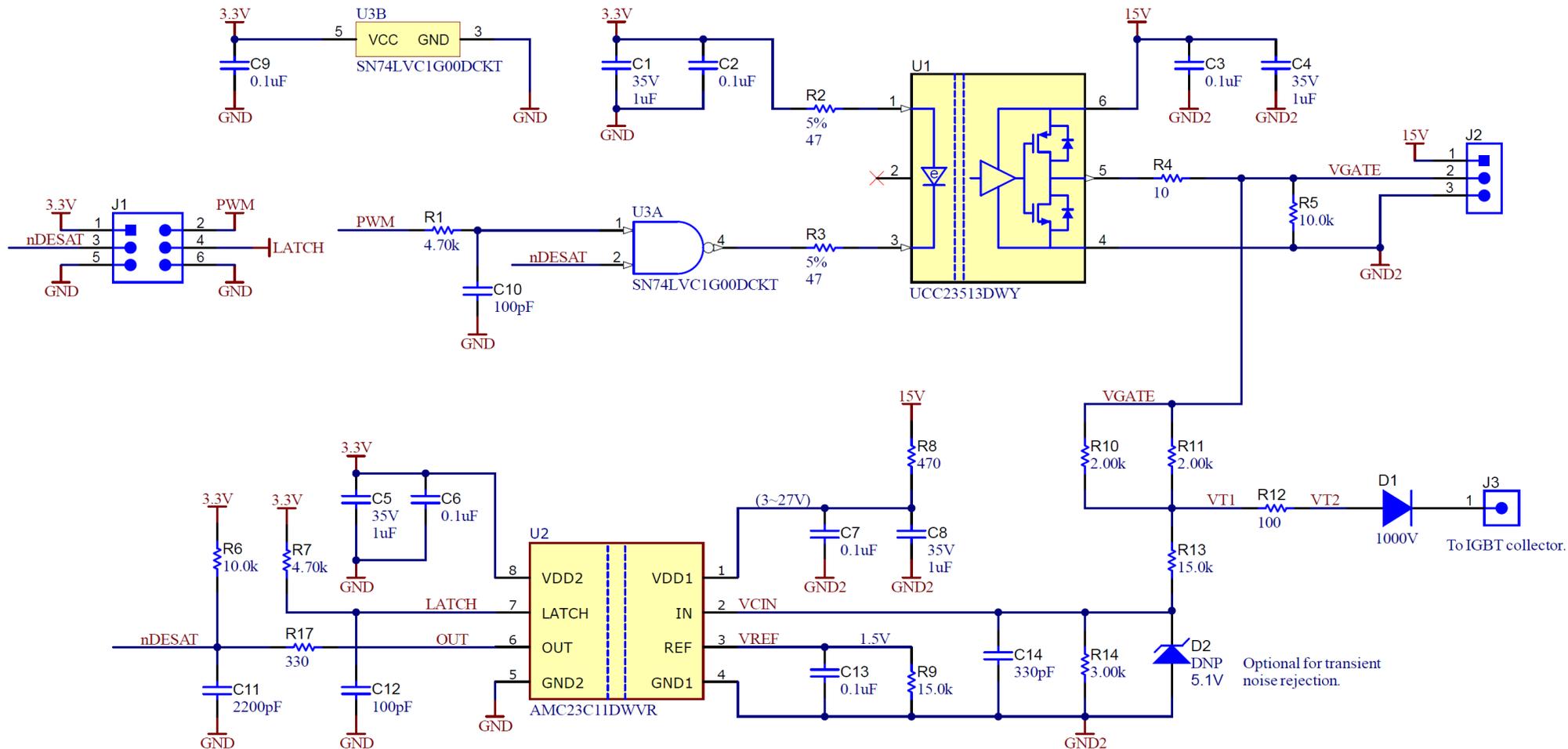


Abbildung 3-2. Schaltplan der vorgeschlagenen Schaltung

3.2.2 Konfigurieren des $V_{CE(DESAT)}$ -Schwellenwerts und des DESAT-Bias-Strom

Mit den Widerständen R9 bis R14 können der $V_{CE(DESAT)}$ -Schwellenwert und der DESAT-BIAS-Strom $i_{BIAS(DESAT)}$ angepasst werden. Die folgenden Gleichungen sind für eine schnelle Schätzung ihrer Werte für verschiedene DESAT-Schwellenwerte und DESAT-Bias-Stromkonfigurationen vereinfacht.

Der isolierte Komparator AMC23C11 verfügt über eine Referenzspannung V_{REF} , die durch eine interne 100 μ A-Stromquelle und den externen Widerstand R9 eingestellt wird. Der Wert von R9 wird gemäß [Gleichung 1](#) berechnet, um die V_{REF} in diesem Design auf 1,5 V einzustellen. Hier werden 1,5 V gewählt, damit der AMC23C11 im Hochhysterese-Modus betrieben werden kann^[1].

$$R9 = \frac{V_{REF}}{100 \mu A} = 15 \text{ k}\Omega \quad (1)$$

R10 und R11 bestimmen den DESAT-Bias-Strom und werden gemäß [Gleichung 2](#) berechnet:

$$R10 = R11 = 2 \times \frac{V_{DD} - V_{CE(DESAT)} - V_{FW(D1)} - R12 \times i_{BIAS(DESAT)}}{i_{BIAS(DESAT)} + i_{R13R14(DESAT)}} \quad (2)$$

Hier:

- V_{DD} ist die Versorgungsspannung des UCC23513, in diesem Fall 15 V für IGBT-Ansteuerung;
- $V_{CE(DESAT)}$ ist der gewünschte DESAT-Schwellenwert; 8 V ist bei diesem Design standardmäßig eingestellt;
- $V_{FW(D1)}$ ist die Durchlassspannung der Hochspannungsdioden D1; es wird eine Spannung von 0,5 V angenommen;
- R12 wird als gängige Praxis auf 100 Ω festgelegt^[9];
- $i_{R13R14(DESAT)}$ ist der Strom durch R13 und R14. Auf 0,5 mA einstellen. Eine niedrigere Einstellung kann die Störfestigkeit verringern.
- $i_{BIAS(DESAT)}$ ist der DESAT-Bias-Strom, wenn $V_{CE(DESAT)}$ des IGBTs V_{CE} erreicht. In diesem Design auf 5,5 mA einstellen.

Daher konnten R10 und R11 für dieses Design bei 2 k Ω berechnet werden.

Die Nennleistung von R10 und R11 muss für den normalen IGBT-Betrieb gewählt werden, bei dem die $V_{CE(DESAT)}$ deutlich geringer ist. Bei einer Annahme von $R12 \ll R10$ betragen die vereinfachten maximalen Leistungsverluste per [Gleichung 3](#):

$$P_{R10, MAX} = P_{R11, MAX} = \frac{(V_{DD} - V_{FW(D1)} - R12 \times i_{BIAS(DESAT)} - V_{CE(SAT)})^2}{R10} \times PWM_{DUTY, MAX} \quad (3)$$

Mit den Standardeinstellungen in Tabelle 3-1 und einem typischen $V_{CE(SAT)}$ von 1,5 V beträgt die maximale Verlustleistung von $P_{R10(MAX)}$ und $P_{R11(MAX)}$ etwa 69,8 mW sogar bei 1000 % PWM-Tastverhältnis.

R13 und R14 werden per [Gleichung 4](#) und [Gleichung 5](#) berechnet:

$$R13 = \frac{V_{REF}}{i_{R13R14(DESAT)}} \quad (4)$$

$$R14 = \frac{V_{DD} - (i_{BIAS(DESAT)} + i_{R13R14(DESAT)}) \times R10 \div 2}{i_{R13R14(DESAT)}} - R13 \quad (5)$$

Durch die Anwendung der Parameterwerte erhalten wir R13 von 3 k Ω und R14 von 15 k Ω .

3.2.3 DESAT-Ausblendzeit

Die Ausblendzeit für die DESAT-Überwachung, die t_{BLANK} , ist erforderlich, um Fehlauflösungen beim Einschaltereignis des IGBT zu verhindern. Kondensator C14 und Widerstände von R10 bis R14 verzögern das V_{CE} -Messsignal, um den Eingang der V_{CIN} des isolierten Komparators zu erreichen. Die Verzögerung wird durch die Ladezeit von C14 durch den äquivalenten Widerstand R_{EQ} des Spannungsteilers R13 und R14 gesteuert:

$$R_{EQ} \approx R13 // R14 = 3 \text{ k}\Omega // 15 \text{ k}\Omega = 2.5 \text{ k}\Omega \quad (6)$$

Wählen Sie eine C14 von 330 pF, dann ist die Zeitkonstante des RC-Filters:

$$T_{au} = R_{EQ} \times C14 = 2.5 \text{ k}\Omega \times 330 \text{ pF} = 0.82 \text{ }\mu\text{s} \quad (7)$$

Die tatsächliche Ausblendzeit hängt bei einem Überstromereignis vom Verhältnis der konfigurierten Schwelle $V_{CE(DESAT)}$ im stationären Zustand zur tatsächlichen Spannung $V_{CE(SAT)}$ des IGBT ab und kann anhand von [Gleichung 8](#) berechnet werden.

$$t_{BLANK} = -\ln\left(1 - \frac{V_{CE(DESAT)}}{V_{CE(SAT)}}\right) \times R_{EQ} \times C14 \quad (8)$$

Daher ist es wichtig, den Schwellenwert $V_{CE(DESAT)}$ des stationären Zustands und die Ausblendzeitkonstante entsprechend dem im System verwendeten IGBT anzupassen. In der nachstehenden Tabelle sind einige Werte mit den Standardeinstellungen für den Schwellenwert $V_{CE(DESAT)}$ für den stationären Zustand bei 8 V aufgeführt:

Tabelle 3-2. Effektive Ausblendzeit mit Standardeinstellung $V_{CE(DESAT)}$

IGBT $V_{CE(SAT)}$ [V]	$\geq 14,5$	12,5	11	10	9	8,5
t_{BLANK} [μs]	0,7	0,9	1,1	1,4	1,9	2,4

CAUTION

Bei Überstrom sollte der Schwellenwert $V_{CE(DESAT)}$ im stationären Zustand nicht zu nahe an der tatsächlichen $V_{CE(SAT)}$ des IGBT liegen, da die effektive Ausblendzeit erheblich größer als die konfigurierte Ausblendzeitkonstante ist.

3.2.4 DESAT Deglitch-Filter

R17 und C11 bilden einen Deglitch-Filter für das nDESAT-Ausgangssignal mit einer Zeitkonstante:

$$\tau = 330 \text{ }\Omega \times 2200 \text{ pF} = 726 \text{ ns} \quad (9)$$

Wenn ein TTL-Logik-IC mit einem Low-Pegel-Mindesteingang von 0,8 V befolgt wird, beträgt die Deglitch-Zeit lediglich 0,2 μs :

$$t_{DEGLITCH} = -\ln\left(1 - \frac{0.8 \text{ V}}{3.3 \text{ V}}\right) \times \tau = 202 \text{ ns} \quad (10)$$

Wenn der interne Widerstand des isolierten Komparators am OUT-Pin mit R17 in Reihe geschaltet ist, beträgt die getestete Deglitch-Zeit für dieses Design etwa 340 ns bis 380 ns. Einzelheiten finden Sie in den Testergebnissen in Abschnitt 4.

3.3 Referenz-Platinenlayout

Für diese Schaltung mit einer aktiven Fläche von 26 mm x 8,4 mm auf einer vierlagigen Leiterplatte wird ein Referenzlayout angefertigt.

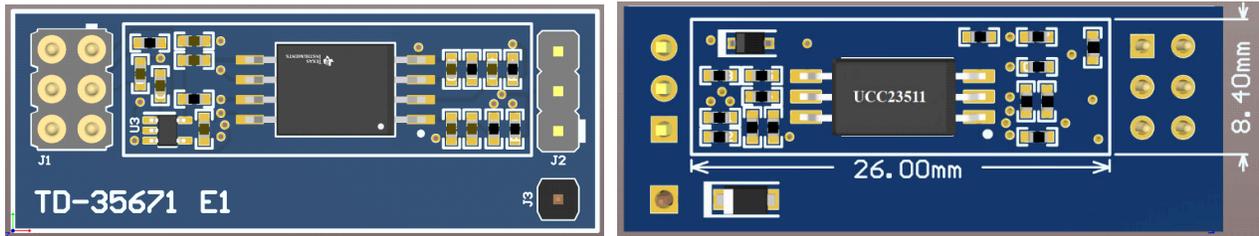


Abbildung 3-3. Ober- und Unterseite des Beispiellayouts

Bei einem sorgfältigen Layout-Design, bei dem Gate-Treiber und Komparator auf die gegenüberliegenden Seiten der Platine platziert werden, wird aufgrund der geringeren Gehäuselängen ein kleinerer Formfaktor im Vergleich zu einem 16-poligen intelligenten Gate-Treiber erzielt. Im Vergleich dazu hat ein typisches Layout von ISO5451, ein intelligenter Gate-Treiber mit CMOS-Eingang in einem SOIC-16-Gehäuse, eine aktive Fläche von 20,83 mm x 12,95 mm auf der Leiterplatte^[10], wie in [Abbildung 3-4](#) dargestellt, das ist etwa 23,5 % größer als das vorgeschlagene Design von UCC23513 und AMC23C11 in [Abbildung 3-3](#).

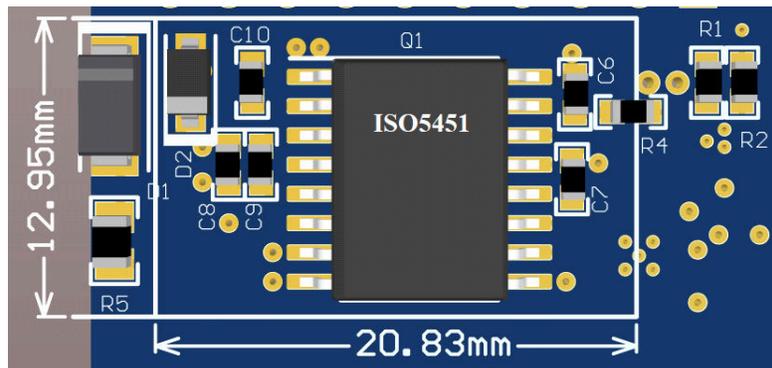


Abbildung 3-4. Typisches Layout des Smart Gate-Treibers ISO5451

4 Simulations- und Testergebnisse

4.1 Simulationsschaltung und Ergebnisse

Es wurden Simulationen für die Schaltung zur Ansteuerung eines Low-Side-IGBT eines aktiven Bremsschaltkreises in PSpice™ für TI durchgeführt. [Abbildung 4-1](#) zeigt den Schaltplan für die Simulation an.

In der Simulation wird das PSpice™-Simulationsmodell des AMC23C14 verwendet, da das Modell des AMC23C11 auf ti.com noch nicht verfügbar ist. Für die in diesem Anwendungshinweis erläuterte DESAT-Implementierung kann die Schaltung, die im Schaltplan mit der OUT2 (pin7) verbunden ist, ignoriert werden. Der AMC23C14 zeigt dasselbe Verhalten wie der AMC23C11, wenn der LATCH-Eingang (pin7) an Low gebunden ist.

4.1.1 Simulationsschaltung

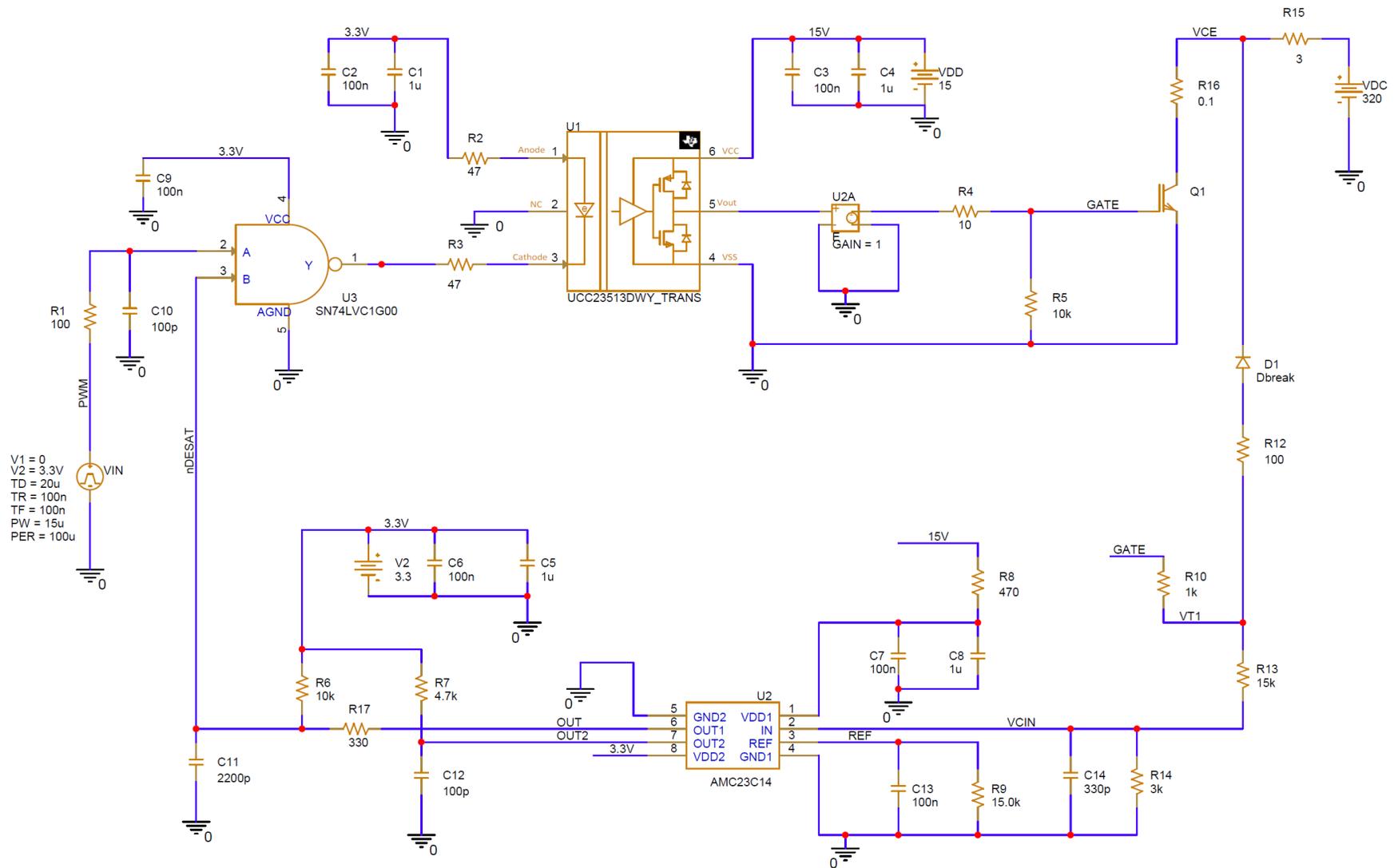


Abbildung 4-1. Simulationsschaltung

4.1.2 Simulationsergebnisse

In dieser Simulation wird das PWM-Eingangssignal auf 10 kHz, 15 % Tastverhältnis, Rechteckwellenform eingestellt. Andere Bedingungen werden auf eine gängige Anwendungssituation festgelegt. [Abbildung 4-2](#) ist ein Simulationsergebnis auf einem DESAT-Schutzfall.

Im statischen Zustand ist der PWM-Eingang niedrig, daher ist der NAND-Gate-Ausgang hoch. UCC23513 hat keinen Eingangsstrom, daher ist der Ausgang am GATE ebenfalls niedrig. Somit wird die Eingangsspannung von VCIN des isolierten Komparators AMC23C11 auf Null gezogen, der Ausgang und der nDESAT-Wert werden auf High gezogen.

Wenn das PWM-Eingangssignal zu High geht, wechselt der Ausgang des NAND-Gates auf Low, solange der nDESAT-Wert noch bei High ist. Der UCC23513 erhält dann den Eingangsstrom und die Ausgänge auf dem GATE hoch. Danach schaltet sich das IGBT U4 ein und V_{CE} fällt auf $V_{CE(SAT)}$. Ein Messstrom fließt vom GATE über R10, R12 und D1 zum Kollektor des IGBT U4 und sorgt dafür, dass die Spannung von VT1 Knoten der tatsächlichen Spannung von IGBT V_{CE} folgt, und die VCIN-Spannung der Spannung von VT1 durch den Widerstandsteiler von R13 und R14 folgt. Falls die VCIN den Schwellenwert von VREF nicht erreicht, bleiben der Ausgang des Komparators OUT und der gefilterte Ausgang nDESAT auf High.

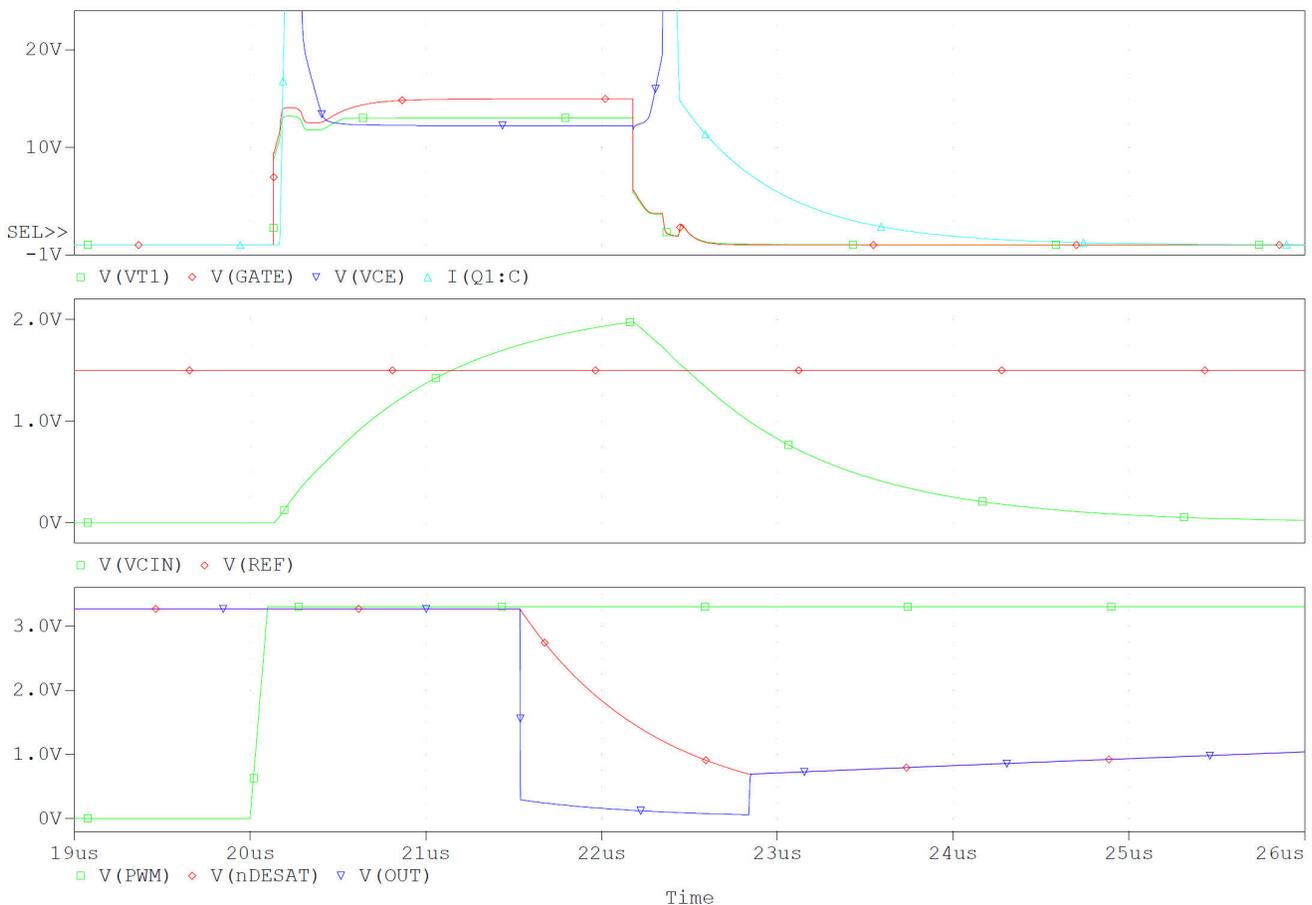


Abbildung 4-2. Simulationsergebnis von DESAT ausgelöst

Bei einem durch DESAT ausgelösten Prozess (siehe obige Abbildung) steigt die GATE-Spannung des IGBT (rote Kurve im oberen Diagramm) kurz nach dem Ansteigen des PWM-Eingangssignals (grüne Kurve im unteren Diagramm), außerdem steigt die Sensorspannung V_{CE} VT1 (grüne Kurve im oberen Diagramm) des IGBT ebenfalls an. Die Eingangs-VCIN des Komparators (die grüne Kurve in der mittleren Kurve) beginnt dann anzusteigen, um der VT1-Spannung proportional zu folgen.

Dann beginnt der V_{CE} (blaue Kurve im oberen Diagramm) des IGBT zu fallen. Wenn V_{CE} unter die GATE-Spannung abfällt, beginnt die VT1-Spannung dem V_{CE} zu folgen.

Bevor die VCIN den von der VREF (der roten Linie in der mittleren Kurve) festgelegten Schwellenwert von 1,5 V erreicht, bleibt der Ausgang des Komparators (der blauen Kurve im unteren Diagramm) auf High. Sobald VCIN den Triggerpegel erreicht, wird der AUSGANG des Komparators mit einer internen Ausbreitungsverzögerung von typischerweise 240 ns auf Low gezogen. Auch die gefilterte Ausgabe von nDESAT (die rote Kurve im unteren Diagramm) beginnt zu fallen.

Als Eingang für NAND-Gate U3 wird der Eingangsstrom von Gate-Treiber U1 abgeschaltet und das Ausgangs-GATE heruntergezogen, sobald der nDESAT den negativ gehenden Schwellenwert von U3 auslöst. So wird auch der IGBT ausgeschaltet und die V_{CE} wird bald steigen. Bei diesem Vorgang handelt es sich um den DESAT-Schutz des Schaltkreises.

Wenn das GATE nach unten gezogen wird, wird auch die VT1 nach unten gezogen und die VCIN beginnt zu fallen. Wenn die VCIN unter den Schwellenwert des Komparatoreingangs abfällt, steigt der AUSGANG wieder an. Dies ist bei AMC23C14 der Fall.

Der AMC23C11 verhält sich genau wie der oben beschriebene Prozess, wenn Pin 7, der LATCH-Eingang, an Low gebunden ist. Wenn der LATCH-Pin auf High gezogen wird, wird die Ausgangsspannung am AUSGANGS-Pin des Komparators verriegelt bis der LATCH-Pin für mindestens 4 μ s auf Low gezogen wird, um den Latch-Zustand zu lösen.

4.2 Testergebnisse mit 3-Phasen-IGBT-Inverter

Die Tests wurden an einer Musterplatte des vorgeschlagenen Schaltkreises zum DESAT-Schutz durchgeführt. Es wurden zwei Fälle getestet, in denen die Musterplatte als (1) Gate-Treiber eines IGBT mit Low-Side-Bremse und (2) Gate-Treiber eines IGBT mit High-Side-Schalter in einem 3-Phasen-Motorantriebsumrichter verwendet wurde.

4.2.1 IGBT-Bremsprüfung

Abbildung 4-3 zeigt die Plattform für die Low-Side-Brems-IGBT-Gate-Antriebstests. Als Systemcontroller wurde ein C2000™ LaunchPad™ von LAUNCHXL-F28379D verwendet, um eine Serie von PWM-Impulsen von 10 kHz mit 10 % Tastverhältnis oder 10 μ s Einschaltdauer in jeder 100 μ s Periode zu erzeugen, um einen Low-Side-IGBT anzusteuern. Das LaunchPad erzeugt außerdem einen hohen Ausgang für den LATCH-Eingang des AMC23C11 und überwacht das nDESAT-Signal mit einem GPIO.

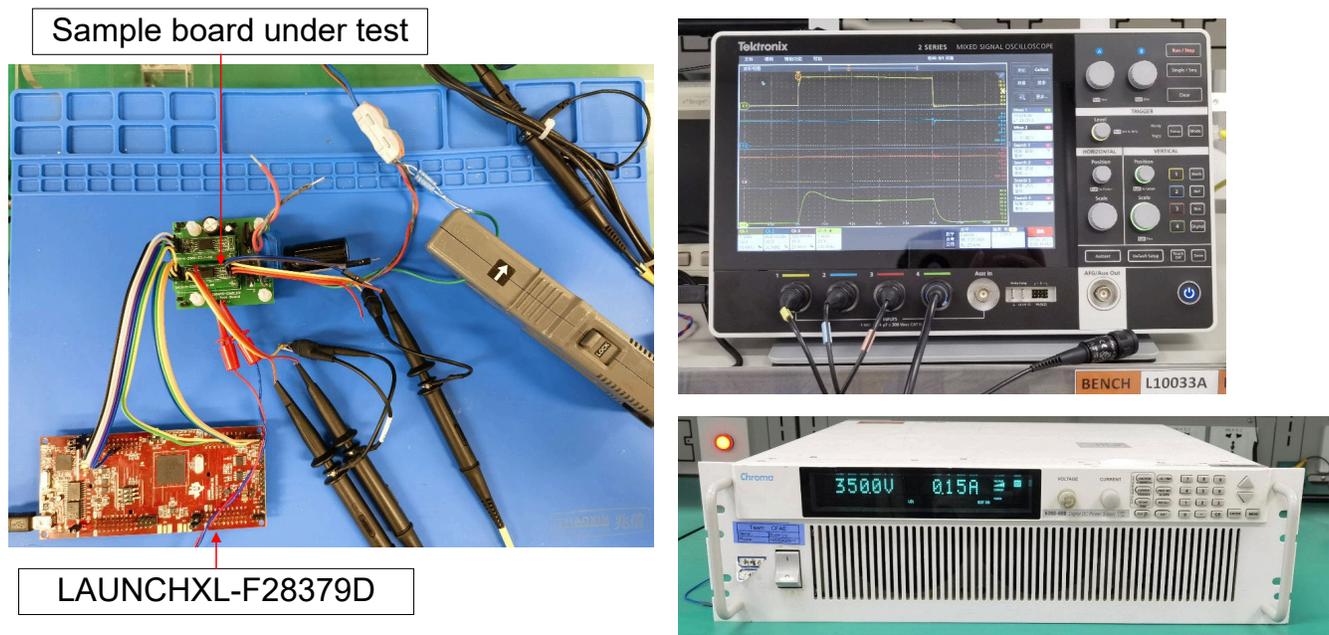


Abbildung 4-3. Plattform für den Low-Side-Antriebstest

Für den Test in einer OCP- oder SCP-Situation wird ein diskreter 600 V 10 A-IGBT verwendet und zwei 1,5 Ω 3 W-Widerstände werden parallel geschaltet, um einen Bremswiderstand zu emulieren. Die Widerstände werden

zwischen dem IGBT-Kollektor und der 350 V-DC+-Schiene eingesetzt. Das Testergebnis wird angezeigt in [Abbildung 4-4](#).

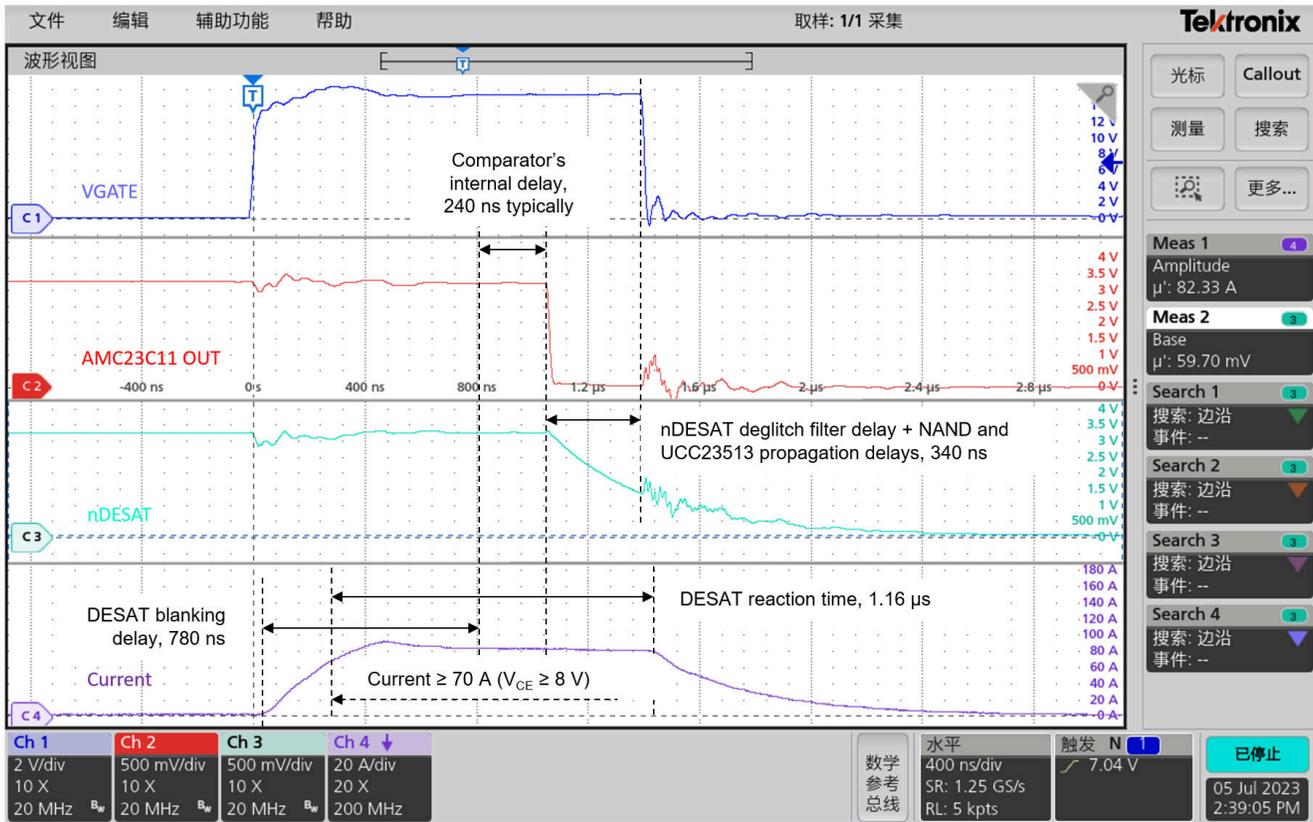


Abbildung 4-4. Verzögerungen beim Kurzschlussschutz bei der Low-Side-Antriebsprüfung

In dieser Prüfung begann der Kollektorstrom nach dem Einschalten des IGBT ($t = 0$ s) zu steigen und wurde bald bei etwa 90 A ($t = 480$ ns) gesättigt. Nach dem getesteten IGBT-Datenblatt steigt die Spannung V_{CE} auf den für den Schaltkreis eingestellten Triggerpegel von 8 V, wenn der Kollektorstrom 70 A erreicht. DESAT wurde nach einer Ausblendzeit von etwa 780 ns durch den isolierten Komparator AMC23C11 erkannt. Danach verschob sich der AMC23C11 nach einer typischen internen Verzögerung von 240 ns auf Low ($t = 1,04$ µs) und verriegelte (wenn der LATCH auf High eingestellt ist). Nach einer weiteren Verzögerung durch den Deglitch-Filter für nDESAT von ca. 340 ns verschob sich der Ausgang des NAND-Gates SN74LVC1G00 auf hoch und trennte den Eingangsstrom des USS23513, sodass der Gate-Treiber die VGATE nach unten zog ($t = 1,44$ µs). Die DESAT-Reaktionszeit, von wo der Strom des IGBTs 70 A erreichte bis zu dem Punkt, an dem der Strom abzusinken begann, nachdem das GATE zu LOW wechselte, betrug nur etwa 1,16 µs.

4.2.2 Testergebnisse mit einem 3-Phasen-Inverter mit Phase-zu-Phase-Kurzschluss

Es wurden Tests auf einer 3-Phasen-Inverterplattform eines TI-Referenzdesigns, dem [TIDA-010025](#), durchgeführt, um einen Phase-zu-Phase-Kurzschluss beim Ansteuern eines ACIM-Motors zu überprüfen. In diesen Tests wurde der Gate-Treiber des U-Phasen-High-Side-IGBT durch eine Musterplatine der vorgeschlagenen Schaltung ersetzt:

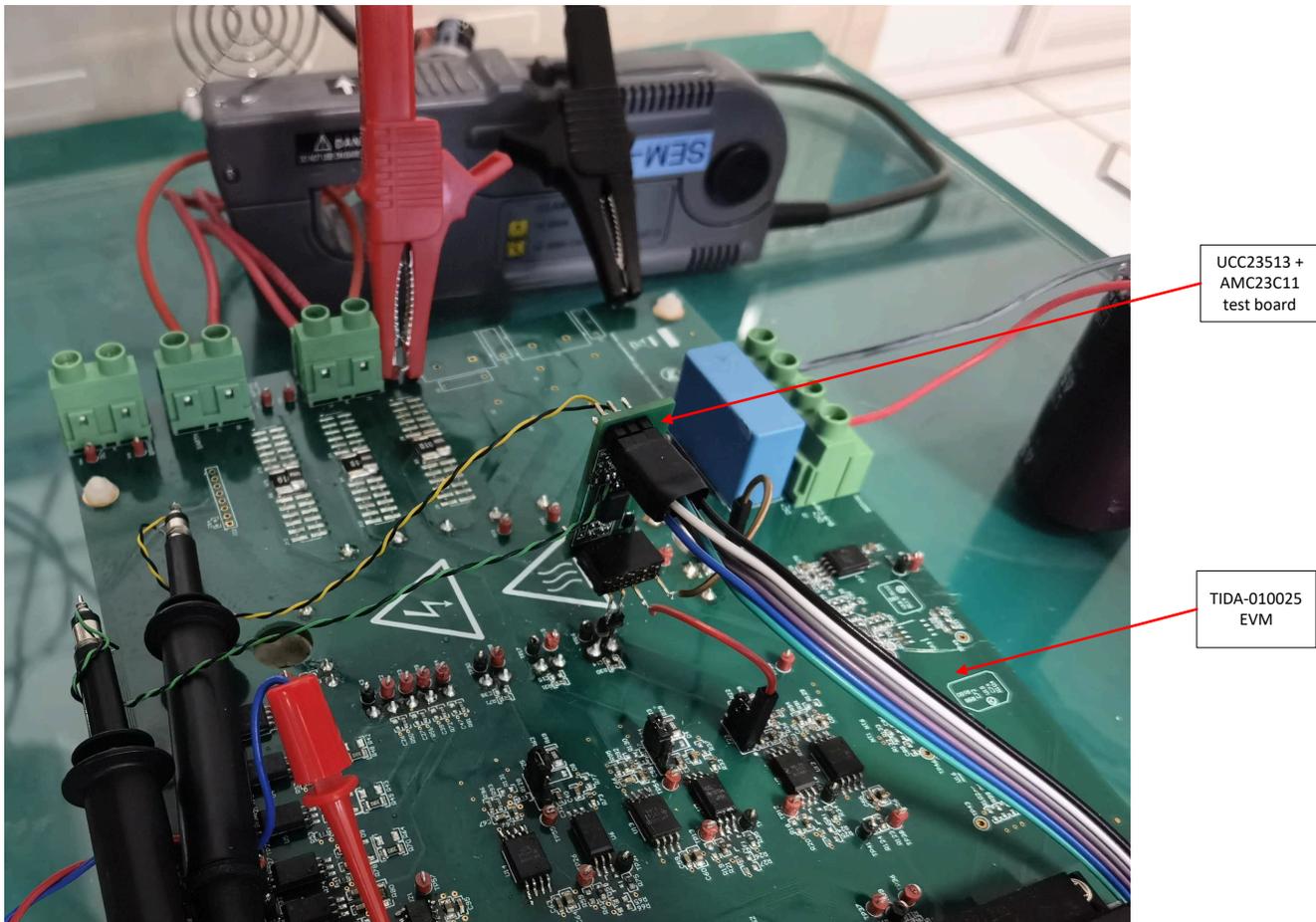


Abbildung 4-5. Plattform zur Ausführung des Motortests

Das Referenzdesign TIDA-010025 verfügt über ein 1200 V-/25 A-PIM-Leistungsmodul auf der Stromversorgungsplatine, das in der 3-Phasen-Inverterstufe sechs IGBT-Teile mit den gleichen Nennwerten integriert hat. Zur Vorbereitung der Tests haben wir zuerst den ursprünglichen Gate-Treiberwiderstand für den U-Phasen-High-Side-IGBT entfernt und dann den VGATE-Ausgang, die 15 V-Stromversorgung und die VCE-Sensorklemme der Musterplatine an die Stromversorgungsplatine angeschlossen. Um den Einfluss der eigenen Hardware-OCP-Funktion des Referenzdesigns zu vermeiden, haben wir einen 5 m Ω Shunt-Widerstand parallel zum ursprünglichen 10 m Ω Widerstand in allen drei Phasen hinzugefügt, damit wir den OCP-Triggerpegel auf 72 A verdreifachen können. Nach der Prüfung der Ausgangseigenschaften der IGBTs haben wir auch an unserer Musterplatine einige Änderungen vorgenommen, damit der DESAT-Schwellenwert erreicht wird, wenn $V_{CE(SAT)}$ auf 2,5 V steigt, was etwa 45 A Kollektorstrom entspricht. Während dieser Tests wird zunächst der Motor (ohne Last) mit 50 rps betrieben und dann die U- und W-Phasen des Inverters mit einem Leistungsschalter an den Anschlüssen der Stromversorgungsplatine kurzgeschlossen. [Abbildung 4-6](#) ist eine Wellenform des Testergebnisses.

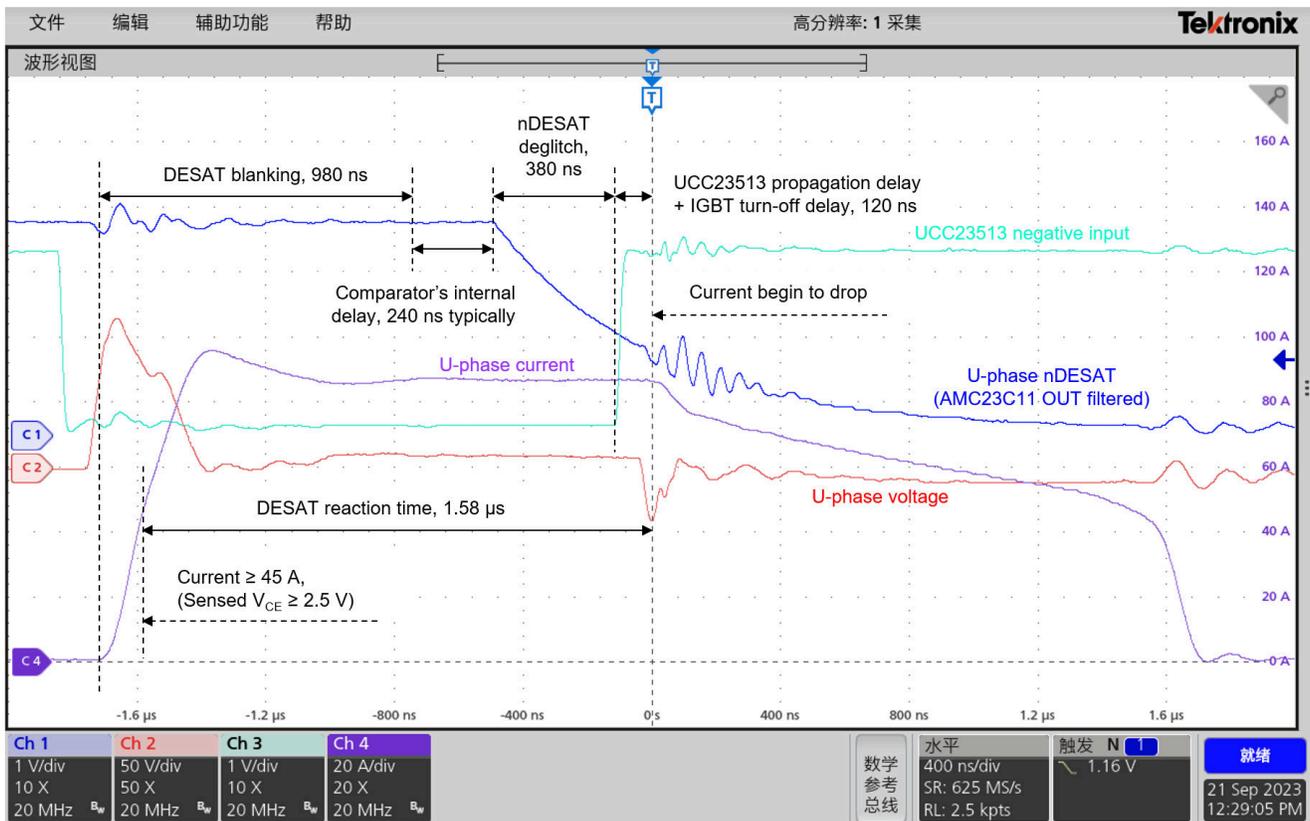


Abbildung 4-6. Verzögerungen beim Kurzschlussschutz bei Motorlauftest

Nach dem Einschalten des Leistungsschalters wurden die U- und W-Phasen überbrückt, und der U-Phasenstrom begann schnell anzusteigen. Der Sättigungsstrom erreichte bald einen Spitzenwert von etwa 95 A, fiel dann etwas ab und stabilisiert sich bei etwa 86 A. Nach einer Blinkzeit von 980 ns erkannte der AMC23C11 den DESAT-Zustand. Nach einer weiteren internen Ausbreitungsverzögerung von typischerweise 240 ns verschiebt sich der Ausgang auf Low. Es dauerte etwa 380 ns, bis der nDESAT-Wert auf den negativ gehenden Schwellenwert des NAND-Gate-Eingangs abgesunken war und den Eingangsstrom des UCC23513 abschaltet. Der Gate-Treiber brauchte dann etwa 120 ns, bis der Strom des IGBT abnahm. Die DESAT Reaktionszeit betrug insgesamt etwa 1,58 µs.

Die Ergebnisse des Low-Side-Fahrttests unterscheiden sich in einigen Punkten. Die Unterschiede in den Eigenschaften der beiden getesteten IGBTs und der Anwendungsschaltungen sowie die Anpassung des DESAT-Schwellenwerts haben zu diesen Variationen beigetragen.

5 Zusammenfassung

Die Kombination eines kompakten, isolierten einfachen Gate-Treibers mit einem isolierten Komparator zum DESAT-Schutz wurde in diesem Anwendungshinweis validiert. Der diskrete Ansatz reduziert die Designgröße im Vergleich zu einem 16-poligen intelligenten Gate-Treiber mit integriertem DESAT. Dieser Ansatz bietet auch die Flexibilität zur Konfiguration der wichtigsten Parameter für die DESAT-Funktion, wie z. B. Schwellenwert, Bias-Strom, Ausblendzeit und Deglitch-Filter. Der diskrete Ansatz bietet auch eine DESAT-Latch-Funktion, die von der MCU ebenfalls zurückgesetzt werden kann.

Dieses Konzept kann auch auf bipolare Gate-Treiber-Versorgungen erweitert werden und eignet sich gleichermaßen für Low-Side- und High-Side-Gate-Treiber. Weitere Einzelheiten zu diesen Anwendungen finden Sie in [TIDA-00448](#).

6 Quellennachweise

1. Texas Instruments, [AMC23C11: Verstärkter isolierter Komparator mit schnellem Ansprechverhalten und einstellbarem Schwellenwert sowie und Latch-Funktion](#), Datenblatt.
2. Texas Instruments, [UCC23513: Isolierter optokompatibler Ein-Kanal-Gate-Treiber, 4 A Quelle, 5 A Senke und 5,7 kVRMS](#), Datenblatt.
3. Texas Instruments, [UCC23511: Isolierter optokompatibler Ein-Kanal-Gate-Treiber, 1,5 A Quelle, 2 A Senke und 5,7 kVRMS](#), Datenblatt.
4. Texas Instruments, [UCC21750: Ein-Kanal-Gate-Treiber für SiC/IGBT, 10 A Quelle/Senke, verstärkte Isolierung, mit aktivem Schutz, isolierter analoger Abtastung und High-CMTI](#), Datenblatt.
5. Texas Instruments, [AMC23C14: Zweifacher, schnell ansprechender, verstärkter isolierter Fensterkomparator mit einstellbarem Schwellenwert](#), Datenblatt.
6. Texas Instruments, [ISO5451: Isolierter Ein-Kanal-Gate-Treiber, 5,7 kVRMS, 2,5/5 A mit aktiven Schutzfunktionen](#), Datenblatt.
7. Texas Instruments, [PSpice für TI Design- und Simulationstool](#).
8. Texas Instruments, [UCC21750: Wie können wir die DESAT-Erkennungsschwelle in UCC217xx und ISO5x5x anpassen? FAQ](#)
9. Texas Instruments, [TIDA-00448: Flexibler IGBT-Gate-Treiber für Hochstromanwendungen mit verstärktem digitalem Isolator](#), Referenzdesign.
10. Texas Instruments, [TIDA-00638: Isolierte Gate-Treiber-Leistungsstufe mit Active-Miller-Clamp für Solar-Inverter](#), Referenzdesign.
11. Texas Instruments, [TIDA-010025: Dreiphasen-Wechselrichter für 200-480 VAC-Antriebe mit optoemulierten Eingangsgate-Treibern](#), Referenzdesign.

7 Revisionsverlauf

NOTE: Page numbers for previous revisions may differ from page numbers in the current version.

DATUM	ÜBERARBEITUNG	HINWEISE
October 2023	*	Initial Release (erste Version)

WICHTIGER HINWEIS UND HAFTUNGSAUSSCHLUSS

TI STELLT TECHNISCHE UND ZUVERLÄSSIGKEITSDATEN (EINSCHLIESSLICH DATENBLÄTTER), DESIGNRESSOURCEN (EINSCHLIESSLICH REFERENZDESIGNS), ANWENDUNGS- ODER ANDERE DESIGNBERATUNG, WEB-TOOLS, SICHERHEITSMITTELSYSTEME UND ANDERE RESSOURCEN „WIE BESEHEN“ UND MIT ALLEN FEHLERN ZUR VERFÜGUNG, UND SCHLIESST ALLE AUSDRÜCKLICHEN UND STILLSCHWEIGENDEN GEWÄHRLEISTUNGEN AUS, EINSCHLIESSLICH UND OHNE EINSCHRÄNKUNG ALLER STILLSCHWEIGENDEN GEWÄHRLEISTUNGEN DER MARKTGÄNGIGKEIT, DER EIGNUNG FÜR EINEN BESTIMMTEN ZWECK ODER DER NICHTVERLETZUNG VON RECHTEN.

Diese Ressourcen sind für qualifizierte Entwickler gedacht, die mit TI-Produkten entwickeln. Sie allein sind verantwortlich für (1) die Auswahl der geeigneten TI Produkte für Ihre Anwendung, (2) das Design, die Validierung und den Test Ihrer Anwendung und (3) die Sicherstellung, dass Ihre Anwendung die geltenden Normen sowie alle anderen Sicherheits-, regulatorischen und sonstigen Vorgaben erfüllt.

Diese Ressourcen können jederzeit und ohne Vorankündigung geändert werden. Sie erhalten von TI die Erlaubnis, diese Ressourcen ausschließlich für die Entwicklung von Anwendungen mit den in der Ressource beschriebenen TI-Produkten zu verwenden. Jede andere Vervielfältigung und Darstellung dieser Ressourcen ist untersagt. Es wird keine Lizenz für andere Rechte am geistigen Eigentum von TI oder an Rechten am geistigen Eigentum Dritter gewährt. TI übernimmt keine Verantwortung für und Sie schützen TI und seine Vertreter gegen Ansprüche, Schäden, Kosten, Verluste und Verbindlichkeiten, die sich aus Ihrer Nutzung dieser Ressourcen ergeben.

Produkte von TI werden gemäß den [Verkaufsbedingungen von TI](#) oder anderen geltenden Bedingungen bereitgestellt, die entweder auf [ti.com](#) verfügbar sind oder in Verbindung mit diesen TI-Produkten bereitgestellt werden. Durch die Bereitstellung dieser Ressourcen durch TI werden die geltenden Garantien oder Gewährleistungsausschlüsse von TI für TI-Produkte weder erweitert noch verändert.

TI widerspricht allen zusätzlichen oder abweichenden Bedingungen, die Sie möglicherweise vorgeschlagen haben, und lehnt sie ab.

Postanschrift: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023 Texas Instruments Incorporated

IMPORTANT NOTICE AND DISCLAIMER

TI PROVIDES TECHNICAL AND RELIABILITY DATA (INCLUDING DATA SHEETS), DESIGN RESOURCES (INCLUDING REFERENCE DESIGNS), APPLICATION OR OTHER DESIGN ADVICE, WEB TOOLS, SAFETY INFORMATION, AND OTHER RESOURCES "AS IS" AND WITH ALL FAULTS, AND DISCLAIMS ALL WARRANTIES, EXPRESS AND IMPLIED, INCLUDING WITHOUT LIMITATION ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF THIRD PARTY INTELLECTUAL PROPERTY RIGHTS.

These resources are intended for skilled developers designing with TI products. You are solely responsible for (1) selecting the appropriate TI products for your application, (2) designing, validating and testing your application, and (3) ensuring your application meets applicable standards, and any other safety, security, regulatory or other requirements.

These resources are subject to change without notice. TI grants you permission to use these resources only for development of an application that uses the TI products described in the resource. Other reproduction and display of these resources is prohibited. No license is granted to any other TI intellectual property right or to any third party intellectual property right. TI disclaims responsibility for, and you will fully indemnify TI and its representatives against, any claims, damages, costs, losses, and liabilities arising out of your use of these resources.

TI's products are provided subject to [TI's Terms of Sale](#) or other applicable terms available either on [ti.com](https://www.ti.com) or provided in conjunction with such TI products. TI's provision of these resources does not expand or otherwise alter TI's applicable warranties or warranty disclaimers for TI products.

TI objects to and rejects any additional or different terms you may have proposed.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated