TEXAS INSTRUMENTS
UCC34141-Q1
ZHCSY93B – APRIL 2025 – REVISED NOVEMBER 2025

UCC34141-Q1 汽车级 1.5W、12V V_{IN}、25V V_{OUT}、高密度、> 5kV_{RMS}、隔离式 DC/DC 模块

1 特性

- 采用隔离平面变压器的完全集成高密度隔离式直流/直流模块
- 宽输入范围：5.5V 至 28V（具有 22V OVLO）
  - 在 T_A ≤ 85°C 的条件下，6V ≤ V_{VIN} ≤7V 时的典型输出为 ≥ 0.6W，V_{VIN} = 5.5V 时的典型输出为 ≥ 0.5W
  - 在 T_A ≤ 85°C 的条件下，8V ≤ V_{VIN} ≤ 18V、18V ≤ $V_{VDD-COM}$ ≤ 20V 时的典型输出为 ≥ 1.3W
  - 在 T_A ≤ 85°C 的条件下，11V ≤ V_{VIN} ≤ 13V、18V ≤ $V_{VDD-COM}$ ≤ 20V 时的典型输出为 ≥ 1.5W
  - 在 T_A ≤ 85°C 的条件下，11V ≤ V_{VIN} ≤ 13V、15V ≤ $V_{VDD-COM}$ < 18V 时的典型输出为 ≥ 1.2W
- 可编程的 (VDD – COM) 输出电压
  - 15V 至 20V、总稳压精度为 ≤ ±1.5%
- 可编程的 (VEE – COM) 输出电压
  - -2V 至 -8V、总稳压精度为 ≤ ±5%
- 自适应展频调制 (SSM)
- 强大的磁场和辐射场抗扰度
- 通过软启动功能降低浪涌电流
- ENA 引脚用于逻辑使能和 UVLO 输入编程
- 用于故障指示的开漏电源良好
- 集成式保护：UVLO、OVLO、短路、OVP、UVP 和热关断。
- 隔离电容 < 3pF
- 静态和动态 CMTI > ±250kV/μs
- 符合面向汽车应用的 AEC-Q100 标准
  - 温度等级 1：–40°C ≤ T_A ≤ 125°C
- 安全相关认证（计划）：
  - 符合 DIN EN IEC 60747-17 (VDE 0884-17) 标准的增强型绝缘
  - UL 1577/CSA 元件认证计划
- 16 引脚宽体 SOIC 封装

2 应用

- 混合动力、电动和动力总成系统 (EV/HEV)
  - 逆变器和电机控制
  - 车载充电器 (OBC) 和无线充电器
  - 直流/直流转换器
- 电网基础设施
  - 电动汽车充电站电源模块
  - 直流充电（桩）站
  - 串式逆变器
- 工业运输
  - 非公路用车电力驱动器
- 电力输送
  - 机架和服务器电源

3 说明

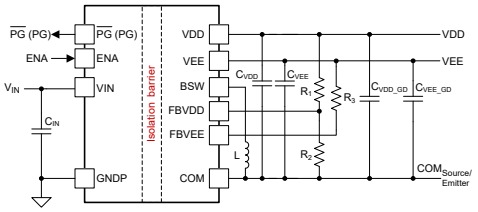
UCC34141-Q1 是一款符合汽车标准的高隔离电压直流/直流电源模块，旨在 SiC 和 IGBT 隔离式栅极驱动器。其专有的集成变压器、倒装芯片封装和高级控制架构可实现高功率密度、低噪声和最低的系统 BOM。该器件能够在 85ºC 环境温度下提供 1.5W 的典型输出功率。高精度双路输出电压可通过电阻分压器轻松设置，为 SiC/IGBT 实现低导通电阻、快速可靠的开关控制。低延迟反馈控制可降低用于快速负载瞬态的输出电容，并支持动态电压编程。宽输入电压和可调 V_{IN} UVLO 支持电动汽车的宽电池电压和稳压输入导轨。它可在 5.5V 至 20V V_{IN} 范围内运行，且可承受高达 28V 的 V_{IN} 瞬态过压。

集成保护特性、故障报告电源正常引脚和使能功能可提高系统稳健性，减少外部元件数量。具有 8.2mm 爬电距离和间隙的 SOIC 封装可确保高隔离能力。

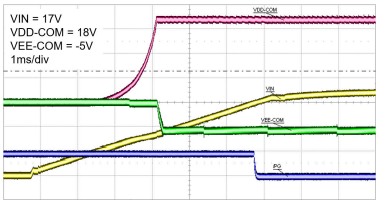
器件信息

可订购器件型号	封装(1)	封装尺寸（标称值）
PUCC34141QDHARQ1	DHA（SSOP、16）	5.85mm × 7.50mm

(1) 有关所有可用封装，请参阅节 11。



简化版应用



典型上电序列

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

ADVANCE INFORMATION

内容

1 特性 1
2 应用 1
3 说明 1
4 器件比较 3
5 引脚配置和功能 4
6 规格 5
6.1 绝对最大额定值 5
6.2 ESD 等级 5
6.3 建议运行条件 5
6.4 热性能信息 6
6.5 绝缘规格 6
6.6 电气特性 7
6.7 安全相关认证 9
6.8 典型特性 10
7 详细说明 12
7.1 概述 12
7.2 功能方框图 13
7.3 特性说明 14
7.4 器件功能模式 23
8 应用和实施 25
8.1 应用信息 25
8.2 典型应用 25
8.3 系统示例 28
8.4 电源相关建议 29
8.5 布局 29
9 器件和文档支持 34
9.1 第三方产品免责声明 34
9.2 文档支持 34
9.3 接收文档更新通知 34
9.4 支持资源 34
9.5 商标 34
9.6 静电放电警告 34
9.7 术语表 34
10 修订历史记录 34
11 机械、封装和可订购信息 35
11.1 封装信息 36
11.2 卷带包装信息 37
11.3 机械数据 39

Copyright © 2025 Texas Instruments Incorporated

4 器件比较

表 4-1. 器件比较表

器件名称	V_{VIN} 范围	输出 (VDD-COM) 可调范围	输出 (VEE-COM) 可调范围	典型功率	电源正常有效极性	故障响应
UCC34141-Q1	8V 至 20V	18V 至 20V	-2V 至 -8V	1.5W	低电平	闭锁
		15V 至 18V	-2V 至 -8V	≥ 1W		
	5.5V 至 8V	15V 至 20V	-2V 至 -8V	≥ 0.3W		
UCC34141D-Q1	8V 至 20V	18V 至 20V	-2V 至 -8V	1.5W	高电平	自动重启
		15V 至 18V	-2V 至 -8V	≥ 1W		
	5.5V 至 8V	15V 至 20V	-2V 至 -8V	≥ 0.3W		

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

ADVANCE INFORMATION

5 引脚配置和功能

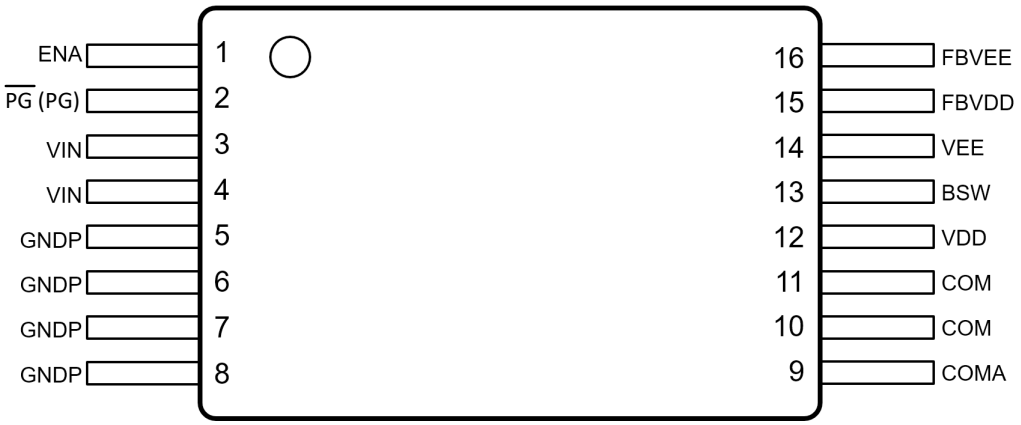


图 5-1. DHA 封装，16 引脚 SSOP（俯视图）

表 5-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
ENA	1	I	使能引脚。强制 ENA 为低电平会禁用器件。上拉至高电平以启用正常的器件功能。建议最大值为 5.5V。可用于通过来自 VIN 的电阻分压器对输入 UVLO 进行编程。
PG(PG)	2	O	电源正常开漏输出引脚。当 $V_{VIN_UVLOP} \leq V_{VIN} \leq V_{VIN_OVLOP}$、$V_{VDD_UVP} \leq V_{FBVDD} \leq V_{VDD_OVP}$、$V_{VEE_UVP} \leq V_{FBVEE} \leq V_{VEE_OVP}$、$T_{J_Primary} \leq T_{SHUT_P_R}$ 以及 $T_{J_secondary} \leq T_{SHUT_S_R}$ 时，保持有效状态。连接一个 0402 封装尺寸的去耦电容器以旁路高频噪声。它必须位于电源正常引脚旁边，且与 IC 位于 PCB 的同一侧。
VIN	3、4	P	初级输入电压。在 VIN 到 GNDP 之间连接一个 10 µ F 和一个并联 0.1µF 陶瓷电容器。0402 封装的 0.1µF 陶瓷电容器用于旁路高频噪声，必须和 IC 一样置于 PCB 同一侧的 VIN 和 GNDP 引脚旁。
GNDP	5、6、7、8	G	VIN 的初级侧接地连接。在覆铜上放置几个过孔以进行散热。 有关更多详细信息，请参阅“布局”部分。
COMA	9	G	用于噪声敏感模拟反馈输入、FBVDD 和 FBVEE 的次级侧模拟检测基准连接。将低侧 FBVDD 反馈电阻和高频去耦滤波电容连接到靠近 COMA 引脚和各自的反馈引脚 FBVDD。连接到次级侧栅极驱动电压基准 COM。使用单点连接并将高频去耦陶瓷电容器靠近 COMA 引脚放置。
COM	10、11	G	次级接地。连接到电源开关的源极。
VDD	12	P	来自变压器的次级侧隔离式输出电压。在 VDD 到 COM 之间连接一个 10 µ F 和一个并联 0.1µF 陶瓷电容器。0402 封装的 0.1 µ F 陶瓷电容器用于旁路高频噪声，必须靠近 VDD 和 COM 引脚。
BSW	13	P	内部降压/升压转换器开关管脚。在该引脚与 COM 之间连接一个电感器。建议使用 3.3µH 至 10µH 片式电感器。
VEE	14	P	负电源轨的次级侧隔离式输出电压。在 VEE 和 COM 之间连接一个 2.2µF 陶瓷电容，以绕过高频开关噪声。
FBVDD	15	I	反馈 (VDD – COM) 输出电压检测引脚用于调整输出 (VDD – COM) 电压。在 VDD 至 COMA 之间连接一个电阻分压器，以使中点连接到 FBVDD。通过跨隔离的内部迟滞控制，将等效 FBVDD 电压调节为 2.5V。需要添加一个 220pF 陶瓷电容器，与低侧反馈电阻器并联实现高频去耦。用于高频旁路的 220pF 陶瓷电容器必须紧挨着顶层或底层（两层通过过孔连接）的 FBVDD 和 COMA 引脚。
FBVEE	16	I	反馈 (COM – VEE) 输出电压检测引脚用于调整输出 (COM – VEE) 电压。将一个反馈电阻器连接至 VEE 以在 2V 到 8V 之间对 (COM – VEE) 电压进行编程。在 FBVEE 和 COMA 之间连接一个 10pF 陶瓷电容，以绕过高频开关噪声。10pF 陶瓷电容器必须紧挨着顶层或背层（两层通过过孔连接）的 FBVEE 引脚。

(1) P = 电源，G = 地，I = 输入，O = 输出

Copyright © 2025 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	典型值	最大值	单位
V_{VIN}	VIN 至 GNDP	-0.3		30	V
V_{ENA}、V_{PG}	ENA、PG 至 GNDP	-0.3		7	V
$V_{FBVEE-COM}$	FBVEE 至 COM	-0.3		7	V
$V_{BSW-COM}$	BSW 至 COM	-10		25.5	V
$V_{BSW-VEE}$	BSW 至 VEE	-0.7		32	V
$V_{BSW-VEE_tran}$	BSW 至 VEE（0.24ns 瞬态值）	-2.1		33.4	V
$V_{COM-VEE}$	COM 至 VEE	-0.3		10	V
$V_{VDD-COM}$、$V_{FBVDD-COM}$	VDD、FBVDD 至 COM	-0.3		25.5	V
$V_{VDD-VEE}$	VDD 至 VEE	-0.3		32	V
$P_{OUT_VDD_MAX}$	总输出功率 (T_A = 25°C)			3	W
T_J	工作结温范围	-40		150	°C
T_{stg}	贮存温度	-65		150	°C

(1) 应力超出*绝对最大额定值*中列出的值时可能会对器件造成永久损坏。这些列出的值仅为应力等级，并不表示器件在这些条件下以及在*建议工作条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准 (1)	±2000	V
		充电设备模型 (CDM)，符合 AEC Q100-011 第 7.2 段	±750	V

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	典型值	最大值	单位
V_{VIN}	连续运行期间对 GNDP 的初级侧输入电压	5.5(1)	12	20	V
V_{VIN}	过压瞬态期间对 GNDP 的初级侧输入电压			28	V
V_{ENA}	使能至 GNDP	0		5.5	V
V_{PG}	电源正常至 GNDP	0		5.5	V
$V_{VDD-COM}$	VDD 至 COM	15	18	20	V
$V_{VDD-VEE}$	VDD 至 VEE	15	22	25	V
$V_{COM-VEE}$	COM 至 VEE	2	4	8	V
T_A	环境温度	-40		125	°C
T_J (2)	结温	-40		150	°C

(1) 请参阅 $V_{VIN_UVLO_R}$ 和 $V_{VIN_UVLO_F}$ 电气特性以了解最低工作电压 V_{VIN}。
(2) 请参阅“(VDD-COM) 和 (COM-VEE) 负载推荐工作区”部分，了解不同 (VDD-COM) 和 (COM-VEE) 输出电压设置在各种温度和 V_{VIN} 条件下的最大额定值。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

6.4 热性能信息

热指标(1)		DHA (SOIC) 16 引脚	单位
$R_{\theta JA}$	结至环境热阻	63.2	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	32.3	°C/W
$R_{\theta JB}$	结至电路板热阻	20.1	°C/W
Ψ_{JA}	结至环境表征参数	47.8	°C/W
Ψ_{JB}	结至电路板特征参数	20.5	°C/W
Ψ_{JT}	结至顶部特征参数	3	°C/W

(1) 热阻 (R) 基于 JEDEC 板，特征参数 (ψ) 基于“布局”部分中所述的 EVM。有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

6.5 绝缘规格

参数		测试条件	值	单位
通用				
CLR	外部间隙(1)	端子间的最短空间距离	> 8.2	mm
CPG	外部爬电距离(1)	端子间的最短封装表面距离	> 8.2	mm
DTI	绝缘穿透距离	最小内部间隙（内部间隙 – 变压器电源隔离）	> 70	µm
CTI	相对漏电起痕指数	DIN EN 60112 (VDE 0303-11)；IEC 60112	> 600	V
	材料组	符合 IEC 60664-1	I	
	过压类别	额定市电电压 ≤ 300V_{RMS}	I-IV	
		额定市电电压 ≤ 600V_{RMS}	I-IV	
		额定市电电压 ≤ 1000V_{RMS}	I-III	
DIN EN IEC 60747-17 (VDE 0884-17)（计划认证目标）(2)				
V_{IORM}	最大重复峰值隔离电压	交流电压（双极）	1700	V_{PK}
V_{IOWM}	最大工作隔离电压	交流电压（正弦波），时间依赖型电介质击穿 (TDDB) 测试	1202	V_{RMS}
		直流电压	1700	V_{DC}
V_{IOTM}	最大瞬态隔离电压	$V_{TEST} = V_{IOTM}$，t = 60s（鉴定测试）；$V_{TEST} = 1.2 \times V_{IOTM}$，t = 1s（100% 生产测试）	7071	V_{PK}
V_{IMP}	最大脉冲电压(3)	在空气中测试，符合 IEC 62368-1 标准的 1.2/50 µs 波形	8000	V_{PK}
V_{IOSM}	最大浪涌隔离电压(3)	$V_{IOSM} \geq 1.3 \times V_{IMP}$；在油中测试（鉴定测试），1.2/50µs 波形，符合 IEC 62368-1 标准	10400	V_{PK}
q_{pd}	视在电荷(4)	方法 a：I/O 安全测试子组 2/3 后，$V_{ini} = V_{IOTM}$，t_{ini} = 60s；$V_{pd(m)} = 1.2 \times V_{IORM}$，$t_m$ = 10s	≤ 5	pC
		方法 a：环境测试子组 1 后，$V_{ini} = V_{IOTM}$，t_{ini} = 60s；$V_{pd(m)} = 1.6 \times V_{IORM}$，$t_m$ = 10s	≤ 5	pC
		方法 b1：常规测试（100% 生产测试），$V_{ini} = 1.2 \times V_{IOTM}$，$t_{ini}$ = 1s，$V_{pd(m)} = 1.875 \times V_{IORM}$，$t_m$ = 1s	≤ 5	pC
C_{IO}	势垒电容，输入至输出(5)	V_{IO} = 0.4 sin (2πft)，f = 1MHz	< 3	pF
R_{IO}	隔离电阻，输入至输出(5)	V_{IO} = 500V，T_A = 25°C	> 10^{12}	Ω
		V_{IO} = 500V，100°C ≤ T_A ≤ 125°C	> 10^{11}	Ω
		V_{IO} = 500V，T_S = 150°C	> 10^9	Ω
	污染等级		2	

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

6.5 绝缘规格（续）

参数		测试条件	值	单位
	气候类别		40/125/21	
UL 1577（计划认证目标）				
V_{ISO}	可承受的隔离电压	$V_{TEST} = V_{ISO} = 5000V_{RMS}$，t = 60s（鉴定测试），$V_{TEST} = 1.2 \times V_{ISO} = 6000V_{RMS}$，t = 1s（100% 生产测试）	5000	V_{RMS}

(1) 爬电距离和间隙应满足应用的特定设备隔离标准中的要求。请注意保持电路板设计的爬电距离和间隙，从而确保印刷电路板上隔离器的安装焊盘不会导致此距离缩短。在特定的情况下，印刷电路板上的爬电距离和间隙变得相等。在印刷电路板上采用插入坡口和/或肋材等技术有助于提高这些规格。
(2) 此耦合器仅适用于最大工作额定值范围内的*安全电气绝缘*。应借助合适的保护电路来确保符合安全等级。
(3) 在空气中进行测试，以确定封装的浪涌抗扰度。在油中进行测试，以确定隔离栅的固有浪涌抗扰度。
(4) 视在电荷是局部放电 (pd) 引起的电气放电。
(5) 将隔离栅每一侧的所有引脚都连在一起，构成一个双端子器件。

6.6 电气特性

超过工作温度范围 (T_J = -40°C 至 150°C），除非另有说明。T_A = 25°C 且 V_{VIN} = 12V 时的所有典型值。引脚说明表中列出了外部 BOM 元件。

参数		测试条件	最小值	典型值	最大值	单位
输入电源（初级侧，所有电压均以 GNDP 为基准）						
V_{VIN}	输入电压范围	初级侧输入电压（相对于 GNDP）。(VDD-COM) = 18V；(COM-VEE) = 4V；$P_{VDD-COM}$ = 0.3W；$P_{COM-VEE}$ = 0；T_A = 85ºC。	5.5(1)	12	20	V
V_{VIN}	输入电压范围	初级侧输入电压（相对于 GNDP）。(VDD-COM) = 18V；(COM-VEE) = 4V；$P_{VDD-COM}$ = 1.3W；$P_{COM-VEE}$ = 0；T_A = 85ºC。	8(1)	12	18	V
I_{VINQ}	VIN 静态电流，已禁用	V_{ENA} = 0V；V_{VIN} = 5.5V 至 20V；			600	µA
I_{VINP_NL}	VIN 工作电流，已启用，空载	V_{ENA} = 5V；V_{VIN} = 12V；(VDD-COM) = 18V，(COM-VEE) = 4V，调节；$I_{VDD-COM}$ = $I_{COM-VEE}$ = 0mA。			12	mA
I_{VINP_FL}	VIN 工作电流，已启用，满载	V_{ENA} = 5V；V_{VIN} = 12V；(VDD-COM) = 18V，(COM-VEE) = 4V，调节；$I_{VDD-COM}$ = 83mA；$I_{COM-VEE}$ = 0		250		mA
UVLOP 比较器（初级侧，所有电压均以 GNDP 为基准）						
$V_{VIN_UVLO_R}$	VIN 模拟欠压锁定上升阈值	模拟比较器始终先运行	4	4.25	4.5	V
$V_{VIN_UVLO_F}$	VIN 模拟欠压锁定下降阈值	模拟比较器始终先运行	3.8	4.04	4.28	V
OVLOP 比较器（初级侧，所有电压均以 GNDP 为基准）						
$V_{VIN_OVLO_R}$	VIN 过压锁定上升阈值		21.5	22	22.5	V
$V_{VIN_OVLO_F}$	VIN 过压锁定下降阈值		20	20.3	20.6	V
TSHUTP 热关断比较器（初级侧，所有电压均以 GNDP 为基准）						
$Tt_{SHUT_P_R}$	初级侧过热关断上升阈值		150	165		°C
$T_{SHUT_P_HYST}$	初级侧过热关断迟滞		15	20		°C
ENA 输入引脚（初级侧，所有电压均以 GNDP 为基准）						
V_{ENA_R}	使能引脚上升阈值	上升沿	1.425	1.5	1.575	V
V_{ENA_F}	使能引脚下降阈值	下降沿	1.282	1.35	1.418	V
I_{ENA}	使能引脚输入电流	V_{ENA} = 5.0V		5	10	µA
$t_{ENA_LO_RST}$	EN = 低电平以复位闭锁的最小周期		400			µs

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

6.6 电气特性（续）

超过工作温度范围 (T_J = -40°C 至 150°C），除非另有说明。T_A = 25°C 且 V_{VIN} = 12V 时的所有典型值。引脚说明表中列出了外部 BOM 元件。

参数		测试条件	最小值	典型值	最大值	单位
$t_{ENA_LO_DLY}$	EN =低电平以复位闭锁前所需的最小周期		200			µs
PG 开漏输出引脚（初级侧）。所有电压均以 GNDP 为基准）						
V_{PG_L}	PG 输出低饱和电压	灌电流 = 5mA			0.5	V
I_{PG_H}	PG 漏电流	V_{PG} = 5.5V			5	µA
初级侧软启动						
t_{PG_Delay}	在软启动期间，从 VDD 达到稳压状态到发出电源正常信号 (PG) 之间的抗尖峰脉冲时间。		2.7	3	3.3	ms
初级侧控制（所有电压均以 GNDP 为基准）						
f_{SW}	开关频率	V_{VIN} = 12V；V_{ENA} = 5V；(VDD-COM) = 18V，(COM-VEE) = 4V		16.5		MHz
t_{SSTO}	初级侧软启动超时	当 VIN 高于 UVLOP 且 ENA 为高电平时计时器开始工作，当电源正常引脚指示正常时复位		32		ms
(VDD-COM) 输出电压（次级侧）						
V_{VDD}	(VDD-COM) 输出电压范围		15	18	20	V
V_{VDD_REG}	(VDD-COM) 输出电压直流调节精度	在负载、电压和温度范围内，次级侧 (VDD-COM) 输出电压在 FBVDD 处的精度，通过外部电阻分压器进行外部调节，在 SOA 范围内。	-1.45		1.45	%
(VDD-COM) 调节迟滞比较器（次级侧）						
V_{FBVDD_REF}	(VDD – COM) 的反馈调节基准电压上升阈值		2.473	2.51	2.547	
V_{FBVDD_HYST}	(VDD COM) 迟滞比较器的迟滞设置。FBVDD 引脚迟滞。该值表示峰值间幅度。		18	20	22	mV
(COM-VEE) 调节迟滞比较器（次级侧）						
V_{FBVEE_HYST}	(COM-VEE) 迟滞比较器设置。FBVEE 引脚处的迟滞。该值表示峰值间幅度。	迟滞设置	50	60	70	mV
(VDD-COM) UVLO 比较器（次级侧）						
$V_{VDD_UVLOS_R}$	(VDD-COM) 欠压锁定上升阈值	电压范围为 VDD 至 COM，上升	3.2	3.45	3.7	V
$V_{VDD_UVLOS_F}$	(VDD-COM) 欠压锁定下降阈值	电压范围为 VDD 至 COM，下降	3	3.25	3.5	V
(VDD-COM) OVLO 比较器（次级侧）						
$V_{VDD_OVLOS_R}$	(VDD-COM) 过压锁定上升阈值	电压范围为 VDD 至 COM，上升	22.5	23	23.5	V
$V_{VDD_OVLOS_F}$	(VDD-COM) 过压锁定下降阈值	电压范围为 VDD 至 COM，下降	21.7	22.2	22.7	V
(VDD-COM) UVP，欠压保护比较器（次级侧）						
$V_{VDD_UVP_R}$	(VDD-COM) 欠压保护上升阈值，V_{UVP} = V_{REF} × 90%	在 FBVDD 处	2.175	2.25	2.35	V
$V_{VDD_UVP_HYST}$	(VDD-COM) 欠压保护迟滞	在 FBVDD 处		22		mV
(VDD-COM) OVP，过压保护比较器（次级侧）						
$V_{VDD_OVP_R}$	(VDD – COM) 过压保护上升阈值，V_{OVP} = V_{REF} × 110%	在 FBVDD 处	2.7	2.75	2.825	V
$V_{VDD_OVP_HYST}$	(VDD-COM) 过压保护迟滞	在 FBVDD 处		23		mV

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

6.6 电气特性（续）

超过工作温度范围 (T_J = -40°C 至 150°C），除非另有说明。T_A = 25°C 且 V_{VIN} = 12V 时的所有典型值。引脚说明表中列出了外部 BOM 元件。

参数		测试条件	最小值	典型值	最大值	单位
(COM-VEE) 降压/升压转换器（次级侧）						
V_{VEE_REG}	(COM-VEE) 调节精度	COM-VEE = 2V，反馈电阻精度为 1%			7.5	%
		COM-VEE = 3V、4V、5V，反馈电阻精度为 1%			4.5	%
		COM-VEE = 6V、7V、8V，反馈电阻精度为 1%			6.5	%
$V_{VEE_OVLOS_R}$	(COM-VEE) 过压锁定上升阈值	电压范围为 COM 至 VEE，上升	8.8	9	9.2	V
$V_{VEE_OVLOS_F}$	(COM-VEE) 过压锁定下降阈值	电压范围为 COM 至 VEE，下降	8.4	8.6	8.8	V
f_{SW_VEE}	VEE 转换器的开关频率	VDD-COM = 18V，COM-VEE = 4V，3.3uH 外部电感器		3.2		MHz
I_{LIM}	降压/升压电感器电流限制，从 BSW 引脚输出	没有 VDD 前馈时的最大电流限制	0.235	0.261	0.287	A
I_{LIM}	降压/升压电感器电流限制，从 BSW 引脚输出	VDD-COM = 18V	0.127	0.141	0.155	A
t_{VEE_SSTO}	用于确定 VEE 软启动是否成功的超时阈值		1.3	1.6	2	ms
(COM-VEE) UVP，欠压保护比较器（次级侧）						
$V_{VEE_UVP_F}$	(COM-VEE) 欠压保护下降阈值	COM-VEE = 2V		83		%
		COM-VEE = 5V		90		%
		COM-VEE = 8V		92		%
$V_{VEE_UVP_HYST}$	(COM-VEE) 欠压保护迟滞	COM-VEE = 5V		85		mV
(COM-VEE) OVP，过压保护比较器（次级侧）						
$V_{VEE_OVP_R}$	(COM-VEE) 过压保护上升阈值	COM-VEE = 2V		117		%
		COM-VEE = 5V		110		%
		COM-VEE = 8V		108		%
$V_{VEE_OVP_HYST}$	(COM-VEE) 过压保护迟滞	COM-VEE = 5V		84		mV
TSHUTS 热关断比较器（次级侧）						
$T_{SHUT_S_R}$	次级侧过热关断上升阈值		150	165		°C
$T_{SHUT_S_HYST}$	次级侧过热关断迟滞		15	20		°C
CMTI（共模瞬态抗扰度）						
CMTI	共模瞬态抗扰度	以 GNDP 为基准的正 COM	250			V/ns
		以 GNDP 为基准的负 COM			-250	V/ns
集成变压器						
N	变压器有效匝数比	次级侧至初级侧		2.43		

(1) 请参阅 $V_{VIN_UVLO_R}$ 和 $V_{VIN_UVLO_F}$ 电气特性以了解最低工作电压 V_{VIN}。

6.7 安全相关认证

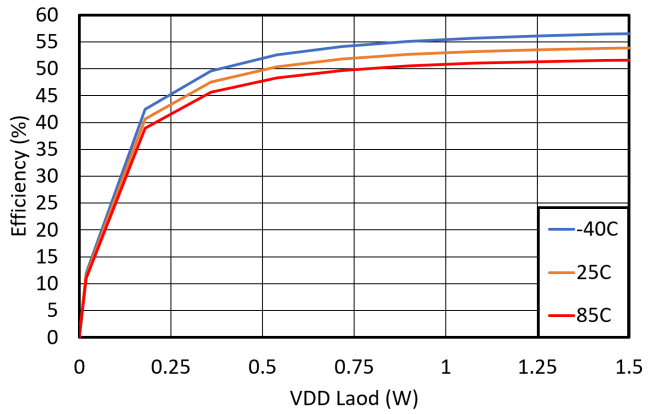
VDE	UL
计划根据 DIN EN IEC 60747-17 (VDE 0884-17) 进行认证	计划根据 UL 1577/CSA 组件认证计划进行认证
已计划获得证书	已计划获得证书

ADVANCE INFORMATION

ADVANCE INFORMATION

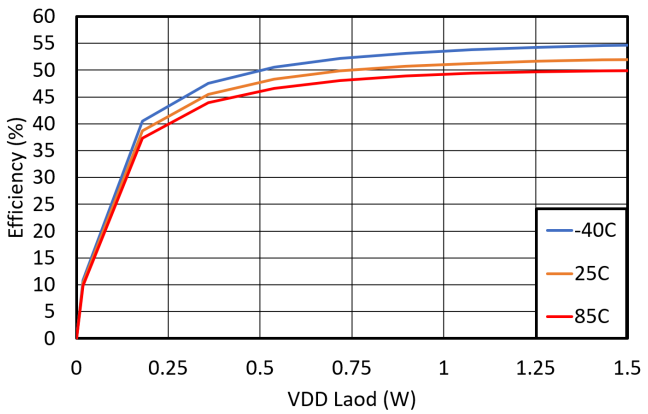
6.8 典型特性

如 图 6-4、图 6-5、图 6-6 和 图 6-7 所示，每个 V_{IN} 下的 VDD-COM 最大建议平均功率安全工作区 (SOA) 由 3W 限制（虚线）和该输入电压下相应热降额曲线（实线）中的较低值决定。不建议在高于 125ºC 的环境温度下运行。如“电气特性”表中所示，典型 T_{SHUT} 值为 165ºC，最小 T_{SHUT} 值为 150ºC。下面提供了 T_{SHUT} = 150ºC 时的 SOA 降额曲线。热降额功率通过“布局”部分中所示的 EVM 获得。应用的总功率需求可通过 Excel 计算器工具“设计要求”部分的最后一行计算，作为除本数据表之外的另一份设计参考资料。



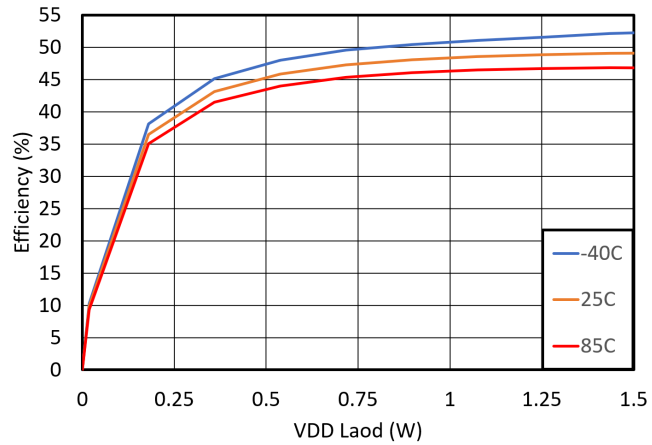
V_{IN} = 12V $V_{VDD-COM}$ = 18V $V_{COM-VEE}$ = 5V
$V_{COM-VEE}$ 上无负载

图 6-1. $V_{VDD-COM}$ 上效率与负载间的关系



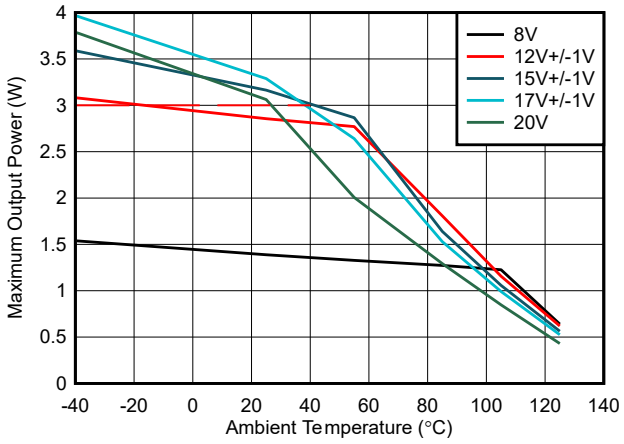
V_{IN} = 15V $V_{VDD-COM}$ = 18V $V_{COM-VEE}$ = 5V
$V_{COM-VEE}$ 上无负载

图 6-2. $V_{VDD-COM}$ 上效率与负载间的关系



V_{IN} = 17V $V_{VDD-COM}$ = 18V $V_{COM-VEE}$ = 5V
$V_{COM-VEE}$ 上无负载

图 6-3. $V_{VDD-COM}$ 上效率与负载间的关系



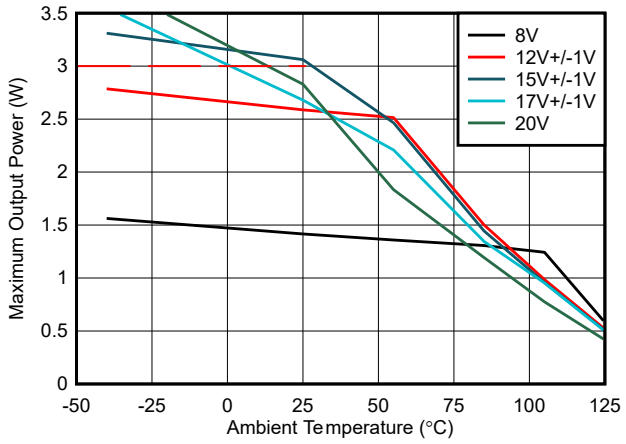
$V_{VDD-COM}$ = 20V $V_{COM-VEE}$ = 5V $V_{COM-VEE}$ 上无负载

图 6-4. 预稳压输入电压的 SOA 降额曲线

Copyright © 2025 Texas Instruments Incorporated

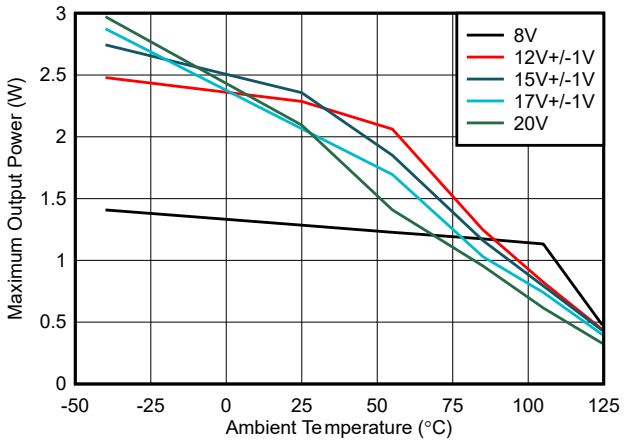
6.8 典型特性（续）

如 图 6-4、图 6-5、图 6-6 和 图 6-7 所示，每个 V_{IN} 下的 VDD-COM 最大建议平均功率安全工作区 (SOA) 由 3W 限制（虚线）和该输入电压下相应热降额曲线（实线）中的较低值决定。不建议在高于 125ºC 的环境温度下运行。如“电气特性”表中所示，典型 T_{SHUT} 值为 165ºC，最小 T_{SHUT} 值为 150ºC。下面提供了 T_{SHUT} = 150ºC 时的 SOA 降额曲线。热降额功率通过“布局”部分中所示的 EVM 获得。应用的总功率需求可通过 Excel 计算器工具“设计要求”部分的最后一行计算，作为除本数据表之外的另一份设计参考资料。



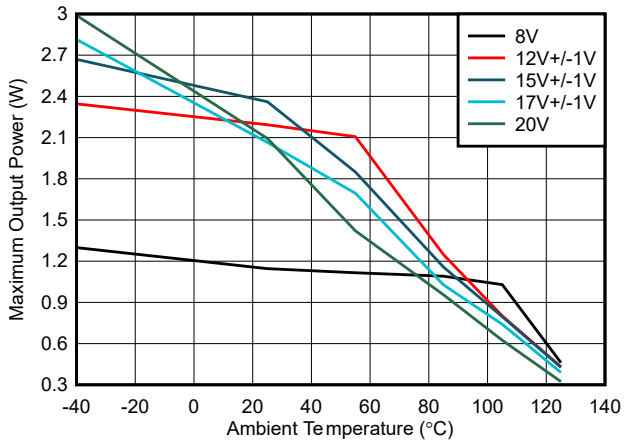
$V_{VDD-COM}$ = 18V $V_{COM-VEE}$ = 5V $V_{COM-VEE}$ 上无负载

图 6-5. 预稳压输入电压的 SOA 降额曲线



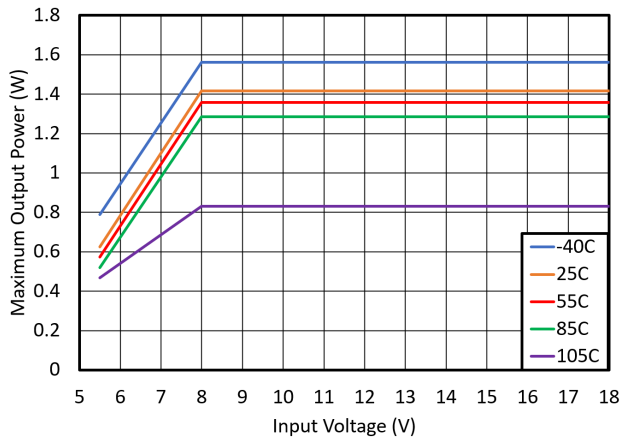
$V_{VDD-COM}$ = 15V $V_{COM-VEE}$ = 4V $V_{COM-VEE}$ 上无负载

图 6-6. 预稳压输入电压的 SOA 降额曲线



$V_{VDD-COM}$ = 15V $V_{COM-VEE}$ = 7V $V_{COM-VEE}$ 上无负载

图 6-7. 预稳压输入电压的 SOA 降额曲线



$V_{VDD-COM}$ = 18V $V_{COM-VEE}$ = 5V $V_{COM-VEE}$ 上无负载

图 6-8. 针对直接电池连接在宽输入电压条件下的 SOA 降额曲线

ADVANCE INFORMATION

ADVANCE INFORMATION

7 详细说明

7.1 概述

UCC34141-Q1 器件适用于布板空间有限且需要更多集成的应用。该器件还适用于为满足所需隔离规范而采用体积庞大且价格昂贵的电源变压器的超高电压应用。器件具有低厚度、低重心和轻重量特性，与使用大型大体积变压器的系统相比，可提供更高的振动耐受度。该器件易于使用，可在优化栅极电压来实现更高效率时根据需要灵活调整正负输出电压，同时以其严格的电压调节精度保护栅极氧化物免受过应力影响。

这款器件集成了一个高效、低辐射隔离式 DC/DC 转换器，可为牵引逆变器电机驱动、车载充电器 (OBC)、服务器通信电源整流器、工业电机驱动器或其他高压 DC/DC 转换器中 SiC 或 IGBT 功率器件的栅极驱动器供电。此直流/直流转换器可提供大于 1.5W 的功率。

集成式直流/直流转换器采用开关模式操作和专有的电路技术来降低功率损耗并提高效率。专用控制机制、时钟方案和片上变压器带来了高效率和低辐射发射。

集成变压器可在宽温度范围内提供电力输送，同时保持 5000V_{RMS} 隔离和 1202V_{RMS} 连续工作电压。变压器的低隔离电容可提供高 CMTI，从而实现快速 dv/dt 开关和更高的开关频率，同时降低噪声。

VIN 电源为初级侧电源控制器供电，该控制器负责开关连接到集成式变压器的输入级。电源会传输到次级侧输出级，并通过 VDD 引脚和 FBVDD 引脚之间 (相对于 COMA 引脚) 连接的电阻分压器调节至设定的水平。输出电压通过外部电阻分压器进行调节，从而实现宽 (VDD – COM) 范围。

为了获得理想性能，请确保 V_{VIN} 输入电压保持在建议的工作电压范围内。请勿超过绝对最大额定电压，避免输入引脚承受过大的应力。

快速滞环反馈突发控制环路监控 (VDD – COM)，并确保输出电压保持在迟滞范围内，同时在负载和线路瞬态期间具有低过冲和下冲。突发控制环路可在满载情况下实现高效运行，并允许在整个 V_{VIN} 范围内实现宽范围的输出电压可调性。欠压锁定 (UVLO) 保护功能可监控输入电压引脚 VIN，并具有迟滞和输入滤波器，确保在嘈杂条件下实现稳健的系统性能。过压锁定 (OVLO) 保护可监控输入电压引脚 VIN，通过禁用开关并降低内部峰值电压来防止过压应力。在整个上电时间内提供受控软启动时序，可在为输出电容器和负载充电的同时限制峰值输入浪涌电流。

UCC34141-Q1 还可以提供第二个输出轨 (COM – VEE)，用作栅极驱动器的负偏置，可实现更快的 IGBT 关断开关，还可在 SiC 器件快速开关期间防止不必要的导通。(COM – VEE) 具有一个简单、快速且高效的偏置控制器，可确保在 PWM 开关期间调节正负电源轨。在这种情况下，COM 引脚用作公共参考点。COM 引脚连接到 SiC 器件的源极或 IGBT 器件的发射极。

故障保护和电源正常状态引脚为主机控制器提供了一种机制，用于监控 DC/DC 转换器的状态，并为栅极驱动器提供正确的电源和 PWM 控制信号时序控制。故障保护包括欠压、过压、过热关断和隔离通道通信接口看门狗计时器。

典型的软启动斜升时间低于 t_{SSTO}，但会根据输入电压、输出电压、输出电容和负载而变化。如果任一输出短路或过载，器件将无法在 t_{SSTO} 软启动时间内加电，因此器件会关断。器件的故障响应因 表 4-1 中列出的器件型号而异。对于闭锁操作，该器件将关断和闭锁以实现保护，并且可以通过切换 ENA 引脚或复位 V_{VIN} 来复位。对于自动重启操作，器件会关闭，并且 $t_{RESTART}$ 的自动重启计时器将在此后启动，然后器件将在该计时器到期后尝试自动重启。如果故障已消除，器件将成功软启动至稳压状态。如果故障条件仍然存在，器件将再次关断并尝试再次自动重启。只要发生故障，该器件就能够在断续模式下安全地连续运行。

UCC34141-Q1 有一个电源正常指示器，根据 表 4-1 中列出的器件型号，有效极性为高电平或低电平。输出负载必须保持在低水平，直到启动完成且电源正常引脚变为有效。为了成功实现软启动，请勿在电源正常引脚指示有效状态之前，对 (VDD – COM) 或 (COM – VEE) 输出施加重负载。

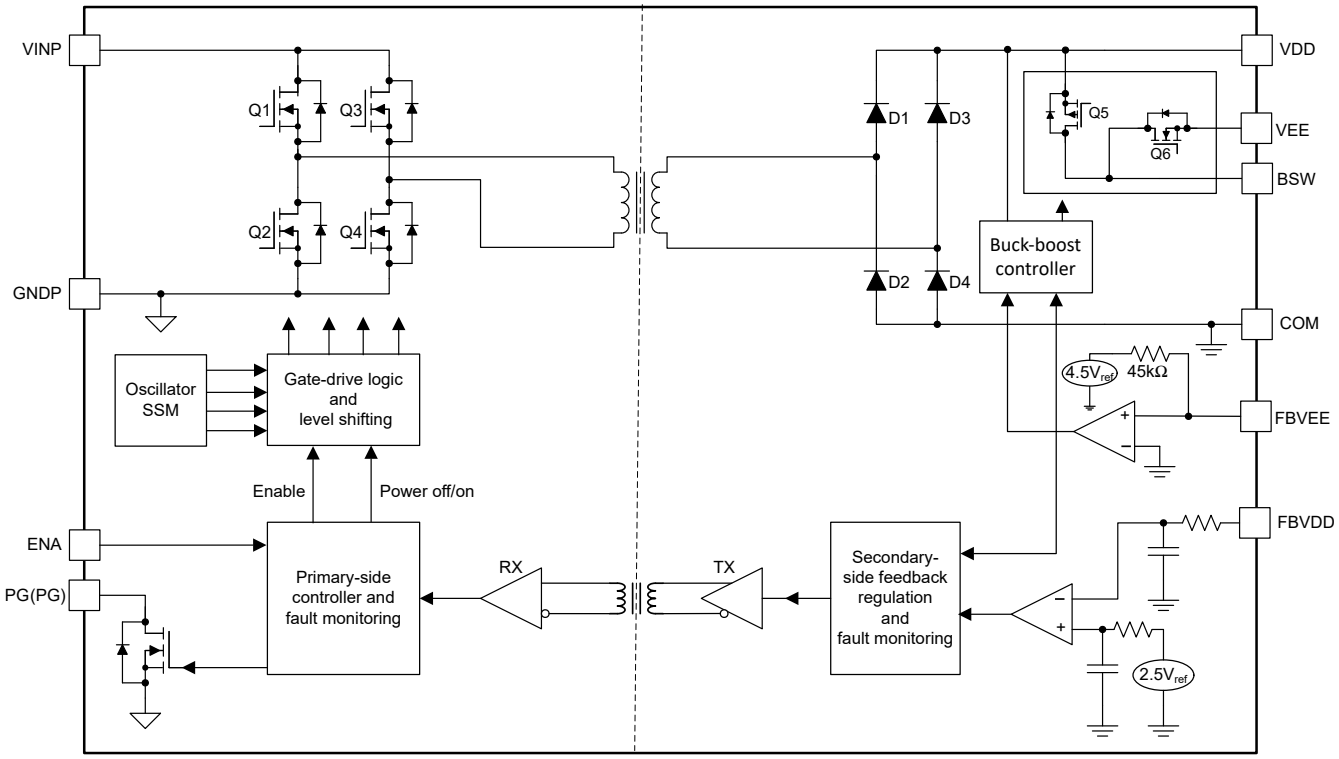
TI 建议使用电源正常状态指示器作为开始将 PWM 信号传输至栅极驱动器的触发点。电源正常输出通过提供有关 (VDD – COM) 和 (COM – VEE) 输出何时会达到其 ±10% 的调节阈值的可靠闭环指示，消除了有关输出何时就绪的任何歧义。

Copyright © 2025 Texas Instruments Incorporated

在电源正常变为有效之前，请勿让主机开始将 PWM 传输到栅极驱动器。此操作通常在 V_{VIN} > V_{VIN_UVLOP} 且 ENA 变为高电平后不到 t_{SSTO} 时发生。电源正常状态输出指示电源在 (VDD – COM) 和 (COM – VEE) 软启动后正常，并且处于 ±10% 的调节范围内。

如果主机不监测电源正常，建议主机在 V_{VIN} > V_{VIN_UVLOP} 且 ENA 变为高电平后 50ms 之内，不会将 PWM 传输到栅极驱动器，以便在 VDD 和 VEE 软启动后有足够的时间使电源正常。

7.2 功能方框图



ADVANCE INFORMATION

7.3 特性说明

7.3.1 功率级运行

UCC34141-Q1 模块在初级侧使用软开关全桥转换器，在次级侧使用无源全桥整流器。小型集成变压器以高开关频率运行，以减小体积，从而集成于 16 引脚的 SSOP 封装中。功率级开关频率在 16.5MHz 至 27MHz 范围内。功率级开关频率由具有前馈控制的输入电压决定，如下图所示。采用自适应扩频调制 (ASSM) 来降低电磁干扰。器件会维持 ZVS 运行以降低开关功率损耗。

UCC34141-Q1 模块可生成两个稳压输出。它可以配置为单输出转换器（仅 VDD 至 VEE）或双输出转换器（VDD 至 COM 和 COM 至 VEE）。

这两个输出通过迟滞控制进行独立控制。此外，VDD 至 COM 是主输出，而 COM 至 VEE 使用主输出作为输入，以产生第二个稳压输出电压。

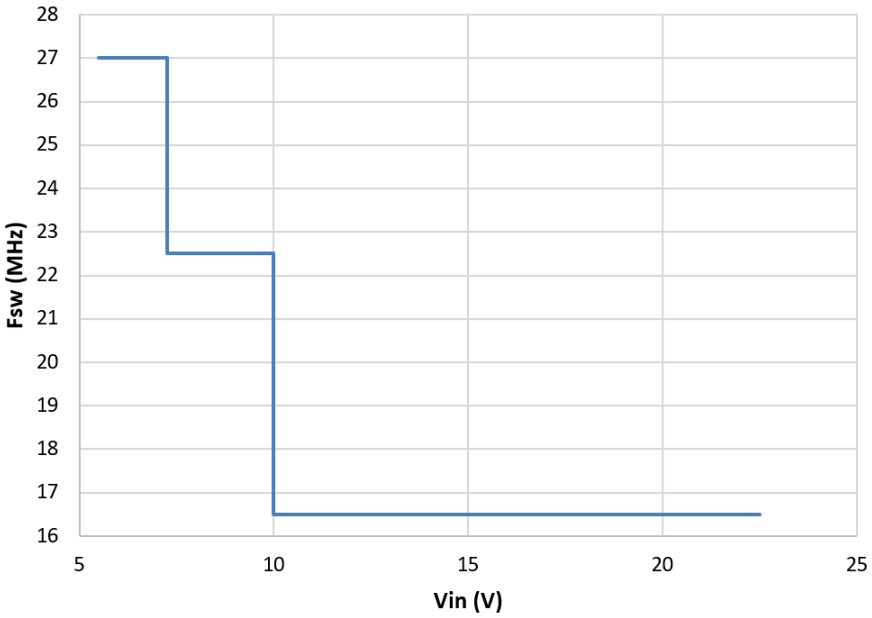


图 7-1. VDD-COM 相对于输入电压的开关频率

7.3.1.1 VDD-COM 电压调节

VDD 输出是模块的主输出。功率级运行由使用迟滞控制在 FBVDD 引脚上检测到的 VDD 电压来决定。内部基准电压 V_{FBVDD_REF} = 2.5V。VDD 电压通过分压器 R_{FBVDD_TOP} 和 R_{FBVDD_BOT} 来检测。当 FBVDD 电压低于关断阈值时，功率级以突发开启状态运行，向次级侧供电，并使 VDD 输出电压上升。FBVDD 达到关断阈值后，功率级会关闭。VDD 输出电压会因负载电流而下降。当 FBVDD 电压降至导通阈值以下时，功率级会再次开启。通过精确的电压基准和磁滞控制，可以按 ≤1.5% 的精度来调节 VDD 输出电压。

为了增强抗噪性能，应在 FBVDD 和 COMA 引脚之间增加一个 220pF 的小电容器 C_{FBVDD}。在 EM 噪声较高、反馈去耦电容 C_{FBVDD} 较大、反馈电阻较低的环境中，可以选择 R_{FBVDD_TOP} 和 R_{FBVDD_BOT} 值，以便进一步改善 VDD 反馈环路的防噪性能。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

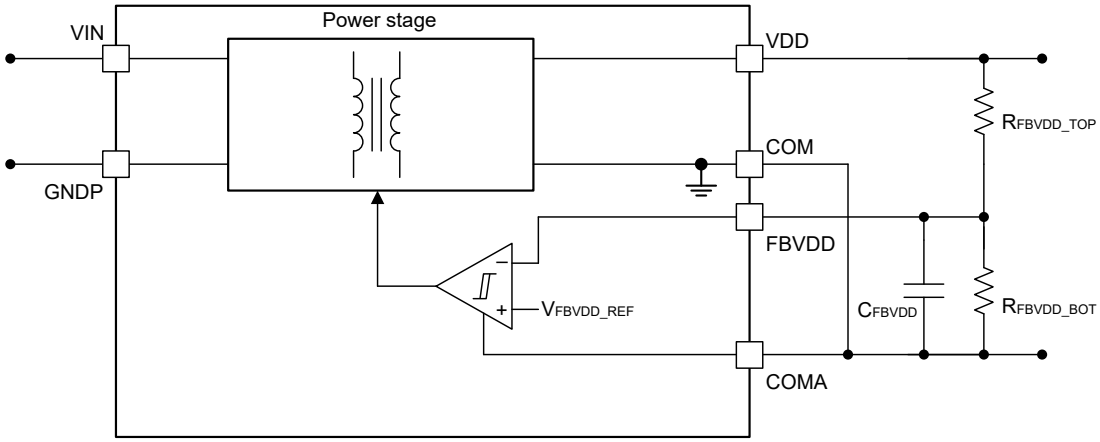


图 7-2. VDD-COM 电压调节功能方框图

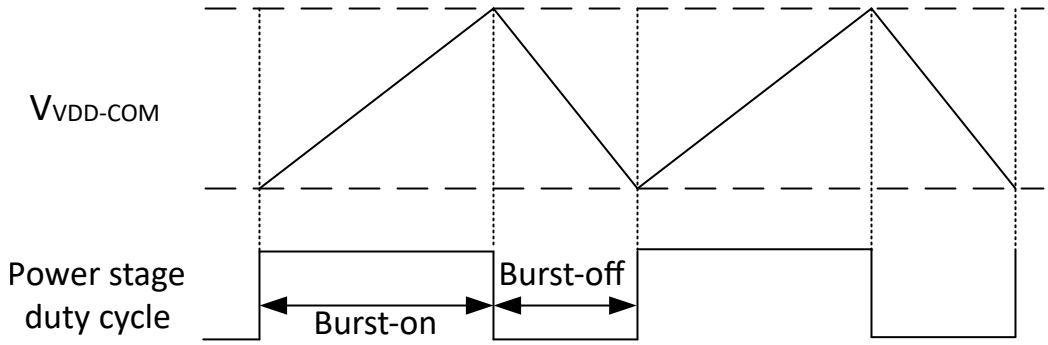


图 7-3. VDD-COM 调节方案的概念

ADVANCE INFORMATION

ADVANCE INFORMATION

7.3.1.2 COM-VEE 电压调节

内部降压/升压转换器可产生经稳压的负 VEE 电压。降压/升压转换器的运行由在 FBVEE 引脚上检测到的 VEE 电压决定。通过内部的 90k 电阻器和 4.5V 参考电压，可以设定 VEE 电压并在 -2V 至 -8V 之间进行调节。

降压/升压转换器通过用于 COM 至 VEE 电压调节的集成磁滞电压反馈环路和用于逐周期电流限制的集成电流控制环路进行控制。当 FBVEE 电压低于关断阈值时，降压/升压转换器通过峰值电流模式控制工作。电感器电流在开关周期开始时增加，直到达到峰值电流限值后恢复为零。在正常运行情况下，转换器会在边界导通模式下工，但在启动期间，可能进入连续导通模式。由于降压/升压的峰值电流限制为小于 I_{LIM}，因此所选的电感器必须具有高于 I_{LIM} 的饱和电流。如电气特性表中所示，峰值电流限制 I_{LIM} 是通过基于 VDD 电压的前馈控制实现，考虑到不同 VDD 电压下控制环路延迟会导致过冲，因此电感器最大电流不会超过 I_{LIM}。较高的 VDD 电压会导致更大的过冲，因此需要较低的 I_{LIM} 值进行补偿。建议选择电 3.0 µ H 至 10.0 µ H 之间的电感器。在“电气特性”表中列出的条件下，典型的开关频率为 f_{SW_VEE}。

当 FBVEE 电压达到关断阈值后，降压/升压转换器会关闭。当 FBVEE 电压因负载电流而降至导通阈值以下后，降压/升压转换器会再次开启。通过精确的电压基准和磁滞控制，可以按 ≤5% 的精度来调节 VEE 输出电压。

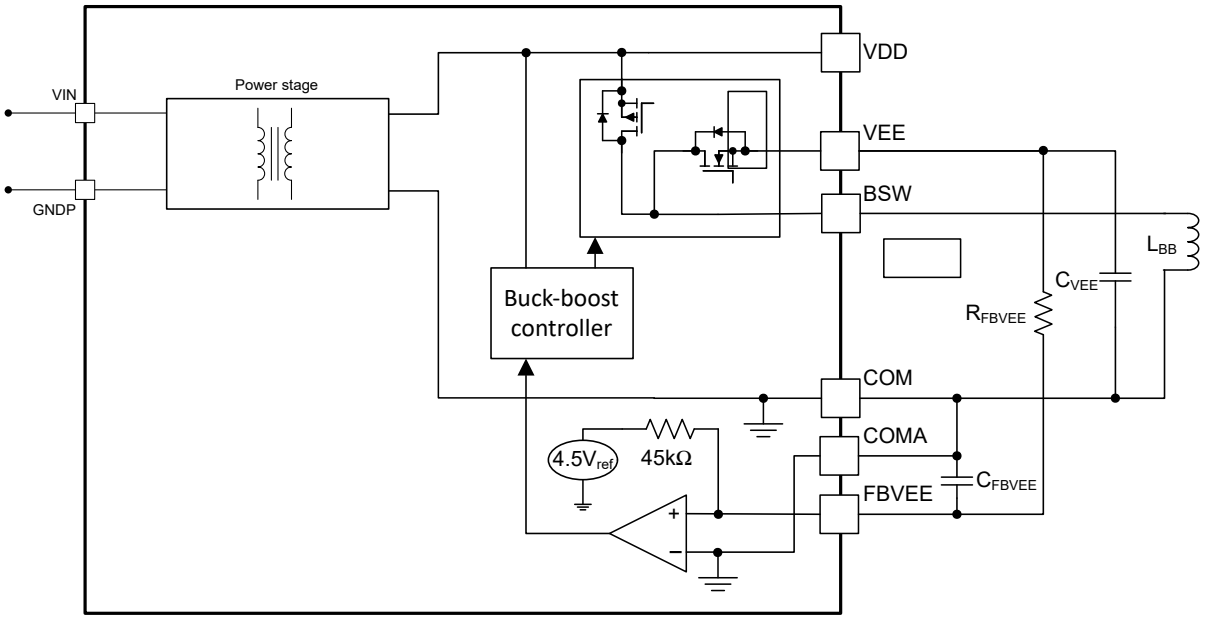


图 7-4. COM-VEE 电压调节功能方框图

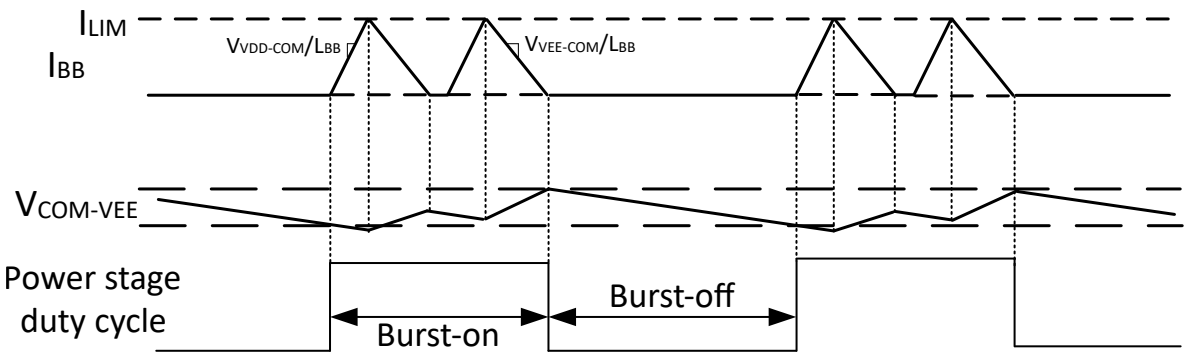


图 7-5. COM-VEE 调节方案的概念

Copyright © 2025 Texas Instruments Incorporated

7.3.1.3 COM-VEE 输出能力

图 7-6 和 图 7-7 展示了 VEE 降压/升压转换器在不同 VDD-COM 和 COM-VEE 电压下的最大输出电流和输出功率能力。它也可以在 Excel 计算器工具中进行计算，该工具是除本数据表外的另一份设计支持文档。电源模块具有两个独立的输出功率能力：一个是 VDD-COM 输出（如“典型特性”部分中的 SOA 曲线所示），另一个是 COM-VEE 输出（如本节中所示）。若对任一路输出的功率需求超出其对应能力，将导致输出欠压保护并使器件关机。

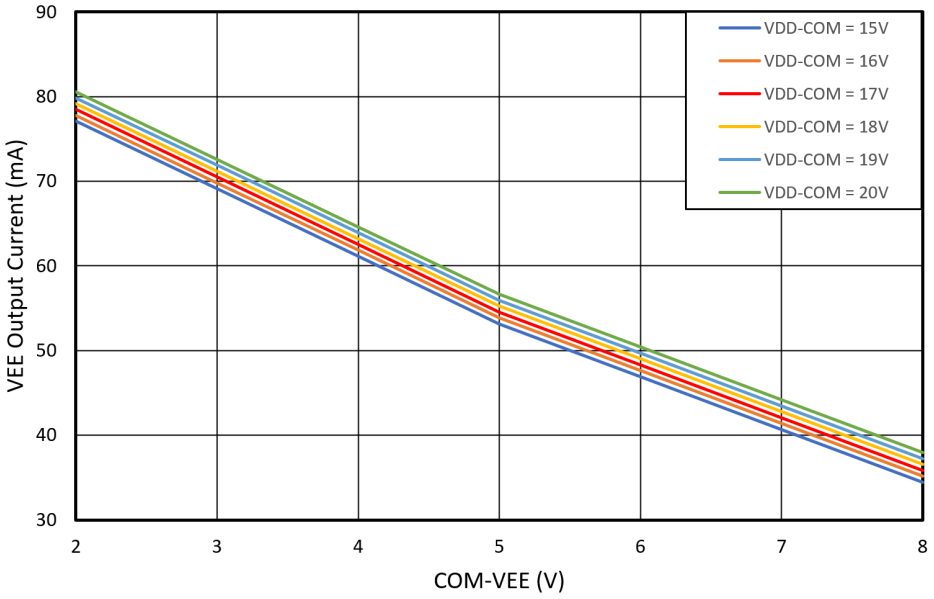


图 7-6. VEE 降压/升压转换器在不同 VDD-COM 和 VEE-COM 电压下的输出电流能力

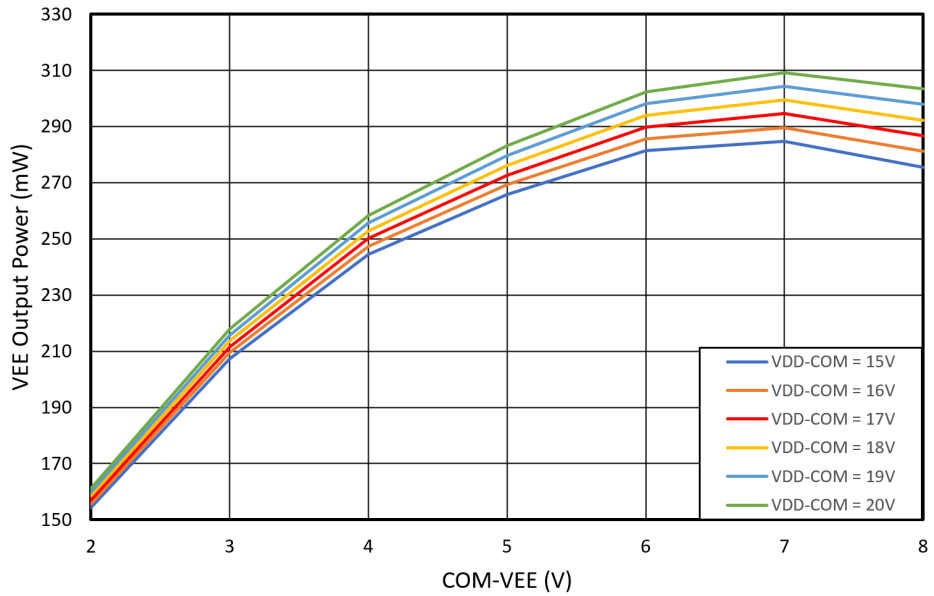


图 7-7. VEE 降压/升压转换器在不同 VDD-COM 和 VEE-COM 电压下的输出功率能力

ADVANCE INFORMATION

7.3.2 输出电压软启动

UCC34141-Q1 具有软启动机制，可确保以超小的输入浪涌电流实现平稳、快速的软启动运行。下图所示为输出电压软启动图。在输入电压高于 VIN_UVLO 阈值且 ENA 信号被拉高后，软启动序列从初级占空比开环控制开始。功率级以固定突发频率运行，占空比从 6.5% 开始逐渐增加。占空比的变化率预先在器件中进行了编程，以便在建立输出电压 VDD 的同时降低输入浪涌电流。在这一阶段，初级侧会将最大占空比限制在 62.5%，直到次级侧 VDD 电压超过 VDD_UVLO 后才释放此占空比限制。该限制可确保在器件短路启动且 VDD 未升高的情况下将输入电流降至最低。一旦 VDD 达到调节范围，占空比就不再由初级侧控制器决定，而是由 VDD 迟滞控制来严格调节定义的迟滞范围内的输出电压。

当 VDD 通过 V_{VDD_UVLO} 时，将执行 FBVEE 状态检查，然后生成单个电感器电流脉冲以进行 BSW 引脚故障检测。当 VDD 达到调节电压时，VEE 将以低峰值电流开始软启动。这样，隔离式转换器的充电电流可以在 VEE 软启动之前先专门为 VDD 电容器供电。VEE 电压的软启动过程包括两个阶段。在第 1 阶段，开始时受限的 VEE 软启动峰值电流可在软启动超时到期之前降低功率损耗，尤其是在 VEE 引脚短接至 COM 时。当 $V_{COM-VEE}$ 高于 V_{VEE_SS}（典型值为 0.5V）时，VEE 软启动进入第 2 阶段，电感器峰值电流增至更高的值，以便 VEE 电容器充电的启动时间会显示更快的斜升速率。

为了生成电源正常信号，当 VDD 电压达到调节电压时，将启动 t_{VEE_SSTO} 和 t_{PG_Delay} 的两个计时器。如果在 t_{VEE_SSTO} 周期内，VEE 未超过 VEE_UVP 阈值，将触发故障以关断器件并标记软启动失败。如果在 t_{PG_Delay} 周期内未检测到故障，电源正常信号将更改为有效状态，以指示电源正常状态。如果在 t_{SSTO} 周期内，VDD 电压未达到调节值，则将触发故障来关断器件并标记软启动失败。

为了确保 VEE 在 t_{VEE_SSTO} 周期内达到 VEE_UVP 阈值，栅极驱动器侧 (C_{VEE_GD}) 和隔离式转换器偏置侧 (C_{VEE_BIAS}) 的 COM 至 VEE 输出电容之和不应超过最大允许值。栅极驱动器侧的最大允许值 (C_{VEE_GD}) 可在在计算工具中找到，这是除本数据表之外的另一个设计支持文档。用于确定最大允许电容器值的公式如下所示，已经在计算工具中实现。在该公式中，、$I_{LOAD_SS_VEE}$ 表示 VEE 软启动期间输出负载的静态电流。

$$C_{VEE_GD} \leq \frac{t_{VEE_SSOT_min}}{\frac{V_{VEE_SS}}{I_{VEE_Phase1} - I_{LOAD_SS_VEE}} + \frac{V_{VEE} - V_{VEE_SS}}{I_{VEE_Phase2} - I_{LOAD_SS_VEE}}} - C_{VEE_BIAS} \quad (1)$$

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

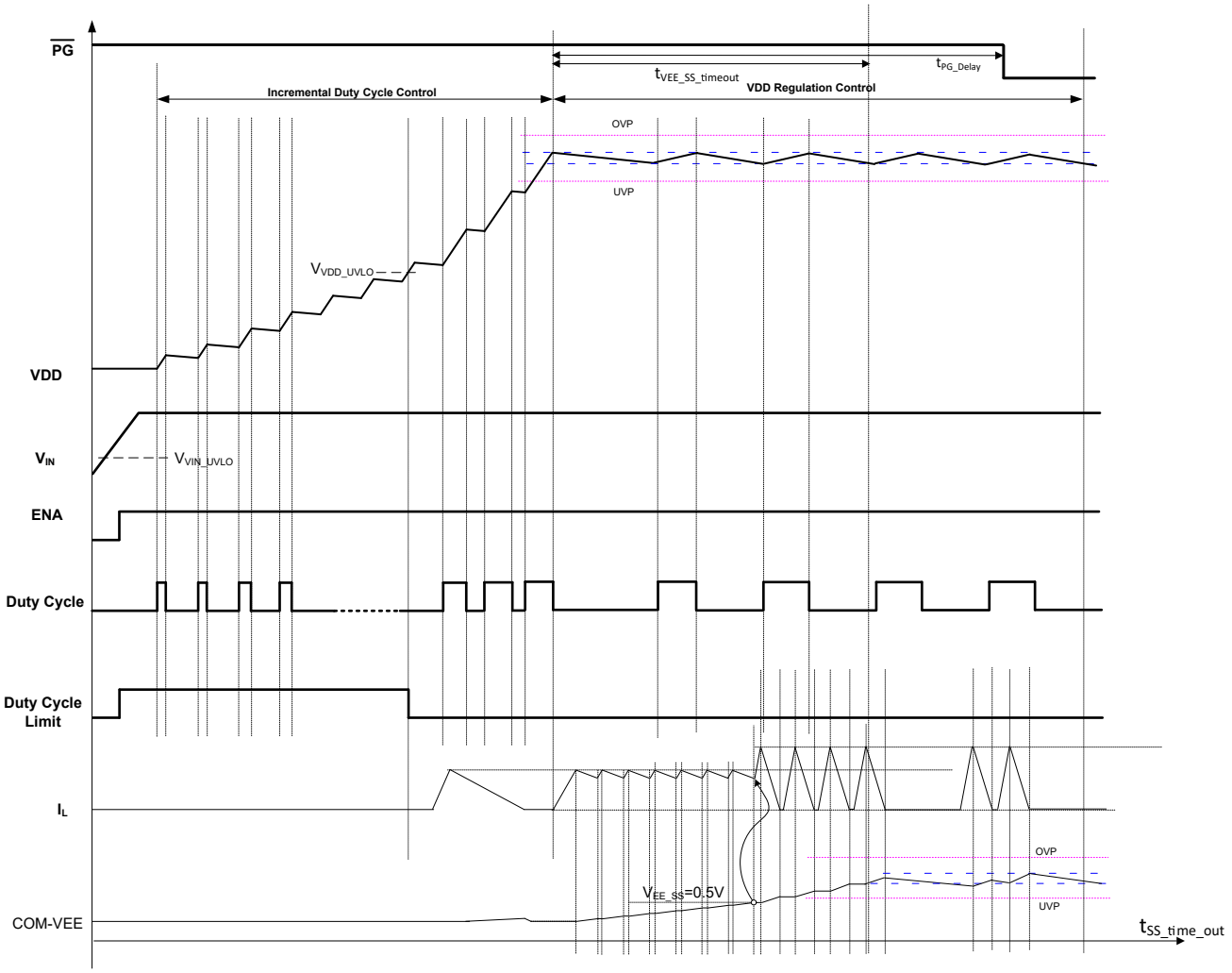


图 7-8. 电源正常低电平有效时的输出电压软启动图

ADVANCE INFORMATION

ADVANCE INFORMATION

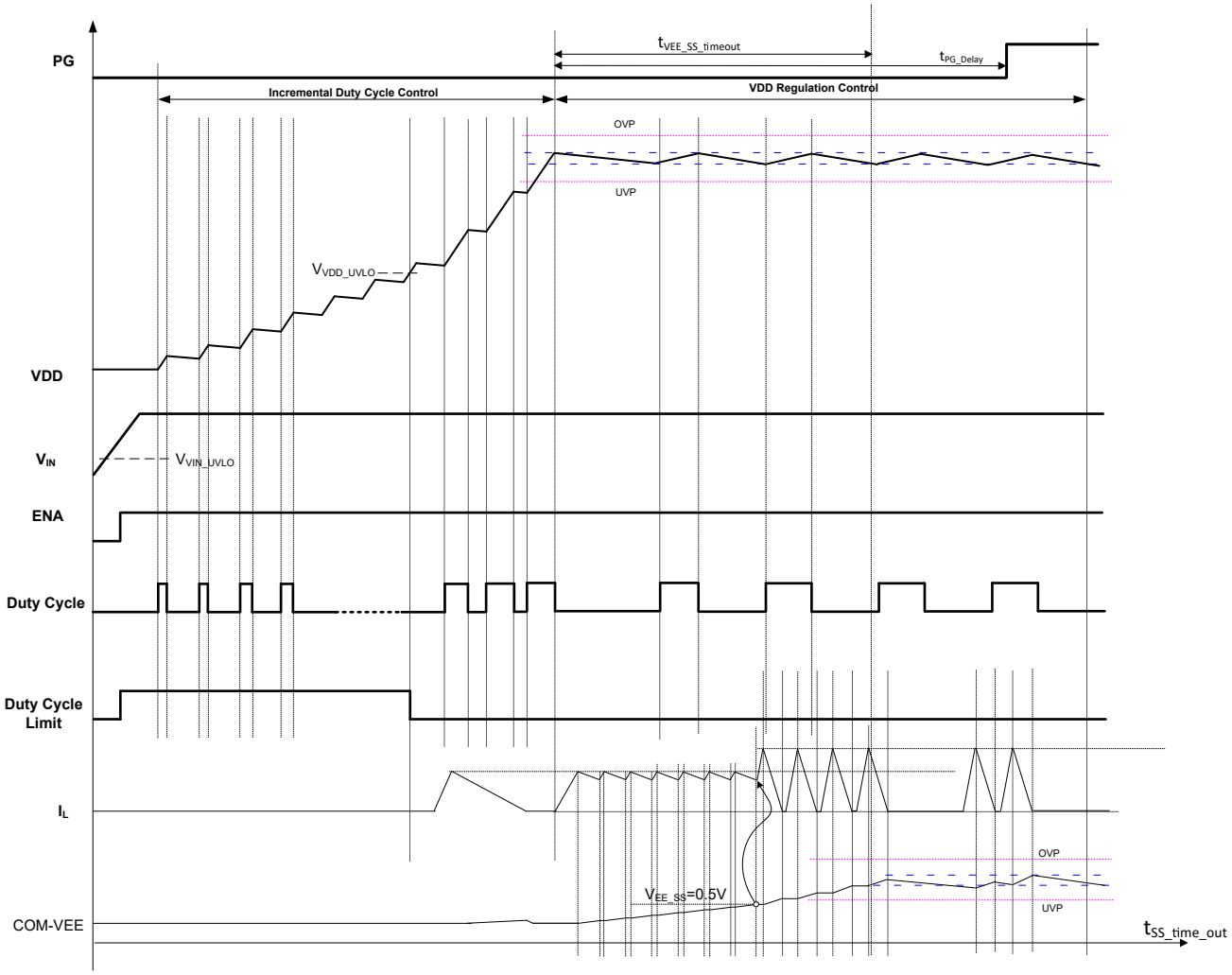


图 7-9. 电源正常高电平有效时的输出电压软启动图

Copyright © 2025 Texas Instruments Incorporated

7.3.3 ENA 和电源正常

初级侧的 ENA 输入引脚和电源正常输出引脚支持 5V 和 3.3V 域中的 TTL 和 CMOS 逻辑电平。高电平有效使能输入 (ENA) 引脚用于打开隔离式直流/直流转换器。可以使用 3.3V 或 5V 逻辑轨。建议的 ENA 引脚最大电压为 5.5V。ENA 引脚的电压高于使能阈值 V_{ENA_R} 后，电源模块开始开关，然后经过软启动过程并向次级侧供电。当 ENA 引脚的电压降至禁用阈值 V_{ENA_F} 以下后，UCC34141-Q1 将禁用，且内部功率级停止开关。

对于闭锁器件，ENA 引脚还可用于在器件进入保护安全状态模式后对其进行复位。检测到故障后，保护逻辑将锁存并将器件置于安全状态。要复位器件，用户需要在发生故障后等待 $t_{EN_LO_DLY}$，然后将 ENA 引脚电压低于 V_{ENA_F} 的时间切换至超过 $t_{EN_LO_RST}$，之后再切换回 3.3V 或 5V。随后，器件将退出闭锁模式，并重新开始软启动顺序。

通过在 VIN 和 ENA 引脚之间使用外部电阻分压器，还可以利用 ENA 引脚来实现可编程输入 UVLO。对于输入 UVLO 相对较低且 V_{IN} 相对较高的器件和应用，当启动期间 V_{IN} 斜升较慢时，相对较低的变压器匝数比不能产生足够的功率为输出电容器充电，从而导致启动失败。在 VIN、ENA 和 GNDP 引脚之间添加电阻分压器来设定 ENA 信号时间并覆盖内部输入 UVLO，即可解决该问题。V_{ENA_R} 上升阈值设置为 1.5V，而 V_{ENA_F} 下降阈值设置为 1.35V。可编程输入 UVLO 功能还可用于按顺序启动多个集成式直流/直流模块，方法是在 ENA 和 GNDP 引脚之间添加延迟电容器，以设定每个电源模块之间的延迟时间。具体而言，ENA1 信号可以启用一个或一组模块，而来自 ENA1 的延迟 ENA2 信号可以按顺序启用另一个或另一组模块。对于 ENA1 和 ENA2 离 R_{ENA2} 布线太远的应用，可以在每个模块的 ENA 引脚上复制 ENA1 的 RC 电路，以实现顺序启动。如果不需要按顺序加电，则多个模块可以共用同一个电阻分压器来设定输入 UVLO 的阈值。为了便于实施，计算工具中提供了建议的电阻器和电容器值，作为本数据表之外的另一个设计支持文档。

如果需要考虑电阻分压器中的单点故障事件，例如单个底部电阻器开路失效，则需要在应用层级采取措施，以降低 ENA 引脚超过 7V 绝对最大绝对值的风险。可以应用两种方法：一种是在 ENA 引脚上添加外部齐纳二极管，另一种是将底部电阻分为两个电阻器元件。

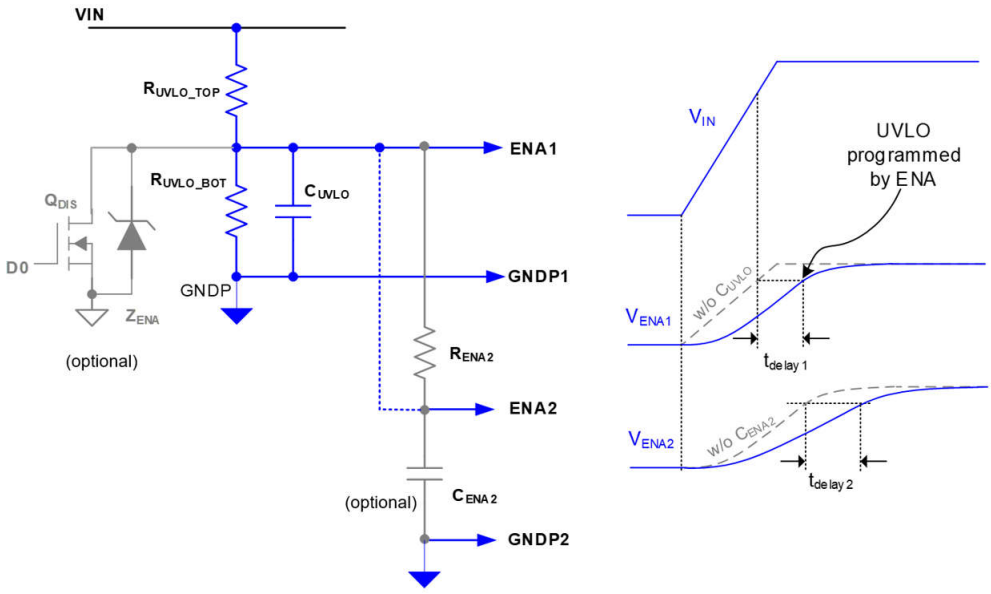


图 7-10. 输入 UVLO 编程电路和工作原理

电源正常为开漏输出，其有效状态表明：模块不存在故障且输出电压处于调节设定点的 ±10% 范围内。考虑到内部下拉 MOSFET 的最大电流吸收能力小于 5mA，建议在电源正常引脚与 5V 或 3.3V 逻辑轨之间接入一个上拉电阻 (> 1kΩ)。较高的电阻会降低电源正常引脚正常逻辑状态下的静态电流。必须将电源正常引脚电压保持在 5.5V 以下，同时不超过其建议的工作电压。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

对于低电平有效电源正常极性，在启动期间，由于相邻的 VIN 引脚与 $\overline{PG}$ 引脚之间存在寄生电容，$\overline{PG}$ 信号上会出现压降。这种电容耦合会向 $\overline{PG}$ 引脚注入一个下拉电流，该电流在上拉电阻上产生压降，从而导致启动期间 $\overline{PG}$ 信号上产生压降。建议使用一个 4.99kΩ 上拉电阻器和一个连接 $\overline{PG}$ 引脚与接地的 1μF 去耦电容器来减小启动期间的压降。

对于高电平有效电源正常极性，PG 将在启动期间接地，因此可以选择 0.1μF - 1μF 范围内带有 10kΩ 上拉电阻的小型去耦电容器。高电平有效设置允许通过直接连接来自多个 DC/DC 模块的 PG 引脚信号轻松地进行组故障报告。因为当任何一个（或多个）模块出现电源异常时，其下拉 FET 导通，组合后的 PG 信号将保持为低电平；而在电源正常的情况下，所有 DC/DC 模块的下拉 FET 均保持关闭，组合后的 PG 信号则维持在高电平

7.3.4 保护功能

UCC34141-Q1 具有完整的保护功能，包括输入欠压锁定、过压锁定保护、输出欠压保护、过压保护和过热保护。输入欠压和过压锁定保护功能具有自动恢复响应。所有其他保护都有基于 表 4-1 中所列器件型号的故障响应。对于闭锁响应，触发保护后，转换器会进入闭锁状态并停止开关。可以通过以下方式复位锁存：关闭 ENA 引脚，然后打开；或将 V_{VIN} 电压降低到 $V_{VIN_UVLO_F}$ 阈值以下，然后再升到 $V_{VIN_UVLO_R}$ 阈值以上。对于自动重启响应，一旦器件关闭，$t_{RESTART}$ 计时器将启动，然后器件将尝试使用新的软启动序列进行自动重启，如 图 7-11 所示。如果故障已消除，器件将成功软启动至稳压状态。如果故障条件仍然存在，器件将再次关断并尝试再次自动重启。只要发生故障，该器件就能够在断续模式下安全地连续运行。

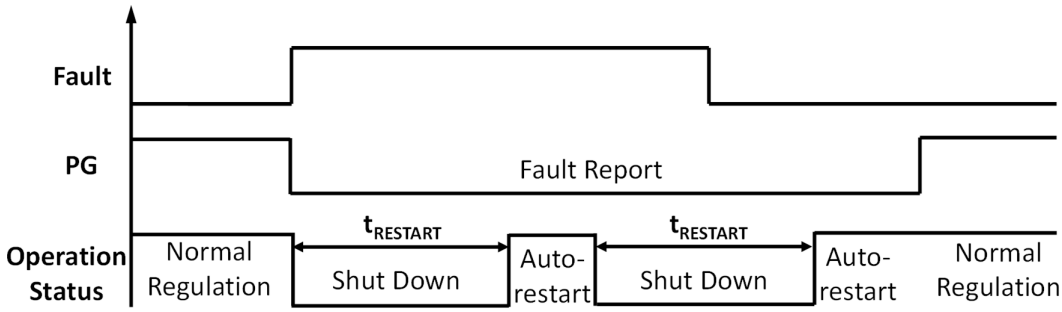


图 7-11. PG 高电平有效时的自动重启操作

7.3.4.1 输入欠压锁定

当 V_{VIN} 电压低于 UVLO 阈值 $V_{VIN_UVLO_F}$ 时，UCC34141-Q1 会进入输入欠压锁定。在 UVLO 模式下，转换器会停止开关。VIN 引脚电压下降至低于 $V_{VIN_UVLO_F}$ 后，UCC34141-Q1 会复位所有保护。之后，在 V_{VIN} 电压上升超过 UVLO 阈值 $V_{VIN_UVLO_R}$ 后，启用转换器。根据 ENA 引脚电压，转换器会开始开关，完成软启动过程，或在禁用模式下，等待 ENA 引脚电压变为高电平。

7.3.4.2 输入过压锁定

输入过压锁定保护功能用于保护 UCC34141-Q1 器件免受过压损坏。UCC34141-Q1 还具有自动恢复响应。当 V_{VIN} 引脚电压高于输入过压锁定阈值 $V_{VIN_OVLO_R}$ 时，开关会停止，转换器停止向次级侧发送能量。在输入过压锁定保护之后，一旦 V_{VIN} 引脚电压降至恢复阈值 $V_{VIN_OVLO_F}$ 以下，根据 ENA 引脚的电压状态，转换器会恢复运行，完成整个软启动过程，如果是在禁用模式下，则等待 ENA 引脚变为高电平。

输入过压锁定不会复位其他闭锁保护。

7.3.4.3 输出欠压保护

输出电压欠压保护基于 FBVDD 和 FBVEE 引脚电压。当 FBVDD 引脚电压低于 UVP 阈值 $V_{VDD_UVP_F}$，或 FBVEE 引脚电压低于 UVP 阈值 $V_{VEE_UVP_F}$ 时，便会激活欠压保护。UCC34141-Q1 会停止开关，并且电源正常引脚会更改为非有效状态。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

在软启动期间，输出电压从零伏上升，因此 FBVDD 和 FBVEE 引脚电压低于 UVP 阈值。软启动期间会禁用 UVP。如果软启动完成后引脚电压无法达到 UVP 恢复阈值 ($V_{VDD_UVP_R}$、$V_{VEE_UVP_R}$)，则会激活欠压保护，UCC34141-Q1 会停止开关，且电源正常引脚会变为非有效电平。

7.3.4.4 输出过压保护

UCC34141-Q1 器件通过 FBVDD 和 FBVEE 引脚检测输出电压，以便控制输出电压。为了防止输出电压过高而损坏负载或 UCC34141-Q1 器件本身，UCC34141-Q1 器件配备了输出过压保护功能。根据反馈引脚电压和输出电压，有两个过压保护级别。

在正常工作期间，由于负载瞬态，输出电压可能会超过其调节电平。根据 FBVDD 和 FBVEE 引脚上的电压，在电压超过阈值 $V_{VDD_OVP_R}$ 或 $V_{VEE_OVP_R}$ 后，转换器会立即停止开关。

在极少数情况下，分压器可能会发生故障并提供错误的输出电压信息。继而，控制环路会将输出电压调节到错误的电压电平。针对这类情况，UCC34141-Q1 器件还配备了失效防护过压保护功能。当 VDD-COM 或 COM-VEE 电压超过过压保护阈值 $V_{VDD_OVLOS_R}$ 或 $V_{VEE_OVLOS_R}$ 后，转换器会立即关闭。该失效防护保护电平的目的在于保护 UCC34141-Q1 器件，而不是保护负载。此设计必须确保电压反馈分压器在所有条件下都能正常运行。

7.3.4.5 过热保护

UCC34141-Q1 集成了初级侧功率级、次级侧功率级以及隔离变压器。功率转换导致的功率损耗会导致模块温度高于环境温度。为了让电源模块安全运行，UCC34141-Q1 配备了过热保护功能。检测初级侧功率级和次级侧功率级的温度并与过热保护阈值进行比较。如果初级侧功率级温度高于 $T_{SHUT_P_R}$，或者次级侧功率级温度高于 $T_{SHUT_S_R}$，模块会进入过热保护模式。模块会停止开关，并且电源正常引脚会更改为非有效状态。

7.3.4.6 BSW 引脚故障保护

UCC34141-Q1 具有保护机制，可防止 COM-VEE 降压/升压转换器在软启动期间发生 BSW 引脚故障。

在 BSW 引脚开路的情况下，当 VDD 电压超过 $V_{VDD_UVLOS_R}$ 阈值时，器件会检测第一个电感器电流脉冲宽度，即在达到峰值电流限值之前的电流斜升时间。如果第一个电感器电流脉冲宽度高于使用最大电感 (> 2.9 µ s) 时的正常脉冲宽度，则会触发 BSW 故障保护以禁用降压/升压开关。然后，器件将在 VDD 软启动完成后停止开关。

在 BSW 引脚对 COM 或 VEE 引脚短路的情况下，器件会在前沿消隐周期结束时检测电感器电流。如果在软启动期间电流高于电感器峰值电流限制，则会触发 BSW 故障保护以禁用降压/升压开关。然后，器件将在 VDD 软启动完成后停止开关。

7.4 器件功能模式

根据输入和输出条件、ENA 引脚电压以及器件温度，UCC34141-Q1 会采用以下其中一种工作模式。

1. 禁用模式。在此模式下，模块处于关闭状态，但会等待 ENA 引脚变为高电平以开始工作。
2. 软启动模式。在此模式下，模块开始向次级侧供电。初级侧运行占空比逐渐升高，以减少对模块的应力。
3. 正常运行模式。在此模式下，模块正常运行，向次级侧供电。
4. 保护模式，自动恢复。在此模式下，由于输入 UVLO 或 OVLO 保护，模块处于关闭状态。在输入电压故障清除后，根据 ENA 引脚电压条件，如果 ENA 引脚电压为低电平，它将变为禁用模式，或者它将通过软启动模式进入正常运行模式。
5. 保护模式，闭锁。在此模式下，由于其他保护措施，器件处于关闭状态。即使导致保护的故障被清除，模块仍会保持关闭状态。V_{VIN} 上电下电操作必须先确保输入电压低于模拟 UVLO 下降阈值 ($V_{VIN_UVLO_F}$) 以复位闭锁状态，否则 ENA 引脚会先切换至低电平 (OFF)，然后切换至高电平 (ON)。
6. 保护模式，在定义的持续时间 $t_{RESTART}$ 后自动重启。在此模式下，器件由于其他保护而关断。在器件关断后，$t_{RESTART}$ 计时器将启动，然后器件将尝试使用新的软启动序列进行自动重启。如果故障已消除，器件将成功软启动至稳压状态。如果故障条件仍然存在，器件将再次关断并尝试再次自动重启。只要发生故障，该器件就能够在断续模式下安全地连续运行。

表 7-1 列出了此器件的电源功能模式。ENA 引脚有一个内部弱接地下拉电阻，但是 TI 不建议将此引脚保持开路。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

表 7-1. 器件功能模式

输入			输出			运行模式
V_{VIN}	ENA	故障	$V_{(VDD - COM)}$ 隔离式输出 1	$V_{(COM - VEE)}$ 隔离式输出 2	电源正常(1) (2) 开漏输出	
$V_{VIN} < V_{VIN_UVLO_R}$	X	X	关闭	关闭	非有效状态	保护模式，自动恢复
$V_{VIN_UVLO_R} < V_{VIN} < V_{VIN_OVLO_R}$	低电平	X	关闭	关闭	非有效状态	禁用模式
$V_{VIN_UVLO_R} < V_{VIN} < V_{VIN_OVLO_R}$	高电平	无故障	在设定点调节	在设定点调节	活跃状态	正常运行
$V_{VIN_UVLO_R} < V_{VIN} < V_{VIN_OVLO_R}$	高电平	有故障	关闭	关闭	非有效状态	保护模式，在 $t_{RESTART}$ 后闭锁或自动重启
$V_{VIN} > V_{VIN_OVLO_R}$	X	X	关闭	关闭	非有效状态	保护模式，自动恢复

(1) 对于 表 4-1 中列出的电源正常高电平有效器件：有效状态 PG = 高电平，非有效状态 PG = 低电平。
(2) 对于 表 4-1 中列出的电源正常低电平有效器件：有效状态 $\overline{PG}$ = 低电平，非有效状态 $\overline{PG}$ = 高电平。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

UCC34141-Q1 器件适用于布板空间有限且需要更多集成的应用。该器件还适用于为满足所需隔离规范而采用体积庞大且价格昂贵的电源变压器的超高电压应用。

8.2 典型应用

下图展示了为隔离负载供电的 UCC34141-Q1 器件配置的典型应用原理图。

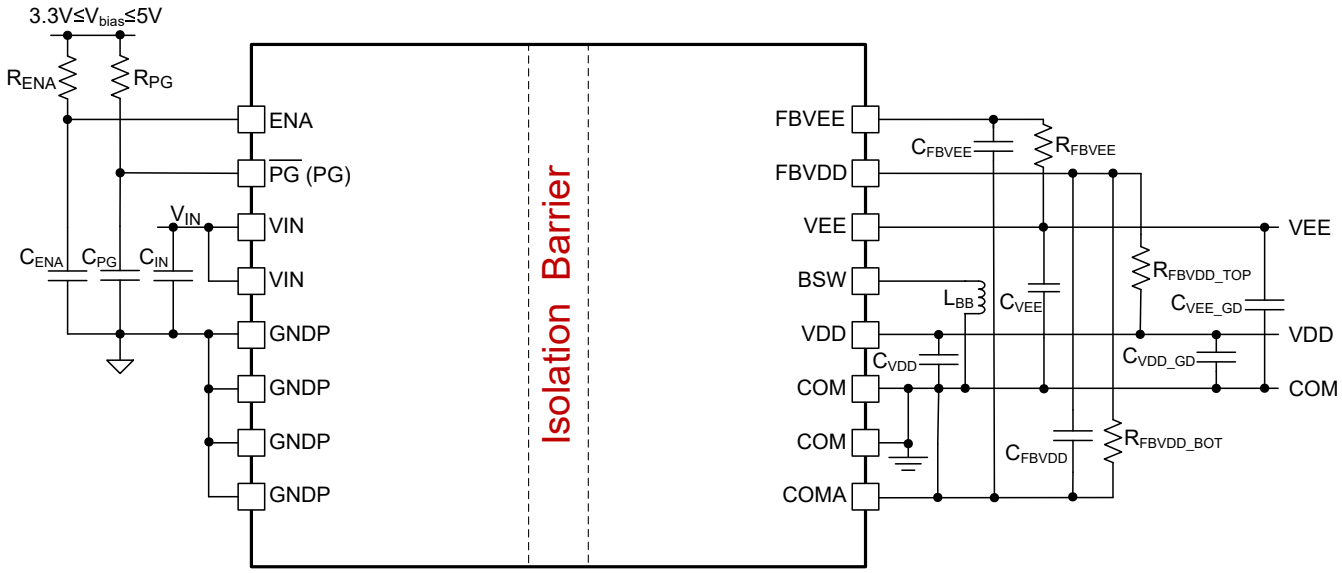


图 8-1. 双路可调输出配置

ADVANCE INFORMATION

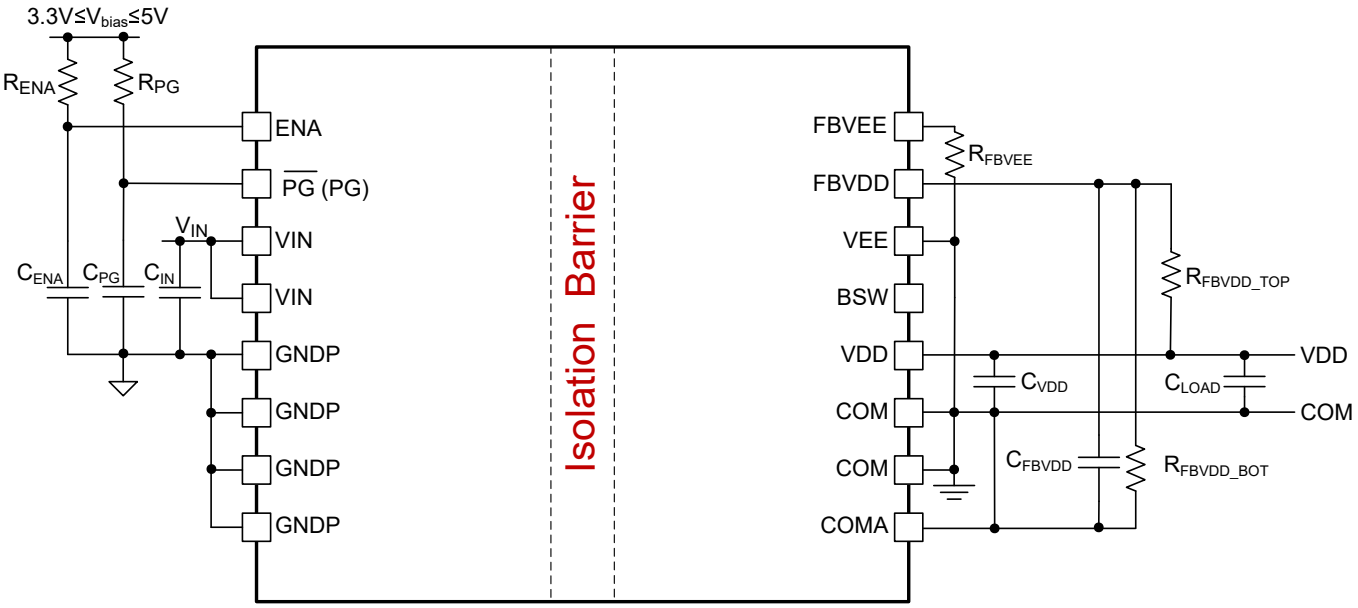


图 8-2. 单路可调输出配置

8.2.1 设计要求

使用 UCC34141-Q1 模块进行设计很简单。首先，选择单路输出还是双路输出。确定每个输出的电压，然后通过反馈电阻设置调节。功率器件的栅极电荷决定了栅极驱动器输入端所需的输出去耦电容大小。

对于双路可调输出配置，内部反相降压/升压转换器会为关断电源 (VEE) 生成稳压负电源轨。降压/升压转换器通过滞后控制器峰值电流模式控制。正常运行情况下，转换器保持不连续导通模式，但在启动期间，可能进入连续导通模式。转换器采用内部控制模式，只需要一个表面贴装电感器 (L_{BB}) 与输出旁路电容器 (C_{VDD})。通常情况下，转换器设计为使用一个 3.3 µH 电感器与一个 2.2 µF 输出电容器。

除了此数据表之外，计算工具中还提供了有关 BOM 元件建议值的汇总表，作为另一个设计支持文档。

8.2.2 详细设计过程

将陶瓷去耦电容器放置在尽可能靠近器件引脚的位置。对于输入电源，请将电容器放在引脚 4 (VIN) 和引脚 5 (GNDP) 之间。对于隔离式输出电源 (VDD – COM)，请将 C_{VDD} 电容器放在引脚 12 (VDD) 和引脚 11 (COM) 之间。对于负电压电源 (COM – VEE)，请将 C_{VEE} 电容器放在引脚 14 (VEE) 和引脚 11 (COM) 之间。这些位置对所有去耦电容特别重要，因为这些电容提供与电源驱动电路的快速开关波形相关的瞬态电流。确保电容器电介质材料与目标应用温度兼容。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

8.2.2.1 VDD-COM 电压调节

UCC34141-Q1 器件以隔离式输出 VDD-COM 作为其主输出。功率级运行通过使用迟滞控制检测 FBVDD 引脚上的 VDD 电压来决定。内部基准电压 V_{FBVDD_REF} = 2.5V。要确定 R_{FBVDD_TOP} 与所选 R_{FBVDD_BOT} 的值，请使用公式

$$R_{FBVDD_TOP} = \frac{V_{VDD}{}^{*}R_{FBVDD_BOT}}{2.5V} - R_{FBVDD_BOT} \quad (2)$$

例如，如果要将 VDD 值设置为 20V，可以选择 10kΩ 电阻器作为 R_{FBVDD_BOT}，而 R_{FBVDD_TOP} 可以计算为

$$R_{FBVDD_TOP} = \frac{20V{}^{*}10k\Omega}{2.5V} - 10k\Omega = 70k\Omega \quad (3)$$

为了增强抗噪性能，应在 FBVDD 和 COMA 引脚之间增加一个 220pF 的小电容器 C_{FBVDD}。

8.2.2.2 COM-VEE 电压调节和单路输出配置

UCC34141-Q1 可以通过 VEE 反馈电阻器 R_{FBVEE} 配置为双路输出转换器或单路输出转换器。下表总结了不同 R_{FBVEE} 值时的可编程范围。VDD 单路输出模式可以通过 150kΩ 和 300kΩ 之间的 R_{FBVEE} 值进行编程。建议使用容差 ≤ ±5% 的 180kΩ SMD 电阻器。R_{FBVEE} 低于 150kΩ 时会触发 VDD 和 VEE 双路输出模式，而 R_{FBVEE} 高于 300kΩ 时会触发 FBVEE 引脚开路故障。图 8-2 显示了单路输出配置的典型应用原理图

表 8-1. R_{FBVEE} 编程

R_{FBVEE}	0 - 3kΩ	20kΩ - 80kΩ	150kΩ - 300kΩ	>500kΩ
运行模式	触发 FBVEE 引脚短路故障 公差为 5% 的 SMD 电阻器就可以	稳压 VEE、VDD 和 VEE 双路输出 建议使用容差 ≤ ±1% 的 SMD 电阻器，以实现最佳调节精度。	VDD 单路输出 建议使用容差 ≤ ±5% 的 180kΩ SMD 电阻器。	触发 FBVEE 引脚开路故障

内部降压/升压转换器可产生经稳压的负 VEE 电压。降压/升压转换器的运行通过检测 FBVEE 引脚上的 VEE 电压来决定。通过内部的 45k 电阻器和 4.5V 参考电压，可以设定 VEE 电压并在 -2V 至 -8V 之间进行调节。双路输出模式下 COM-VEE 和 R_{FBVEE} 之间的传输功能是

$$R_{FBVEE} = \frac{-V_{VEE}{}^{*}45k\Omega}{4.5V} \quad (4)$$

将 VEE 调节值设置为 -5V 的示例公式

$$R_{FBVEE} = \frac{-(-5V){}^{*}45k\Omega}{4.5V} = 50k\Omega \quad (5)$$

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

8.3 系统示例

UCC34141-Q1 模块设计为允许微控制器主机通过 ENA 引脚来启用它，可实现正确的系统时序控制。电源正常输出还允许主机监控模块的状态。当没有故障时，电源正常引脚会进入其有效状态。输出电压用于为 IGBT 或 SiC FET 功率器件的栅极驱动器供电。在电源正常引脚变为有效状态后，微控制器可以开始向栅极驱动器发送 PWM 控制，以便确保正确进行时序控制。双路输出配置和单路输出配置的系统图如下所示。

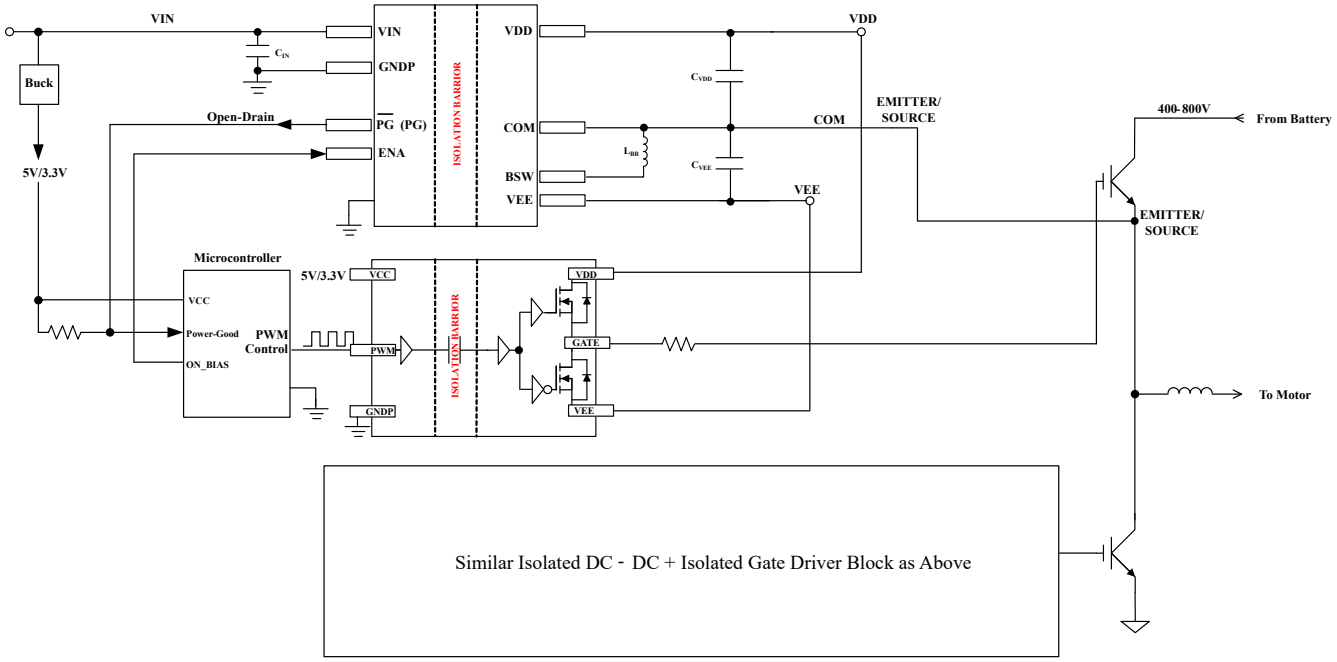


图 8-3. 双输出系统配置

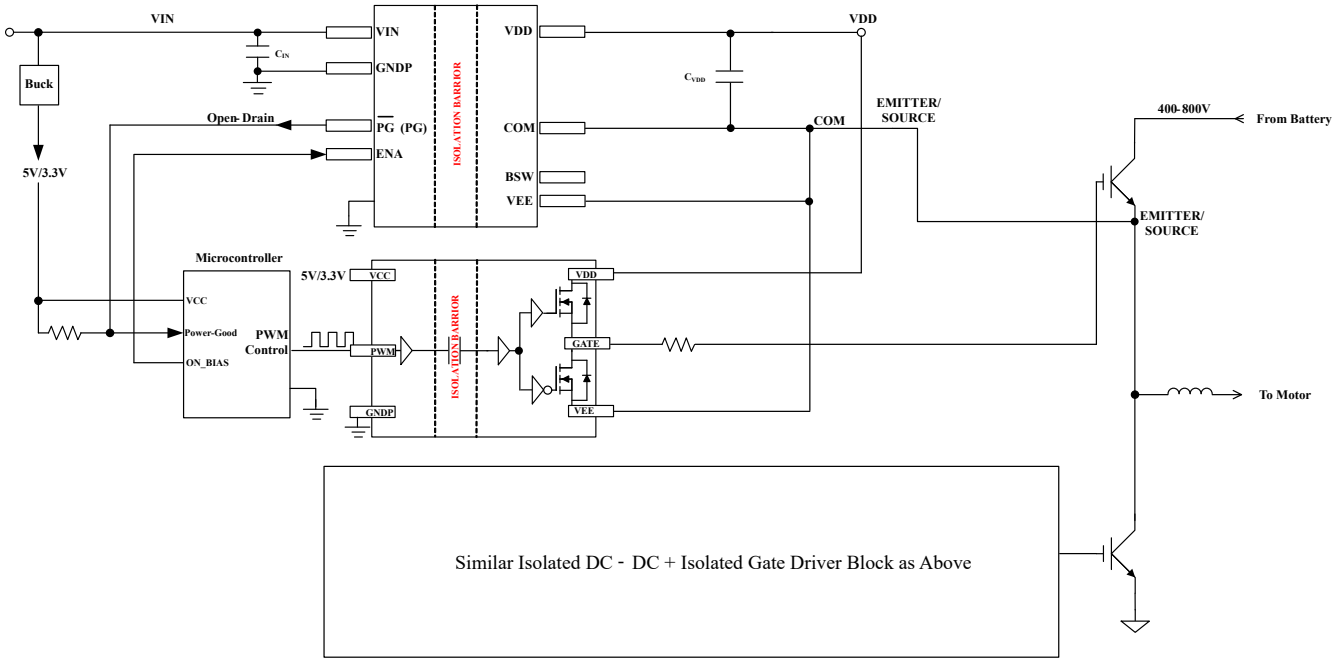


图 8-4. 单输出系统配置

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

8.4 电源相关建议

UCC34141-Q1 的建议输入电源电压 (V_{VIN}) 介于 5.5V 至 20V 之间。为了帮助确保可靠运行，必须在尽可能靠近电源引脚的位置放置足够的去耦电容器。本地旁路电容器必须放置在输入端的 VIN 和 GNDP 引脚之间，输出端的 VDD 和 COM 以及 COM 和 VEE 之间。TI 建议使用低 ESR 陶瓷表面贴装电容器为高频率去耦合提供建议的电容。输入电源必须具有适当的额定电流，来支持终端应用所需的输出负载。

8.5 布局

8.5.1 布局指南

UCC34141-Q1 集成隔离式电源解决方案可简化系统设计并减少使用的电路板面积。请遵循这些指南进行正确的 PCB 布局，以便实现理想性能。为了实现热性能良好的 PCB 设计，推荐在外部层上使用 2 盎司铜的至少 4 层 PCB 层堆叠。不建议路由信号布线或将元件直接放置在 UCC34141-Q1 下方。

1. VIN 引脚和 GNDP 引脚之间的输入电容器：
   a. 将 0.1 µF 高频旁路电容器 (C3) 尽可能靠近引脚 3、4 (VIN) 和引脚 5 – 8 (GNDP) 放置，并与 IC 位于 PCB 的同一侧。0402 陶瓷 SMD 或更小尺寸是实现最佳布局所需的尺寸。10MHz 至 30MHz 范围内的自谐振频率非常适合为内部隔离式转换器的开关频率噪声提供低阻抗去耦。请勿在旁路电容器和 IC 引脚之间放置任何过孔，以强制高频电流通过电容器。
   b. 将大容量 VIN 电容器 (C2) 尽可能靠近 0.1 µF 高频率旁路电容器 (C3) 并与之并联，且与 IC 位于 PCB 的同一侧，如 图 8-5 所示。
2. 电源正常引脚去耦电容器：电源正常去耦电容器应靠近引脚 2 (电源正常引脚) 放置，并与 UCC34141-Q1 位于 PCB 的同一侧。请参阅 图 8-5 中所示的 C13 放置方式。
3. VDD 引脚和 COM 引脚之间的输出电容器：
   a. 将 0.1 µF 高频旁路电容器 (C5) 尽可能靠近引脚 12 (VDD) 和引脚 10、11 (COM) 放置，并与 IC 位于 PCB 的同一侧。0402 陶瓷 SMD 或更小尺寸是实现最佳布局所需的尺寸。10MHz 至 30MHz 范围内的自谐振频率非常适合为内部隔离式转换器的开关频率噪声提供低阻抗去耦。请勿在旁路电容器和 IC 引脚之间放置任何过孔，以强制高频电流通过电容器。
   b. 将大容量 VDD-COM 电容器 (C8) 尽可能靠近 0.1 µF 高频率旁路电容器 (C5) 并与之并联，且与 IC 位于 PCB 的同一侧，如 图 8-5 所示。
4. VEE 引脚和 COM 引脚之间的输出电容器：
   a. 将 2.2 µF 高频率旁路电容器 (C9) 尽可能靠近 VEE 和 COM 引脚放置。3MHz 至 4MHz 范围内的自谐振频率非常适合为选择 3.3uH 电感器 (L1) 的降压/升压转换器的开关频率噪声提供低阻抗去耦。可以将电容器放置在 PCB 的另一侧并使用过孔进行连接，以减少电容器与 VEE 降压/升压转换器内部低侧 MOSFET 之间的开关环路。此外，将电容器放置在另一侧也会简化 VDD 引脚和 COM 引脚之间去耦电容器的放置。C9 和 L1 放置在 PCB 底部的示例如 图 8-9 所示。
5. 反馈：
   a. COMA 应通过所有 PCB 层与 COM 平面隔离。使用一个过孔直接连接到 FBVDD 引脚的低侧电阻器和滤波电容器，与 FBVEE 引脚的低侧滤波电容器相同。
   b. 将 RFBVDD 反馈电阻器 (R6 和 R7) 和去耦陶瓷电容器 (C6) 靠近 IC 放置。
   c. 顶层反馈电阻器应放置在低侧电阻器旁边，两个电阻器之间具有较短的直接连接，并通过单一连接点连接至 FBVDD 引脚。用于检测稳压轨 (VDD-COM) 的顶部连接应进行布线并连接到栅极驱动器引脚附近的 VDD 偏置电容器远程位置，以便获得出色的精度和瞬态响应。
   d. VEE 反馈电阻器 (R5) 应与去耦合陶瓷电容器 (C4) 一起放置在 FBVEE (引脚 15) 旁边；而用于检测稳压轨 (COM-VEE) 的连接应从栅极驱动器引脚附近位置较远的 COM 偏置电容器进行布线和连接，以便获得出色的精度和瞬态响应。
   e. 使用双路输出模式时，必须填充降压/升压电感器 (L1) 和 2.2uF 去耦陶瓷电容器 (C9)。它们可以放置在 IC 的另一侧或与 IC 位于同一层。
   f. 图 8-6 显示了布局示例，其中 L2 (黄色) 布线在第 2 层，L3 (绿色) 布线在第 3 层。

ADVANCE INFORMATION

6. 散热过孔：UCC34141-Q1 内部变压器直接连接到引线框。因此，如以下步骤所述，为 PCB 设计提供足够的空间和适当的散热至关重要。
   a. TI 建议通过多个通孔将 VIN、GNDP、VDD 和 COM 引脚连接到内部接地平面或电源平面。或者，使连接到这些引脚的多边形尽可能宽。
   b. 使用多个散热过孔将 PCB 顶层 GNDP 铜连接到底部 GNDP 铜。如果可能，建议在外部顶部和底部 PCB 层上使用 2 盎司铜。
   c. 使用多个散热过孔将 PCB 顶层 VEE 铜连接到底部 VEE 铜。如果可能，建议在外部顶部和底部 PCB 层上使用 2 盎司铜。
   d. 连接顶部和底部铜的散热过孔也可以连接到内部铜层，以进一步改善散热效果。
   e. 散热过孔类似于下图所示，但应在覆铜区允许的范围内尽可能多地使用散热过孔。TI 建议使用直径为 30mil、孔尺寸为 12mil 的散热过孔。
   f. 图 8-7 所示为布局示例。如果可用的铜面积较小，请在设计允许的情况下使用尽可能多的散热过孔，靠近引脚 5-8（初级）和引脚 9-11（次级）放置。
7. 爬电间隙：为了保持数据表中指定的完整爬电距离、间隙和电压隔离额定值，请避免布线信号线迹或将元件直接放置在 UCC34141-Q1 下方。在整个定义的隔离栅中，保持以红色突出显示的间隙宽度。基础型隔离的排除间隙可以比增强型隔离要求 (8.2mm) 小 50%。使用 8.2mm 可提供额外的裕度。图 8-8 所示为布局示例。
8. 栅极驱动器输出电容器：C_{VDD_GD}（C11 和 C12）和 C_{VEE_GD} (C10) 是 UCC34141-Q1 Excel 计算器工具中引用的参考位号。C11 和 C12 是 VDD-COM 之间的电容器，C10 是 COM-VEE 之间的电容器。C10-12 是栅极驱动器 IC 所需的电容器。
   a. C_{VDD_GD} 和 C_{VEE_GD} 应放置在栅极驱动器 IC 旁边，以实现出色的去耦和栅极驱动器开关性能。
   b. 为了更好地调节电压，VEE (FBVEE) 和 VDD (FBVDD) 的反馈布线应尽可能直接，以便直接在栅极驱动器 IC 附近的 VDD 和 VEE 电容器处检测电压反馈。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

8.5.2 布局示例

下图中高亮显示的 PCB 布局示例基于 图 8-1 所示的原理图。

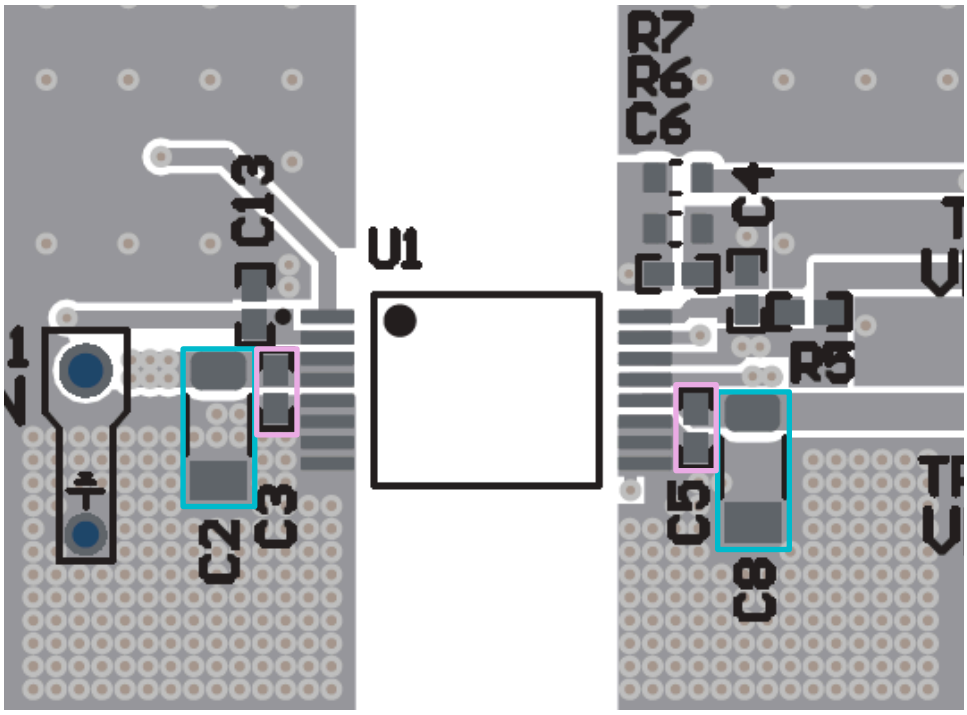


图 8-5. VIN (C2、C3) 和 VDD (C5、C8) 电容器

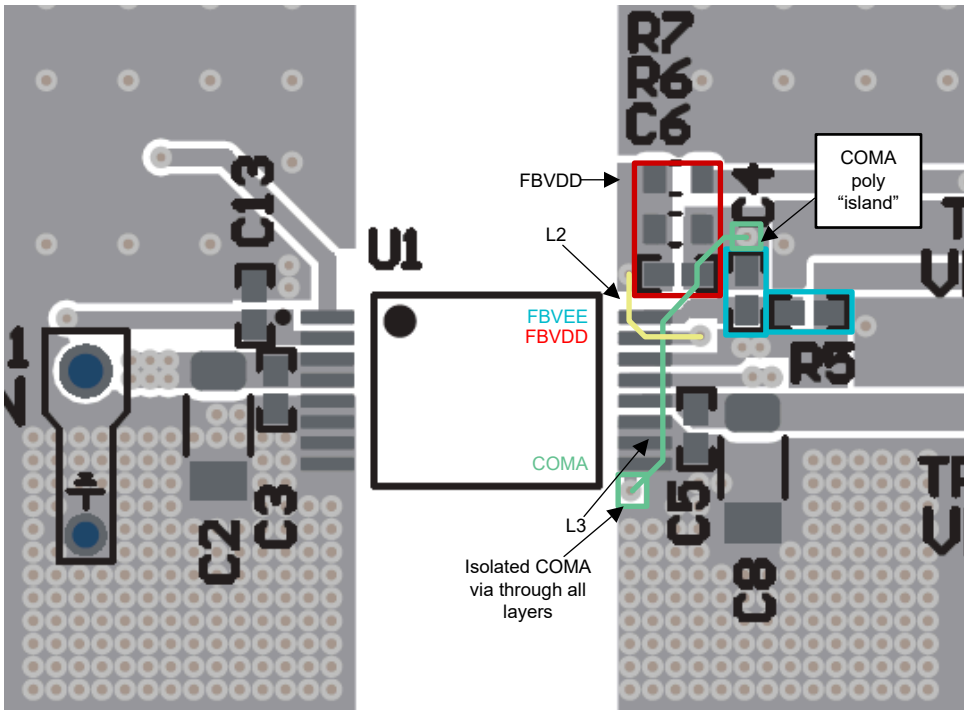


图 8-6. FBVDD (R6-7、C6)、FBVEE (R5、C4)、COMA 布线

ADVANCE INFORMATION

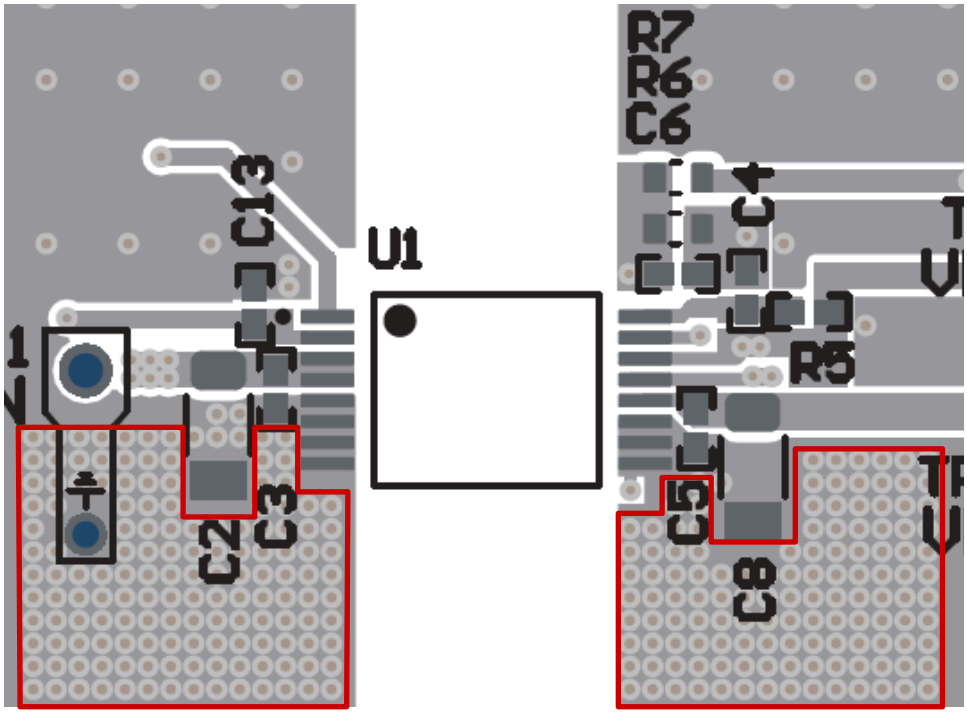


图 8-7. 散热过孔

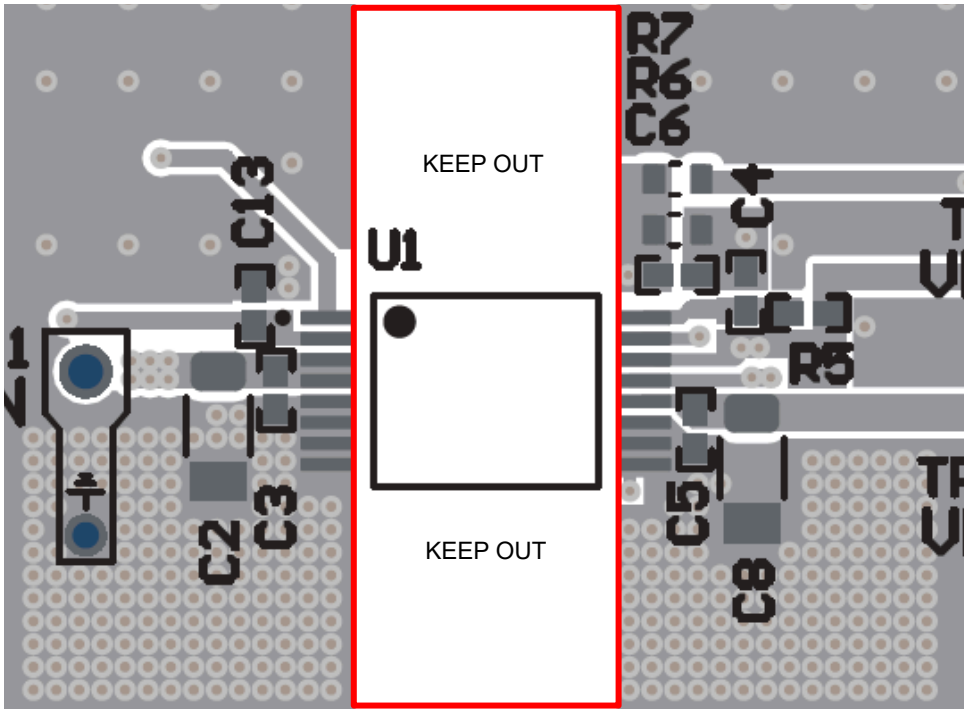


图 8-8. 隔离禁止区域

Copyright © 2025 Texas Instruments Incorporated

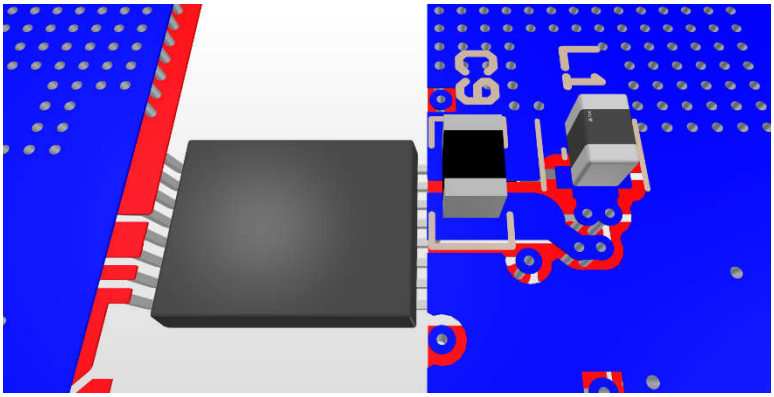


图 8-9. 底面、降压/升压、VEE LC 放置和布线

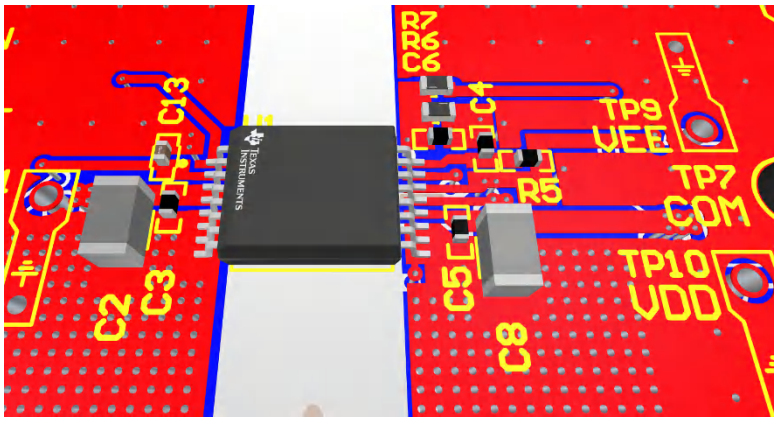


图 8-10. 顶面，元件放置和布线

ADVANCE INFORMATION

9 器件和文档支持

9.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

9.2 文档支持

9.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*隔离相关术语*

9.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (August 2025) to Revision B (November 2025)	Page
• 更新了 Si PG 版本	1

Changes from Revision * (April 2025) to Revision A (August 2025)	Page
• 添加了“典型特性”部分	10
• 添加了“COM-VEE 输出能力“一节	17

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

TI 建议使用符合 JEDEC 标准的 J-STD-020 回流焊工艺来安装器件。峰值焊接温度不得超过 260˚C。如果在测试过程中需要手动安装，TI 建议将峰值温度限制在不超过 260ºC。

ADVANCE INFORMATION

11.1 封装信息

可订购器件	状态(1)	封装类型	封装图	引脚	包装数量	环保计划(2)	引脚镀层/焊球材料(6)	MSL 峰值温度(3)	工作温度 (°C)	器件标识(4) (5)
PUCC34141QDHARQ1	预发布	SSOP	DHA	16					-40 至 125	

(1) 销售状态值定义如下：
正在供货：建议用于新设计的产品器件。
限期购买：TI 已宣布器件即将停产，但仍在购买期限内。
NRND：不推荐用于新设计。为支持现有客户，器件仍在生产，但 TI 不建议在新设计中使用此器件。**预发布：**器件已发布，但未量产。可能提供样片，也可能无法提供样片。
已停产：TI 已停止生产该器件。

(2) **RoHS：**TI 定义的“RoHS”是指半导体产品符合针对所有 10 种 RoHS 物质的现行 EU RoHS 要求，包括要求 RoHS 物质不超过均质材料总重量的 0.1%。因在设计时就考虑到了高温焊接要求，因此“RoHS”产品适用于指定的无铅作业。TI 可将这类产品标记为“无铅”。
RoHS 豁免：TI 定义的“RoHS 豁免”是指含铅、但根据特定 EU RoHS 豁免规定符合 EU RoHS 标准的产品。
绿色：TI 定义的“绿色”是指氯 (CL) 和溴 (Br) 阻燃剂的含量符合 JS709B 中 <=1000ppm 阈值的低卤要求。基于三氧化二锑的阻燃剂也必须符合 <=1000ppm 的阈值要求。

(3) MSL，峰值温度- 湿敏等级额定值（符合 JEDEC 工业标准分级）和峰值焊接温度。

(4) 器件上可能还有与标识、批次跟踪代码信息或环境分类相关的其他标志。

(5) 如有多个器件标识，将用括号括起来。不过，器件上仅显示括号中以“~”隔开的其中一个器件标识。如果某一行缩进，说明该行续接上一行，这两行合在一起表示该器件的完整器件标识。

(6) 引脚镀层/焊球材料 - 可订购器件可能有多种镀层材料选项。各镀层选项用垂直线隔开。如果铅镀层/焊球值超出最大列宽，则会折为两行。

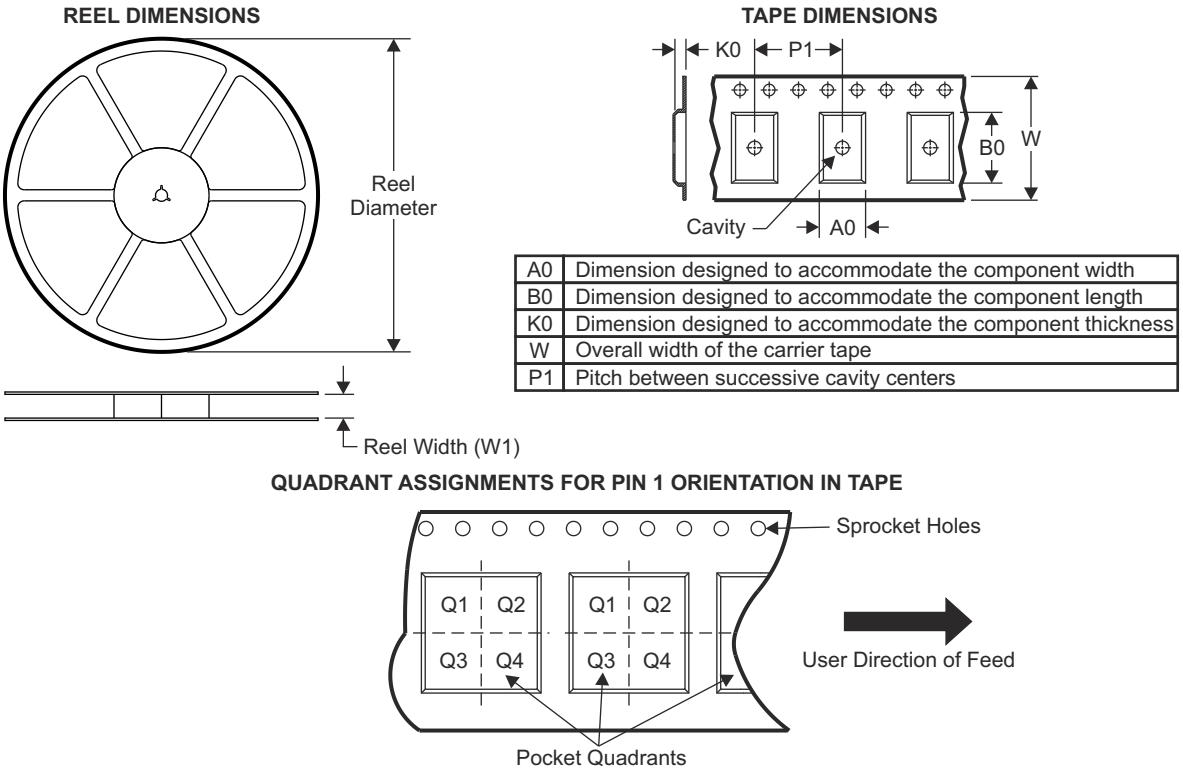
重要信息和免责声明：本页面上提供的信息代表 TI 在提供该信息之日的认知和观点。TI 的认知和观点基于第三方提供的信息，TI 不对此类信息的正确性做任何声明或保证。TI 正在致力于更好地整合第三方信息。TI 已经并将继续采取合理的措施来提供有代表性且准确的信息，但是可能尚未对引入的原料和化学制品进行破坏性测试或化学分析。TI 和 TI 供应商认为某些信息属于专有信息，因此可能不会公布其 CAS 编号及其他受限制的信息。

在任何情况下，TI 因此类信息产生的责任决不超过 TI 每年向客户销售的本文档所述 TI 器件的总购买价。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

11.2 卷带包装信息



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

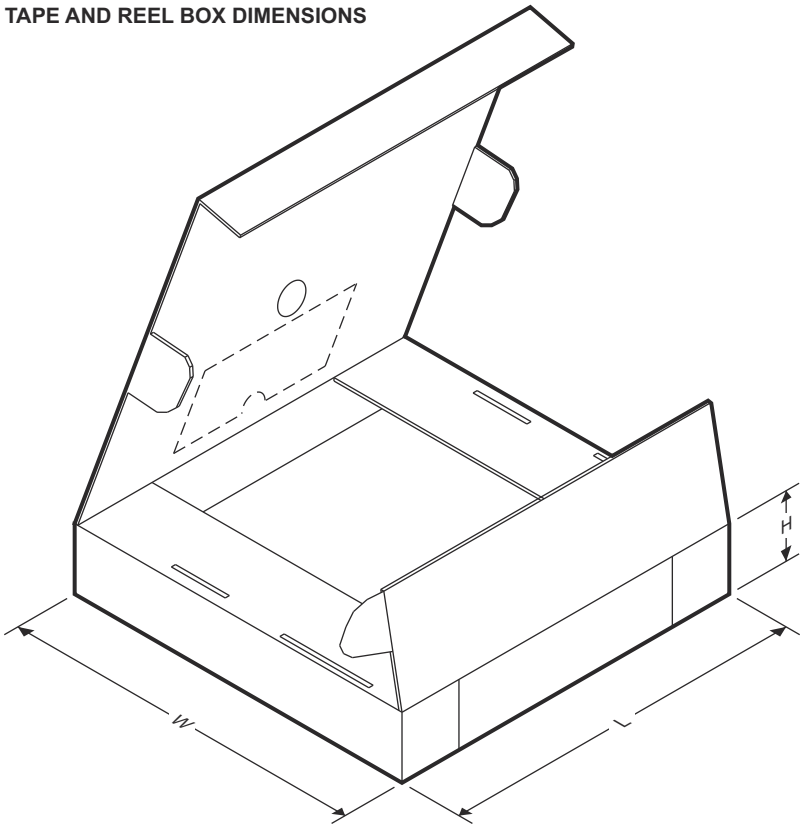
器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1象限
PUCC34141QDHARQ1	SSOP	DHA	16									

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

ADVANCE INFORMATION

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
PUCC34141QDHARQ1	SSOP	DHA	16				

Copyright © 2025 Texas Instruments Incorporated

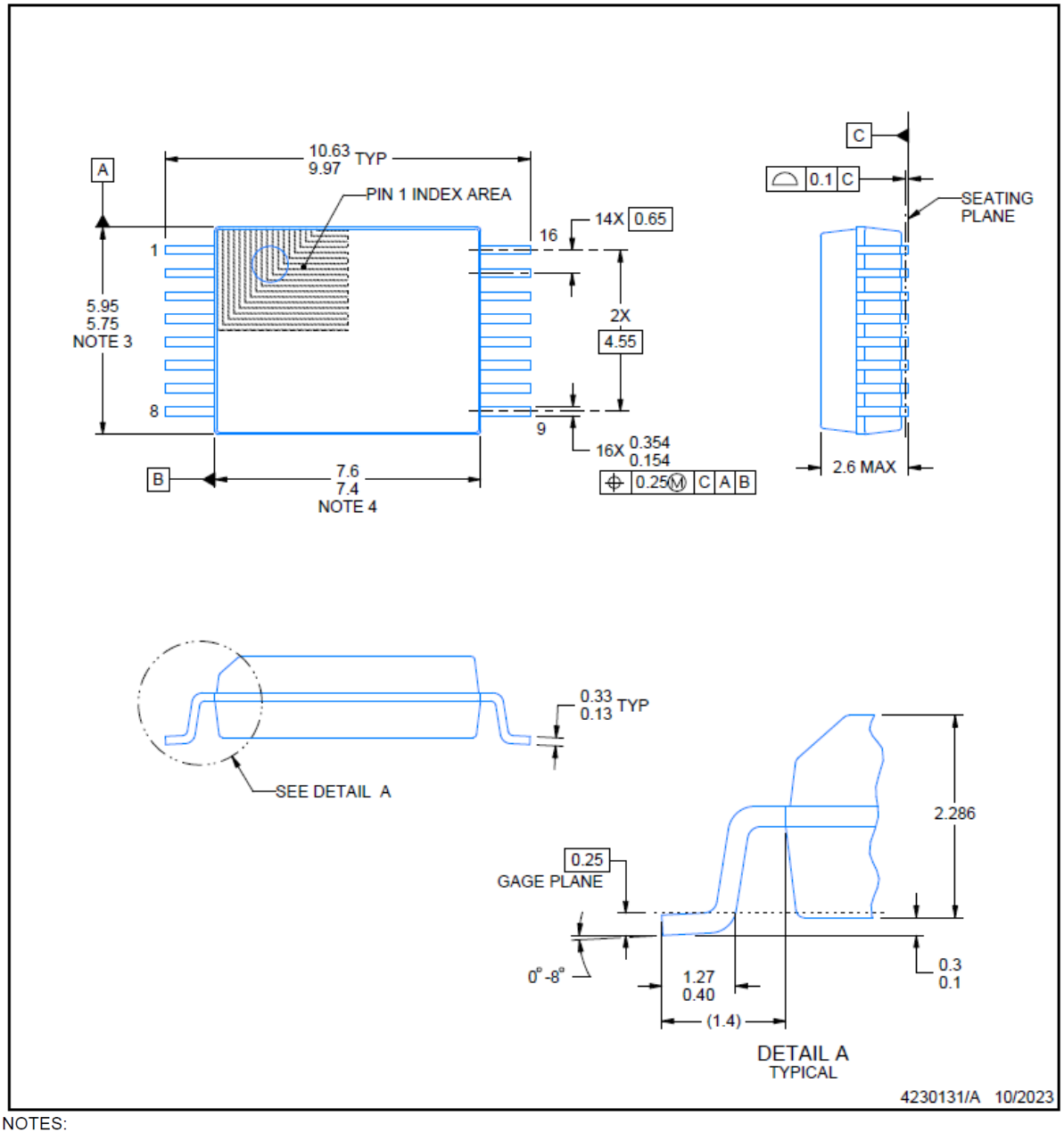
11.3 机械数据

DHA0016A

PACKAGE OUTLINE

SSOP - 2.6 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

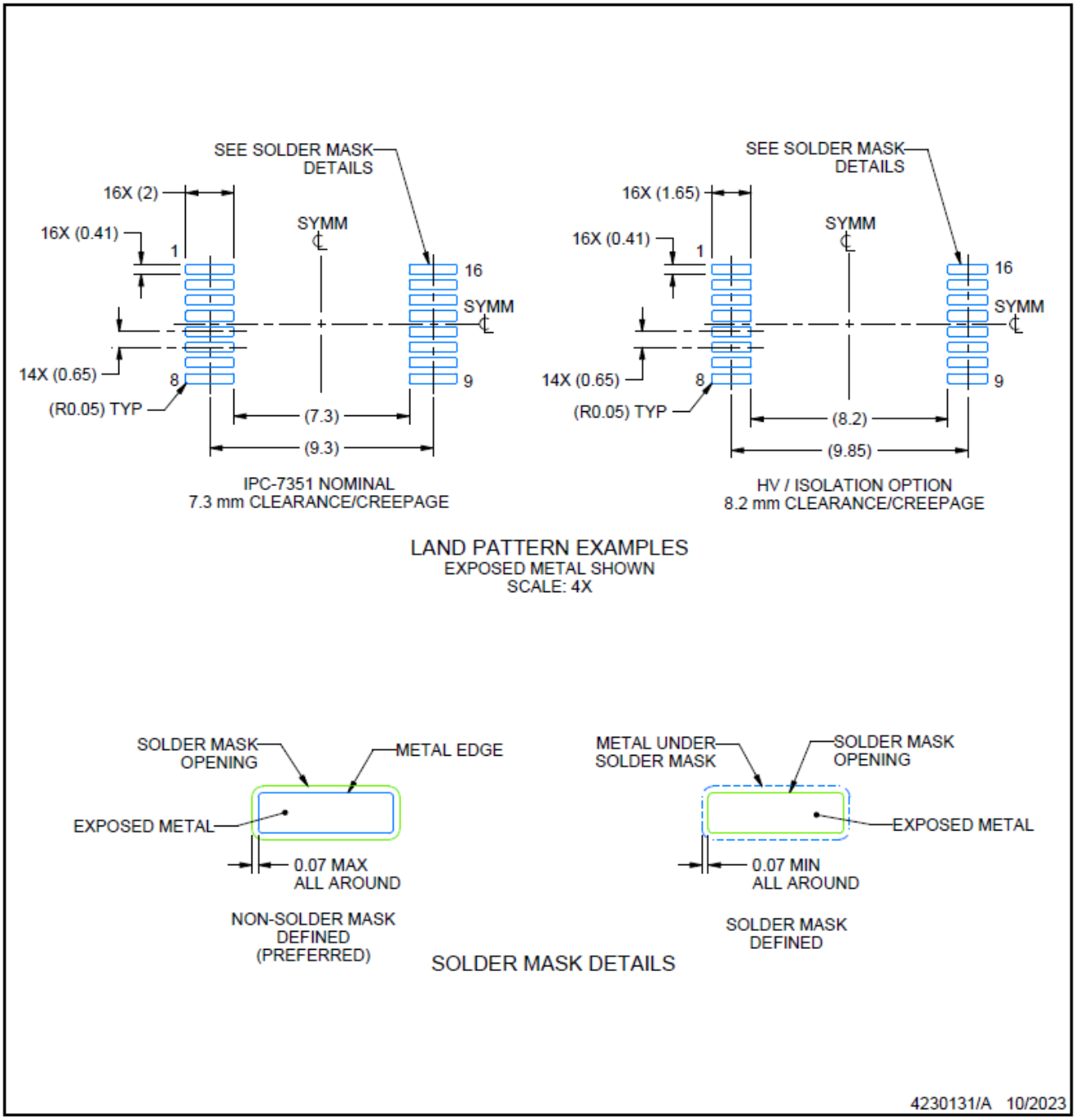
ADVANCE INFORMATION

EXAMPLE BOARD LAYOUT

DHA0016A

SSOP - 2.6 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

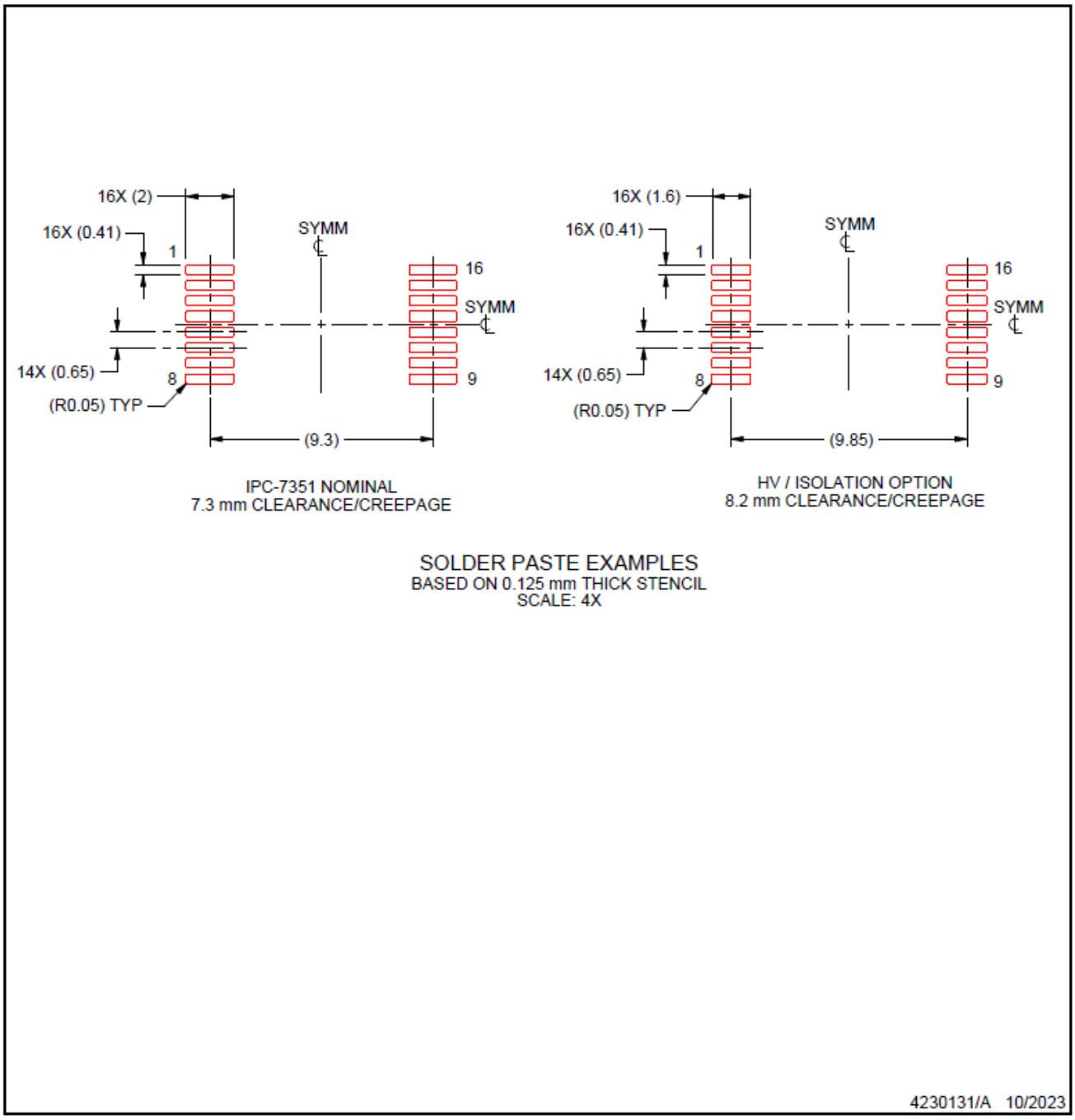
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DHA0016A

SSOP - 2.6 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

ADVANCE INFORMATION

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PUCC34141QDHARQ1	Active	Preproduction	SO-MOD (DHA) | 16	1000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
PUCC34141QDHARQ1.A	Active	Preproduction	SO-MOD (DHA) | 16	1000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF UCC34141-Q1 :

- Military : UCC14141-Q1

NOTE: Qualified Version Definitions:

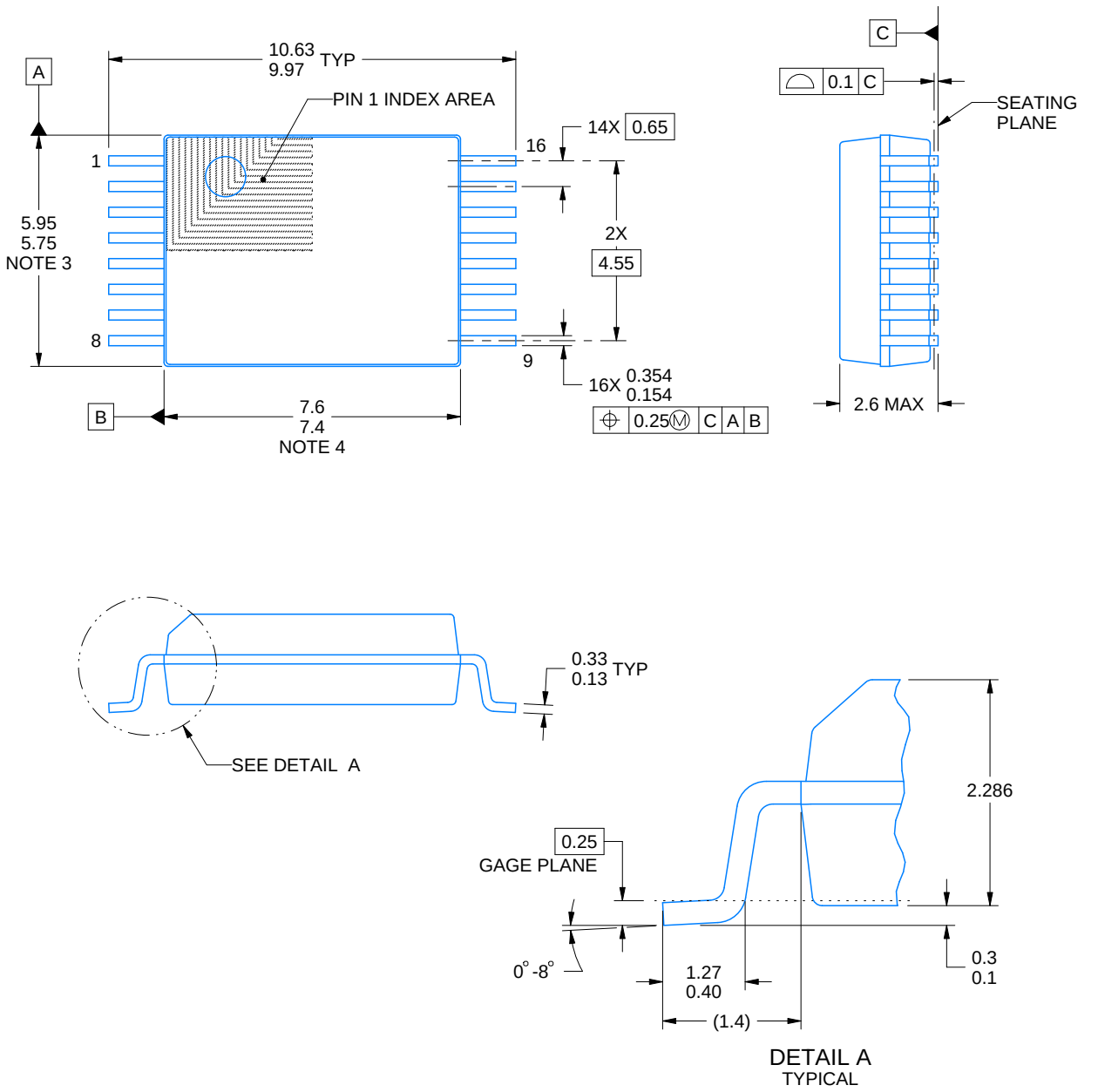
- Military - QML certified for Military and Defense Applications

PACKAGE OUTLINE

DHA0016A

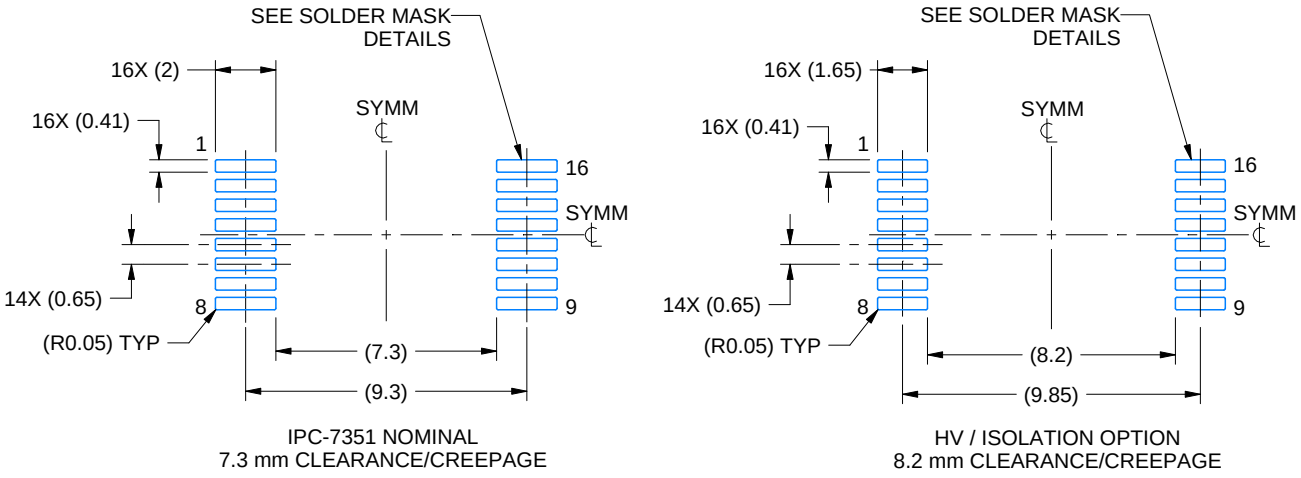
SSOP - 2.6 mm max height

SMALL OUTLINE PACKAGE

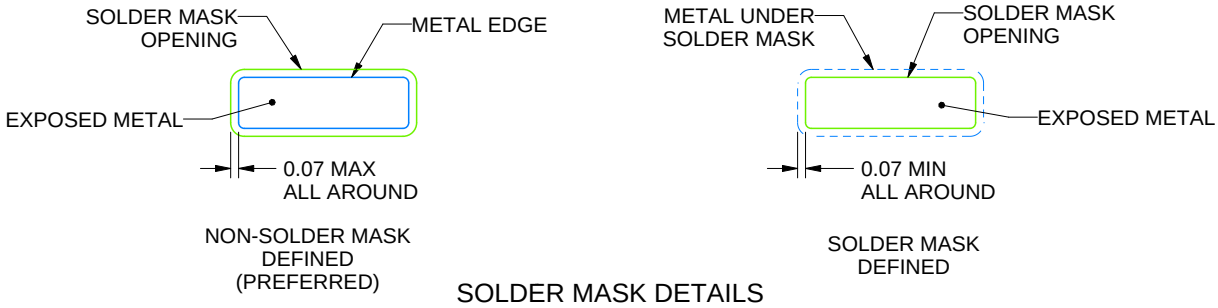


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.



LAND PATTERN EXAMPLES
EXPOSED METAL SHOWN
SCALE: 4X



SOLDER MASK DETAILS

4230131/A 10/2023

NOTES: (continued)

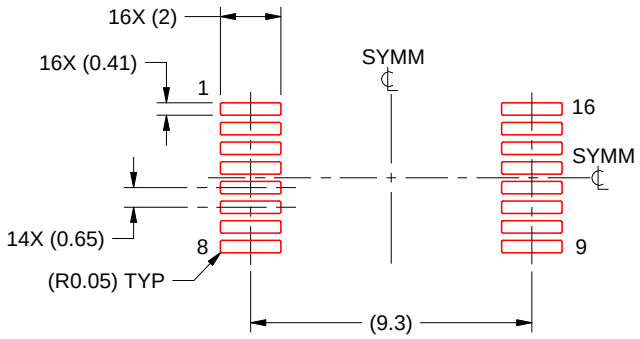
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

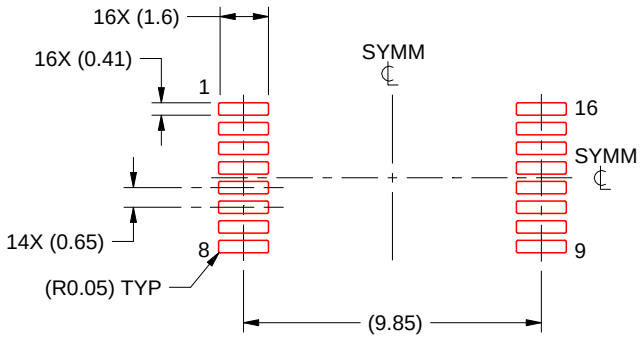
DHA0016A

SSOP - 2.6 mm max height

SMALL OUTLINE PACKAGE



IPC-7351 NOMINAL
7.3 mm CLEARANCE/CREEPAGE



HV / ISOLATION OPTION
8.2 mm CLEARANCE/CREEPAGE

SOLDER PASTE EXAMPLES
BASED ON 0.125 mm THICK STENCIL
SCALE: 4X

4230131/A 10/2023

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月