

UCC28731-Q1 适用于汽车的零功耗待机 PSR 反激式控制器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
 - 器件温度等级 1：-40°C 至 +125°C
 - 器件 HBM 分类等级 2：±2kV
 - 器件 CDM 分类等级 C4B：±750V
- 功能安全型**
 - 可提供用于功能安全系统设计的文档
- 实现 **零功耗 (< 5mW)** 待机功耗
- 初级侧调节 (PSR) 免除了对光耦合器的需求
- 在整个线路和负载范围内提供 **±5%** 的电压调节和电流调节
- 具有 **30V** 最小启动电压的 **700V** 启动开关
- 83kHz** 最大开关频率支持低待机功耗充电器设计
- 谐振谷底开关运行模式可提高总体效率
- 具有频率抖动特性，确保符合 EMI 标准
- MOSFET** 钳位栅极驱动输出
- 过压、低压线路和过流保护功能
- 可编程电缆补偿
- SOIC-7** 封装

2 应用

- 混合动力、电动和动力总成系统
- 牵引逆变器高压冗余和备用电源
- 车载充电器初级辅助电源
- 直流/直流转换器备用和辅助电源

3 说明

UCC28731-Q1 隔离反激式电源控制器无需使用光耦合器即可提供恒压 (CV) 和恒流 (CC) 输出调节，从而更大幅度地减小电路板面积和 BOM 数量，在使用寿命内具有更高的可靠性。此器件处理来自初级电源开关和辅助反激式绕组的信息，以精确调节输出电压和电流，因此被称为“PSR”。

最小开关频率 32Hz 可促进实现低于 5mW 的无负载功耗。其内部的 700V 启动开关、动态可控的工作状态和定制的调制曲线支持超低待机功耗，而不会影响启动时间。UCC28731-Q1 中的控制算法使得运行效率满足或者超过适用标准。带有谷值开关的断续传导模式 (DCM) 降低了开关损耗。调制开关频率和一次侧峰值电流振幅 (FM 和 AM) 可在整个负载和线路范围内保持高转换效率。

器件信息

器件型号 ⁽¹⁾	封装	本体尺寸 (标称值)
UCC28731QDRQ1	SOIC (7)	4.90mm x 3.90mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

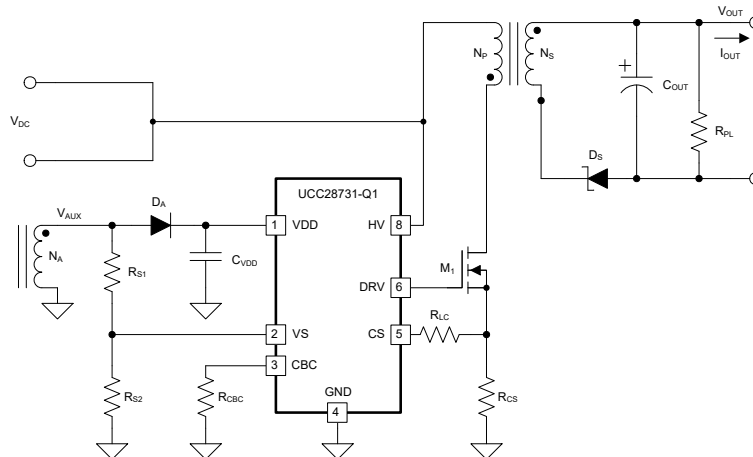


图 3-1. 简化版原理图



内容

1 特性	1	6.4 器件功能模式	19
2 应用	1	7 应用和实施	20
3 说明	1	7.1 应用信息.....	20
4 引脚配置和功能	3	7.2 典型应用.....	20
引脚功能.....	3	7.3 注意事项.....	30
5 规格	4	7.4 电源相关建议.....	30
5.1 绝对最大额定值.....	4	7.5 布局.....	31
5.2 ESD 等级.....	4	8 器件和文档支持	32
5.3 建议运行条件.....	4	8.1 器件支持.....	32
5.4 热性能信息.....	4	8.2 文档支持.....	34
5.5 电气特性.....	5	8.3 接收文档更新通知.....	34
5.6 时序要求.....	6	8.4 支持资源.....	34
5.7 开关特性.....	6	8.5 商标.....	34
5.8 典型特性.....	7	8.6 静电放电警告.....	34
6 详细说明	9	8.7 术语表.....	34
6.1 概述.....	9	9 修订历史记录	34
6.2 功能方框图.....	9	10 机械、封装和可订购信息	35
6.3 特性说明.....	10		

4 引脚配置和功能

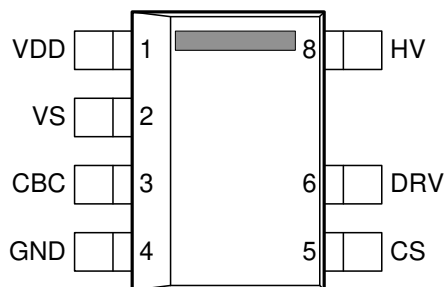


图 4-1. D 封装 7 引脚 SOIC 顶视图

引脚功能

引脚 ⁽¹⁾		I/O	说明
名称	编号		
CBC	3	I	该引脚通过一个连接至 GND 的电阻器对电缆压降补偿进行编程。
CS	5	I	电流检测输入引脚连接到一个以接地为基准的电流检测电阻器，该电阻器与电源开关串联。产生的电压用于监测和控制峰值初级电流。可以在该引脚上添加一个串联电阻器，以补偿整流后的体电压变化时的峰值开关电流电平。
DRV	6	O	该引脚驱动外部高压 MOSFET 开关晶体管的栅极。
GND	4	G	该引脚既是控制器的基准引脚，也是驱动输出的低侧返回引脚。应特别注意使所有交流去耦电容器尽可能靠近该引脚，并避免与电源和信号返回路径有任何公共布线长度。
HV	8	I	该引脚直接连接到整流后的体电压，为 VDD 电容器提供电荷以启动电源。
VDD	1	P	该引脚为控制器提供偏置输入，需要小心放置一个连接到 GND 的旁路电容器。
VS	2	I	该引脚为控制器提供电压反馈和退磁时序。该引脚有助于实现输出电压调节、频率限制、恒流控制、线路电压检测和输出过压检测。将该引脚连接到辅助绕组和 GND 之间的分压器。该分压器高侧电阻器的阻值用于对 CS 引脚上的交流电源运行和停止阈值以及线路补偿进行编程。

(1) P = 电源，G = 接地，I = 输入，O = 输出，I/O = 输入/输出

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
电压	HV		700	V
	VDD		38	V
	VS	-0.75	7	V
	CS、CBC	-0.5	5	V
	DRV	-0.5	自限	V
电流	DRV，持续灌电流		50	mA
	DRV，拉电流		自限	mA
	Vs，峰值，1% 占空比		-1.2	mA
10 秒内距离外壳 0.6mm 的引线温度			260	°C
贮存温度，T _{stg}		-65	150	°C

(1) 应力超出绝对最大额定值下面列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力等级，这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

5.2 ESD 等级

		值	单位
V _(ESD) 静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准 ⁽¹⁾	±2000	V
	充电器件模型 (CDM)，符合 AEC Q100-011 标准 ⁽¹⁾	±750	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V _{VDD}	偏置电源工作电压	9		35	V
C _{VDD}	VDD 旁路电容器	0.047			μF
R _{CBC}	电缆补偿电阻	10			kΩ
I _{VS}	VS 引脚电流，流出引脚			1	mA
T _J	工作结温	-40		135	°C

5.4 热性能信息

热指标 ⁽¹⁾		UCC28731-Q1	单位
		D (SOIC)	
		7 引脚	
R _{θJA}	结至环境热阻	128.0	°C/W
R _{θJC(top)}	结至外壳（顶部）热阻	59.3	°C/W
R _{θJB}	结至电路板热阻	66.7	°C/W
ψ _{JT}	结至顶部特征参数	17.0	°C/W
ψ _{JB}	结至电路板特征参数	65.9	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用报告。

5.5 电气特性

在自然通风条件下的工作温度范围内， $V_{VDD} = 25V$ ， $HV =$ 开路， $R_{CBC} =$ 开路， $T_A = -40^{\circ}C$ 至 $125^{\circ}C$ (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
高压启动					
I_{HV} 流出 VDD 的启动电流	$V_{HV} = 100V$ ， $V_{VDD} = 0V$ ，启动状态	100	250	500	μA
	$V_{HV} = 30V$ ， $V_{VDD} = V_{VDD(on)} - 0.5V$ ，启动状态	100		410	
$I_{HVLKG25}$ 流入 HV 的漏电流	$V_{HV} = 400V$ ，运行状态， $T_J = 25^{\circ}C$		0.01	0.5	μA
辅助电源输入电流					
I_{RUN} 电源电流，运行	运行状态， $I_{DRV} = 0A$		2.1	2.65	mA
I_{WAIT} 电源电流，等待	等待状态， $I_{DRV} = 0A$ ， $V_{VDD} = 20V$		52	75	μA
I_{START} 电源电流，启动	启动状态， $I_{DRV} = 0A$ ， $V_{VDD} = 18V$ ， $I_{HV} = 0A$		18	30	μA
I_{FAULT} 电源电流，故障	故障状态， $I_{DRV} = 0A$		54	75	μA
欠压锁定					
$V_{VDD(on)}$ VDD 开启阈值	V_{VDD} 低电平至高电平	17.5	21	23	V
$V_{VDD(off)}$ VDD 关闭阈值	V_{VDD} 高电平至低电平	7.3	7.7	8.1	V
VS 输入					
V_{VSR} 调节电平	在空载、 $T_J = 25^{\circ}C$ 条件下测得	4.00	4.04	4.08	V
V_{VSNC} 低于 GND 的负钳位电平	$I_{VSL} = -300\mu A$	190	250	325	mV
I_{VSB} 输入偏置电流	$V_{VS} = 4V$	-0.25	0	0.25	μA
CS 输入					
$V_{CST(max)}$ CS 最大阈值电压 ⁽²⁾	$V_{VS} = 3.7V$	710	740	770	mV ⁽²⁾
$V_{CST(min)}$ CS 最小阈值电压	$V_{VS} = 4.35V$	230	249	270	mV
K_{AM} AM 控制比， $V_{CST(max)}/V_{CST(min)}$		2.75	2.99	3.20	V/V
V_{CCR} 恒流调节因子		310	319	329	mV
K_{LC} 线路补偿电流比， $I_{VSL}/$ 流出 CS 引脚的电流	$I_{VSL} = -300\mu A$	24	25.3	28	A/A
驱动器					
I_{DRS} DRV 源电流	$V_{DRV} = 8V$ ， $V_{VDD} = 9V$	20	29	35	mA
R_{DRVLS} DRV 低侧驱动电阻	$I_{DRV} = 10mA$		6	12	Ω
V_{DRCL} DRV 钳位电压	$V_{VDD} = 35V$	13	14.5	16	V
R_{DRVSS} 处于启动状态下的 DRV 下拉电阻		150	190	230	k Ω

在自然通风条件下的工作温度范围内， $V_{DD} = 25V$ ， $HV =$ 开路， $R_{CBC} =$ 开路， $T_A = -40^{\circ}C$ 至 $125^{\circ}C$ (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
保护					
V_{OVP} 过压阈值 ⁽¹⁾	在 VS 输入端， $T_J = 25^{\circ}C$	4.52	4.62	4.71	V ⁽¹⁾
V_{OCP} 过电流阈值	在 CS 输入端上	1.4	1.5	1.6	V
$I_{VSL(run)}$ VS 线路感测运行电流	流出 VS 引脚的电流不断增大	190	225	275	μA
$I_{VSL(stop)}$ VS 线路感测停止	流出 VS 引脚的电流不断减小	70	80	100	μA
K_{VSL} VS 线路检测比， $I_{VSL(run)}/I_{VSL(stop)}$		2.45	2.8	3.05	A/A
$T_{J(stop)}$ 热关断温度	内部结温		165		$^{\circ}C$
电缆补偿					
$V_{CBC(max)}$ 电缆补偿输出最大电压	CBC 满负载时的电压	2.9	3.13	3.5	V
$V_{CVS(min)}$ VS 上的最小补偿	$V_{CBC} =$ 开路，VS 调节电平从空载到满负载进行变化	-50	-15	20	mV
$V_{CVS(max)}$ 在 VS 时的最大补偿	$V_{CBC} = 0V$ ，VS 调节电平从空载到满负载进行变化	275	325	375	mV

- (1) VS 上的调节电平和 OV 阈值以 $1mV/^{\circ}C$ 的速率随着温度的升高而降低。包含这种温度补偿是为了减少与外部输出整流器有关的电源输出调节和过压检测的差异。
- (2) 这些阈值电压表示平均电平。该器件自动改变电流检测阈值以提高 EMI 性能。

5.6 时序要求

	最小值	标称值	最大值	单位
t_{CSLEB} 前沿消隐时间，DRV 输出持续时间， $V_{CS} = 1V$	170	225	280	ns
t_{ZTO} 过零超时延迟，未检测到过零	1.6	2.2	2.9	μs

5.7 开关特性

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
$f_{SW(max)}$ 最大开关频率 ⁽¹⁾	$V_{VS} = 3.7V$	76.0	83.3	90.0	kHz
$F_{SW(min)}$ 最小开关频率	$V_{VS} = 4.35V$	25	32	37	Hz

- (1) 这些频率限值表示平均水平。该器件会自动改变开关频率以提高 EMI 性能。

5.8 典型特性

$V_{DD} = 25V$, $T_J = 25^\circ C$, 除非另有说明。

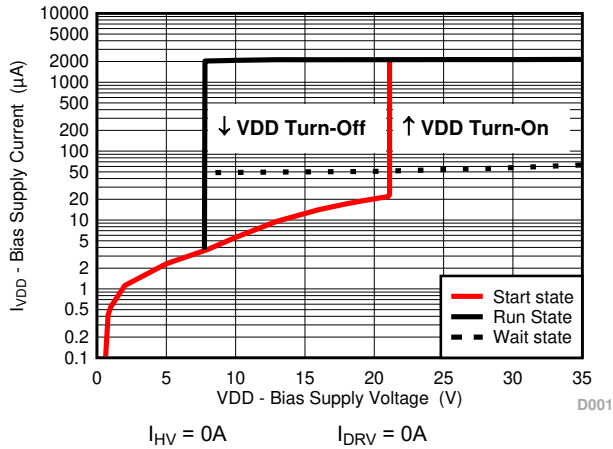


图 5-1. 辅助电源电流与辅助电源电压间的关系

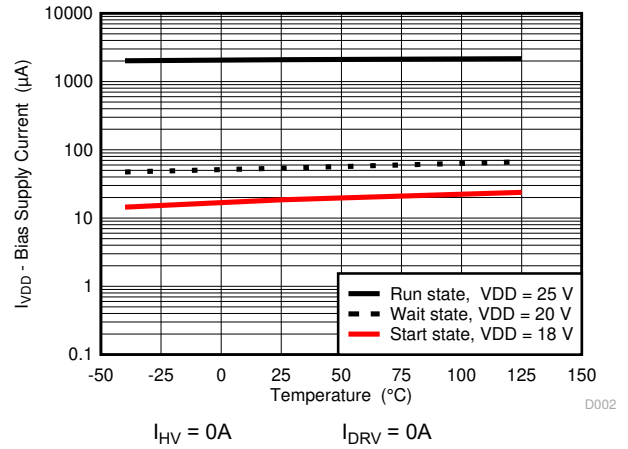


图 5-2. 辅助电源电流与温度间的关系

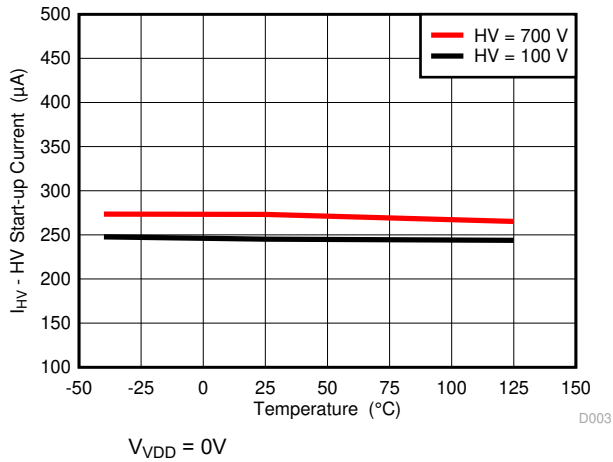


图 5-3. HV 启动电流与温度间的关系

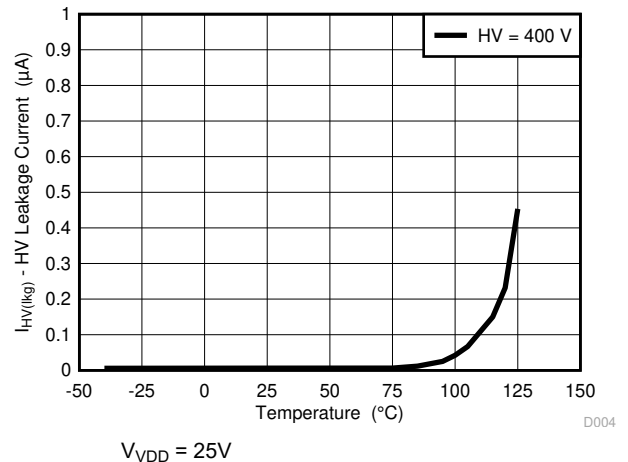


图 5-4. HV 漏电流与温度间的关系

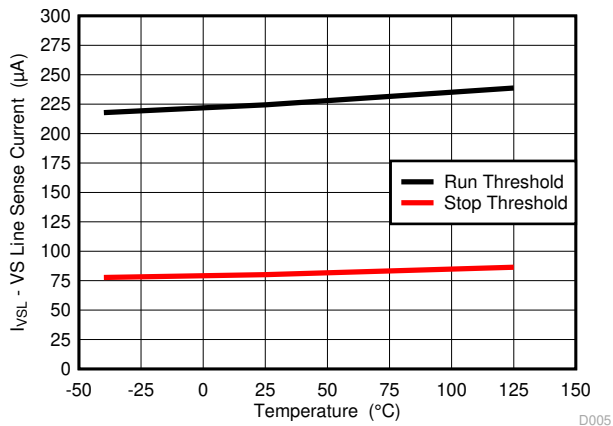


图 5-5. VS 线路检测电流与温度间的关系

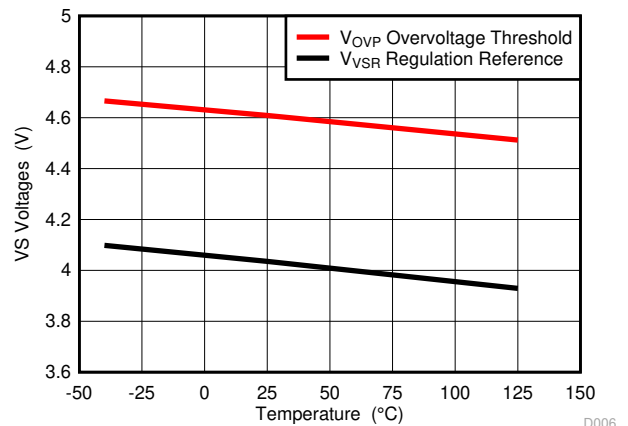


图 5-6. VS 电压与温度间的关系

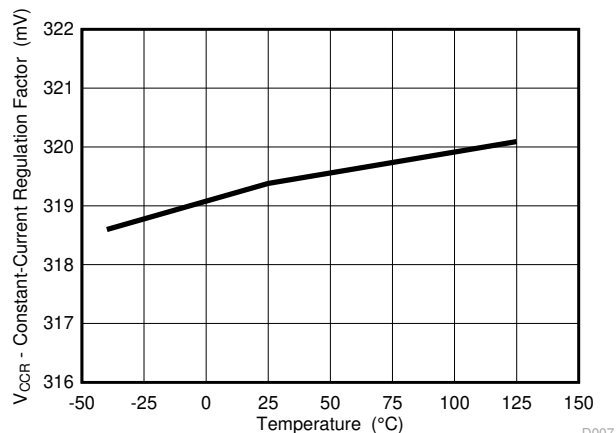


图 5-7. 恒流调节因子与温度间的关系

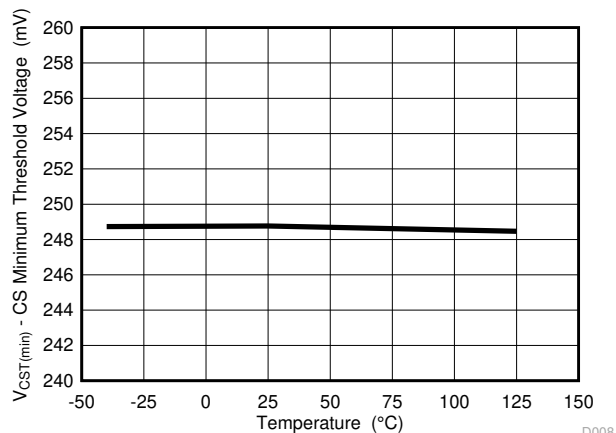


图 5-8. CS 最小阈值电压与温度间的关系

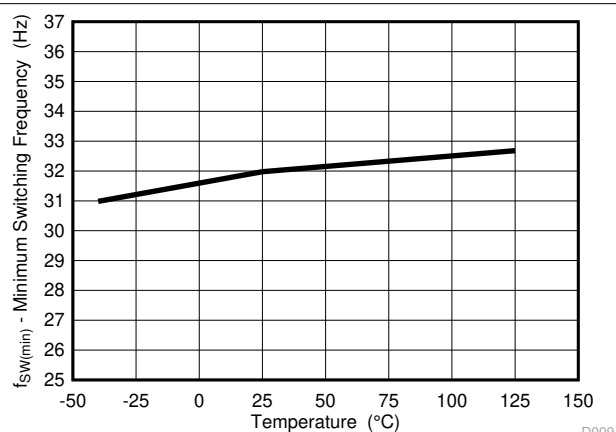
 $V_{VS} = 4.35V$

图 5-9. 最小开关频率与温度间的关系

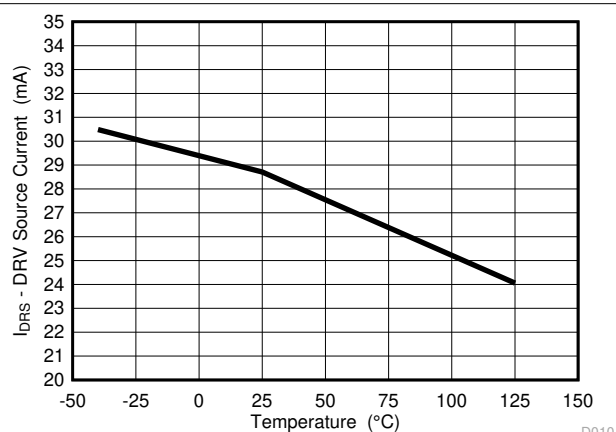
 $V_{VDD} = 9V$ $V_{DRV} = 8V$

图 5-10. DRV 源电流与温度间的关系

6.3 特性说明

6.3.1 详细引脚说明

6.3.1.1 VDD (器件偏置电压电源)

VDD 引脚连接至接地的旁路电容器。导通 UVLO 阈值为 21V，关断 UVLO 阈值为 7.7V，VDD 上的可用工作电压范围高达 35V。典型 USB 充电规格要求输出电流在 5V 至最低 2V 的恒流模式下运行，这可以通过大约 20V 的标称 V_{VDD} 轻松实现。高达 35V 的额外 VDD 余量使得 V_{VDD} 能够在高负载条件下由于传递到 VDD 电容器的泄漏能量而上升。

6.3.1.2 GND (接地)

UCC28731-Q1 具有位于器件外部的单个接地基准，用于栅极驱动电流和模拟信号基准。将 VDD 旁路电容器放置在靠近 GND 和 VDD 的位置，并采用短引线，以更大限度地减小 VS 和 CS 信号引脚上的噪声。

6.3.1.3 HV (高电压启动)

HV 引脚直接连接到大容量电容器，为 VDD 电容器提供启动电流。启动电流典型值约为 250 μ A，可为 VDD 电容器提供快速充电。内部 HV 启动器件始终处于激活状态，直至 V_{VDD} 超过导通 UVLO 阈值 (21V)，此时 HV 启动器件将关断。关断状态下的 HV 漏电流极低，因此能够更大限度降低控制器待机损耗。当 V_{VDD} 降至低于 7.7V UVLO 关断阈值时，HV 启动器件导通。

6.3.1.4 DRV (栅极驱动)

DRV 引脚通常通过一个串联电阻器连接到 MOSFET 栅极引脚。栅极驱动器提供限制为 14V 的栅极驱动信号。驱动器的导通特性为 29mA 电流源，它限制了 MOSFET 漏极的导通 dv/dt 并降低了前沿电流尖峰，同时仍提供栅极驱动电流以克服米勒平坦区域。栅极驱动关断电流由低侧驱动器的 $R_{DS(on)}$ 和任何外部栅极驱动电阻决定。如有必要，添加外部栅极电阻可减小 MOSFET 漏极关断 dv/dt 。此类电阻值一般高于通常用于抑制谐振的典型 10 Ω 。然而，对于实现特定 dv/dt 的外部电阻值，其计算涉及的 MOSFET 参数超出了本数据表的讨论范围。

6.3.1.5 CBC (电缆补偿)

电缆补偿引脚连接到一个接地电阻器，以对抵消电缆电阻所需的输出电压补偿量进行编程。电缆补偿电路在 CBC 引脚上产生 0 至 3.13V 的电压水平，对应 0A 至 I_{OCC} 最大输出电流。CBC 引脚上选择的电阻对电流镜进行编程，该电流镜被汇总到 VS 反馈分压器中，因此随着 I_{OUT} 的增加，调节电压也会增加。CBC 引脚具有 28k Ω 的内部串联电阻，当 CBC 对地短路时，它将 5V 输出的最大电缆补偿设置为约 400mV。可以使用 [方程式 1](#) 来确定 CBC 电阻值。

$$R_{CBC} = \frac{V_{CBC(max)} \times (V_{OCV} + V_F) \times 3 \text{ k}\Omega}{V_{VSR} \times V_{OCBC}} - 28 \text{ k}\Omega \quad (1)$$

其中

- $V_{CBC(max)}$ 是最大转换器输出电流下电缆补偿引脚上的最大电压 (请参阅 [节 5.5](#))，
- V_{OCV} 是稳压输出电压，
- V_F 是二极管正向电压，
- V_{VSR} 是 VS 输入端的 CV 调节电平 (请参阅 [节 5.5](#))，
- V_{OCBC} 是输出端子上的目标电缆补偿电压。

请注意，电缆补偿不会改变过压保护 (OVP) 阈值 V_{OVP} (请参阅 [节 5.5](#))，因此在使用电缆补偿时 OVP 的运行裕度较小。

6.3.1.6 VS (电压检测)

VS 引脚连接到辅助绕组与接地端之间的电阻分压器，用于检测输入电压、输出电压和事件时序。在变压器次级电流退磁时间结束时对辅助电压波形进行采样，以提供输出电压的准确表示。VS 引脚上的波形决定了实现谷底开关的时序信息和在恒流模式下控制变压器次级电流占空比的时序。应避免在该输入上放置滤波电容器，因为这会干扰对该波形的准确检测。

在 MOSFET 导通期间，该引脚还会检测由反射的大容量电容器电压通过 R_{S1} 产生的 VS 电流，以提供交流输入运行和停止阈值，并补偿交流输入范围内的电流检测阈值。对于交流输入运行/停止功能，VS 上的运行阈值为 225 μ A，停止阈值为 80 μ A。

在关断时间退磁结束时，会在该引脚上对反射输出电压进行采样，以提供调节和过压保护。辅助分压器高侧电阻器 R_{S1} 和低侧电阻器 R_{S2} 的阻值由 [方程式 2](#) 和 [方程式 3](#) 确定。

$$R_{S1} = \frac{\sqrt{2} \times V_{IN(run)}}{N_{PA} \times I_{VSL(run)}} \quad (2)$$

其中

- $V_{IN(run)}$ 是使控制器开启 (运行) 的目标交流 RMS 电压 (对于直流输入，在公式中省略 $\sqrt{2}$ 项)，
- $I_{VSL(run)}$ 是开关导通期间从 VS 引脚拉出的电流的运行阈值 (请参阅 [节 5.5](#))，
- N_{PA} 是变压器初级绕组与辅助绕组的匝数比。

$$R_{S2} = \frac{R_{S1} \times V_{VSR}}{N_{AS} \times (V_{OCV} + V_F) - V_{VSR}} \quad (3)$$

其中

- V_{OCV} 是转换器调节输出电压，
- V_F 是电流接近零时的输出整流器正向压降，
- N_{AS} 是变压器辅助绕组与次级绕组的匝数比，
- R_{S1} 是 VS 分压器高侧电阻，
- V_{VSR} 是 VS 输入的 CV 调节电平 (请参阅 [节 5.5](#))。

当 UCC28730-Q1 在等待状态下工作时，在波形满足两个限定条件中的任一个后，VS 输入可接收叠加在辅助绕组波形上的唤醒信号。如果 VS 输入端的振幅超过 $VWU(high)$ (2V)，则认为检测到高电平唤醒信号，前提是在退磁间隔之后，VS 上的任何电压在唤醒鉴定延迟 $tWDLY$ (8.5 μ s) 内持续低于 $VWU(high)$ 。如果 VS 输入端的振幅超过 $VWU(low)$ (57mV)，则认为检测到低电平唤醒信号，前提是在退磁间隔之后，VS 上的任何电压在唤醒鉴定延迟 $tWDLY$ (8.5 μ s) 内持续低于 $VWU(low)$ 。高电平阈值适应低阻抗次级侧驱动器生成的信号，而低电平阈值检测高阻抗驱动器生成的信号

6.3.1.7 CS (电流检测)

电流检测引脚连接至一个与电流检测电阻器 (R_{CS}) 串联的电阻器 (R_{LC})。对于 $I_{PP(max)}$, 最大电流检测阈值 ($V_{CST(max)}$) 约为 0.74V; 对于 $I_{PP(min)}$, 最小电流检测阈值 ($V_{CST(min)}$) 约为 0.25V。 R_{LC} 提供了前馈线路补偿功能, 以消除内部比较器的传播延迟和 MOSFET 关断时间导致的 I_{PP} 随输入电压的变化。225ns 的内部前沿消隐时间消除了对 MOSFET 导通电流尖峰的敏感性。没有必要在 CS 引脚上放置旁路电容器。恒流 (CC) 调节中的目标输出电流决定了 R_{CS} 的值。可以使用 [方程式 4](#) 和 [方程式 5](#) 来计算 R_{CS} 和 R_{LC} 的值。 V_{CCR} 项是退磁常数 0.432 和 $V_{CST(max)}$ 的乘积。 V_{CCR} 的精度需要比其任何一个构成项都要严格。 η_{XFMR} 项表示变压器中储存但未传输到次级的能量。该项包括变压器电阻和磁芯损耗、偏置功率和初级与次级漏电感之比。

示例：变压器磁芯和绕组损耗为 5%，初级与次级漏电感之比为 3.5%，偏置功率与输出功率之比为 0.5%，全功率时的 η_{XFMR} 值为： $1 - 0.05 - 0.035 - 0.005 = 0.91$ 。

$$R_{CS} = \frac{V_{CCR} \times N_{PS}}{2 \times I_{OCC}} \times \sqrt{\eta_{XFMR}} \quad (4)$$

其中

- V_{CCR} 是恒流调节因子 (请参阅 [节 5.5](#)) ,
- N_{PS} 是变压器初级与次级的匝数比 (对于 5V 输出, 其典型值为 13 比 15) ,
- I_{OCC} 是恒流调节中的目标输出电流,
- η_{XFMR} 是全功率输出下的变压器效率。

$$R_{LC} = \frac{K_{LC} \times R_{S1} \times R_{CS} \times N_{PA} \times t_D}{L_P} \quad (5)$$

其中

- K_{LC} 是针对线路补偿的电流调节常量 (请参阅 [节 5.5](#)) ,
- R_{S1} 是 VS 引脚高侧电阻器阻值,
- R_{CS} 是电流检测电阻器阻值,
- N_{PA} 是变压器初级绕组与辅助绕组的匝数比,
- t_D 是总电流检测延迟, 其中包括 MOSFET 关断延迟和大约 50ns 的内部延迟,
- L_P 是变压器初级电感。

6.3.2 初级侧调节 (PSR)

图 6-1 说明了简化的隔离反激式转换器，其中显示了该器件的主要电压调节块。动力总成操作与任何 DCM 反激式电路相同，但精确的输出电压和电流检测是初级侧控制的关键。在变压器退磁时间内，在 VS 输入端使用分压网络将输出电压作为反射电压进行检测。使用电流检测电阻器 R_{CS} 在 CS 输入端检测初级绕组电流。

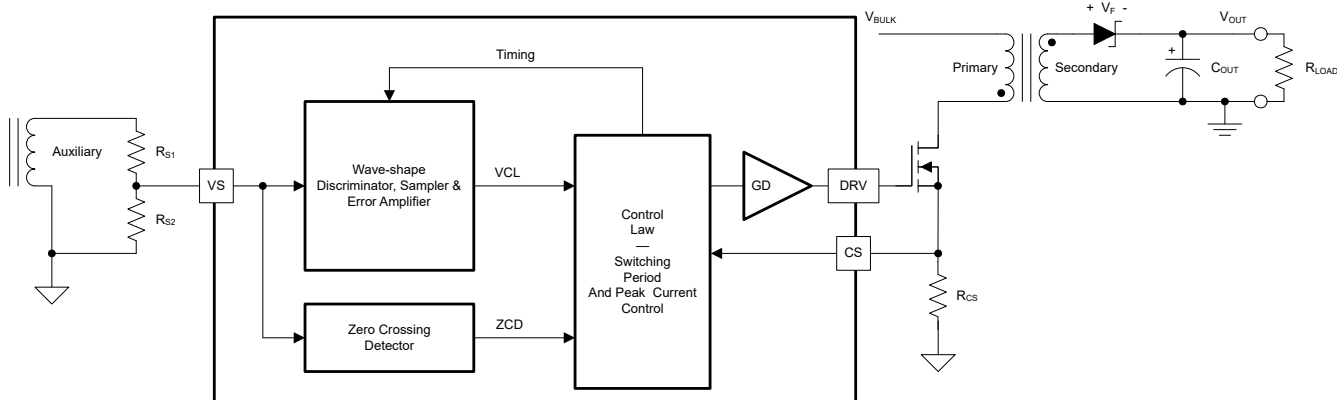


图 6-1. 简化的反激式转换器 (具有主要电压调节块)

在初级侧控制中，在存储的变压器能量到次级侧的传输结束时在辅助绕组上直接检测输出电压。如图 6-2 所示，显然存在一个下降斜率，表示当次级电流减小到零时，总整流器 V_F 和电阻压降减小。为了准确表示辅助绕组上的次级输出电压，鉴别器可靠地阻止漏电感复位和振铃，在振铃减弱后的下降沿期间连续对辅助电压进行采样，并在次级绕组达到零电流时捕获误差信号。VS 上的内部基准为 4.04V。VS 基准电压的温度补偿为 $-1\text{mV}/^\circ\text{C}$ ，可以抵消输出整流器正向电压随温度的变化。电阻分压器依据 VS 引脚说明进行选择。

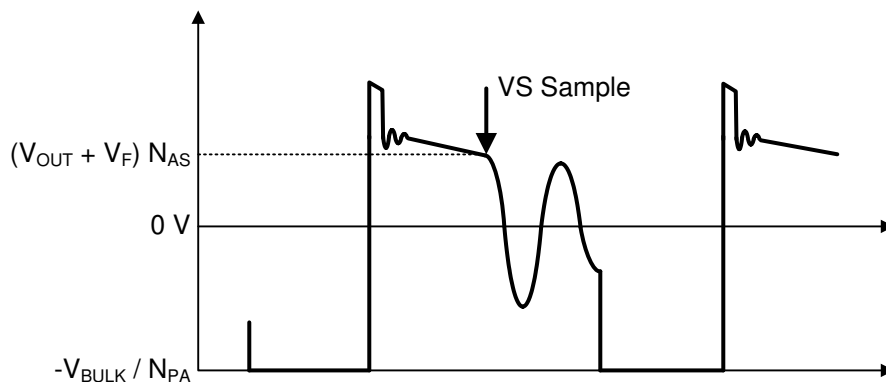


图 6-2. 辅助绕组电压

UCC28731-Q1 VS 信号采样器包括确保一个来自辅助绕组输出电压的准确采样信号的鉴别方法。然而，辅助绕组信号的一些细节需要注意以确保可靠运行，特别是漏电感的复位时间和任何后续漏电感振铃的持续时间。请参见下面的图 6-3，了解有关波形标准的详细说明，以确保在 VS 引脚上进行可靠的采样。

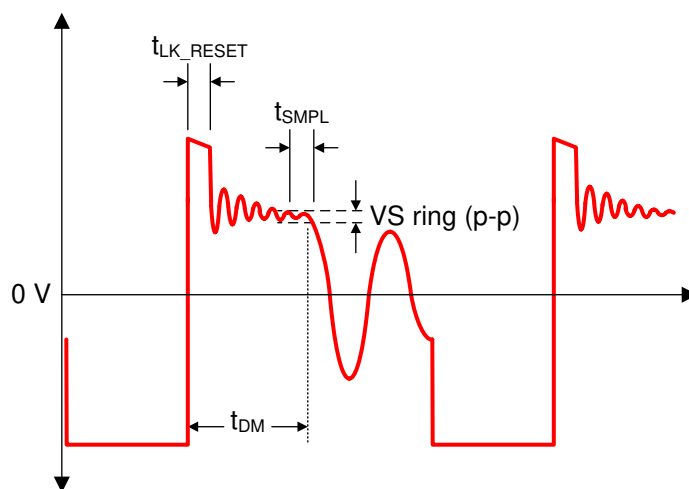


图 6-3. 辅助波形详细信息

要检查的第一个细节是漏电感复位基底的持续时间，即图 6-3 中的 t_{LK_RESET} 。由于这可以模拟次级电流衰减的波形，后跟急剧下降的斜率，因此应使泄漏复位时间针对 I_{PRI} 最小值保持小于 750ns，针对 I_{PRI} 最大值保持小于 2.25μs，这一点很重要。

第二个细节是 t_{LK_RESET} 后的 V_{AUX} 波形上振铃的振幅。在退磁时间 t_{DM} 结束前至少 200ns 内，VS 引脚上的峰峰值电压应小于 125mV。如果担心过度振铃，它通常在轻载或空载情况下发生，此时 t_{DM} 处于最小值。为避免 VS 处的信号波形因示波器探头电容而失真，建议探测辅助绕组以查看 VS 波形特性。VS 上的可承受纹波通过 R_{S1} 和 R_{S2} 放大到辅助绕组电压，其值等于 $125mV \times (R_{S1} + R_{S2})/R_{S2}$ 。

6.3.3 初级侧恒压调节

在电压调节过程中，控制器按照下面的图 6-4 说明的控制规律以调频和调幅模式工作。控制律电压 V_{CL} 根据电压误差放大器输出信号反映内部工作电平。用户无法访问这些信号中的任何一个，但可以根据 CS 输入端电流检测信号的频率和振幅推断出近似的 V_{CL} 。随着线路和负载条件的变化， V_{CL} 会根据需要调整工作频率和振幅，以保持输出电压的调节。由于 UCC28731-Q1 包含内部环路补偿，因此无需外部稳定性补偿。

该器件的内部工作频率限值为 $f_{SW(max)}$ 和 $f_{SW(min)}$ ，通常分别为 83.3kHz 和 32Hz。变压器初级电感和初级峰值电流的选择决定了转换器的最大工作频率，该频率必须等于或低于 $f_{SW(max)}$ 。相反，最大目标工作频率和初级峰值电流的选择决定了变压器初级电感值。任何特定转换器的实际最小开关频率取决于多种因素，包括最小负载电平、漏电感损耗、开关节点电容损耗、其他开关和导通损耗以及辅助电源要求。在任何情况下，转换器的最小稳定状态频率必须始终超过 $f_{SW(min)}$ ，否则输出电压可能会上升到过压保护电平 (OVP)，控制器将按照节 6.3.7 中所述进行响应。

稳定状态控制律电压 V_{CL} 介于 1.3 和 4.85V 之间（具体取决于负载），但在负载瞬态时可能偶尔低于 0.75V 或高于 4.85V。轻负载时低于 0.75V 会将开关频率移至较低范围，超过 4.85V 则进入恒流运行模式。负载逐渐减轻时有 3 个较低的工作频率范围，每个范围在一定程度上重叠之前的范围，以便在非常低的频率下提供稳定的调节。在这些较低频率水平下，峰值初级电流始终保持在 $I_{PP(max)}/3$ 。控制器根据内部控制律电压 V_{CL} 自动完成水平之间的转换。

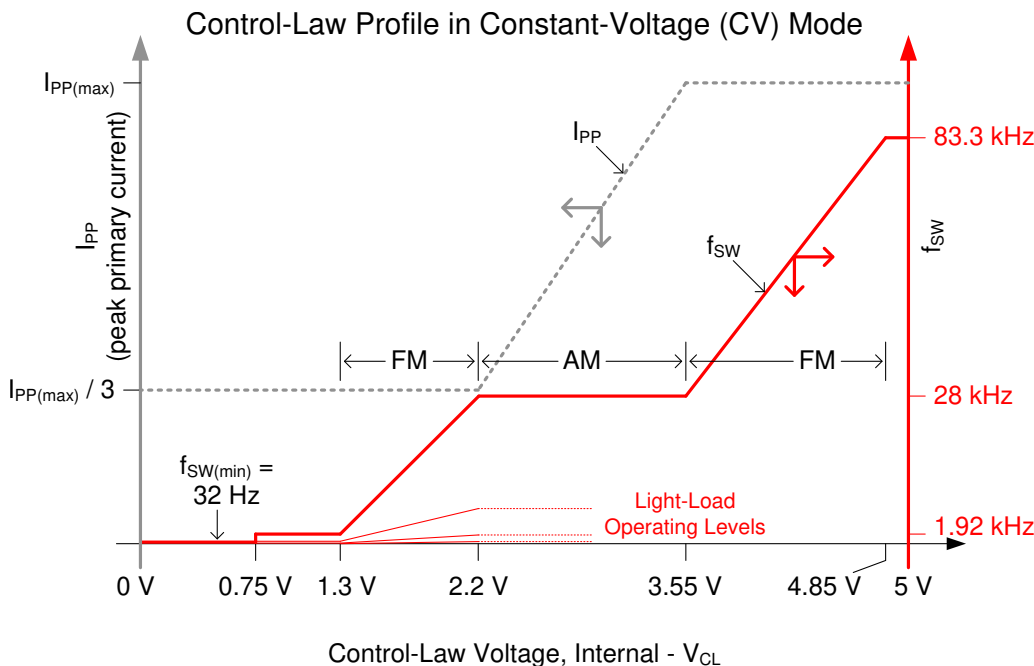


图 6-4. 调频和条幅模式 (在电压调节期间)

6.3.4 初级侧恒流调节

利用 VS 引脚上的时序信息和 CS 引脚上的电流信息，可以精确调节次级平均电流。控制律决定了随着 CV 调节中功率的增加并接近 CC 调节，初级峰值电流将达到 $I_{PP(max)}$ 。参考下面的图 6-5 可知，初级峰值电流、匝数比、次级退磁时间 (t_{DM}) 和开关周期 (t_{SW}) 决定了次级平均输出电流。忽略泄漏电感的影响，平均输出电流由方程式 6 给出。

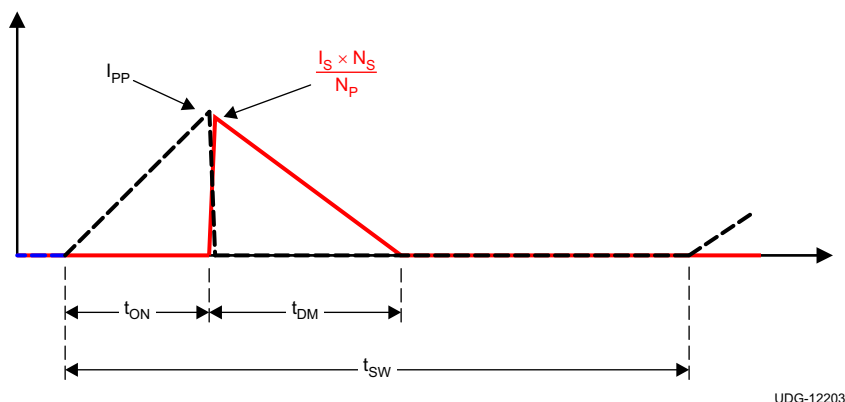


图 6-5. 变压器电流关系

$$I_{OUT} = \frac{I_{PP}}{2} \times \frac{N_P}{N_S} \times \frac{t_{DM}}{t_{SW}} \quad (6)$$

当平均输出电流达到电流控制块中的 CC 调节基准时，在任何下降至或低于最低工作电压目标 V_{OCC} 的输出电压下，控制器以调频模式工作以控制输出电流 I_{OCC} （请参阅图 6-6），只要辅助绕组能够保持 VDD 电压高于 UVLO 关断阈值即可。当 V_O 非常低，以至于无法维持 VDD 高于 UVLO 时，器件会关断。

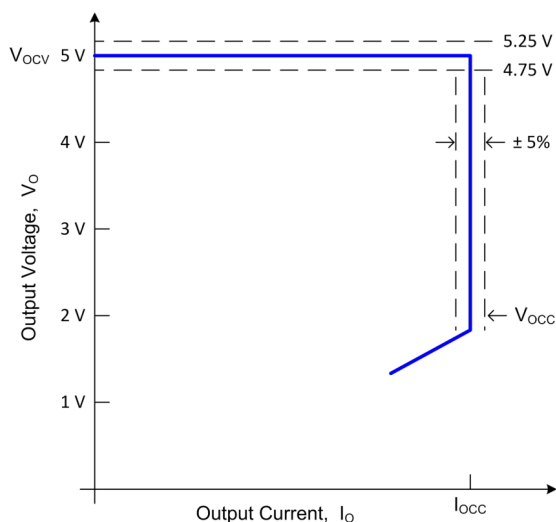


图 6-6. 典型输出 V-I 目标特性

6.3.5 谷底开关和谷底跳跃

UCC28731-Q1 谷底开关来降低 MOSFET 中的开关损耗，降低感应 EMI 并更大限度地减小电流检测电阻器上处的导通电流尖峰。控制器在所有负载条件下都以谷底开关方式工作，除非 V_{DS} 振铃减小到不再可检测到谷底的程度。

如图 6-7 所示，在大多数负载条件下，UCC28731-Q1 以谷底跳跃模式运行，以保持准确的电压或电流调节点，并且在最低可用的 V_{DS} 电压下仍能进行开关。

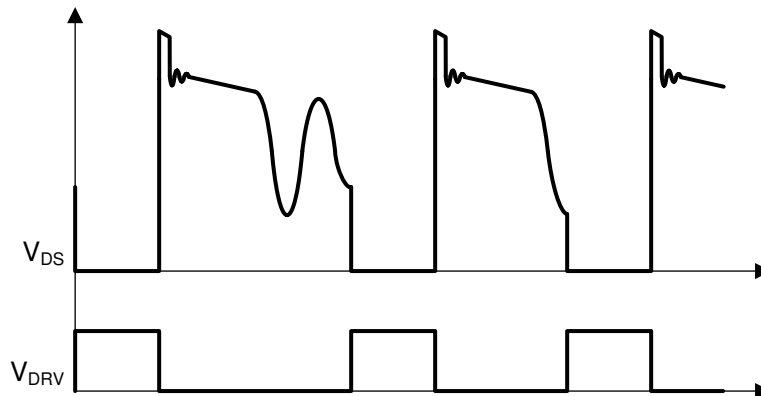


图 6-7. 谷值跳跃模式

谷底跳跃会将每个开关周期调制为离散的持续时间。在 FM 工作期间，开关周期是指以固定数据包的形式将能量输送到输出端，并且提供的功率与开关周期成反比变化的周期。在开关周期相对较短的工作条件下（例如在高负载和低压线路下），每个周期提供的平均功率因周期之间跳过的谷底数量而显著变化。因此，谷底跳跃会向输出添加额外的低振幅纹波电压，其频率取决于体电压的变化速率。对于平均功率级别介于跳过较少谷底的周期和跳过较多谷底的周期之间的负载，电压控制环路会调制控制律电压并在较长和较短的开关周期之间切换，以匹配所需的平均输出功率。

6.3.6 启动操作

通过 HV 引脚连接到大容量电容器电压 (V_{BULK}) 的内部高压启动开关为 VDD 电容器充电。该启动开关的功能与电流源类似，通常提供 250 μ A 的电流来为 VDD 电容器充电。当 V_{VDD} 达到 21V UVLO 导通阈值时，控制器启用，转换器开始开关，启动开关关断。

初始导通时，输出电容器通常处于完全放电状态。前 4 个开关周期电流峰值限制在 $I_{PP(min)}$ ，以监测有限电力输送情况下是否出现任何初始输入或输出故障。在这 4 个周期之后，如果 VS 上的采样电压低于 1.32V，则控制器在特殊的启动模式下工作。在该模式下，每个开关周期的初级电流峰值振幅限制在大约 $0.67 \times I_{PP(max)}$ ， D_{MAGCC} 从 0.432 增加至 0.650。启动期间对 $I_{PP(max)}$ 和 D_{MAGCC} 进行的这些修改使输出电容器可以进行高频充电，从而在退磁电压较低时避免产生可闻噪声。一旦采样的 VS 电压超过 1.36V， D_{MAGCC} 就恢复至 0.432，而初级电流峰值恢复为 $I_{PP(max)}$ 。当输出电容器充电时，转换器在 CC 模式下工作，以保持恒定的输出电流，直到输出电压进入稳压状态。此后，控制器按照控制律的规定对情况做出响应。达到输出稳压的时间包括 VDD 电容器充电至 $V_{VDD(on)}$ 的时间加上输出电容器充电的时间。

6.3.7 故障保护

UCC28731-Q1 提供全面的故障保护。保护功能包括：

1. 输出过压
2. 输入欠压
3. 内部过热
4. 初级过流故障
5. CS 引脚故障
6. VS 引脚故障

一个 UVLO 复位和重启序列适用于所有故障保护事件。

输出过压功能依赖于 VS 引脚上的电压反馈。如果 VS 的电压样本在连续三个开关周期内超过 4.6V，则器件停止开关，内部电流消耗变为 I_{FAULT} ，从而将 VDD 电容器放电至 UVLO 关闭阈值。之后，器件会返回到起始状态并执行启动序列。

MOSFET 导通时间内流入 VS 引脚的电流决定了线路输入运行电压和停止电压。在 MOSFET 导通时间内，当 VS 引脚钳位至接近 GND 时，流经 R_{S1} 的电流被监测以确定 V_{BULK} 的样本。相距甚远的运行阈值与停止阈值使得线路电压电源能够正确无误地启动与关断。运行电流阈值是 225 μA ，停止电流阈值是 80 μA 。启动时运行的输入交流电压始终与整流线路的峰值电压相对应，因为在启动前 C_{BULK} 上没有负载。要停止的交流输入电压随负载而变化，因为 V_{BULK} 的最小值取决于负载和 C_{BULK} 的值。在最大负载下，停止电压接近于运行电压，但在空载条件下，停止电压大约为运行电压的 1/3。

UCC28731-Q1 始终采用逐周期初级峰值电流控制来运行。CS 引脚的正常工作范围是 0.74 至 0.249V。如果 CS 引脚连续三个周期在前沿消隐间隔后达到 1.5V，则会产生额外的保护，从而引发 UVLO 复位和重启序列。

通常，在初始启动时，前四个下电上电的初级电流峰值电平被限制在最小值 $V_{\text{CST(min)}}$ 。如果 CS 输入短路或保持低电平，从而在第一个周期中未在 4 μs 之内达到 $V_{\text{CST(min)}}$ 电平，则假定 CS 输入短接至 GND，故障保护功能会引发 UVLO 复位和重启序列。同样，如果 CS 输入开路，则内部电压将被上拉至 1.5V 并持续三个连续的开关周期，故障保护功能会引发 UVLO 复位和重启序列。

内部过热保护阈值是 165°C。如果结温达到该阈值，器件会启动一个 UVLO 复位周期。如果温度在 UVLO 周期结束时仍然很高，保护周期重复进行。

VS 引脚上的组件发生故障时会触发相应的保护。如果 VS 引脚上的反馈信息完全丢失，控制器将停止开关操作并重新启动。

6.4 器件功能模式

根据输入电压、VDD 电压和输出负载条件，器件可以在不同的模式下工作：

1. 启动时，如果 VDD 小于 $V_{VDD(on)}$ 导通阈值，则 HV 内部电流源开启并以 $(I_{HV} - I_{START})$ 速率对 VDD 电容器进行充电。
2. 当 VDD 超过 $V_{VDD(on)}$ 时，HV 源关闭，器件开始切换以向转换器输出供电。根据负载条件，转换器以 CC 模式或 CV 模式工作。
 - a. CC 模式意味着转换器使输出电流保持恒定。当输出电压低于调节电平时，转换器在 CC 模式下工作，从而将输出恢复至调节电压。
 - b. CV 模式意味着转换器使输出电压保持恒定。当负载电流低于电流限制水平时，转换器在 CV 模式下工作，以便在满负载和输入线路范围内将输出电压保持在调节电平。
3. 当在 I_{PP} 大于 $0.55 \times I_{PP(max)}$ 的 CV 或 CC 模式下工作时，UCC28731-Q1 会在运行状态下持续工作。在该状态下，VDD 偏置电流始终等于 I_{RUN} 加平均栅极驱动电流。
4. 当在 I_{PP} 小于 $0.55 \times I_{PP(max)}$ 的 CV 模式下运行时，UCC28731-Q1 在开关周期之间以等待状态工作，在开关周期期间以运行状态工作。在等待状态下，VDD 偏置电流在每个开关周期后降至 I_{WAIT} ，以提高轻负载下的效率。
5. 器件工作可由下面列出的事件停止：
 - a. 如果 VDD 降至 $V_{VDD(off)}$ 阈值以下，则器件停止开关，其偏置电流消耗降低至 I_{START} ，并且内部 HV 电流源导通，直到 VDD 升至 $V_{VDD(on)}$ 阈值以上。然后器件恢复开关。
 - b. 如果检测到故障情况，器件将停止开关并将其偏置电流消耗降低至 I_{FAULT} 。该电流电平缓慢地将 VDD 放电至 $V_{VDD(off)}$ ，其中偏置电流从 I_{FAULT} 变为 I_{START} ，并且内部 HV 电流源导通，直到 VDD 上升至 $V_{VDD(on)}$ 阈值以上。
6. 如果故障情况仍然存在，则上面的 2 中所述的工作序列会重复执行，直到故障情况消除或输入电压被移除。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

7.1 应用信息

UCC28731-Q1 器件是一款 PSR 控制器，针对 5W 至 50W 范围内的隔离型反激式交流或直流/直流电源应用进行了优化，可提供恒压 (CV) 模式控制和恒流 (CC) 模式控制，从而实现精确的输出调节。也可支持更高功率、多输出应用和其他变体。该器件能够以极低的频率进行开关，以促进实现低于 5mW 的待机输入功耗。

7.2 典型应用

UCC28731-Q1 的典型应用包括从高压电池到 12V 或 15V 等低电压轨的隔离式直流/直流转换。这种类型的电源通常用于混合动力汽车或电动汽车动力总成系统，可以提供冗余电源路径。如果 12V 电池因碰撞或其他故障而无法正常工作，则用于诊断、监控和通信的安全关键型低压电子设备需要保持开启状态。对于要求特别高的效率性能的应用，也可使用以接地为基准的同步整流器。

备注

该图经过简化，仅用于说明 UCC28731-Q1 的基本应用，并未显示实际转换器设计所需的所有元件和网络，也未显示所有可能的电路变化。

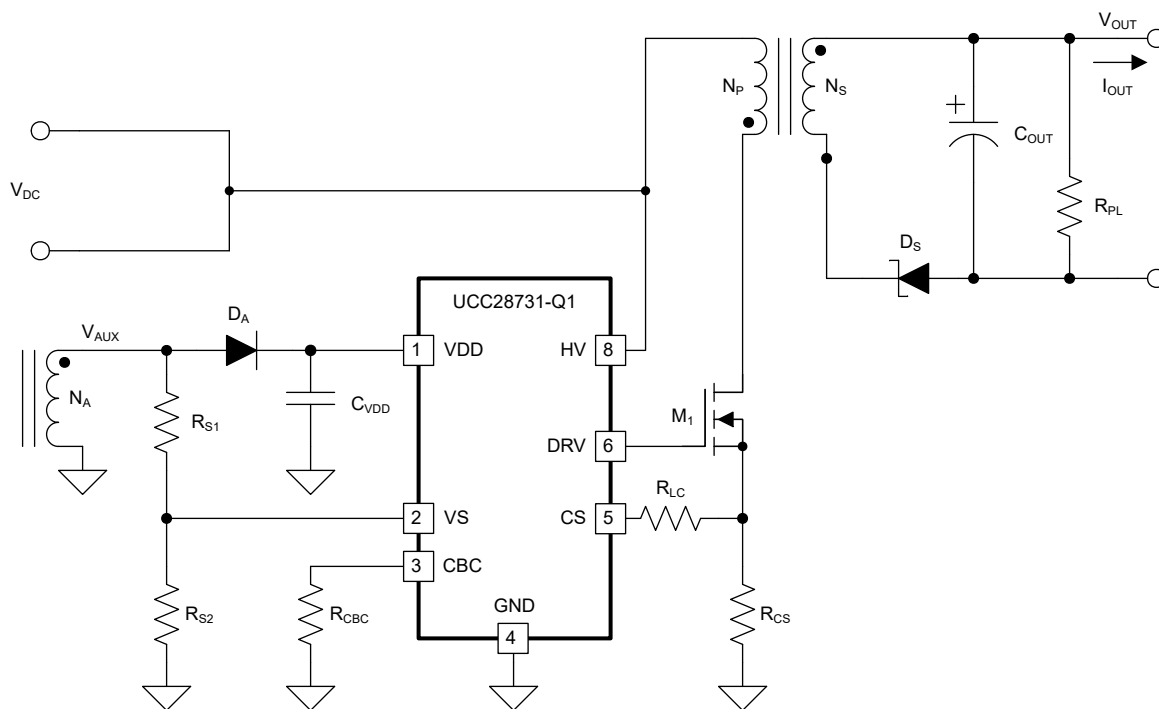


图 7-1. 采用以接地为基准的二极管的简化应用

7.2.1 设计要求

下表说明了特定转换器的典型高级设计要求子集，其中许多参数值用于本节的各种设计公式。

表 7-1. 设计示例性能要求

参数	条件	最小值	标称值	最大值	单位
V_{IN}	交流线路输入电压	85	115/230	264	V_{RMS}
f_{LINE}	线路频率	47	50/60	63	Hz
V_{OCV}	输出电压, CV 模式	$V_{IN(min)} \leq V_{IN} \leq V_{IN(max)}, I_{OUT} \leq I_{OCC}$	5.0	5.25	V
I_{OCC}	输出电流, CC 模式	$V_{IN(min)} \leq V_{IN} \leq V_{IN(max)}, I_{OUT} = I_{OCC}$	2.1	2.2	A
V_{RIPPLE}	输出电压纹波	$V_{IN(min)} \leq V_{IN} \leq V_{IN(max)}, I_{OUT} \leq I_{OCC}$		80	mV _{pp}
	输出过压限制		5.6		V
	输出过流限制		2.1		A
$V_{IN(run)}$	启动输入电压	$I_{OUT} = I_{OCC}$	72		V_{RMS}
V_{OCC}	最小输出电压, CC 模式	$I_{OUT} = I_{OCC}$		2	V
η_{AVG}	平均效率	25%、50%、75%、100% 负载的平均值, $V_{IN} = 115V_{RMS}$ 和 $230V_{RMS}$	80%		
η_{10}	轻负载效率	10% 负载, $V_{IN} = 115V_{RMS}$ 和 $230V_{RMS}$	75%		
P_{STBY}	待机输入功耗	$V_{IN} = 115V_{RMS}$ 和 $230V_{RMS}$		4.5	mW

此类表中可能并未列出许多其他必要的设计参数，例如 f_{MAX} 和 $V_{BULK(min)}$ 。可以根据设计经验或其他注意事项选择这些值，并且可以进行迭代以获得最佳结果。

7.2.2 详细设计过程

此过程概述了使用 UCC28731-Q1 控制器设计恒压、恒流反激式转换器的步骤。有关元件名称和网络位置，请参阅图 7-6。设计过程公式使用下面定义的术语。该过程不涉及初级侧和次级侧缓冲器或钳位。

7.2.2.1 输入大容量电容及其最小电压

大容量电容可以由一个电容器或多个并联的电容器组成，它们之间通常有一些电感，以抑制差模传导噪声。EMI 滤波器设计不在本过程的讨论范围内。

确定输入电容 C_{B1} 和 C_{B2} 上的最小电压总和，以确定变压器的最大 N_P 与 N_S 匝数比。基于目标满负载效率的转换器输入功率、最小输入 RMS 电压和最小交流输入频率用于确定输入电容值。

最大输入功率用于 C_{BULK} 计算，由 V_{OCV} 、 I_{OCC} 和满负载效率目标确定。

$$P_{IN} = \frac{V_{OCV} \times I_{OCC}}{\eta} \quad (7)$$

下面的公式提供了实现最小体谷值电压目标 $V_{BULK(min)}$ 所需输入电容的精确解决方案，其中考虑了在任何交流电源断电（由交流线路压降情况引起）期间，在一定数量的半周期 N_{HC} 内的保持时间。或者，如果规定了给定的输入电容值，则迭代 $V_{BULK(min)}$ 值，直到获得目标电容，这决定了该电容预期的 $V_{BULK(min)}$ 。

$$C_{BULK} \geq \frac{2P_{IN} \times \left(0.25 + 0.5 N_{HC} + \frac{1}{2\pi} \times \arcsin \left(\frac{V_{BULK(min)}}{\sqrt{2} \times V_{IN(min)}} \right) \right)}{(2 V_{IN(min)}^2 - V_{BULK(min)}^2) \times f_{LINE}} \quad (8)$$

7.2.2.2 变压器匝数比、电感、初级峰值电流

最大初级与次级匝数比可以由满负载时的目标最大开关频率、最小输入电容器体电压和估算的 DCM 准谐振时间确定。

首先，根据目标最大开关频率 f_{MAX} 、次级导通占空比 D_{MAGCC} 和 DCM 谐振周期 t_R 确定 MOSFET 的最大占空比。对于 t_R ，如果您没有根据经验或以前的设计进行估算，则假设其值为 $2\mu s$ (500kHz 谐振频率)。对于转换模式操作限制，从次级电流导通结束到 V_{DS} 电压的第一个谐振谷值的时间间隔是 DCM 谐振周期的 $\frac{1}{2}$ 或 $1\mu s$ (假设频率为 500kHz)。实际设计会有所不同。可以使用以下公式确定 D_{MAX} 。

$$D_{MAX} = 1 - D_{MAGCC} - \left(\frac{t_R}{2} \times f_{MAX} \right) \quad (9)$$

D_{MAGCC} 被定义为恒定电流 CC 操作期间的次级二极管导通占空比。在 UCC28731-Q1 中，其值在内部固定为 0.432。一旦知道 D_{MAX} ，就可以通过以下公式确定初级与次级绕组的理想匝数比。需要确定次级绕组上的总电压；该电压是 V_{OCV} 、次级整流器压降 V_F 与电缆补偿电压 (V_{OCBC}) (如果使用) 的总和。例如，对于 5V USB 充电器应用，通常使用的匝数比范围为 13 至 15。

$$N_{PS(ideal)} = \frac{D_{MAX} \times V_{BULK(min)}}{D_{MAGCC} \times (V_{OCV} + V_F + V_{OCBC})} \quad (10)$$

实际匝数比取决于每个变压器绕组的实际匝数。在 $V_{(min)}$ 下运行时，选择 $N_{PS} > N_{PS(ideal)}$ 会导致输出功率限值低于 $(V_{OCV} \times I_{OCC})$ ，而 V_{OUT} 上可能会出现工频纹波。选择 $N_{PS} < N_{PS(ideal)}$ 可使全功率调节低至 $V_{IN(min)}$ ，但会增加导通损耗和输出整流器的反向电压应力。

一旦根据详细的变压器设计确定了实际匝数比，就可以使用该比率进行以下参数计算。

UCC28731-Q1 恒流调节是通过在最大初级电流设置上保持 0.432 的最大 D_{MAGCC} 占空比来实现的。对于调节恒定电流目标 I_{OCC} ，变压器匝数比和恒定电流调节系数决定了电流检测电阻器 R_{CS} 。 R_{CS} 的实际实现可能包含多个并联电阻器，以满足额定功率和精度要求。

由于存储在变压器中的所有能量不会全部转移到次级输出，因此使用变压器效率项 η_{XFMR} 来表示磁芯和绕组损耗比、漏电感损耗比以及相对于额定输出功率的初级偏置功率比。例如，满载时整体变压器效率估算为 0.91，其中包括约 3% 的漏电感损耗、约 5% 的磁芯和绕组损耗以及约 1% 的偏置功率。实际的损耗比可能与该示例有所不同。

$$R_{CS} = \frac{V_{CCR} \times N_{PS}}{2I_{OCC}} \times \sqrt{\eta_{XFMR}} \quad (11)$$

可以使用反激式变压器的标准能量存储公式来计算初级变压器电感。下面的公式包括初级电流、最大开关频率以及输出和变压器功率损耗。

首先确定变压器峰值初级电流 $I_{PP(max)}$ 。

峰值初级电流就是最大电流检测阈值除以电流检测电阻。

$$I_{PP(max)} = \frac{V_{CST(max)}}{R_{CS}} \quad (12)$$

然后，计算变压器的初级电感 L_P 。

$$L_P = \frac{2 \times (V_{OCV} + V_F + V_{OCBC}) \times I_{OCC}}{I_{PP(max)}^2 \times f_{MAX} \times \eta_{XFMR}} \quad (13)$$

辅助绕组与次级绕组匝数比 N_{AS} 是由恒流调节中的最低目标工作输出电压、UCC28731-Q1 的 VDD 关断阈值以及相应绕组网络中的正向二极管压降决定的。

$$N_{AS} = \frac{V_{VDD(off)} + V_{FA}}{V_{OCC} + V_F} \quad (14)$$

变压器漏电感能量向 VDD 提供额外的能量，这使得在许多设计中可以使用较低的匝数比。

7.2.2.3 变压器参数验证

选择的变压器匝数比会影响 MOSFET V_{DS} 和次级整流器反向电压 V_{REV} ，因此应仔细检查。

次级整流器反向电压应力可由以下公式确定。由于次级漏电感会增加 V_{REV} ，因此可能需要在整流器周围连接一个缓冲器来抑制任何电压尖峰。

$$V_{REV} = \frac{V_{IN(max)} \times \sqrt{2}}{N_{PS}} + V_{OCV} + V_{OCBC} \quad (15)$$

对于 MOSFET V_{DS} 电压应力，应包含估算的漏电感电压尖峰 V_{LK} 。

$$V_{DSPK} = (V_{IN(max)} \times \sqrt{2}) + (V_{OCV} + V_F + V_{OCBC}) \times N_{PS} + V_{LK} \quad (16)$$

在高压线路最小负载条件下，UCC28731-Q1 需要最短的 MOSFET 导通时间 ($t_{ON(min)}$) 和最短的次级整流器退磁时间 ($t_{DMAG(min)}$)。 f_{MAX} 、 L_P 和 R_{CS} 的选择会影响实际实现的 t_{ON} 和 t_{DMAG} 。以下公式用于确定最小 t_{ON} 是否大于 t_{CSLEB} 以及是否实现了 $>1.2\mu s$ 的最小 t_{DMAG} 目标。

$$t_{ON(min)} = \frac{L_P}{V_{IN(max)} \times \sqrt{2}} \times \frac{I_{PP(max)}}{K_{AM}} \quad (17)$$

$$t_{DMAG(min)} = \frac{t_{ON(min)} \times V_{IN(max)} \times \sqrt{2}}{N_{PS} \times (V_{OCV} + V_F)} \quad (18)$$

7.2.2.4 输出电容

对于普通的反激式转换器，输出电容值通常由特定负载阶跃 I_{TRAN} 的瞬态响应要求决定，有时在空载条件下。例如，在某些 USB 充电器应用中，要求在 0mA 至 500mA 的负载阶跃下维持 4.1V 的瞬态最小 V_O 。下面的方程式 19 假定开关频率可以为 UCC28730 的最小开关频率 $f_{SW(min)}$ 。

$$C_{OUT(No_Wake)} \geq \frac{I_{TRAN} \left(\frac{1}{f_{SW(min)}} + 150 \mu s \right)}{V_{O\Delta}} \quad (19)$$

除非使用了显著的预加载来提高最小开关频率，否则这会导致 C_{OUT} 值超过 17,000 μF 。但是，唤醒功能支持使用小得多的 C_{OUT} 值，因为唤醒响应立即消除等待状态并提供高频下电上电，以从负载瞬态恢复输出电压。次级侧电压监控器 UCC24650 在检测到输出电压下降 -3% 时，为 UCC28730 提供唤醒信号。

$$C_{OUT} \geq \frac{1.2 \times I_{TRAN}}{(dV_{OUT}/dt)} \quad (20)$$

其中

- (dV_{OUT}/dt) 是 UCC24650 必须检测到 V_{OUT} 压降的斜率。在该计算中，使用 3700V/s 或更低的斜率因子。

UCC28730 包含内部电压环路补偿电路，因此只要 C_{OUT} 值足够高，就无需进行外部补偿。以下公式确定了在满载范围内保持约 40 度相位裕度所需的 C_{OUT} 最小值。 K_{Co} 是一个无量纲因子，其值为 100。

$$C_{OUT} \geq K_{Co} \times \frac{I_{OCC}}{V_{OCV} \times f_{MAX}} \quad (21)$$

选择输出电容器时另一个考虑因素是最大纹波电压要求 $V_{RIPPLE(max)}$ ，这是根据最大输出负载、次级峰值电流以及电容器的等效串联电阻 (ESR) 来评估的。输出纹波电压的两个主要影响因素是每个开关周期中 C_{OUT} 的充电和放电引起的 V_{OUT} 变化以及 C_{OUT} 的 ESR 引起的 V_{OUT} 阶跃。TI 建议初始为 ESR 分配 $V_{RIPPLE(max)}$ 的 33%，为

C_{OUT} 分配 33%，剩余的 33% 用于解决 EMI 抖动、谷底跳跃、采样噪声和其他随机因素导致的额外低电平纹波。在 [方程式 22](#) 中，根据电容器 ESR 要求应用了 50% 的裕度，以适应老化。在 [方程式 23](#) 中，设置 $\Delta V_{CQ} = 0.33 \times V_{RIPPLE(max)}$ ，以根据纹波电压限制确定 C_{OUT} 的最小值。如果需要对允许的纹波电压进行其他分配，则可以相应地调整这些公式。

$$ESR \leq \frac{0.33 \times V_{RIPPLE(max)}}{I_{PP(max)} \times N_{PS}} \times 0.50 \quad (22)$$

$$C_{OUT} \geq \frac{I_{OCC}}{\Delta V_{CQ} \times f_{MAX}} \quad (23)$$

为最小输出电容选择前面 C_{OUT} 计算的最大值。如果 C_{OUT} 的值过大而无法满足严格的纹波限制，则可以将 C-L-C π 型滤波器布置视为简单的纯电容器滤波器的替代品。该布置超出了本数据表的讨论范围。

7.2.2.5 VDD 电容, C_{VDD}

需要在 VDD 上连接一个电容器, 以实现以下功能:

1. 在启动期间 VDD 下降至 UVLO 时提供运行状态偏置电流, 直至达到 V_{OC},
2. 在稳定状态低频下电上电周期之间提供等待状态偏置电流, 以及
3. 在 V_{OUT} 从瞬态过冲中恢复时, 在最小频率下电上电周期之间提供等待状态偏置电流。

通常, 满足 (3) 的值也满足 (2) 和 (1), 但是, 如果转换器必须在上电期间在低于 V_{OC} 的电压下提供高输出电流, 则 (1) 的值可能是最大的。

VDD 上的电容需要在恒流调节中转换器的输出电压达到目标最小工作电压 V_{OC} 之前为器件提供工作电流。此时, 辅助绕组可以维持 UCC28731-Q1 的偏置电压高于 UVLO 关断阈值。可用于为输出电容器充电并为输出负载供电的总电流是恒流调目标 I_{OC}。

方程式 24 假定反激转换器的所有输出电流可为输出电容充电直至达到最小输出电压。为了留出一定的裕度, 估计有 1mA 的平均栅极驱动电流添加到运行电流中, 并且有 1V 电压添加到最小 VDD 中。

$$C_{VDD} \geq \frac{(I_{RUN} + 1 \text{ mA}) \times \frac{C_{OUT} \times V_{OC}}{I_{OC}}}{V_{VDD(on)} - (V_{VDD(off)} + 1 \text{ V})} \quad (24)$$

在轻负载条件下, UCC28731-Q1 在下电上电周期之间进入等待状态, 从而更大限度地降低偏置功率并提高效率。**方程式 25** 可估算在等待状态下获得 VDD 上目标最大纹波电压 (例如 V_{VDD(max Δ)} < 1V) 所需的最小电容, 该等待状态在可能的最低开关频率下发生。

$$C_{VDD} \geq \frac{I_{WAIT}}{V_{VDD(max \Delta)} \times f_{SW(min)}} \quad (25)$$

为最小 VDD 电容选择前面 C_{VDD} 计算的最大值。

7.2.2.6 VS 电阻分压器、线路补偿、和电缆补偿

VS 分压电阻器决定了反激式转换器的输出电压调节点。此外，高侧分压电阻器 (R_{S1}) 决定了控制器启用连续 DRV 操作的线路电压。 R_{S1} 最初根据变压器初级与辅助匝数比和所需的输入电压阈值来确定。

$$R_{S1} = \frac{\sqrt{2} \times V_{IN(run)}}{N_{PA} \times I_{VSL(run)}} \quad (26)$$

低侧 VS 分压电阻器 R_{S2} 是根据所需的恒压输出调节点 V_{OCV} 来选择的。

$$R_{S2} = \frac{R_{S1} \times V_{VSR}}{N_{AS} \times (V_{OCV} + V_F) - V_{VSR}} \quad (27)$$

UCC28731-Q1 可以通过利用线路补偿功能在输入线路上保持严格的恒流调节。线路补偿电阻器阻值 R_{LC} 由各种系统参数以及栅极驱动器关断和 MOSFET 关断延迟组合 t_D 决定。假设 UCC28731-Q1 中具有 50ns 的内部传播延迟。

$$R_{LC} = \frac{K_{LC} \times R_{S1} \times R_{CS} \times N_{PA} \times t_D}{L_P} \quad (28)$$

UCC28731-Q1 通过在 CBC 端子和 GND 之间连接一个电阻器来提供高达约 V_{OCV} 的 +8% 的可调节电缆补偿。该补偿电压 V_{OCBC} 表示高于标称空载输出电压的电压逐渐升高，需要使用它来抵消或减少由于电缆电阻导致的电缆末端电压的逐渐降低。可以使用下面的公式来确定转换器输出端子上所需电缆补偿电平所需的编程电阻。随着负载电流的变化，电缆补偿电压也会缓慢变化，以避免主输出电压控制中断。负载电流的突然变化将在电缆末端引起输出电压的阶跃变化，直到补偿电压调节至所需的电平。请注意，电缆补偿不会改变过压保护 (OVP) 阈值 V_{OVP} (请参阅节 5.5)，因此在使用电缆补偿时 OVP 的运行裕度较小。如果不需要电缆补偿，则 CBC 可以保持未连接状态。

$$R_{CBC} = \frac{V_{CBC(max)}}{V_{OCBC} \times \frac{V_{VSR}}{(V_{OCV} + V_F)}} \times 3 \text{ k}\Omega - 28 \text{ k}\Omega \quad (29)$$

7.2.3 应用曲线

下图展示了 5V、10W 反激式转换器的瞬态响应，该转换器在空载待机条件下运行时接收到 2A 的脉冲阶跃负载。
图 7-5 展示了该转换器在整个交流输入范围内实现的空载待机输入功耗。在保持针对满负载阶跃的快速瞬态响应的同时实现了零功耗运行。

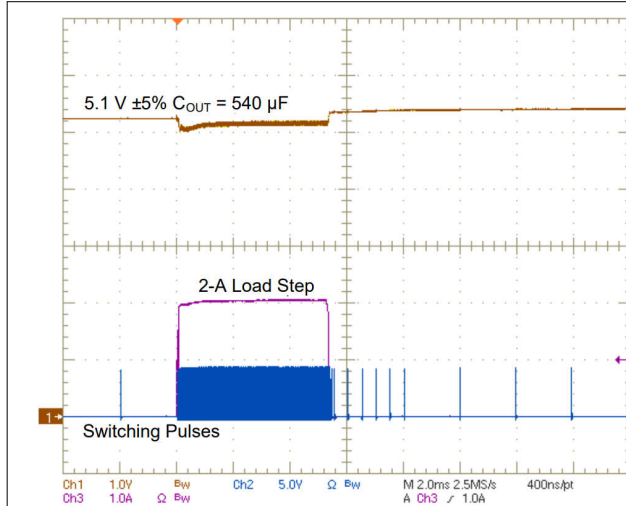


图 7-2. 待机运行期间的 2A 负载阶跃

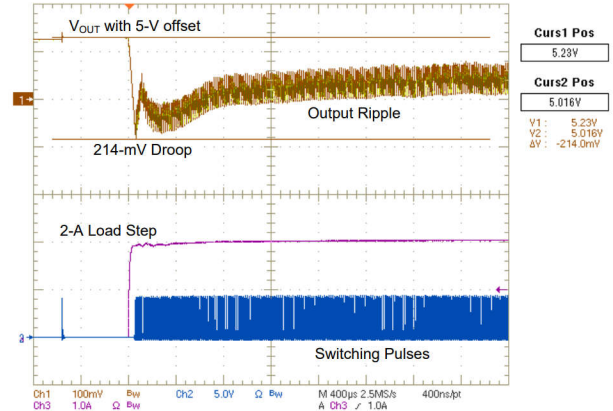


图 7-3. 2A 负载阶跃的瞬态响应详细信息

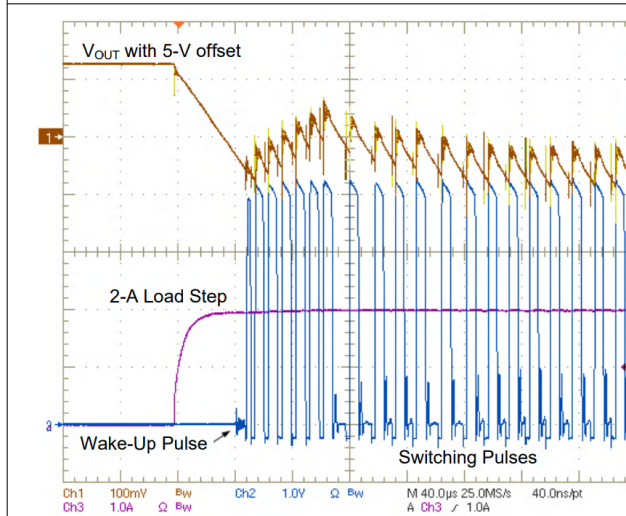


图 7-4. UCC28731 初级侧控制器的唤醒脉冲触发响应

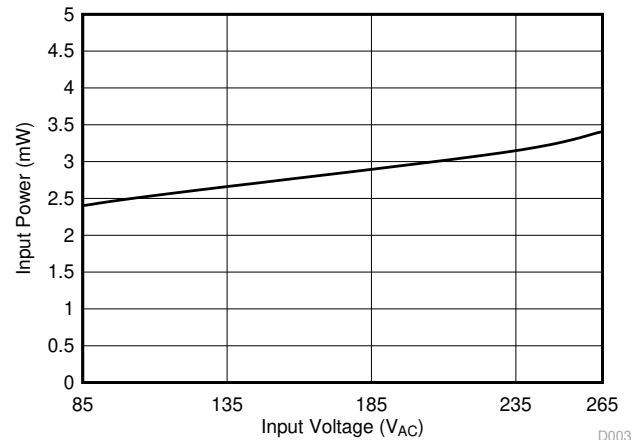


图 7-5. 5V、10W 转换器的空载输入功耗

7.3 注意事项

- 在空载操作期间，请针对 VDD 电平的变化留出足够的裕度，以避免达到 UVLO 关断阈值。此外，在空载时，要保持平均开关频率 $\langle f_{SW} \rangle$ 大于 $2 \times f_{SW(min)}$ ，以免输出电压上升。
- 务必在组装后清除 PCB 上的焊剂残留物和污染物。从 VS 到 GND 的不受控制的漏电流会使输出电压增加，而从 HV 或 VDD 到 VS 的漏电流会使输出电压降低。
- 如果 VDD 使用陶瓷电容器，请使用额定电压为 50V 或更高的 X7R 或 X5R 电介质优质器件，以更大限度地减少直流偏置电压和温度变化导致的电容减小。
- 如果设计要求待机输入功耗低于 5mW，则不要使用泄漏元件。
- 请勿使用普通示波器探头探测 VS 节点；探头电容可能会改变信号并破坏调节。
- 应间接观察 VS，方法是探测 R_{S1} 处的辅助绕组电压并按 VS 分压器分压比调节波形。

7.4 电源相关建议

UCC28731-Q1 适用于汽车系统中采用反激式拓扑的直流/直流转换器，例如高压牵引逆变器或车载充电器 (OBC) 中的备用电源。该器件还可用于具有不同输入电压的其他应用和转换器拓扑。请确保所有电压和电流都处于器件的建议运行条件和绝对最大额定值范围内。

DRV 输出通常在 VDD 超过导通阈值 $V_{VDD(on)}$ 后约 55 μ s 开始发送 PWM 脉冲。避免在 VDD 上出现过大的 dv/dt 。大于 1V/ μ s 的正 dv/dt 可能会使 PWM 启动延迟。未低于 UVLO 关断阈值 $V_{VDD(off)}$ 的 VDD 上大于 1V/ μ s 的负 dv/dt 可能会导致输出电压暂时下降。

7.5 布局

7.5.1 布局指南

为了提高工程的可靠性和可行性，建议遵循以下 PCB 布局指南。

1. 更大幅度地减小 VS 节点上的杂散电容。将电压检测电阻器 (节 7.2 和 节 7.5.2 中的 R_{S1} 和 R_{S2}) 放置在靠近 VS 引脚的位置。请勿将引线或平面放置在 VS 网下方。
2. TI 建议将 HV 输入连接到非开关高电压源，而不是 MOSFET 漏极，以避免向器件注入高频容性电流脉冲。
3. 适当地排列元件，以更大幅度地减小开关电流的环路区域。这些区域包括变压器初级绕组电流环路、MOSFET 栅极驱动环路、初级缓冲器环路、辅助绕组环路和次级输出电流环路等环路。

7.5.2 布局示例

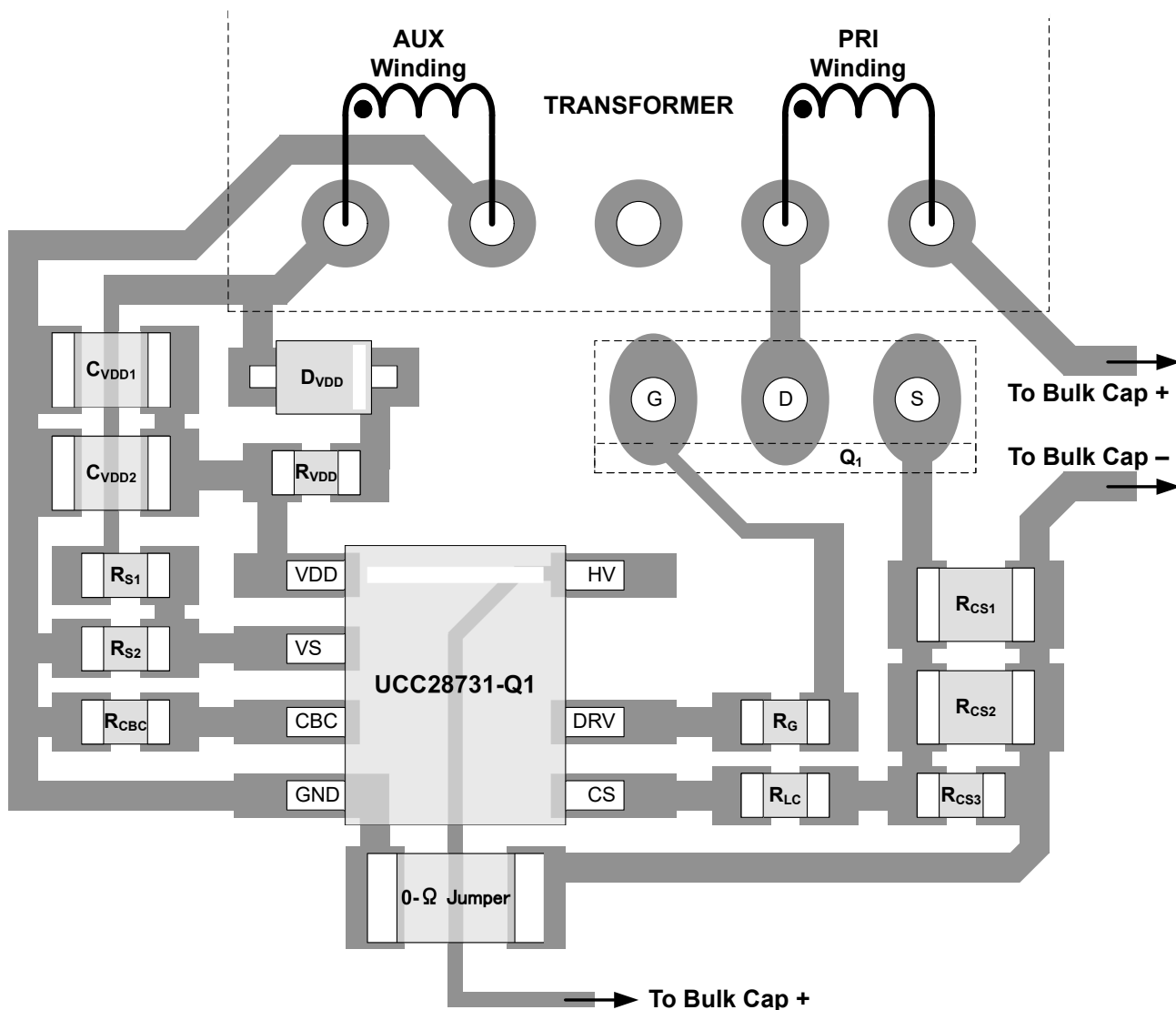


图 7-6. UCC28731-Q1 部分布局示例

8 器件和文档支持

8.1 器件支持

8.1.1 器件命名规则

8.1.1.1 电容术语 (以法拉为单位)

- C_{BULK} : C_{B1} 和 C_{B2} 的总输入电容
- C_{VDD} : VDD 引脚所需的最小电容
- C_{OUT} : 所需的最小输出电容

8.1.1.2 占空比相关术语

- D_{MAGCC} : CC 模式下的次级二极管导通占空比, 其值为 0.432
- D_{MAX} : 允许的最大 MOSFET 导通时间占空比
- N_{HC} : 线路降压期间交流线路频率的半周期数

8.1.1.3 频率术语 (以赫兹为单位)

- f_{LINE} : 最小线路频率
- f_{MAX} : 转换器的目标满负载最高开关频率
- f_{MIN} : 转换器的实际最小开关频率
- $f_{SW(max)}$: 控制器的最大开关频率能力 (请参阅节 5.5)
- $f_{SW(min)}$: 控制器的最小开关频率能力 (请参阅节 5.5)

8.1.1.4 电流术语 (以安培为单位)

- I_{OCC} : 转换器输出恒流目标
- $I_{PP(max)}$: 最大变压器初级峰值电流
- I_{START} : 启动前的 VDD 偏置电流 (请参阅节 5.5)
- I_{TRAN} : 所需的正负载阶跃电流
- I_{WAIT} : 等待状态期间的 VDD 偏置电流 (请参阅节 5.5)
- $I_{VSL(run)}$: VS 引脚运行电流 (请参阅节 5.5)

8.1.1.5 电流和电压调节术语

- K_{AM} : 最大/最小初级电流峰值振幅比率 (请参阅节 5.5)
- K_{LC} : 针对线路补偿的电流调节常量 (请参阅节 5.5)
- K_{Co} : 稳定性因子 100, 用于计算 C_{OUT}

8.1.1.6 变压器术语

- L_P : 变压器初级电感
- N_{AS} : 变压器辅助绕组与次级绕组匝数比
- N_{PA} : 变压器初级侧绕组与辅助绕组匝数比
- N_{PS} : 变压器初级绕组与次级绕组匝数比

8.1.1.7 功率术语 (以瓦特为单位)

- P_{IN} : 满负载时转换器的最大输入功率
- P_{OUT} : 满负载时转换器的输出功率
- P_{STBY} : 待机时转换器的总输入功率

8.1.1.8 电阻术语 (以 Ω 为单位)

- R_{CS} : 初级电流编程电阻
- R_{ESR} : 输出电容器的总 ESR
- R_{PL} : 转换器输出端的预加载电阻
- R_{S1}
- R_{S2} : 低侧 VS 输入电阻

8.1.1.9 时间术语 (以秒为单位)

- t_D : 总电流检测延迟 (包括 MOSFET 关断延迟) ; 在 MOSFET 延迟基础上增加 50ns
- $t_{DMAG(min)}$: 次级整流器最短导通时间 (变压器退磁时间)
- $t_{ON(min)}$: MOSFET 最短导通时间
- t_R : t_{DMAG} 之后的谐振振铃周期

8.1.1.10 直流电压术语 (以伏特为单位)

- V_{BULK} : 用于待机功耗测量的最大大容量电容器电压
- $V_{BULK(min)}$: 全功率下大容量电容器上的最小谷值电压
- V_{OCBC} : 输出端子上的目标电缆补偿电压
- $V_{CBC(max)}$: 最大输出电流条件下 CBC 引脚的最高电压 (请参阅节 5.5)
- V_{CCR} : 恒流调节系数电压 (请参阅节 5.5)
- $V_{CST(max)}$: CS 引脚最大电流检测阈值 (请参阅节 5.5)
- $V_{CST(min)}$: CS 引脚最小电流检测阈值 (请参阅节 5.5)
- $V_{VDD(off)}$: UVLO 关断阈值电压 (请参阅节 5.5)
- $V_{VDD(on)}$: UVLO 导通阈值电压 (请参阅节 5.5)
- $V_{VDD(max\Delta)}$: 等待状态下开关周期期间的最大 VDD 压降
- $V_{O\Delta}$: 输出负载瞬态期间允许的输出压降
- V_{DSPK} : 高压线路上的峰值 MOSFET 漏源电压
- V_F : 电流接近零时的次级整流器正向压降
- V_{FA} : 辅助整流器正向压降
- V_{LK} : 估算的初级漏电感能量复位电压
- V_{OCV} : 转换器的稳压输出电压
- V_{OCC} : 恒流稳压条件下的目标最低输出电压
- V_{REV} : 次级整流器的峰值反向电压
- V_{RIPPLE} : 满负载条件下的输出峰峰值纹波电压
- V_{VSR} : VS 输入端的恒压调节电平 (请参阅节 5.5)
- ΔV_{CQ} : 开关周期期间允许的负载放电引起的 C_{OUT} 电压变化

8.1.1.11 交流电压术语 (以伏特为单位)

- $V_{IN(max)}$: 转换器的最大交流输入电压
- $V_{IN(min)}$: 转换器的最小交流输入电压
- $V_{IN(run)}$: 转换器的启动 (运行) 输入电压

8.1.1.12 效率术语

- η_{SB} : 当反激式转换器输出功率为零时估计的内部预加载功率效率。此效率的计算方式为: 通过 R_{PL} 耗散的转换器内部预加载功率除以转换器在待机状况下的总输入功率 (P_{STBY})。在设计开始可使用估计值 50%。
- η : 转换器全额定输出功率条件下的总体效率
- η_{XFMR} : 变压器的功率传输效率

8.2 文档支持

8.2.1 相关文档

- UCC28730-Q1 适用于汽车的零功耗待机 PSR 反激式控制器，[SLUSCR9](#)
- 通过 800V 电池设计可靠的牵引逆变器冗余电源，[SLUA987](#)

8.3 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击右上角的 *提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

8.5 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

Changes from Revision * (June 2023) to Revision A (November 2024)	Page
• 将销售状态从“预告信息”更新为“初始发行版”	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC28731QDRQ1	Active	Production	SOIC (D) 7	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	28731Q
UCC28731QDRQ1.B	Active	Production	SOIC (D) 7	2500 LARGE T&R	-	Call TI	Call TI	-40 to 125	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

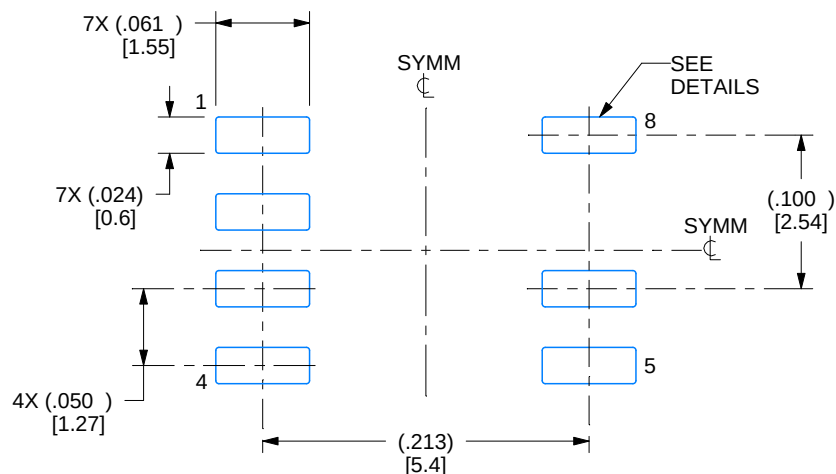


1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

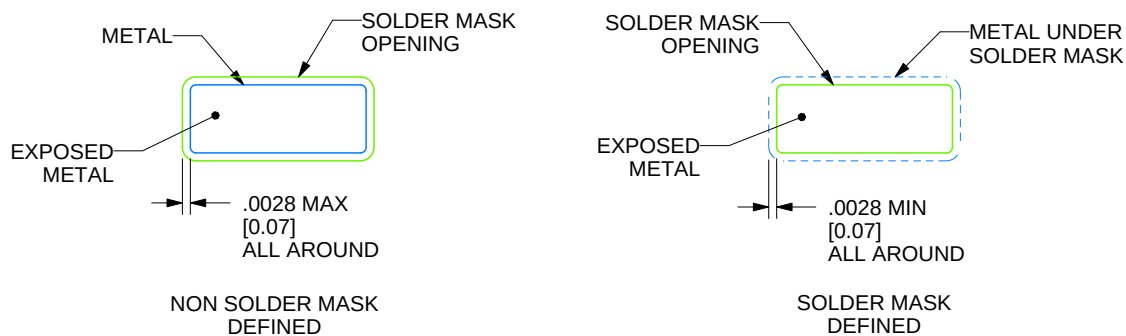
D0007A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4220728/A 01/2018

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

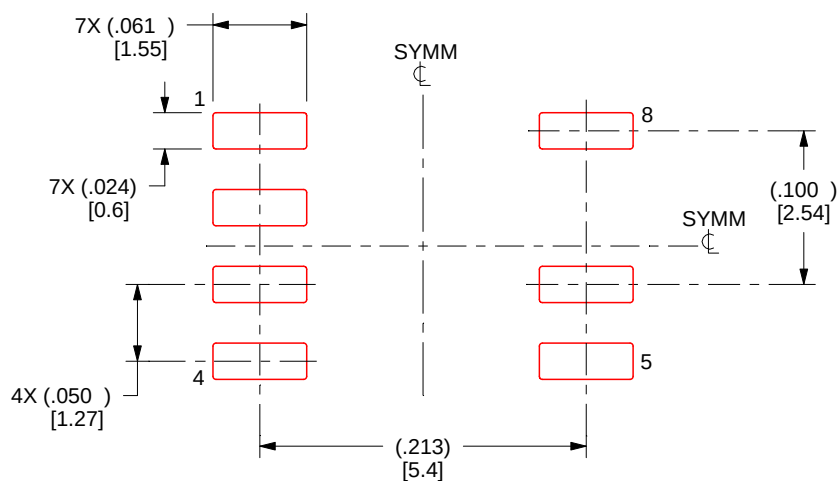
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0007A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4220728/A 01/2018

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司