

UCC2752x 双路 5A 高速低侧栅极驱动器

1 特性

- 业界通用引脚排列
- 两个独立的栅极驱动通道
- 5A 峰值拉电流和灌电流
- 针对每个输出提供独立的使能功能
- TTL 和 CMOS 兼容型逻辑阈值 (与电源电压无关)
- 可实现高抗噪性的迟滞逻辑阈值
- 输入和使能引脚电压电平不受 VDD 引脚辅助电源电压限制
- 4.5V 至 18V 单电源电压范围
- 在 VDD 欠压锁定 (UVLO) 状态下, 输出保持低电平 (确保上电和断电期间无干扰运行)
- 短暂传播延迟 (典型值为 13ns)
- 快速上升和下降时间 (典型值分别为 7ns 和 6ns)
- 两个通道之间的延迟匹配典型值为 1ns
- 两个输出并联, 以获得更大的驱动电流
- 当输入悬空时, 输出保持低电平
- PDIP (8)、SOIC (8)、MSOP (8) PowerPAD™ 和 3mm × 3mm WSON-8 封装选项
- 工作温度范围为 -40°C 至 140°C

2 应用

- 开关模式电源
- 直流/直流转换器
- 电机控制, 太阳能
- 用于诸如 GaN 等新上市的宽带隙功率器件的栅极驱动

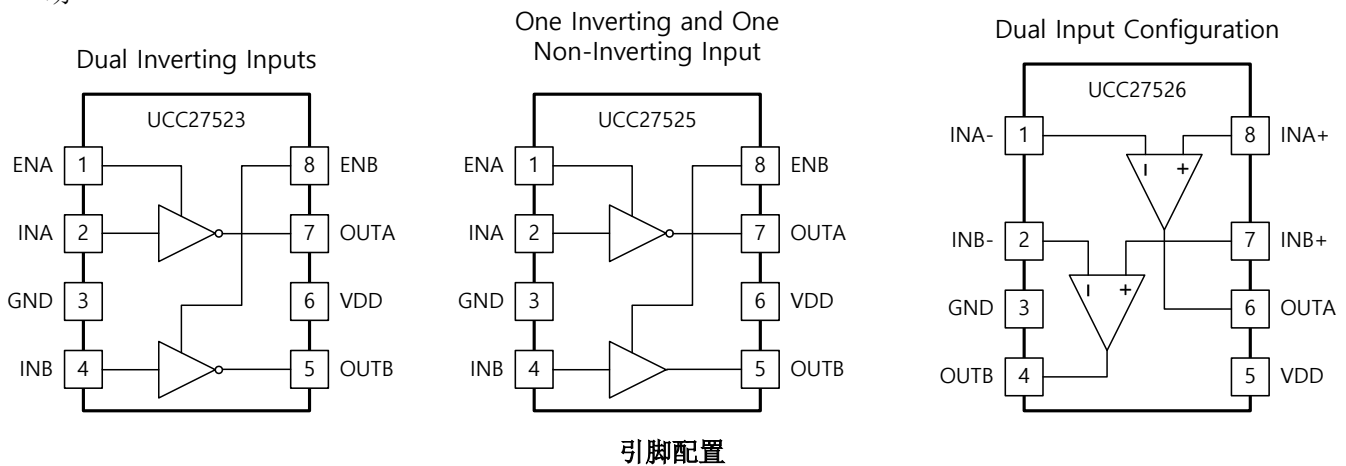
3 说明

UCC2752x 系列器件是双通道、高速、低侧栅极驱动器, 能够高效地驱动 MOSFET 和 IGBT 电源开关。UCC2752x 采用能够尽可能减少击穿电流的设计, 可以为容性负载提供高达 5A 拉电流和 5A 灌电流的高峰值电流脉冲, 同时实现轨到轨驱动能力以及超短的传播延迟 (通常为 13ns)。除此之外, 此驱动器使得两个通道之间的内部传播延迟相匹配。这些延迟非常适合同步整流器等对于双栅极驱动的时间严格要求的应用。这也使得两个通道并联, 以有效地提高电流驱动能力或者使用一个输入信号驱动两个并联开关。输入引脚阈值基于 TTL 和 CMOS 兼容的低压逻辑, 此逻辑是固定的且与 VDD 电源电压无关。高低阈值间的宽滞后提供了记好的抗噪声性能。

器件信息

器件型号	封装 ⁽¹⁾	封装尺寸 (标称值)
UCC27523	D (SOIC 8)	4.90mm × 3.91mm
	DGN (HVSSOP 8)	3.00mm × 3.00mm
	DSD (WSON 8)	
UCC27525	D (SOIC 8)	4.90mm × 3.91mm
	DGN (HVSSOP 8)	3.00mm × 3.00mm
	DSD (WSON 8)	
UCC27526	DSD (WSON 8)	3.00mm × 3.00mm

(1) 有关所有可用封装, 请参阅节 13。



内容

1 特性	1	8 应用和实施	21
2 应用	1	8.1 应用信息.....	21
3 说明	1	8.2 典型应用.....	21
4 说明 (续)	3	9 电源相关建议	26
5 引脚配置和功能	4	10 布局	27
6 规格	6	10.1 布局指南.....	27
6.1 绝对最大额定值.....	6	10.2 布局示例.....	28
6.2 ESD 等级.....	6	10.3 散热注意事项.....	28
6.3 建议运行条件.....	6	11 器件和文档支持	29
6.4 热性能信息.....	6	11.1 器件支持.....	29
6.5 电气特性.....	7	11.2 接收文档更新通知.....	29
6.6 开关特性.....	7	11.3 支持资源.....	29
6.7 典型特性.....	9	11.4 商标.....	29
7 详细说明	12	11.5 静电放电警告.....	29
7.1 概述.....	12	11.6 术语表.....	29
7.2 功能方框图.....	12	12 修订历史记录	30
7.3 特性说明.....	13	13 机械、封装和可订购信息	31
7.4 器件功能模式.....	20		

4 说明 (续)

UCC2752x 驱动器系列提供了三个标准逻辑选项的组合：双路反相、双路同相以及一路反相和一路同相。UCC27526 采用双输入设计，此设计为每个通道提供了反相 (IN- 引脚) 和同相 (IN+ 引脚) 配置的灵活性。IN+ 或 IN- 引脚中的任何一个控制驱动器输出状态。未使用的输入引脚可被用于启用和禁用功能。出于安全的考虑，UCC2752x 系列内所有器件输入引脚上的内部上拉和下拉电阻器可在输入引脚处于悬空条件下时确保输出保持低电平。UCC27523 和 UCC27525 器件具有使能引脚 (ENA 和 ENB)，能够更好地控制驱动器应用的运行。针对高电平有效逻辑，这些引脚被内部上拉至 VDD 并可针对标准运行而保持断开。

UCC2752x 系列器件采用 SOIC-8 (D)、带外露焊盘的 MSOP-8 (DGN) 和带外露焊盘的 3mm x 3mm WSON-8 (DSD) 封装。UCC27526 只采用 3mm x 3mm WSON (DSD) 封装。

5 引脚配置和功能

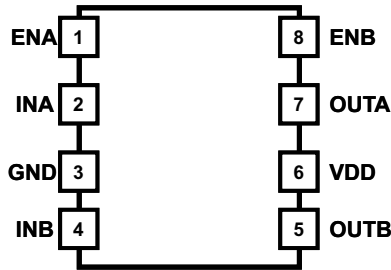


图 5-1. D、DGN、封装 UCC2752(3,5) 8 引脚 SOIC-8、HVSSOP 顶视图

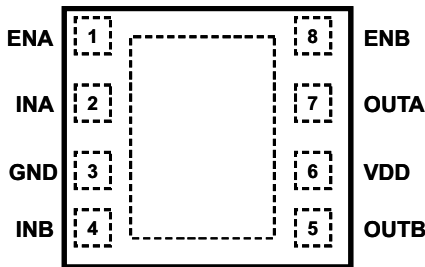


图 5-2. DSD 封装 UCC2752(3,5) 8 引脚 WSON 顶视图

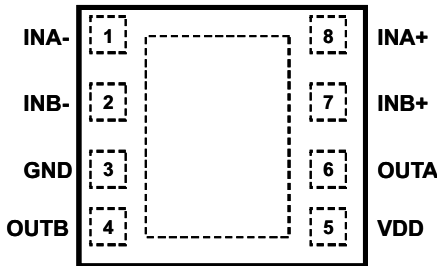


图 5-3. DSD 封装 UCC27526 8 引脚 WSON 顶视图

表 5-1. 引脚功能 (UCC27523/UCC27525)

引脚		I/O	说明
编号	名称		
1	ENA	I	通道 A 的使能输入：无论 INA 状态如何，ENA 偏置低电平都会禁用通道 A 输出，ENA 偏置高电平或悬空都会启用通道 A 输出，ENA 允许悬空，因此与 UCC2732X N/C 引脚兼容。
2	INA	I	通道 A 的输入：UCC27523 中的反相输入、UCC27524 中的同相输入、UCC27525 中的反相输入，如果 INA 为未偏置或悬空则 OUTA 保持低电平。
3	GND	-	接地：所有信号都以此引脚为基准。
4	INB	I	通道 B 的输入：UCC27523 中的反相输入、UCC27524 中的同相输入、UCC27525 中的同相输入，如果 INB 未偏置或悬空，则 OUTB 保持低电平。
5	OUTB	O	通道 B 的输出
6	VDD	I	辅助电源输入
7	OUTA	O	通道 A 的输出
8	ENB	I	通道 B 的使能输入：无论 INB 状态如何，ENB 偏置低电平都会禁用通道 B 输出，ENB 偏置高电平或悬空都会启用通道 B 输出，ENB 允许悬空，因此与 UCC2732X N/C 引脚兼容。

表 5-2. 引脚功能 (UCC27526)

引脚		I/O	说明
编号	名称		
1	INA-	I	通道 A 的反相输入：当通道 A 用于同相配置时，将 INA- 连接到 GND 以启用通道 A 输出；如果 INA- 未偏置或悬空，则 OUTA 保持低电平。
2	INB-	I	通道 B 的反相输入：当通道 B 用于同相配置时，将 INB- 连接到 GND 以启用通道 B 输出；如果 INB- 未偏置或悬空，则 OUTB 保持低电平。
3	GND	-	接地：所有信号都以此引脚为基准。
4	OUTB	I	通道 B 的输出
5	VDD	O	辅助电源输入
6	OUTA	I	通道 A 的输出
7	INB+	O	通道 B 的同相输入：当通道 B 用于反相配置时，将 INB+ 连接到 VDD 以启用通道 B 输出；如果 INB+ 未偏置或悬空，则 OUTB 保持低电平。
8	INA+	I	通道 A 的同相输入：当通道 A 用于反相配置时，将 INA+ 连接到 VDD 以启用通道 A 输出；如果 INA+ 未偏置或悬空，OUTA 保持低电平。

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ^{(1) (2)}

		最小值	最大值	单位
电源电压	VDD	-0.3	20	V
OUTA、OUTB 电压	DC	-0.3	VDD + 0.3	
	重复脉冲 < 200 ns ⁽⁴⁾	-2	VDD + 0.3	
输出连续拉/灌电流	I _{OUT_DC}		0.3	A
输出脉冲拉/灌电流 (0.5μs)	I _{OUT_pulsed}		5	
INA、INB、INA+、INA-、INB+、INB-、ENA、ENB 电压 ⁽³⁾		-0.3	20	V
运行虚拟结温 T _J		-40	150	°C
引线温度	焊接, 10s		300	
	回流焊		260	
贮存温度, T _{stg}		-65	150	°C

- (1) 应力超出绝对最大额定值下面列出的值可能会对器件造成永久损坏。这些仅为应力额定值, 并不表明器件在这些额定值下或者任何其他超过节 6.3 所述条件下可正常工作。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 除非另有说明, 否则所有电压均以 GND 为基准。电流是指定端子的正输入、负输出。有关封装的热限制和注意事项, 请参阅节 13。
- (3) 输入和使能引脚上的最大电压不受 V_{DD} 引脚电压的限制。
- (4) 通过在工作台上进行表征来验证这些值。

6.2 ESD 等级

		值	单位
V _(ESD) 静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±4000	V
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±1000	

- (1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

	最小值	标称值	最大值	单位
电源电压, VDD	4.5	12	18	V
工作结温	-40		140	°C
输入电压, INA、INB、INA+、INA-、INB+、INB-	0		18	V
使能电压, ENA 和 ENB	0		18	

6.4 热性能信息

热指标 ⁽¹⁾	UCC27523/5		UCC27523/5/6	单位
	SOIC (D)	MSOP (DGN)	WSOP (DSD)	
	8 引脚	8 引脚	8 引脚	
R _{θJA} 结至环境热阻	130.9	71.8	46.7	°C/W
R _{θJC(top)} 结至外壳 (顶部) 热阻	80	65.6	46.7	
R _{θJB} 结至电路板热阻	71.4	7.4	22.4	
ψ _{JT} 结至顶部特征参数	21.9	7.4	0.7	
ψ _{JB} 结至电路板特征参数	70.9	31.5	22.6	
R _{θJC(bot)} 结至外壳 (底部) 热阻	-	19.6	9.5	

- (1) 有关新旧热指标的更多信息, 请参阅 IC 封装热指标应用报告 SPRA953。

6.5 电气特性

$V_{DD} = 12V$, $T_A = T_J = -40^{\circ}C$ 至 $140^{\circ}C$, $1\mu F$ 电容器 (V_{DD} 至 GND)。电流是指定端子的正输入、负输出 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
偏置电流						
I _{DD(off)}	启动电流，	V _{DD} = 3.4V， INA = V _{DD} ， INB = V _{DD}	55	110	175	μA
		V _{DD} = 3.4V， INA = GND， INB = GND	25	75	145	
欠压锁定 (UVLO)						
V _{ON}	电源启动阈值	T _J = 25°C	3.91	4.2	4.5	V
		T _J = -40°C 至 140°C	3.7	4.2	4.65	
V _{OFF}	电源启动后的最小工作电压		3.4	3.9	4.4	
V _{DD_H}	电源电压迟滞		0.2	0.3	0.5	
输入 (INA、INB、INA+、INA -、INB+、INB -)						
V _{IN_H}	输入信号高阈值	同相输入引脚的输出为高电平 反相输入引脚的输出为低电平	1.9	2.1	2.3	V
V _{IN_L}	输入信号低阈值	同相输入引脚的输出为低电平 反相输入引脚的输出为高电平	1	1.2	1.4	
V _{IN_HYS}	输入迟滞		0.7	0.9	1.1	
使能 (ENA、ENB)						
V _{EN_H}	使能信号高电平阈值	输出被启用	1.9	2.1	2.3	V
V _{EN_L}	使能信号低电平阈值	输出被禁用	0.95	1.15	1.35	
V _{EN_HYS}	使能迟滞		0.7	0.95	1.1	
输出 (OUTA、OUTB)						
I _{SNK/SRC}	峰值灌电流/拉电流 ⁽¹⁾	C _{LOAD} = 0.22μF，F _{SW} = 1kHz	±5			A
V _{DD-V_{OH}}	高输出电压	I _{OUT} = -10mA	0.075			V
V _{OL}	低输出电压	I _{OUT} = 10mA	0.01			
R _{OH}	输出上拉电阻 ⁽²⁾	I _{OUT} = -10mA	2.5	5	7.5	Ω
R _{OL}	输出下拉电阻	I _{OUT} = 10mA	0.15	0.5	1	Ω

(1) 由设计确保。

(2) R_{OH} 仅表示 UCC2752X 输出级上拉结构中的 P 沟道 MOSFET 器件的导通电阻。

6.6 开关特性

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
t_R 上升时间 ⁽¹⁾	$C_{LOAD} = 1.8nF$		7	18	ns
t_F 下降时间 ⁽¹⁾	$C_{LOAD} = 1.8nF$		6	10	
t_M 两通道间的延迟匹配	$INA = INB$, 50% 转换点处的 $OUTA$ 和 $OUTB$		1	4	
t_{PW} 可改变输出状态的最小输入脉冲宽度			15	25	
t_{D1} , t_{D2} 输入至输出传播延迟 ⁽¹⁾	$C_{LOAD} = 1.8nF$, 5V 输入脉冲	6	13	23	
t_{D3} , t_{D4} EN 至输出传播延迟 ⁽¹⁾	$C_{LOAD} = 1.8nF$, 5V 使能脉冲	6	13	23	

(1) 请参阅图 6-1、图 6-2、图 6-3 和图 6-4 中的时序图

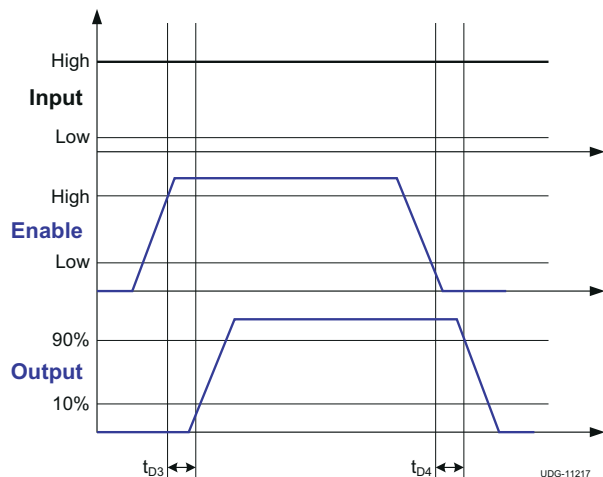


图 6-1. 使能功能 (用于同相输入驱动器运行)

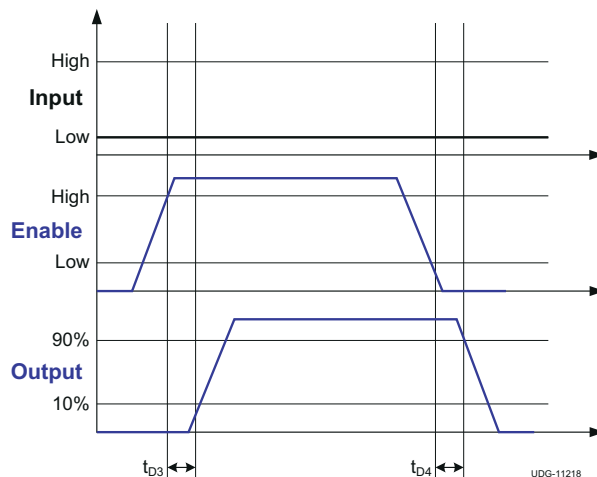


图 6-2. 使能功能 (用于反相输入驱动器运行)

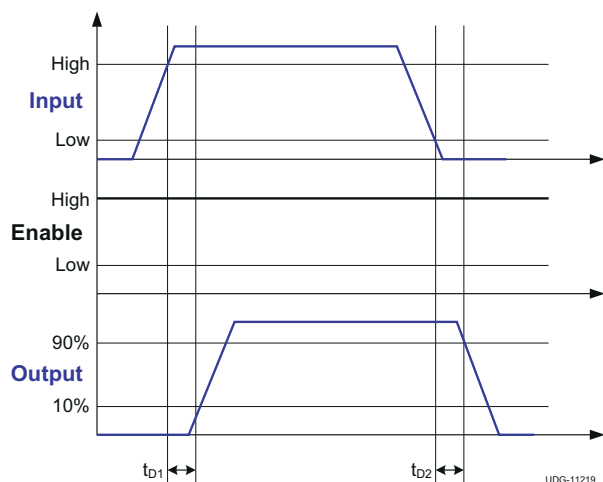


图 6-3. 同相输入驱动器运行

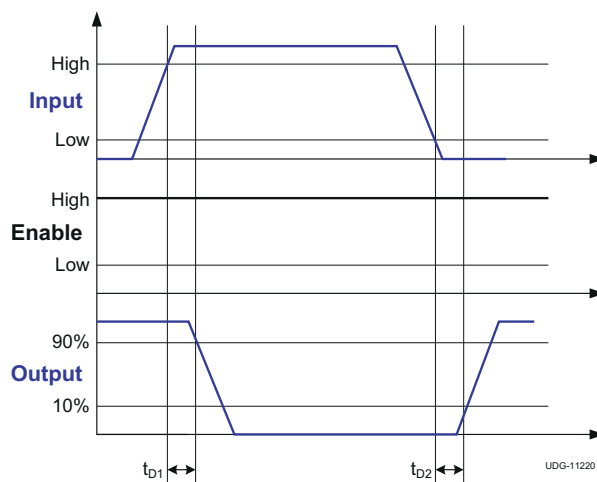


图 6-4. 反相输入驱动器运行

6.7 典型特性

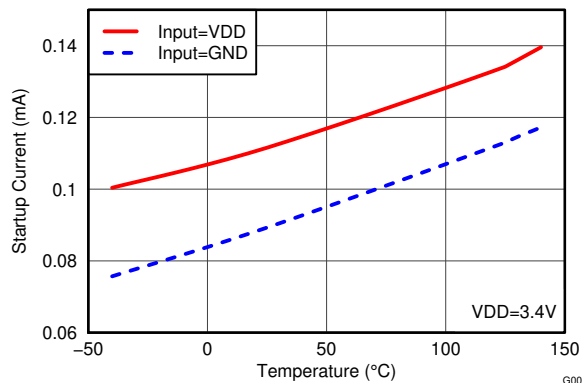


图 6-5. 启动电流与温度间的关系

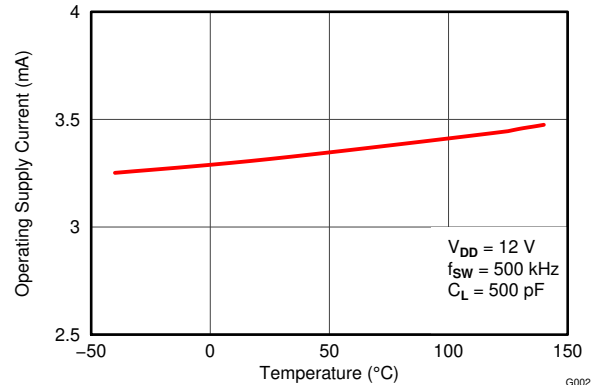


图 6-6. 工作电源电流与温度之间的关系 (输出开关)

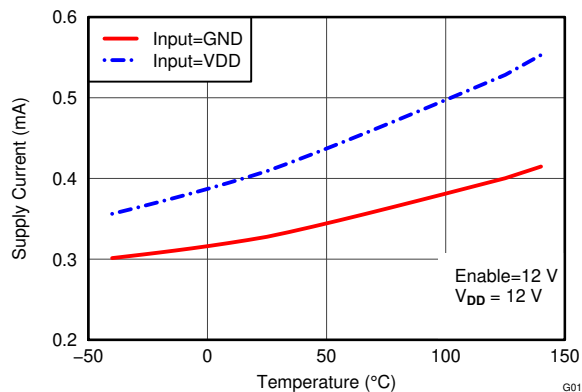


图 6-7. 电源电流与温度间的关系 (直流开/关条件下的输出)

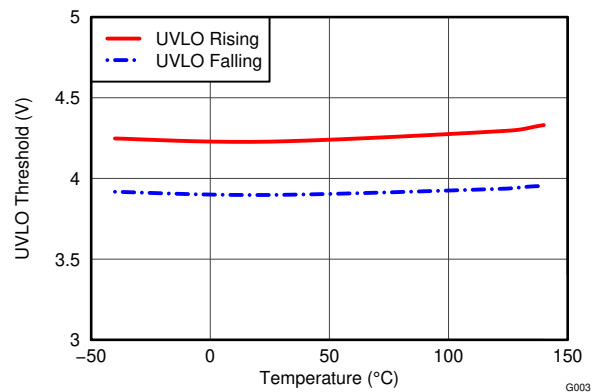


图 6-8. UVLO 阈值与温度间的关系

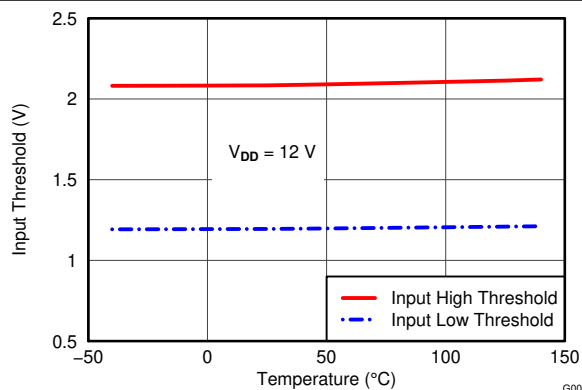


图 6-9. 输入阈值与温度间的关系

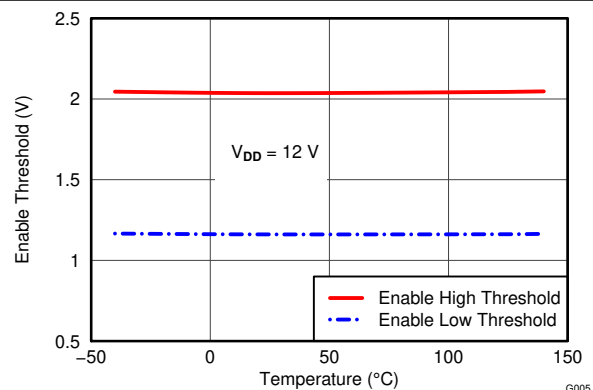


图 6-10. 启用阈值与温度间的关系

6.7 典型特性 (续)

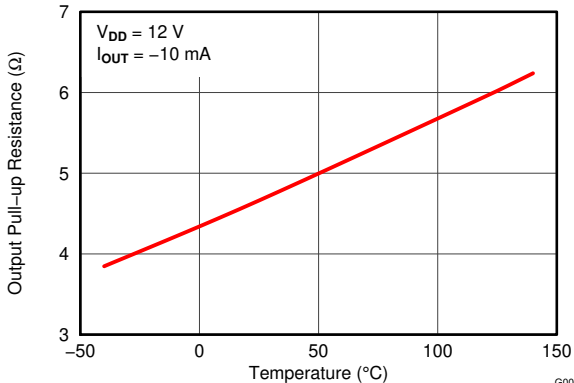


图 6-11. 输出上拉电阻与温度间的关系

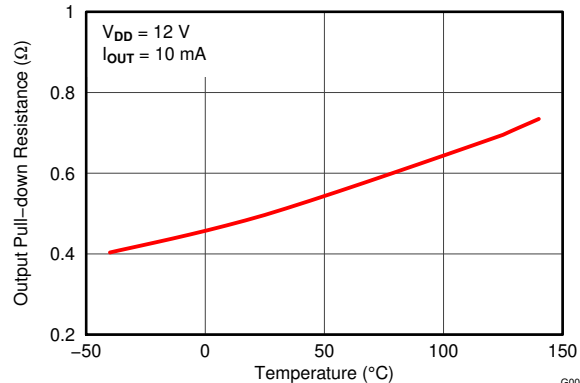


图 6-12. 输出下拉电阻与温度间的关系

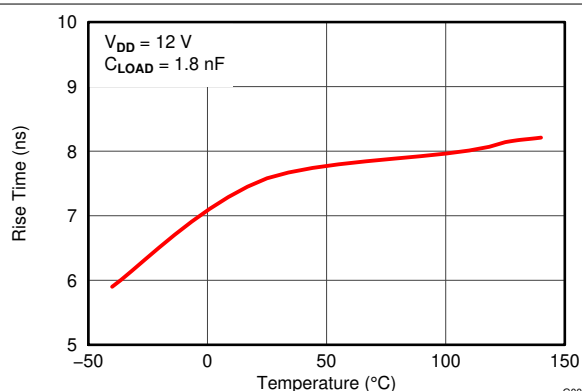


图 6-13. 上升时间与温度间的关系

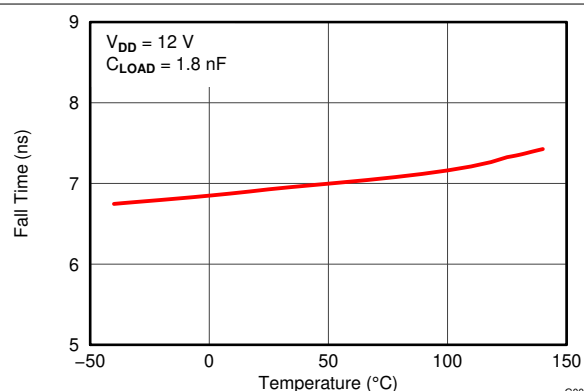


图 6-14. 下降时间与温度间的关系

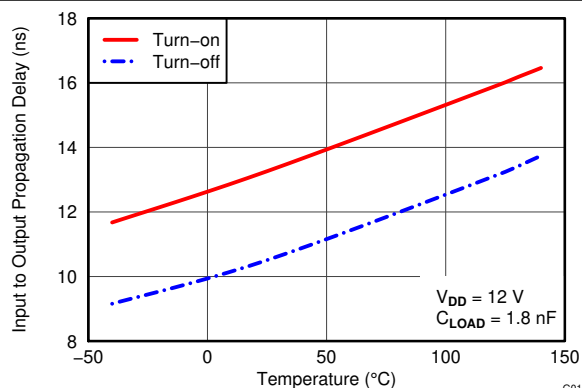


图 6-15. 输入到输出传播延迟与温度间的关系

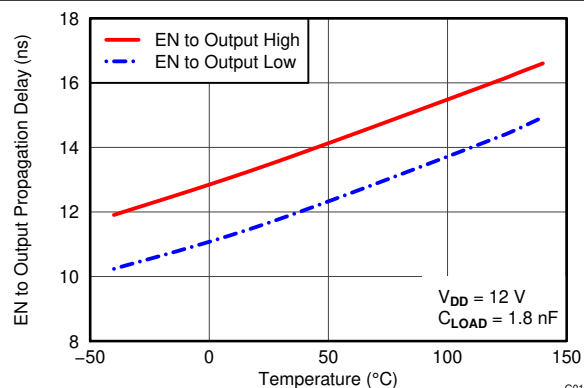


图 6-16. EN 到输出传播延迟与温度间的关系

6.7 典型特性 (续)

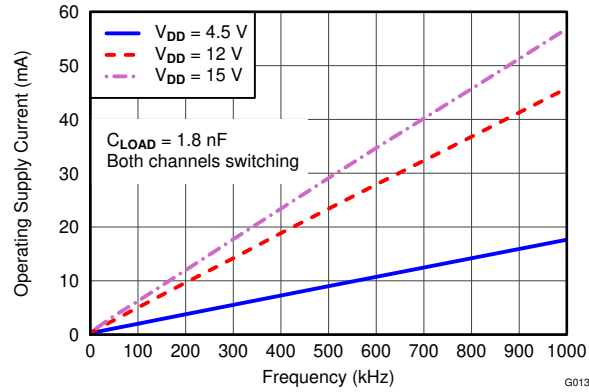


图 6-17. 工作电源电流与频率间的关系

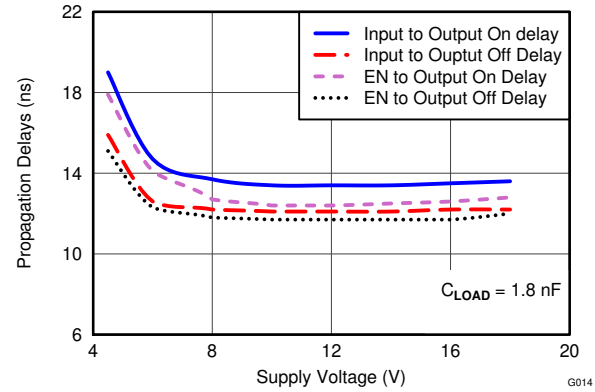


图 6-18. 传播延迟与电源电压间的关系

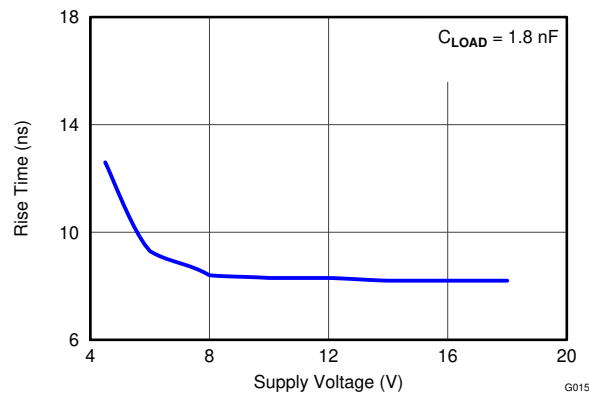


图 6-19. 上升时间与电源电压间的关系

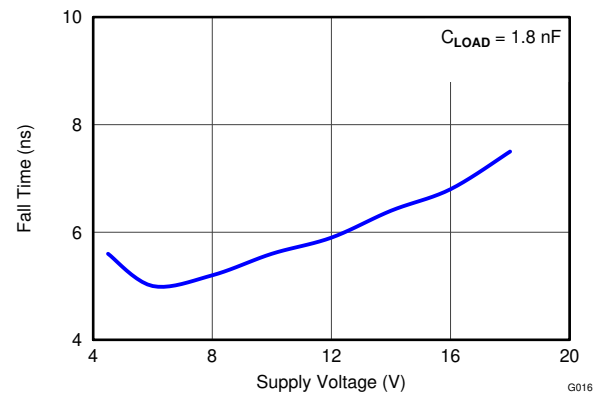


图 6-20. 下降时间与电源电压间的关系

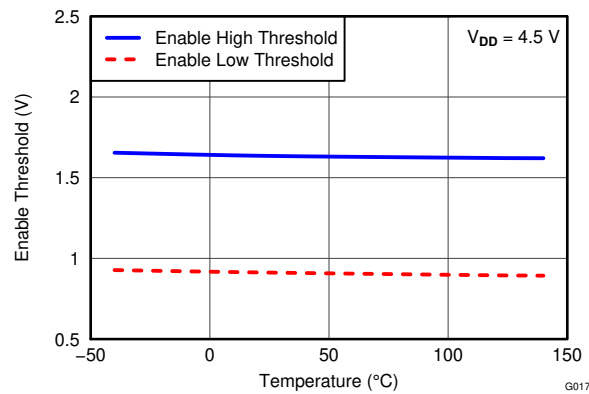


图 6-21. 启用阈值与温度间的关系

7 详细说明

7.1 概述

UCC2752x 系列产品代表 TI 推出的新一代双通道、低侧、高速栅极驱动器器件，具有 5A 拉电流和灌电流能力、出色的开关特性，以及表 7-1 中列出的大量其他特性，所有这些特性组合在一起，可确保在高频开关电源电路中高效、稳健和可靠地运行。

表 7-1. UCC2752x 系列特性和优势

特性	优势
出色的 13ns (典型值) 传播延迟	脉冲传输失真极低
通道间的延迟匹配时间为 1ns (典型值)	易于并联输出以获得更大 (2 倍) 的电流能力，易于驱动并联电源开关
4.5V 至 18V 的宽 VDD 工作范围	系统设计具有灵活性
-40°C 至 140°C 的宽工作温度范围 (请参阅节 6.5)	
VDD UVLO 保护	在 UVLO 条件下，输出保持低电平，从而确保上电和断电时实现可预测的无干扰运行
当输入引脚 (INx) 处于悬空状态时，输出保持低电平	安全功能，在通过安全认证期间的异常情况测试时尤其有用
当使能引脚 (ENx) 处于悬空状态时，输出启用	在引脚 1 和引脚 8 处于悬空状态的设计中，与 TI 的 UCC2732X 系列产品引脚对引脚兼容
具有宽迟滞的 CMOS/TTL 兼容输入和使能阈值	具有增强的抗噪性能，同时保持与微控制器逻辑电平输入信号 (3.3V、5V) 的兼容性，并针对数字电源进行了优化
输入和使能引脚能够处理不受 VDD 引脚偏置电压限制的电压电平	系统简化，尤其是涉及辅助偏置电源架构时

7.2 功能方框图

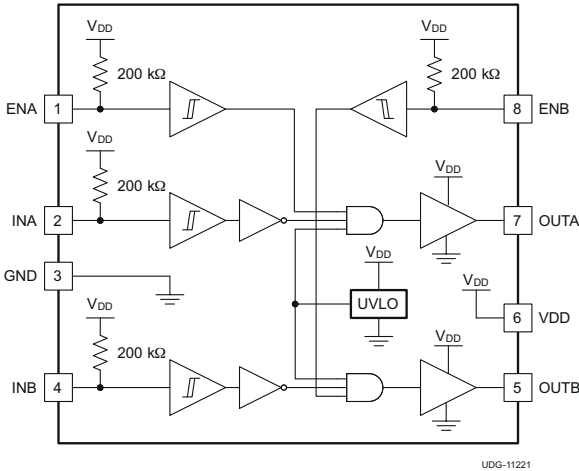


图 7-1. UCC27523 方框图

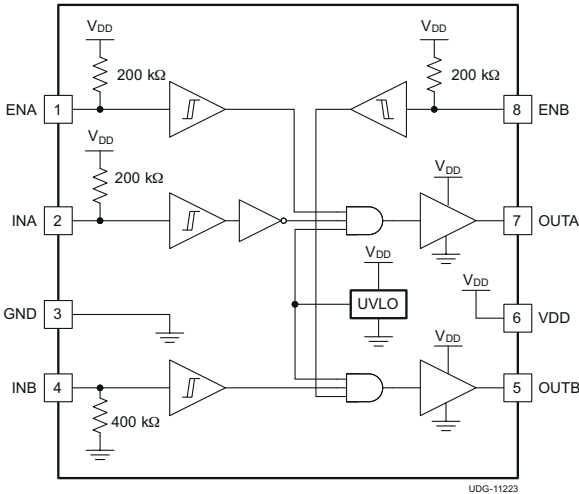


图 7-2. UCC27525 方框图

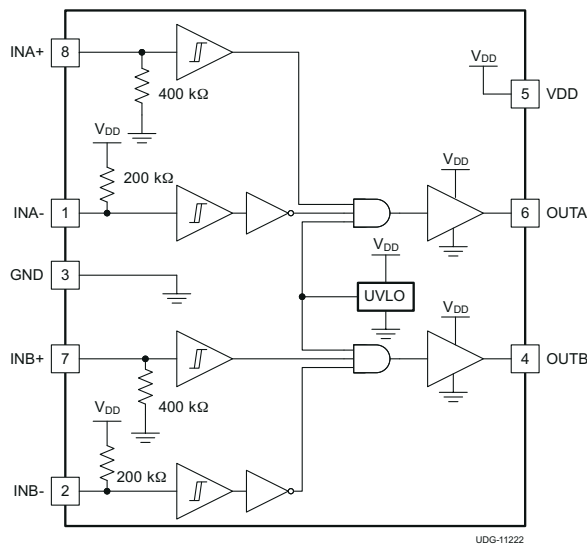


图 7-3. UCC27526 方框图

7.3 特性说明

7.3.1 V_{DD} 和欠压锁定

UCC2752x 器件的 V_{DD} 引脚电源电路块具有内部欠压锁定 (UVLO) 保护特性。当 V_{DD} 上升且电平仍低于 UVLO 阈值时，无论输入状态如何，该电路都会将输出保持为低电平。UVLO 通常为 4.2V，通常具有 300mV 的迟滞。当低 V_{DD} 电源电压具有来自电源的噪声时，以及在系统开始进行开关、 I_{DD} 突然增加的情况下 V_{DD} 偏置电压下降时，该迟滞有助于防止发生抖动。它能够在低电压电平（如低于 5V）下运行，并具有出色的开关特性，尤其适合驱动新兴的 GaN 功率半导体器件。

例如，在上电时，如果使能引脚激活或悬空，UCC2752x 驱动器器件输出会保持低电平，直到 V_{DD} 电压达到 UVLO 阈值。OUT 信号的幅度随 V_{DD} 的增加而增加，直到达到稳定状态 V_{DD} 。图 7-4 中的同相运行表明，输出保持在低电平，直到达到 UVLO 阈值，然后输出与输入同相。图 7-5 中的反向运行表明，输出保持在低电平，直到达到 UVLO 阈值，然后输出与输入异相。使用 UCC27526 时，仅当在达到 UVLO 阈值之后 INX+ 为高电平并且 INX- 为低电平时输出才会变为高电平状态。

由于器件通过 V_{DD} 引脚消耗电流，以便对所有内部电路进行偏置，因此，为了实现出色的高速电路性能，TI 建议使用两个 V_{DD} 旁路电容器来防止出现噪声问题。TI 强烈建议使用表面贴装元件。必须将一个 0.1 μ F 陶瓷电容器放置在尽可能靠近栅极驱动器器件的 V_{DD} 至 GND 引脚的位置。此外，必须以并联方式在非常靠近的位置连接一个具有相对较低 ESR 的更大电容器（例如 1 μ F），以帮助提供负载需要的高电流峰值。电容器的并联组合具有低阻抗特性，以便在应用中实现预期的电流电平和开关频率。

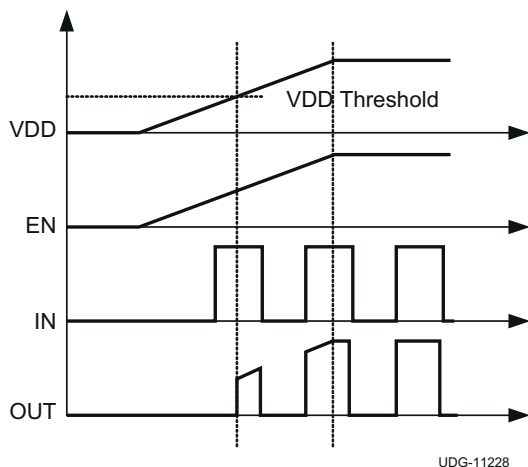


图 7-4. 为同相驱动器上电

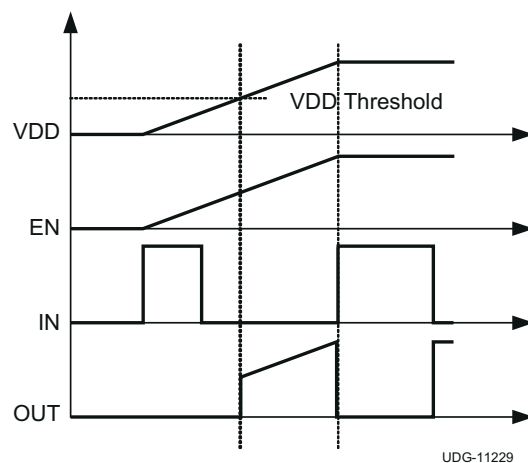


图 7-5. 为反相驱动器上电

7.3.2 工作电源电流

UCC2752x 产品具有非常低的静态 I_{DD} 电流。图 6-5、图 6-6 和图 6-7 中总结了 UVLO 状态和完全导通状态（静态和开关条件下）下的典型工作电源电流。器件完全导通且输出处于静态（直流高电平或直流低电平，请参阅图 6-6）时的 I_{DD} 电流表示当器件的所有内部逻辑电路可以完全正常运行时的最低静态 I_{DD} 电流。总电源电流是静态 I_{DD} 电流、由于开关而产生的平均 I_{OUT} 电流以及任何与使能引脚和反相输入引脚上的上拉电阻相关的电流之和。例如，当反相输入引脚被拉为低电平时，会通过上拉电阻器从 V_{DD} 电源消耗额外的电流（请参阅图 7-1 至图 7-3）。在知道所使用的驱动电压下的工作频率 (f_{SW}) 和 MOSFET 栅极 (Q_G) 电荷的情况下，可以计算平均 I_{OUT} 电流，该电流是 Q_G 与 f_{SW} 的乘积。

图 6-17 中提供了两个通道在 1.8nF 开关负载下，不同 V_{DD} 偏置电压下 I_{DD} 电流随开关频率变化的完整特性。显著的线性变化以及与平均 I_{OUT} 理论值的密切关联表明，栅极驱动器件内部的击穿现象可以忽略不计，这证明了其高速特性。

7.3.3 输入级

UCC2752x 栅极驱动器器件的输入引脚基于与 TTL 和 CMOS 兼容的输入阈值逻辑，该逻辑与 V_{DD} 电源电压无关。在典型高电平阈值为 2.1V 且典型低电平阈值为 1.2V 的情况下，可以使用从 3.3V 和 5V 数字电源控制器器件获取的 PWM 控制信号方便地驱动逻辑电平阈值。与传统的 TTL 逻辑实现（其中的迟滞通常小于 0.5V）相比，更宽的迟滞（通常为 0.9V）可提供增强的噪声抗扰度。UCC2752x 器件还能够对输入引脚阈值电压电平进行严格的控制，从而减缓系统设计考虑因素，并确保在整个温度范围内稳定地运行（请参阅图 6-9）。这些引脚上的极低输入电容可减小负载并提高开关速度。

UCC2752x 器件还具有一项重要的安全功能，借助该功能，只要任何输入引脚处于悬空状态，相应通道的输出就会保持在低电平状态。这是使用所有反相输入上的 V_{DD} 上拉电阻（INA、UCC27523 中的 INB、UCC27525 中的 INA 和 INA-、UCC27526 中的 INB-）或所有同相输入引脚（UCC27525 中的 INB 和 INA+、UCC27526 中的 INB+）上的 GND 下拉电阻器实现的，如器件方框图所示。

UCC27523/5 器件在每个通道上都具有一个输入引脚，而 UCC27526 特有一个双输入配置，此配置中有两个输入引脚可用于控制每个通道的输出状态。借助 UCC27526 器件，用户可灵活地使用同相输入引脚 (INx+) 或反相输入引脚 (INx-) 驱动每个通道。输出引脚的状态取决于 INx+ 和 INx- 引脚上的偏置（其中 x = A、B）。一旦选择一个输入引脚来驱动某个通道，则必须正确偏置该通道的另一个输入引脚（未使用的输入引脚），才能启用通道的输出。正如先前提到的，未使用的输入引脚无法保持在悬空状态，因为只要任何输入引脚处于悬空状态，就会使用内部上拉或下拉电阻器禁用该通道的输出，以确保安全。或者，可以有效地使用未使用的输入引脚，以实现启用/禁用功能，如下所述。

- 要驱动采用同相配置的通道 x (x = A 或 B)，请将 PWM 控制输入信号施加到 INx+ 引脚。在这种情况下，必须将未使用的输入引脚 INx- 偏置为低电平（例如，连接至 GND）才能启用该通道的输出。
 - 或者，可以使用 INx- 引脚来实现启用/禁用功能（使用外部逻辑信号）。当 INx- 偏置为高电平时禁用 OUTx，当 INx- 偏置为低电平时启用 OUTx。
- 要驱动采用反相配置的通道 x (x = A 或 B)，请将 PWM 控制输入信号施加到 INx- 引脚。在这种情况下，必须将未使用的输入引脚 INx+ 偏置为高电平（例如，连接至 VDD）才能启用该通道的输出。
 - 或者，可以使用 INx+ 引脚来实现启用/禁用功能（使用外部逻辑信号）。当 INx+ 偏置为低电平时禁用 OUTx，当 INx+ 偏置为高电平时启用 OUTx。
- 最后，值得注意的是，仅当 INx+ 引脚偏置为高电平并且 INx- 输入偏置为低电平时才能将 UCC27526 输出引脚驱动为高电平状态。

有关其他说明，请参阅输入/输出逻辑真值表和典型应用图（图 8-1、图 8-2 和图 8-2）。

每个驱动器的输入级由具有较短上升或下降时间的信号进行驱动。在典型的电源应用中，输入信号由 PWM 控制器或具有较短转换时间 (<200ns) 的逻辑门提供，输入电压变化较慢，驱动器的输出可能会以高频率反复开关，因此可以满足这一条件。与大多数其他 TTL 输入阈值器件相比，UCC2752x 提供的宽迟滞无疑缓解了这种担忧，但在这些实现中仍需格外小心。如果主要目标是限制功率器件的上升或下降时间，那么 TI 强烈建议在驱动器的输出和功率器件之间添加一个外部电阻。该外部电阻可提供额外的优势，即降低栅极驱动器器件封装中与栅极电荷相关的部分功率耗散，并将其转移到外部电阻自身中。

7.3.4 使能功能

使能功能是栅极驱动器器件中一项极其有益的特性，尤其适用于同步整流等特定应用。在这些应用中，驱动器输出在轻负载条件下禁用，以防止负电流循环并提高轻负载效率。

UCC27523/5 器件提供了独立的使能引脚 **ENx**，可对每个驱动器通道运行进行专有控制。使能引脚基于同相配置（高电平有效运行）。因此，当 **ENx** 引脚被驱动为高电平时，驱动器启用；而当 **ENx** 引脚被驱动为低电平时，驱动器禁用。与输入引脚一样，使能引脚也基于 **TTL** 和 **CMOS** 兼容的输入阈值逻辑（该逻辑与电源电压无关），并可使用 **3.3V** 和 **5V** 微控制器的逻辑信号进行有效控制。UCC2752X 器件还能够严格控制使能功能阈值电压电平，从而简化系统设计注意事项并确保在整个温度范围内稳定运行（请参阅图 6-10）。**ENx** 引脚通过上拉电阻在内部上拉至 **V_{DD}**，因此器件的输出默认情况下处于启用状态。因此，**ENx** 引脚保持悬空或未连接（**N/C**），在标准运行中无需使能特性。本质上，这种悬空使得 UCC27523/5 器件能够分别与 TI 上一代驱动器 UCC27323/5 引脚对引脚兼容，其中引脚 1、8 为 **N/C** 引脚。如果通道 **A** 和通道 **B** 的输入和输出并联以增加驱动器电流容量，则 **ENA** 和 **ENB** 连接并一起驱动。

UCC27526 器件没有特有专用使能引脚。然而，如前所述，可以使用未使用的输入引脚在 UCC27526 中轻松实现使能/禁用功能。当 **INx+** 下拉至 **GND** 或者 **INx-** 下拉至 **VDD** 时，会禁用输出。因此，可以像基于逻辑高电平有效的使能引脚一样使用 **INx+** 引脚，可以像基于逻辑低电平有效的使能引脚一样使用 **INx-** 引脚。请注意，虽然在标准运行期间允许 UCC27523/5 中的 **ENA**、**ENB** 引脚处于悬空状态并将启用输出，但 UCC27526 中的 **INx+**、**INx-** 引脚不得悬空，因为这将禁用输出。

7.3.5 输出级

UCC2752x 器件输出级的上拉电阻采用独特的架构，能够在特别需要时，也就是在电源开关导通转换的米勒平台区域期间（此时电源开关漏极或集电极电压经历 dv/dt ）提供最高的峰值拉电流。输出级上拉结构具备一个 P 沟道 MOSFET 与一个额外的 N 沟道 MOSFET（并联）。N 沟道 MOSFET 的功能是提供峰值源电流的短暂提升，从而实现快速导通。这是通过在输出状态从低电平变为高电平时，在短时间内短暂导通 N 沟道 MOSFET 来实现的。

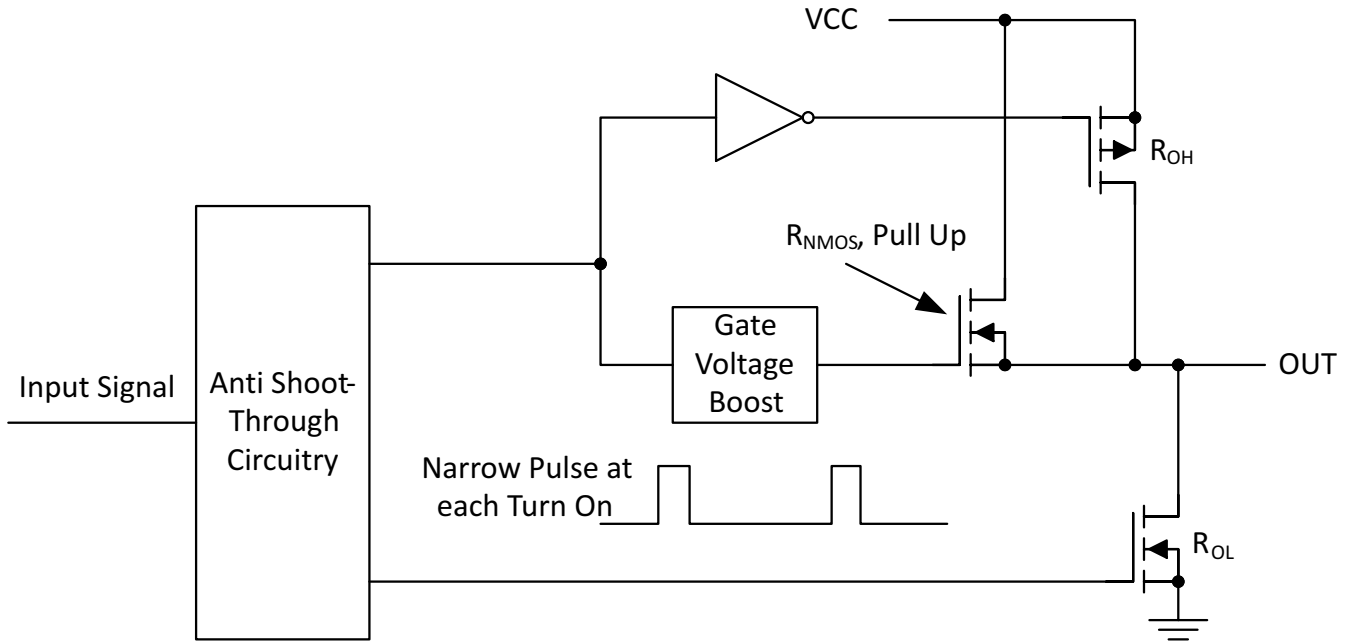


图 7-6. UCC2752x 栅极驱动器输出结构

R_{OH} 参数（请参阅节 6.5）是直流测量值，仅代表 P 沟道器件的导通电阻。这是因为 N 沟道器件在直流条件下保持在关断状态，并且仅在输出状态从低电平变为高电平时短暂导通。请注意，在该短暂导通期间，UCC2752x 上拉级的有效电阻远低于 R_{OH} 参数所表示的有效电阻。

UCC2752x 中的下拉结构仅包含 N 沟道 MOSFET。 R_{OL} 参数（请参阅节 6.5）也是一项直流测量，它表示器件中的下拉级的阻抗。在 UCC2752x 中，根据设计注意事项估算，混合上拉结构在导通期间的有效电阻约为 $1.5 \times R_{OL}$ 。

UCC2752x 中的每个输出级都能提供 5A 峰值拉电流和 5A 峰值灌电流脉冲。输出电压在 V_{DD} 和 GND 之间摆动提供轨到轨运行，这归功于提供极低压降的 MOS 输出级。MOSFET 体二极管的存在还为开关过冲和下冲提供低阻抗，这意味着在许多情况下无需外部肖特基二极管钳位。这些驱动器的输出能够承受 500mA 的反向电流，而不会造成器件损坏或逻辑故障。

UCC2752x 器件尤其适用于双极性、对称驱动栅极变压器应用，在这种应用中，变压器的初级绕组由 OUTA 和 OUTB 驱动，输入 INA 和 INB 互为补充。这是因为这些器件的 MOS 输出级在高电平 (V_{OH}) 和低电平 (V_{OL}) 状态下都能提供极低压降，而且驱动器输出级的阻抗也较低，所有这些都可以帮助缓解有关变压器退磁和磁通不平衡的担忧。低传播延迟也可确保针对高频应用的准确复位。

对于在功率 MOSFET 导通或关断间隔期间具有零电压开关的应用，即使不存在米勒平台区域，该驱动器也能提供高峰值电流以实现快速开关。这种情况通常发生在同步整流器应用中，因为体二极管通常在功率 MOSFET 接通之前就已导通。

7.3.6 低传播延迟和紧密匹配的输出

UCC2752x 驱动器器件在输入和输出之间具有极低的 13ns (典型值) 传播延迟, 为高频开关应用提供超低水平的脉冲传输失真。例如, 在同步整流器应用中, 当使用单个驱动器器件来驱动 SR MOSFET 时, SR MOSFET 的失真非常低。此外, 驱动器器件在两个通道之间还具有非常精确的 1ns (典型值) 内部传播延迟匹配, 这对于需要双栅极驱动的关键时序应用非常有利。例如, 在 PFC 应用中, 可以使用每个输出通道独立驱动一对并联 MOSFET, 两个通道的输入均由 PFC 控制器器件的通用控制信号驱动。在这种情况下, 1ns 延迟匹配可确保同时驱动并联 MOSFET, 从而更大限度地减小导通延迟差异。两个通道之间紧密匹配的另一个好处是, 两个通道连接在一起以有效地提高电流驱动能力, 例如可以通过将 INA 和 INB 输入连接在一起以及将 OUTA 和 OUTB 输出连接在一起, 将 A 和 B 通道组合成一个驱动器。然后, 一个信号控制并联组合。

直接将 OUTA 和 OUTB 引脚连接在一起时务必要小心, 因为在导通或关断期间, 两个通道之间的任何延迟均可能会导致击穿电流传导, 如图 7-7 所示。虽然这两个通道本身就非常匹配 (4ns 最大传播延迟), 但请注意, 两个通道之间的输入阈值电压电平可能存在差异, 这会导致两个输出之间出现延迟, 这在采用慢速 dV/dt 输入信号时尤其明显。每当使用 OUTA 和 OUTB 以及 INA 和 INB 之间的直接连接并联两个驱动器通道时, TI 建议遵循以下指导原则:

- 在 INA 和 INB 引脚上使用速度极快的 dv/dt 输入信号 (20V/μs 或更高), 以将输入阈值差异造成通道间延迟的影响降至极低。
- INA 和 INB 连接必须尽可能靠近器件引脚。

如有可能, 安全做法是在设计中添加一个选项, 使栅极电阻与 OUTA 和 OUTB 串联。这样就可以选择使用 0Ω 电阻直接并联输出, 或在必要时添加适当的串联电阻来限制击穿电流。

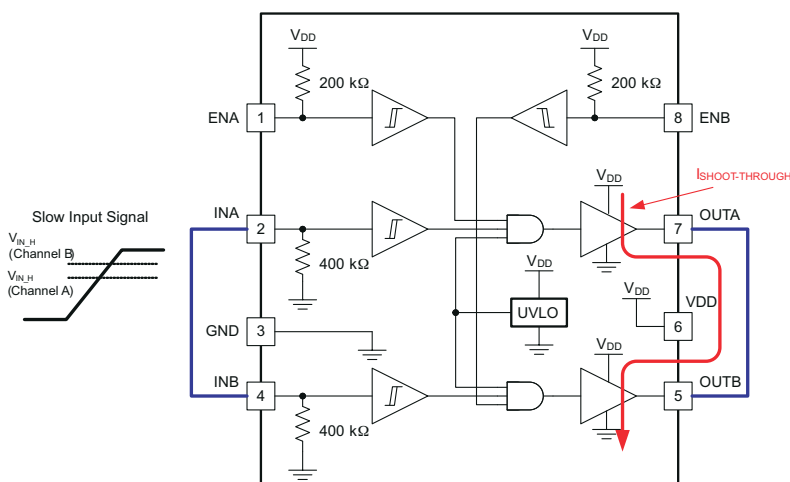


图 7-7. 慢速输入信号会在并联期间导致通道间出现击穿 (建议 dV/dt 为 20V/Ms 或更高)

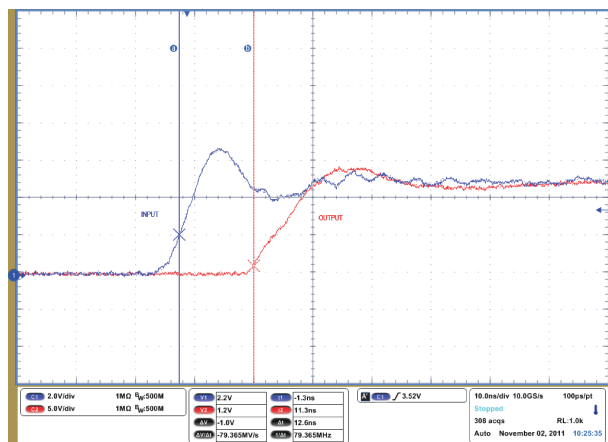


图 7-8. 导通传播延迟 ($C_L = 1.8\text{nF}$, $V_{DD} = 12\text{V}$)

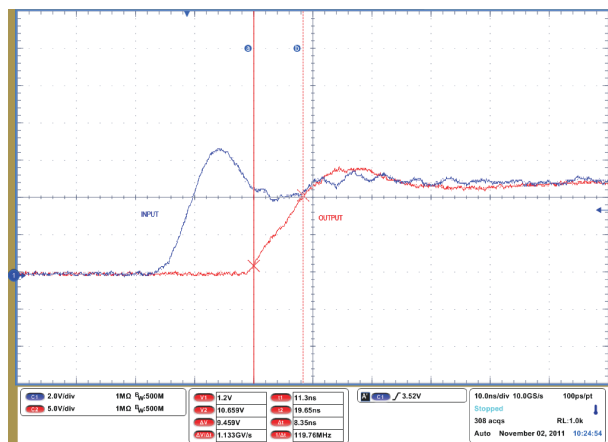


图 7-9. 导通上升时间 ($C_L = 1.8\text{nF}$, $V_{DD} = 12\text{V}$)

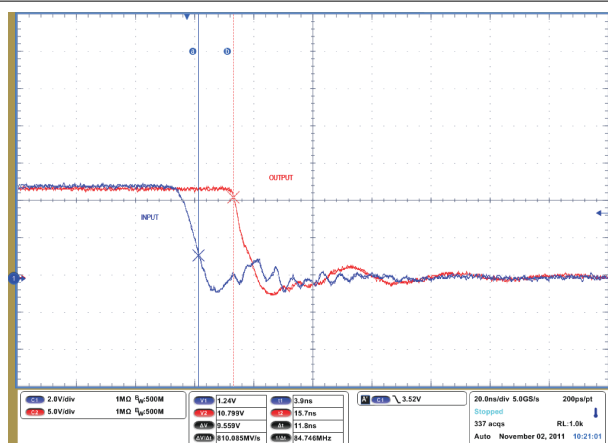


图 7-10. 关断传播延迟 ($C_L = 1.8\text{nF}$, $V_{DD} = 12\text{V}$)

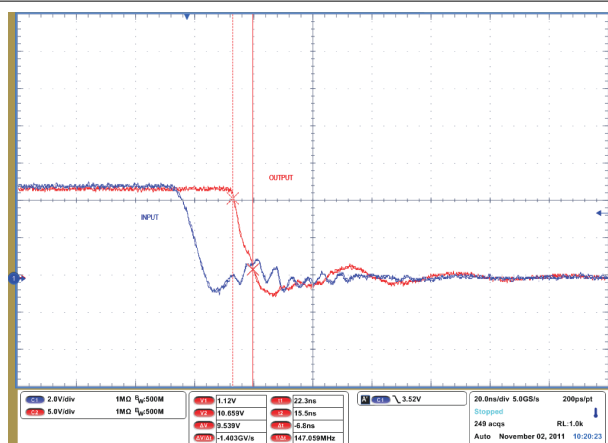


图 7-11. 关断下降时间 ($C_L = 1.8\text{nF}$, $V_{DD} = 12\text{V}$)

7.4 器件功能模式

表 7-2. 器件逻辑表 (UCC27523/5)

UCC27523/5				UCC27523		UCC27525	
ENA	ENB	INA	INB	OUTA	OUTB	OUTA	OUTB
H	H	L	L	H	H	H	L
H	H	L	H	H	L	H	H
H	H	H	L	L	H	L	L
H	H	H	H	L	L	L	H
L	L	不限	不限	L	L	L	L
不限	不限	x ⁽¹⁾	x ⁽¹⁾	L	L	L	L
x ⁽¹⁾	x ⁽¹⁾	L	L	H	H	H	L
x ⁽¹⁾	x ⁽¹⁾	L	H	H	L	H	H
x ⁽¹⁾	x ⁽¹⁾	H	L	L	H	L	L
x ⁽¹⁾	x ⁽¹⁾	H	H	L	L	L	H

(1) 悬空状态。

表 7-3. 器件逻辑表 (UCC27526)

INx+ (x = A 或 B)	INx- (x = A 或 B)	OUTx (x = A 或 B)
L	L	L
L	H	L
H	L	H
H	H	L
x ⁽¹⁾	不限	L
不限	x ⁽¹⁾	L

(1) x = 悬空条件。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

出于各种原因，开关电源应用中需要使用高电流栅极驱动器器件。为了使功率器件能够快速开关并降低相关开关功率损耗，在控制器件的 PWM 输出和功率半导体器件的栅极之间采用了一款强大的栅极驱动器器件。此外，当使用 PWM 控制器件直接驱动开关器件的栅极有时不可行时，必须使用栅极驱动器器件。数字电源出现之后，经常会遇到这种情况，因为数字控制器发出的 PWM 信号通常是 3.3V 逻辑信号，无法有效导通电源开关。需要使用电平转换电路将 3.3V 信号提高至栅极驱动电压（例如 12V），从而完全开启功率器件并尽可能减小导通损耗。基于采用图腾柱排列的 NPN/PNP 双极晶体管（作为发射极跟随器配置）的传统缓冲器驱动电路经证明不适用于数字电源，因为这些电路不具备电平转换功能。栅极驱动器器件能够有效地将电平转换和缓冲器驱动功能结合在一起。栅极驱动器器件还可以满足其他需求，例如通过使高电流驱动器的位置靠近电源开关来更大程度地减小高频开关的影响、驱动栅极驱动变压器并控制悬空的功率器件栅极、通过将栅极电荷功率损耗移至控制器来降低控制器件中的功率耗散和热应力。

最后，新兴的宽带隙功率器件技术（如基于 GaN 的开关）可以支持以极高的开关频率运行，这就对栅极驱动能力提出了特殊要求。这些要求包括在低 V_{DD} 电压（5V 或更低）下运行、低传播延迟、严格的延迟匹配，以及可采用具有良好散热性能的紧凑型低电感封装。

总之，栅极驱动器器件是开关电源中一个极其重要的元件，同时兼具高性能、低成本、更少元件数、更小布板空间和简化系统设计等优势。

8.2 典型应用

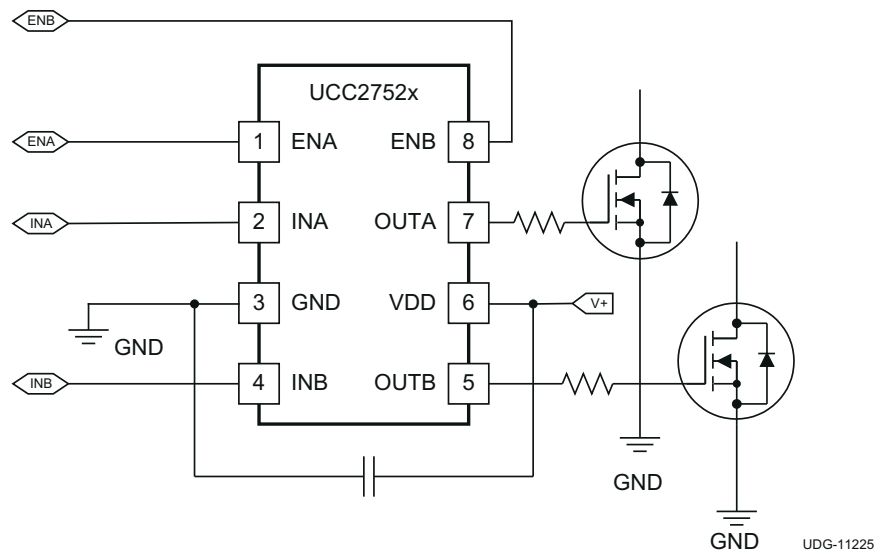


图 8-1. UCC2752x 典型应用图 (x = 3 或 5)

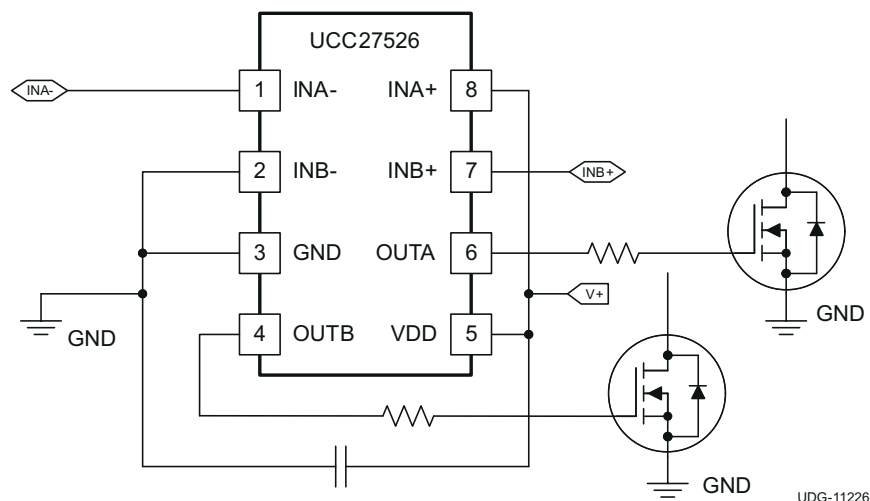


图 8-2. UCC27526 采用反相配置的通道 A 和采用同相配置的通道 B (未使用使能功能)

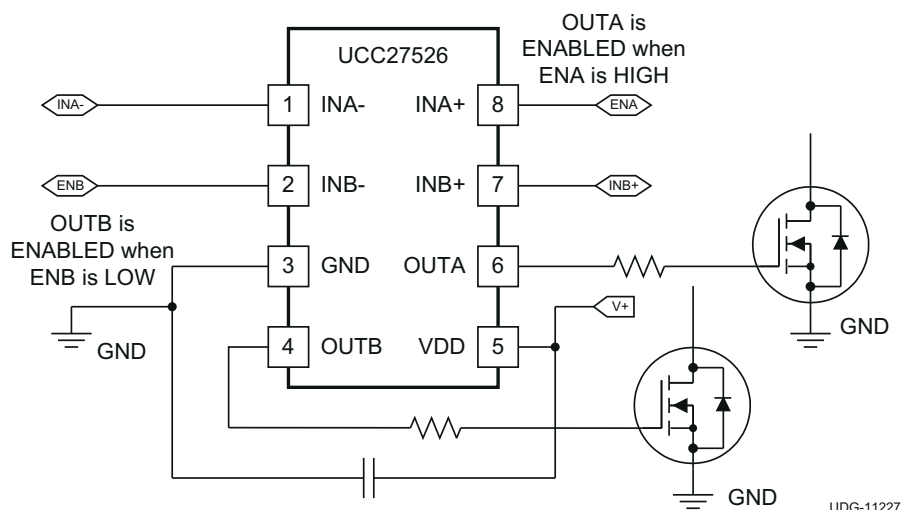


图 8-3. UCC27526 采用反相配置的通道 A 和采用同相配置的通道 B (已实现使能功能)

8.2.1 设计要求

为终端应用选择合适的栅极驱动器器件时，必须首先评估一些设计注意事项，以便做出合适的选择。这些注意事项包括输入到输出逻辑、VDD、UVLO、驱动电流和功率耗散。

8.2.2 详细设计过程

8.2.2.1 输入到输出逻辑

设计应当指明应该使用哪种类型的输入到输出配置。UCC27523 器件可提供带使能控制的双反相输入至输出。UCC27525 器件可为输出控制提供一个反相输入和一个同相输入。如果首选在输入信号处于高电平状态时开启功率 MOSFET 或 IGBT，则必须选择同相配置。如果首选在输入信号处于高电平状态时关闭功率 MOSFET 或 IGBT，则必须选择反相配置。UCC27526 有双配置通道。UCC27526 器件的每个通道可分别使用 $INx-$ 或 $INx+$ 引脚配置为反相或同相输入输出配置 (如图 8-2 和图 8-3 所示)。要将通道配置为在反相模式下使用，请将 $INx+$ 引脚连接到 VDD，并将输入信号应用于 $INx-$ 引脚。对于同相配置，请将 $INx-$ 引脚连接到 GND 并将输入信号施加到 $INx+$ 引脚。

8.2.2.2 启用和禁用功能

某些应用要求独立控制驱动器的输出状态。UCC27523/5 器件提供了两个独立的使能引脚 ENx，可对表 7-2 中所列的每个驱动器通道运行进行专有控制。

UCC27526 器件没有特有专用使能引脚。然而，如前所述，可以使用未使用的输入引脚在 UCC27526 中轻松实现使能/禁用功能。当 IN+ 下拉至 GND 或者 INx- 下拉至 VDD 时，会禁用输出，如表 7-3 所列。因此，可以像基于逻辑高电平有效的使能引脚一样使用 INx+ 引脚，可以像基于逻辑低电平有效的使能引脚一样使用 INx- 引脚。需要注意的是，虽然在标准运行期间允许 UCC27523/5 中的 ENA、ENB 引脚处于悬空状态并将启用输出，但 UCC27526 中的 INx+、INx- 引脚不得悬空，因为这将禁用输出。

8.2.2.3 VDD 辅助电源电压

施加到器件 VDD 引脚的辅助电源电压绝不能超过节 6.3 中列出的值。不过，不同的电源开关要求在栅极端子上施加不同的电压电平，以实现有效导通和关断。对于某些电源开关，导通可能需要正栅极电压，关断可能需要负栅极电压，在这种情况下，VDD 辅助电源等于电压差。UCC2752x 器件具有 4.5V 至 18V 的宽工作电压范围，可用于驱动各种电源开关，例如 Si MOSFET (例如 $V_{GS} = 4.5V、10V、12V$)、IGBT ($V_{GE} = 15V、18V$)。

8.2.2.4 传播延迟

栅极驱动器可接受的传播延迟取决于使用的开关频率以及系统可接受的脉冲失真水平。UCC2752x 器件具有 13ns (典型值) 的传播延迟，确保了脉冲失真非常小并且能够在非常高的频率下运行。请参阅节 6.6，了解 UCC2752x 器件的传播和开关特性。

8.2.2.5 驱动电流和功率损耗

UCC27523/5/6 系列驱动器能够在 $V_{DD} = 12V$ 时向 MOSFET 栅极提供 5A 电流并持续数百纳秒。需要较高的峰值电流才能快速导通器件。然后，要关断器件，需要驱动器向接地端灌入差不多大小的电流，并以功率器件的工作频率重复这一过程。栅极驱动器器件封装中耗散的功率取决于以下因素：

- 功率 MOSFET 所需的栅极电荷 (通常是驱动电压 V_{GS} 的函数，由于低 V_{OH} 压降，该电压非常接近于输入辅助电源电压 V_{DD})
- 开关频率
- 外部栅极电阻器的使用情况

UCC2752x 具有非常低的静态电流和内部逻辑，能够消除输出驱动器级中的任何击穿，因此可以大胆地假定它们对栅极驱动器内功率耗散的影响可以忽略不计。

使用分立式容性负载对驱动器器件进行测试时，计算辅助电源所需的功率非常简单。方程式 1 给出了为了对电容器进行充电，辅助电源必须传递的能量。

$$E_G = \frac{1}{2} C_{LOAD} V_{DD}^2 \quad (1)$$

其中

- C_{LOAD} 是负载电容器
- V_{DD} 是为驱动器供电的偏置电压。

对电容器进行充电时，存在等量的耗散能量。这会导致由[方程式 2](#) 给出的总功率损耗。

$$P_G = C_{LOAD} V_{DD}^2 f_{SW} \quad (2)$$

其中

- f_{SW} 是开关频率

当 $V_{DD} = 12V$ 、 $C_{LOAD} = 10nF$ 且 $f_{SW} = 300kHz$ 时，可通过下式计算出功率损耗（请参阅[方程式 3](#)）：

$$P_G = 10nF \times 12V^2 \times 300kHz = 0.432W \quad (3)$$

可以通过检查对器件进行开关所需的栅极电荷，将功率 MOSFET 表示的开关负载转换为等效电容。该栅极电荷包括输入电容的效果，以及当功率器件在导通和关断状态之间切换时使其漏极电压摆动所需的附加电荷。大多数制造商都提供用于在指定条件下对器件进行开关的栅极电荷典型值和最大值规格（以 nC 为单位）。使用栅极电荷 Q_g 可确定电容器充电时必须耗散的功率，利用等效性 $Q_g = C_{LOAD} V_{DD}$ 提供[方程式 4](#) 来计算功率：

$$P_G = C_{LOAD} V_{DD}^2 f_{SW} = Q_g V_{DD} f_{SW} \quad (4)$$

假设 UCC2752x 在每个输出端以 60nC 的栅极电荷（ $V_{DD} = 12V$ 时， $Q_g = 60nC$ ）驱动功率 MOSFET，则通过下式计算出栅极电荷相关的功率损耗（请参阅[方程式 5](#)）：

$$P_G = 2 \times 60nC \times 12V \times 300kHz = 0.432W \quad (5)$$

该功率 P_G 在 MOSFET 导通或关断时在电路的电阻元件中耗散。在开通过程中对负载电容器进行充电时会耗散总功率的一半，在关闭期间对负载电容器进行放电时耗散另一半。如果在驱动器与 MOSFET/IGBT 之间没有采用外部栅极电阻器，该功率将完全耗散在驱动器封装中。在使用外部栅极驱动电阻器的情况下，功率耗散会在驱动器的内部电阻和外部栅极电阻器之间分摊，具体分摊情况由这两个电阻之比决定（元件的电阻越高，耗散的功率越大）。根据该简化的分析，可按如下方式（见[方程式 6](#)）计算开关期间的驱动器功率耗散：

$$P_{SW} = 0.5 \times Q_G \times V_{DD} \times f_{SW} \times \left(\frac{R_{OFF}}{R_{OFF} + R_{GATE}} + \frac{R_{ON}}{R_{ON} + R_{GATE}} \right) \quad (6)$$

其中

- $R_{OFF} = R_{OL}$
- R_{ON} (上拉结构的有效电阻) = $1.5 \times R_{OL}$

除了上述与栅极电荷相关的功率耗散外，驱动器中的其他耗散还与器件消耗的静态偏置电流相关的功率有关，该静态偏置电流用于偏置所有内部电路，如输入级（带上拉和下拉电阻）、使能和 UVLO 部分。如[图 6-6](#) 所示，即使在最高的情况下，静态电流也小于 0.6mA。可通过[方程式 7](#) 轻松计算出静态功率耗散。

$$P_Q = I_{DD} V_{DD} \quad (7)$$

假设 $I_{DD} = 6\text{mA}$ ，则功率损耗为：

$$P_Q = 0.6\text{ mA} \times 12\text{ V} = 7.2\text{mW} \quad (8)$$

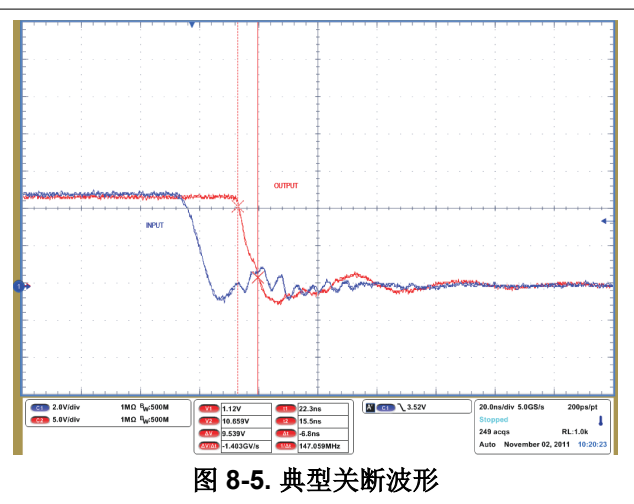
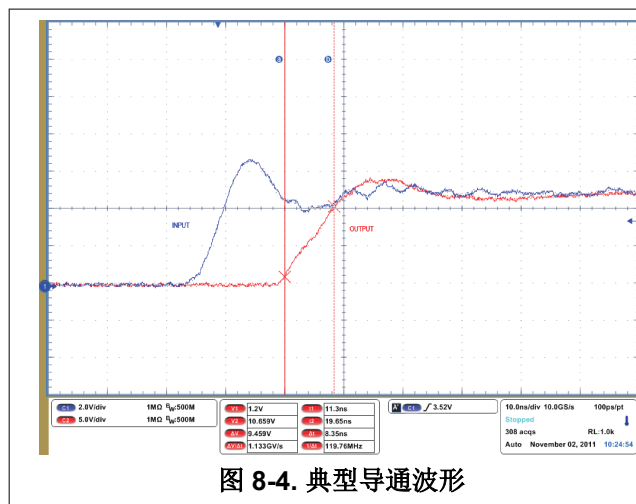
显然，与前面计算的与栅极电荷相关的功率耗散相比，此功率损耗微不足道。

使用 12V 电源时，偏置电流的估算如下（静态消耗额外增加 0.6mA 的开销）：

$$I_{DD} \sim \frac{P_G}{V_{DD}} = \frac{0.432\text{ W}}{12\text{ V}} = 0.036\text{ A} \quad (9)$$

8.2.3 应用曲线

图 8-4 和图 8-5 展示了 UCC27523/5/6 器件的同相输入驱动器运行时的典型开关特性。 $C_L = 1.8\text{nF}$ 、 $V_{DD} = 12\text{V}$



9 电源相关建议

UCC2752X 器件的额定工作辅助电源电压范围为 4.5V 至 18V。该范围的下限由 VDD 引脚电源电路块上的内部欠压锁定 (UVLO) 保护特性进行控制。只要驱动器处于 UVLO 状态，当 VDD 引脚电压低于 VON 电源启动阈值时，该功能就会将输出保持在低电平，无论输入的状态如何都是如此。该范围的上限由器件 VDD 引脚的 20V 绝对最大电压额定值（这是应力额定值）驱动。在保持 2V 裕度以允许瞬态电压尖峰的情况下，VDD 引脚的最大建议电压是 18V。

UVLO 保护功能还涉及迟滞功能。这意味着，当 VDD 引脚偏置电压超过了阈值电压并且器件开始运行时，如果电压下降，则器件会继续提供正常的功能，除非压降超过迟滞规格 VDD_H。因此，为了避免触发器件关断，必须确保在 4.2V 或接近此值的范围内运行时，辅助电源输出上的电压纹波小于器件的迟滞规格。在系统关断期间，器件会继续运行，直到 VDD 引脚电压降至 VOFF 阈值以下，在评估系统关断时序设计要求时，必须考虑该情况。类似地，在系统启动时，直到 VDD 引脚电压超出 VON 阈值后，器件才开始运行。器件内部电路模块消耗的静态电流由 VDD 引脚提供。务必要认识到 OUTA/B 引脚提供的拉电流脉冲电荷也通过同一 VDD 引脚提供，这一点很重要。因此，每次从输出引脚拉取电流时，均会通过 VDD 引脚向器件提供相应的电流脉冲。因此，必须确保在 VDD 和 GND 引脚之间提供一个本地旁路电容器，并且该电容器必须尽可能靠近器件，以便实现去耦。必须使用低 ESR 的陶瓷表面贴装电容器。TI 建议使用两个电容器：一个 100nF 陶瓷表面贴装电容器，可将其放置在非常接近器件引脚的位置；另一个并联添加几微法拉的表面贴装电容器。

10 布局

10.1 布局指南

在高电流快速开关电路中，适当的 PCB 布局对于器件正常工作和设计稳健性而言极其重要。UCC27523/5/6 系列栅极驱动器具有短传播延迟和强大的输出级，能够在功率 MOSFET 的栅极上提供较大的电流峰值以及很短的上升和下降时间，从而有助于电压以极快的速度进行转换。在较高的 V_{DD} 电压下，峰值电流能力甚至更高（ $V_{DD} = 12V$ 时，峰值电流为 5A）。如果布线长度和阻抗未控制得当，那么极高的 di/dt 会导致无法接受的振铃。在使用这些高速驱动器进行设计时，TI 强烈建议遵循以下电路布局指南。

- 驱动器器件应尽量靠近功率器件放置，从而更大幅度地缩短输出引脚与功率器件的栅极之间的高电流布线长度。
- 将 V_{DD} 和 GND 之间的 V_{DD} 旁路电容器放置在尽可能靠近驱动器且布线长度尽可能短的位置，以提高噪声滤波效果。这些电容器支持在功率 MOSFET 导通期间通过 V_{DD} 消耗的高峰值电流。强烈建议使用低电感 SMD 组件（如片式电阻器和片式电容器）。
- 应该尽可能缩短导通和关断电流回路路径（驱动器器件、功率 MOSFET 和 V_{DD} 旁路电容器），以便将杂散电感保持在最小值。在导通和关断瞬态期间，这些回路中会出现 2 次高 di/dt ，从而在驱动器器件的输出引脚和电源 MOSFET 的栅极上产生显著的电压瞬态。
- 尽可能使源迹线和返回迹线保持平行，从而利用磁通抵消。
- 将电源布线与信号布线（如输出和输入信号）分开。
- 星形点接地是一种尽可能地减少噪声从一个电流环路耦合到另一个电流环路的好方法。驱动器的 GND 在一个点连接至其他电路节点（如功率 MOSFET 源极、PWM 控制器接地端等）。必须尽可能缩短连接路径，以降低电感；并尽量拓宽连接路径，以降低电阻。
- 使用接地平面来提供噪声屏蔽。在转换期间，OUT 上的短暂上升和下降时间可能会使输入信号损坏。接地平面不得是任何电流环路的传导路径。相反，必须使用一根迹线将接地平面连接到星形点，从而建立接地电势。除噪声屏蔽之外，接地平面还可以帮助降低功率耗散。
- 在嘈杂的环境中，可能有必要使用较短的迹线将 UCC27526 的未使用的通道输入连接到 V_{DD} （对于 $INx+$ ）或 GND（对于 $INx-$ ），从而确保启用输出并防止噪声导致输出发生故障。
- 用 UCC2752x 器件替换 UCC2732x/UCC2742x 器件时请务必谨慎：
 - UCC2752x 是一款更强大的栅极驱动器（5A 峰值电流对比 4A 峰值电流）。
 - UCC2752x 是一款更快速的栅极驱动器（13ns/13ns 上升/下降传播延迟对比 25ns/35ns 上升/下降传播延迟）。

10.2 布局示例

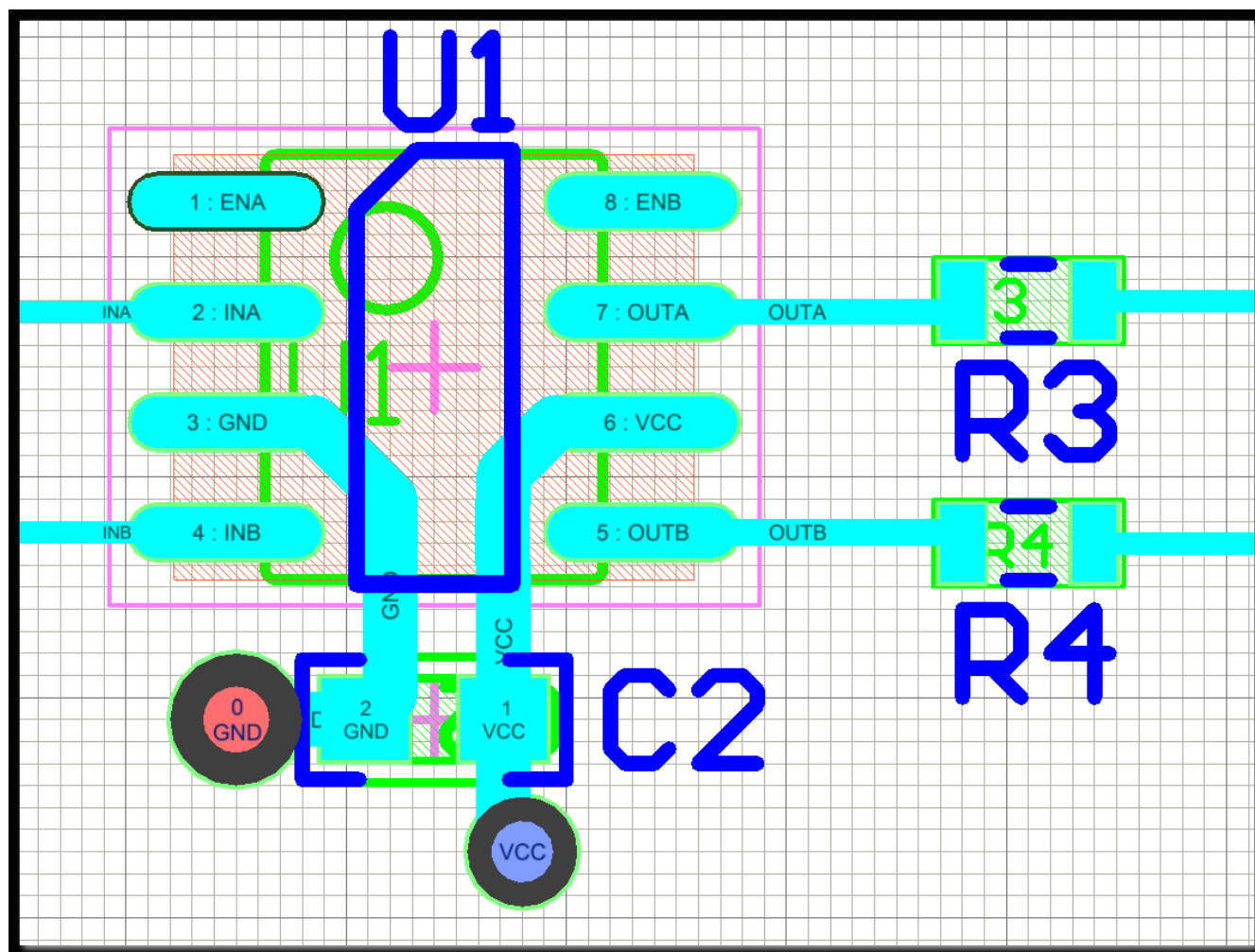


图 10-1. UCC27523/5 (D、DGN) 布局示例

10.3 散热注意事项

负载的驱动功率要求以及器件封装的散热特性会极大地影响驱动器的有用范围。为了使栅极驱动器器件在特定的温度范围内发挥作用，封装必须能够高效地散发产生的热量，同时使结温保持在额定限值以内。UCC27523/5/6 系列驱动器采用四种不同的封装以满足各种应用要求。节 6.4 中总结了每种封装的热指标。有关热性能信息的详细信息，请参阅德州仪器 (TI) 应用手册 *IC 封装热指标 (SPRA953)*。

UCC2752x 系列提供的不同封装选项中，在功率耗散方面最值得一提的是 DSD 和 DGN 封装。MSOP PowerPAD-8 (DGN) 封装和 3mm × 3mm WSON (DSD) 封装提供了一种通过封装底部实现半导体结散热的方式。这两种封装在封装底部都提供了外露散热焊盘。该焊盘直接焊接在器件封装下方印刷电路板的铜层上，从而将热阻降至一个很小的值。与 D 封装相比，散热性能明显得到改善。印刷电路板的设计必须采用导热焊盘和散热过孔，以完善散热子系统。请注意，MSOP-8 (PowerPAD) 和 WSON-8 封装中的外露焊盘未直接连接到封装的任何引线；不过，它与器件的基板（即器件的接地端）进行了电气和热连接。TI 建议在 PCB 布局中将外露焊盘外接到 GND，以提高 EMI 抗扰度。

11 器件和文档支持

11.1 器件支持

11.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

11.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

11.4 商标

PowerPAD™ is a trademark of Texas Instruments.

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

11.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

12 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision G (April 2015) to Revision H (June 2024)	Page
• 在整个数据表中删除了 UCC27524，将器件信息表中的封装从 SOT-23 更改为 SOIC.....	1
• 将封装从 SOT-23 更改为 SOIC-8.....	4

Changes from Revision F (May, 2013) to Revision G (April, 2015)	Page
• 添加了 引脚配置和功能 部分、ESD 等级表、特性说明 部分、器件功能模式、应用和实施 部分、电源相关建议 部分、布局 部分、器件和文档支持 部分以及 机械、封装和可订购信息 部分.....	1
• 更改了 UCC2752X 栅极驱动器输出结构图像.....	17

Changes from Revision E (June 2012) to Revision F (May 2013)	Page
• 在 驱动电流和功率耗散 部分中向 P_{SW} 公式添加了 0.5.....	23

Changes from Revision D (April 2012) to Revision E (June 2012)	Page
• 添加了 OUTA、OUTB 电压字段和值.....	6
• 将表注从“这些值通过表征进行验证，并未经过生产测试。”更改为“通过在工作台上进行表征来验证这些值。”.....	6
• 添加了注释“这些值通过表征进行验证，并未经过生产测试。”.....	6
• 将开关时间 t_{PW} 值从 10ns 和 25ns 更改为 15ns 和 25ns.....	7
• 更改了“功能方框图”中的图像.....	12
• 更改了“慢速输入信号图 33”.....	18

Changes from Revision C (March 2012) to Revision D (April 2012)	Page
• 更改了“输入 (INA、INB、INA+、INA-、INB+、INB-)”部分，以包含 UCC2752X (D、DGN、DSD) 信息.....	7
• 添加了“输入 (INA、INB、INA+、INA-、INB+、INB-) 仅限 UCC27524P”部分.....	7
• 更改了“使能 (ENA、ENB)”部分以包含 UCC2752X (D、DGN、DSD) 信息.....	7
• 添加了“使能 (ENA、ENB) 仅限 UCC27524P”部分.....	7

Changes from Revision B (December 2011) to Revision C (March 2012)	Page
• 向“输出 (OUTA、OUTB)”部分添加了 R_{OH} 注释.....	7
• 添加了更新的“输出级”部分.....	17
• 添加了 UCC2752X 栅极驱动器输出结构图像.....	17
• 添加了更新的“低传播延迟和严格匹配的输出”部分.....	18
• 添加了“慢速输入信号与输入阈值电压差异相结合”图像.....	18
• 添加了更新的“驱动电流和功率耗散”部分.....	23
• 添加了一个 PSW ... 公式。.....	23

Changes from Revision A (November 2011) to Revision B (December 2011)	Page
• 更改了电源启动阈值行以包括两个温度范围.....	7
• 将电源启动后的最小工作电压最小值和最大值从 3.6V 和 4.2V 更改为 3.40V 和 4.40V.....	7
• 将电源电压迟滞典型值从 0.35 更改为 0.30.....	7
• 更改了 UCC27526 方框图制图.....	12
• 更改了采用反相配置的 UCC27526 通道 A 和采用同相配置的通道 B 制图.....	21

Changes from Revision * (November 2011) to Revision A (November 2011)	Page
• 将数据表状态更改为“量产数据”	1

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC27523D	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 140	27523
UCC27523D.A	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 140	27523
UCC27523D.B	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 140	27523
UCC27523DGN	Active	Production	HVSSOP (DGN) 8	80 TUBE	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 140	27523
UCC27523DGN.A	Active	Production	HVSSOP (DGN) 8	80 TUBE	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 140	27523
UCC27523DGN.B	Active	Production	HVSSOP (DGN) 8	80 TUBE	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 140	27523
UCC27523DGNR	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 140	27523
UCC27523DGNR.A	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 140	27523
UCC27523DGNR.B	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 140	27523
UCC27523DR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 140	27523
UCC27523DR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 140	27523
UCC27523DR.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 140	27523
UCC27523DRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 140	27523
UCC27523DRG4.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 140	27523
UCC27523DRG4.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 140	27523
UCC27523DSDR	Active	Production	SON (DSD) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 140	27523
UCC27523DSDR.A	Active	Production	SON (DSD) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 140	27523
UCC27523DSDR.B	Active	Production	SON (DSD) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 140	27523
UCC27523DSDT	Active	Production	SON (DSD) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 140	27523
UCC27523DSDT.A	Active	Production	SON (DSD) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 140	27523
UCC27523DSDT.B	Active	Production	SON (DSD) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 140	27523
UCC27523DSDTG4	Active	Production	SON (DSD) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 140	27523
UCC27523DSDTG4.A	Active	Production	SON (DSD) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 140	27523
UCC27523DSDTG4.B	Active	Production	SON (DSD) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 140	27523
UCC27525D	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 140	27525
UCC27525D.A	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 140	27525
UCC27525D.B	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 140	27525
UCC27525DG4	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 140	27525
UCC27525DG4.A	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 140	27525

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC27525DG4.B	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 140	27525
UCC27525DGN	Active	Production	HVSSOP (DGN) 8	80 TUBE	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 140	27525
UCC27525DGN.A	Active	Production	HVSSOP (DGN) 8	80 TUBE	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 140	27525
UCC27525DGN.B	Active	Production	HVSSOP (DGN) 8	80 TUBE	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 140	27525
UCC27525DGNR	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 140	27525
UCC27525DGNR.A	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 140	27525
UCC27525DGNR.B	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 140	27525
UCC27525DR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 140	27525
UCC27525DR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 140	27525
UCC27525DR.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 140	27525
UCC27525SDR	Active	Production	SON (DSD) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 140	27525
UCC27525SDR.A	Active	Production	SON (DSD) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 140	27525
UCC27525SDR.B	Active	Production	SON (DSD) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 140	27525
UCC27525SDRG4	Active	Production	SON (DSD) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 140	27525
UCC27525SDRG4.A	Active	Production	SON (DSD) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 140	27525
UCC27525SDRG4.B	Active	Production	SON (DSD) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 140	27525
UCC27525SDT	Active	Production	SON (DSD) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 140	27525
UCC27525SDT.A	Active	Production	SON (DSD) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 140	27525
UCC27525SDT.B	Active	Production	SON (DSD) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 140	27525
UCC27526SDR	Active	Production	SON (DSD) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 140	SCB
UCC27526SDR.A	Active	Production	SON (DSD) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 140	SCB
UCC27526SDR.B	Active	Production	SON (DSD) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 140	SCB
UCC27526SDT	Active	Production	SON (DSD) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 140	SCB
UCC27526SDT.A	Active	Production	SON (DSD) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 140	SCB
UCC27526SDT.B	Active	Production	SON (DSD) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 140	SCB

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC27523DGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
UCC27523DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UCC27523DRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UCC27523DSDR	SON	DSD	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
UCC27523DSDR	SON	DSD	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
UCC27523DSDT	SON	DSD	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
UCC27523DSDT	SON	DSD	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
UCC27523DSDTG4	SON	DSD	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
UCC27523DSDTG4	SON	DSD	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
UCC27525DGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
UCC27525DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UCC27525DSDR	SON	DSD	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
UCC27525DSDRG4	SON	DSD	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
UCC27525DSDT	SON	DSD	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
UCC27526DSDR	SON	DSD	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
UCC27526DSDR	SON	DSD	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC27526DSDT	SON	DSD	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
UCC27526DSDT	SON	DSD	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC27523DGNR	HVSSOP	DGN	8	2500	364.0	364.0	27.0
UCC27523DR	SOIC	D	8	2500	353.0	353.0	32.0
UCC27523DRG4	SOIC	D	8	2500	353.0	353.0	32.0
UCC27523DSDR	SON	DSD	8	3000	346.0	346.0	33.0
UCC27523DSDR	SON	DSD	8	3000	367.0	367.0	35.0
UCC27523DSDT	SON	DSD	8	250	210.0	185.0	35.0
UCC27523DSDT	SON	DSD	8	250	210.0	185.0	35.0
UCC27523DSDTG4	SON	DSD	8	250	210.0	185.0	35.0
UCC27523DSDTG4	SON	DSD	8	250	210.0	185.0	35.0
UCC27525DGNR	HVSSOP	DGN	8	2500	364.0	364.0	27.0
UCC27525DR	SOIC	D	8	2500	353.0	353.0	32.0
UCC27525DSDR	SON	DSD	8	3000	346.0	346.0	33.0
UCC27525DSDRG4	SON	DSD	8	3000	346.0	346.0	33.0
UCC27525DSDT	SON	DSD	8	250	210.0	185.0	35.0
UCC27526DSDR	SON	DSD	8	3000	367.0	367.0	35.0
UCC27526DSDR	SON	DSD	8	3000	346.0	346.0	33.0
UCC27526DSDT	SON	DSD	8	250	210.0	185.0	35.0
UCC27526DSDT	SON	DSD	8	250	210.0	185.0	35.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
UCC27523D	D	SOIC	8	75	506.6	8	3940	4.32
UCC27523D.A	D	SOIC	8	75	506.6	8	3940	4.32
UCC27523D.B	D	SOIC	8	75	506.6	8	3940	4.32
UCC27523DGN	DGN	HVSSOP	8	80	330	6.55	500	2.88
UCC27523DGN.A	DGN	HVSSOP	8	80	330	6.55	500	2.88
UCC27523DGN.B	DGN	HVSSOP	8	80	330	6.55	500	2.88
UCC27525D	D	SOIC	8	75	506.6	8	3940	4.32
UCC27525D.A	D	SOIC	8	75	506.6	8	3940	4.32
UCC27525D.B	D	SOIC	8	75	506.6	8	3940	4.32
UCC27525DG4	D	SOIC	8	75	506.6	8	3940	4.32
UCC27525DG4.A	D	SOIC	8	75	506.6	8	3940	4.32
UCC27525DG4.B	D	SOIC	8	75	506.6	8	3940	4.32
UCC27525DGN	DGN	HVSSOP	8	80	330	6.55	500	2.88
UCC27525DGN.A	DGN	HVSSOP	8	80	330	6.55	500	2.88
UCC27525DGN.B	DGN	HVSSOP	8	80	330	6.55	500	2.88

GENERIC PACKAGE VIEW

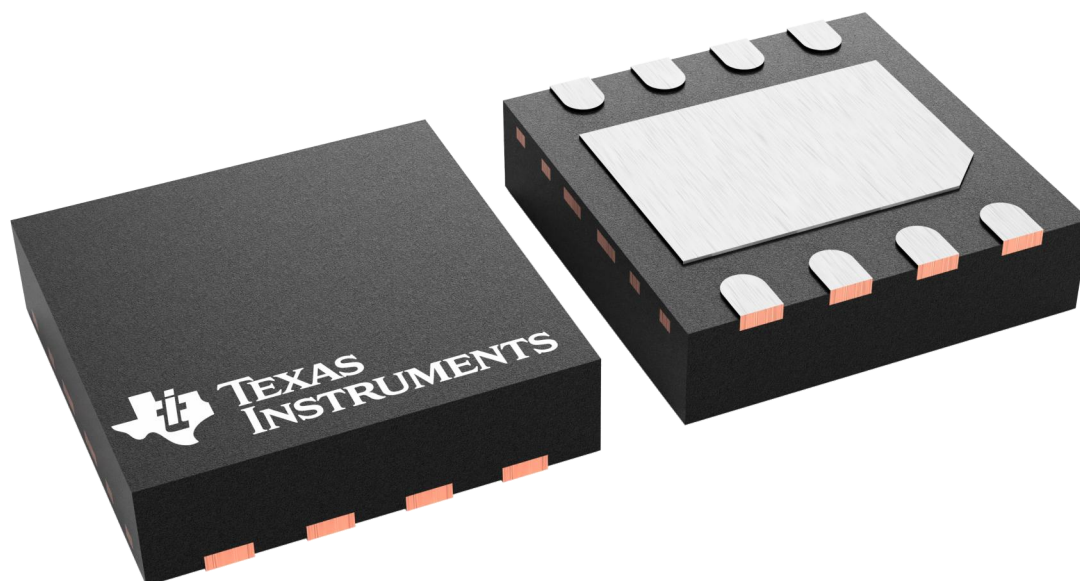
DSD 8

WSON - 0.8 mm max height

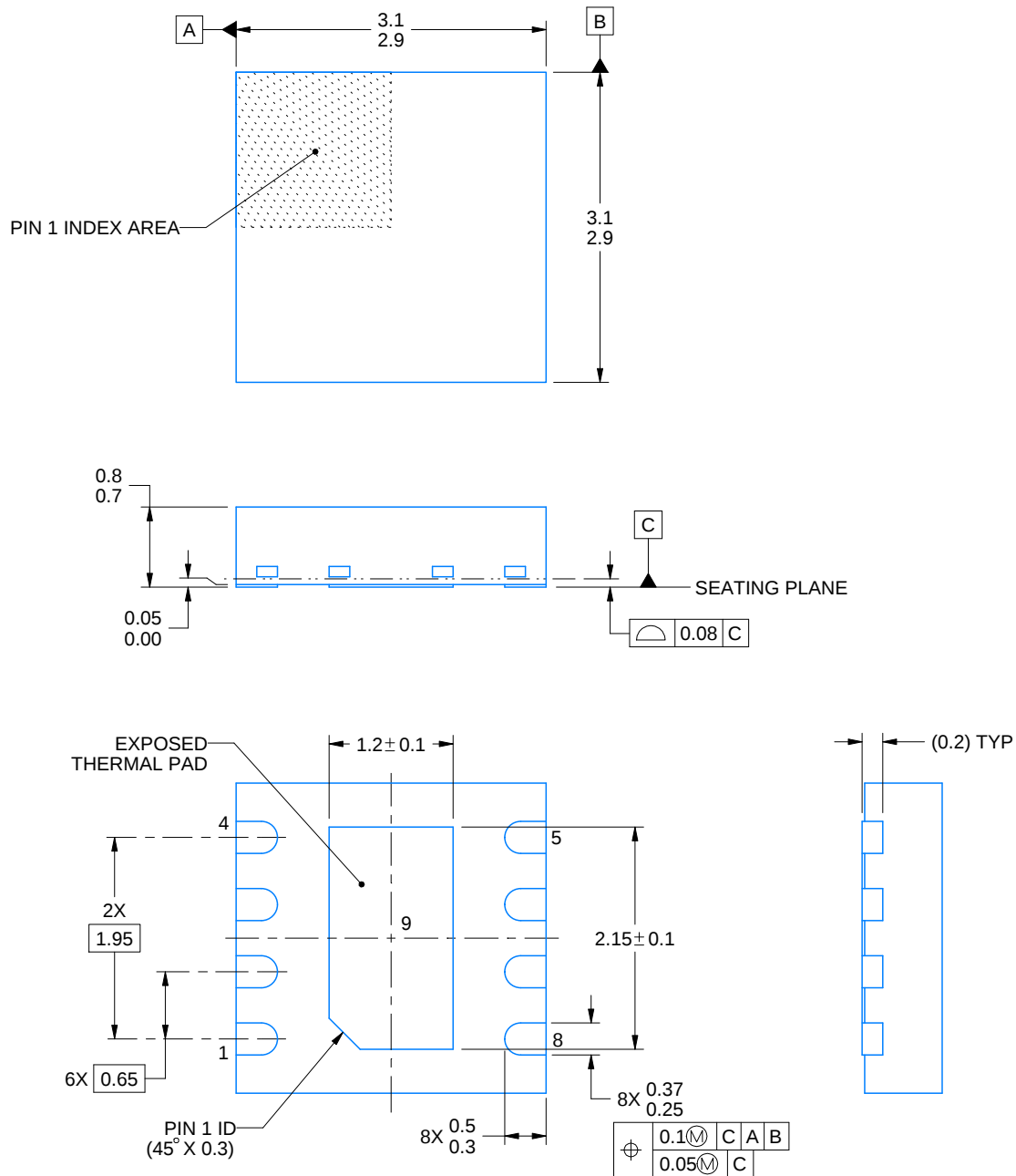
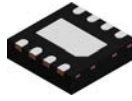
3 X 3, 0.8 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4227007/A



4218899/A 09/2023

NOTES:

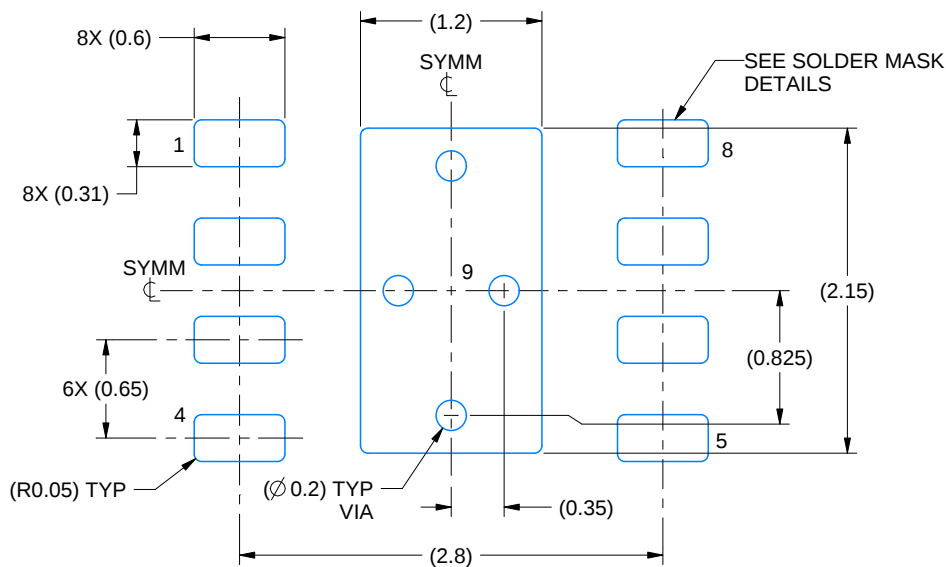
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

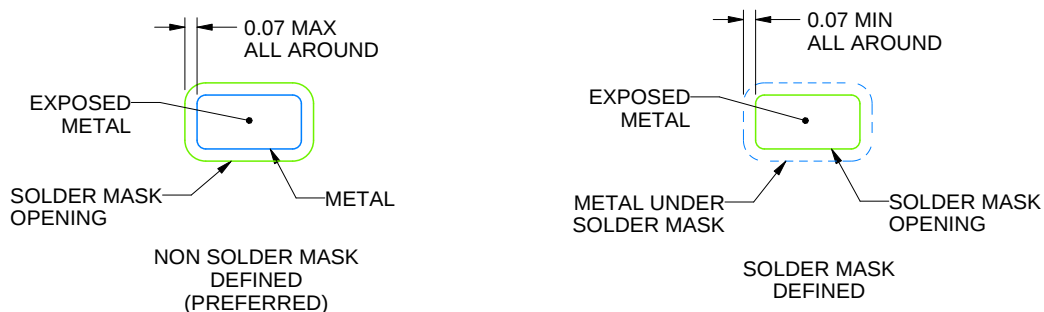
DSD0008D

WSO - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



SOLDER MASK DETAILS

4218899/A 09/2023

NOTES: (continued)

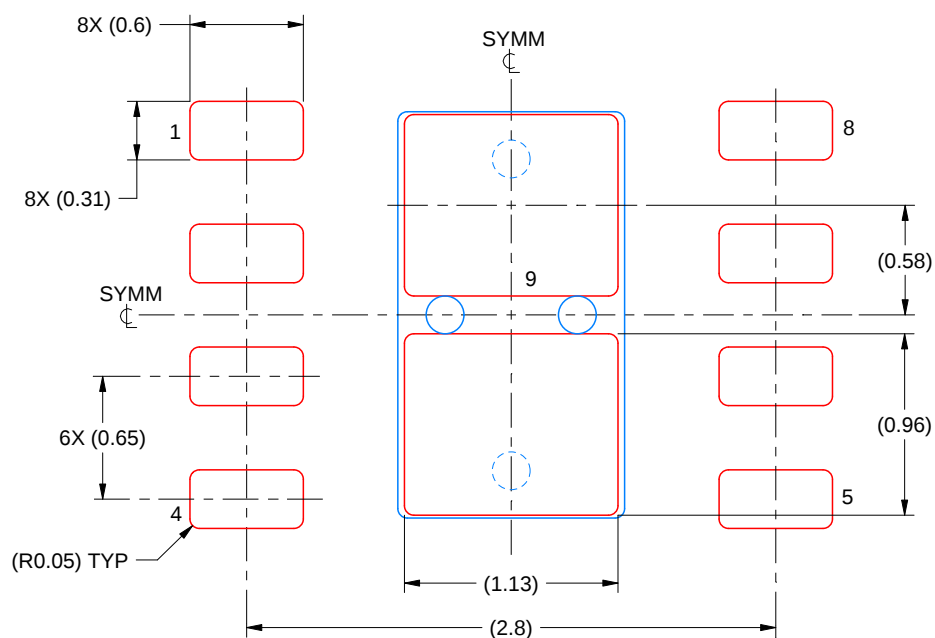
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DSD0008D

WSO - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
84% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4218899/A 09/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

GENERIC PACKAGE VIEW

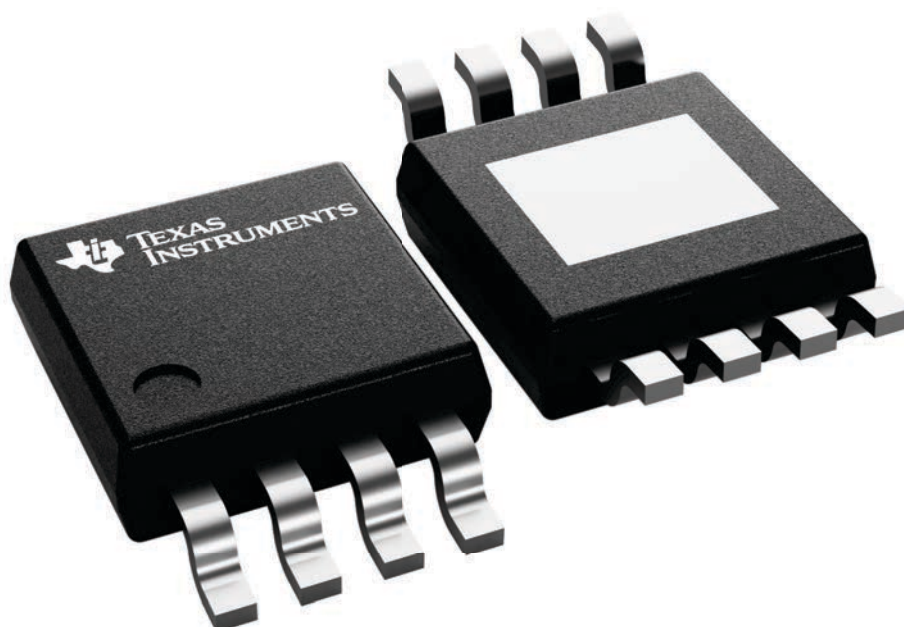
DGN 8

PowerPAD™ HVSSOP - 1.1 mm max height

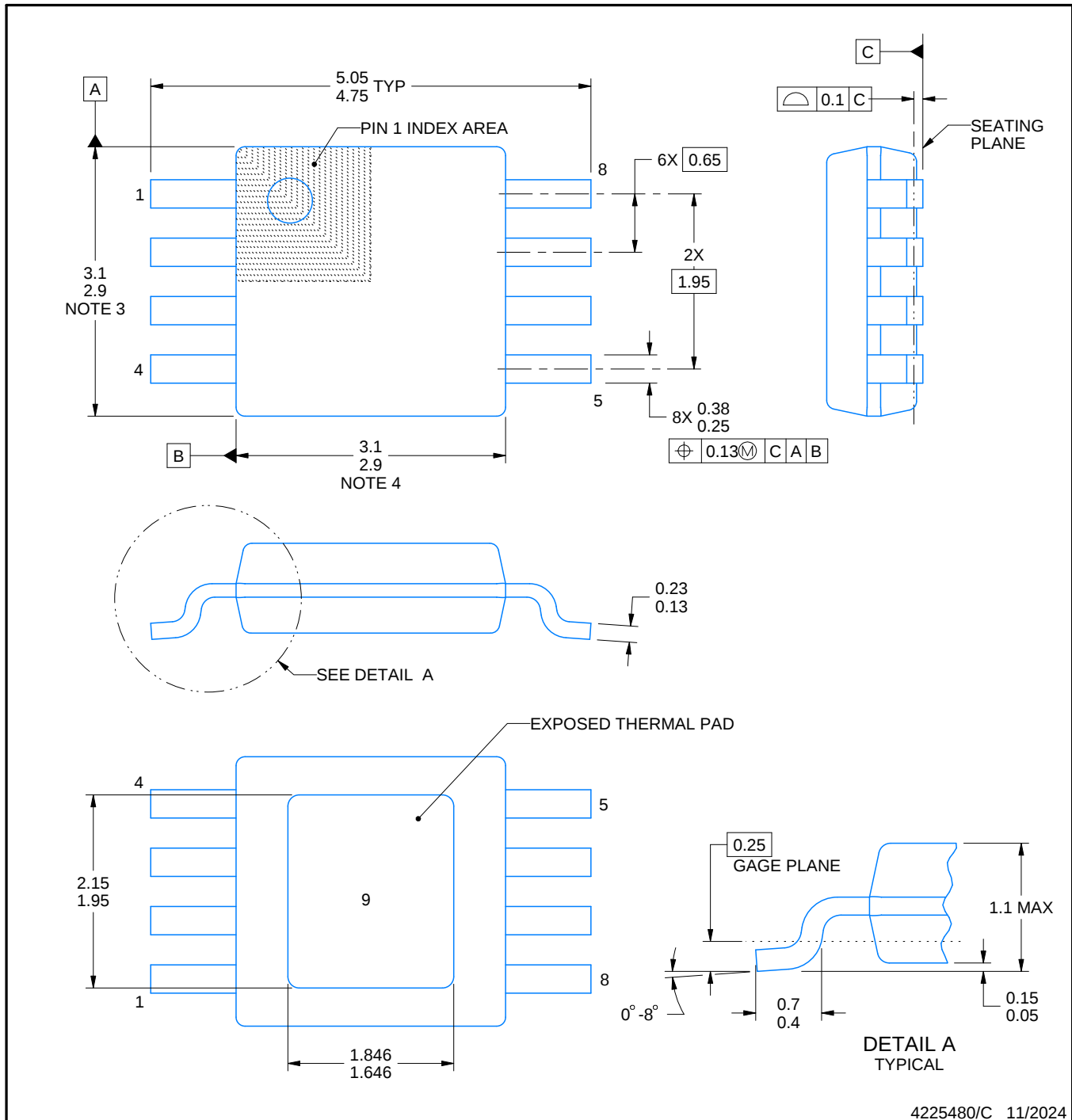
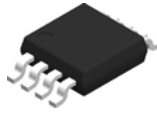
3 x 3, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225482/B



4225480/C 11/2024

NOTES:

PowerPAD is a trademark of Texas Instruments.

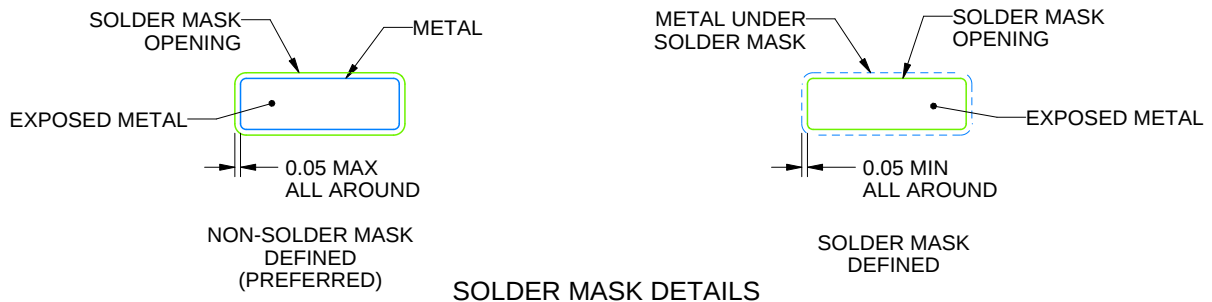
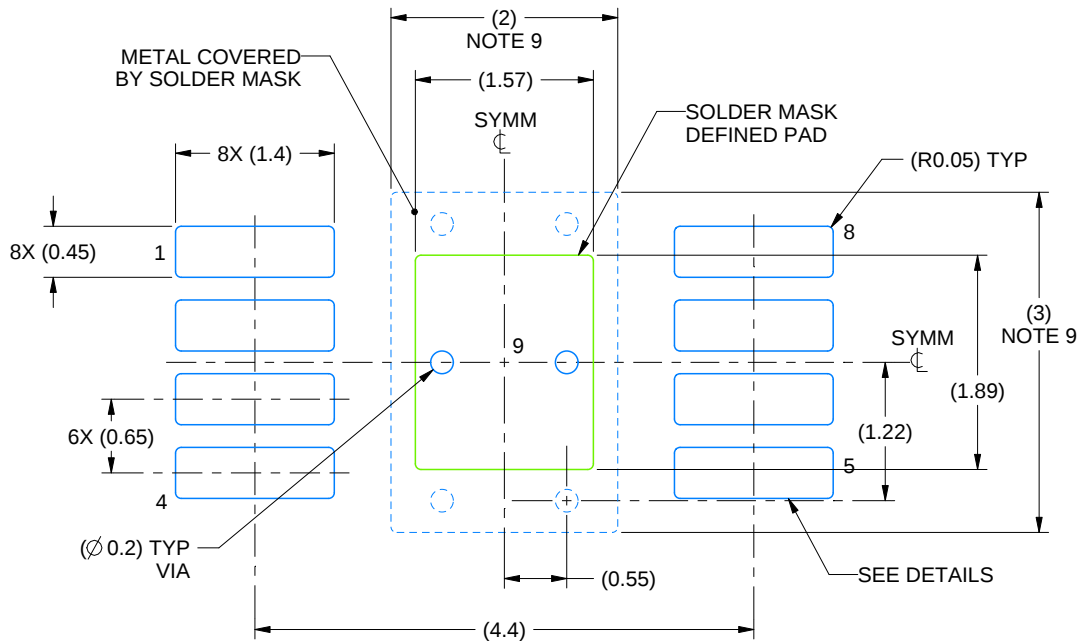
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

DGN0008G

PowerPAD™ HVSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4225480/C 11/2024

NOTES: (continued)

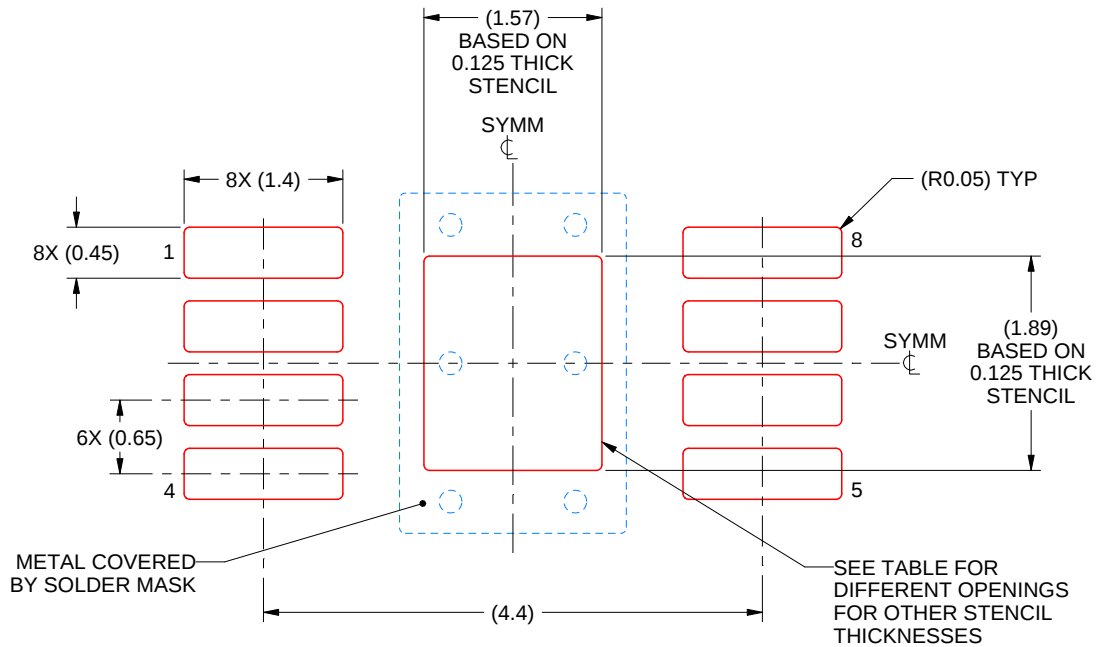
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGN0008G

PowerPAD™ HVSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.76 X 2.11
0.125	1.57 X 1.89 (SHOWN)
0.15	1.43 X 1.73
0.175	1.33 X 1.60

4225480/C 11/2024

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司