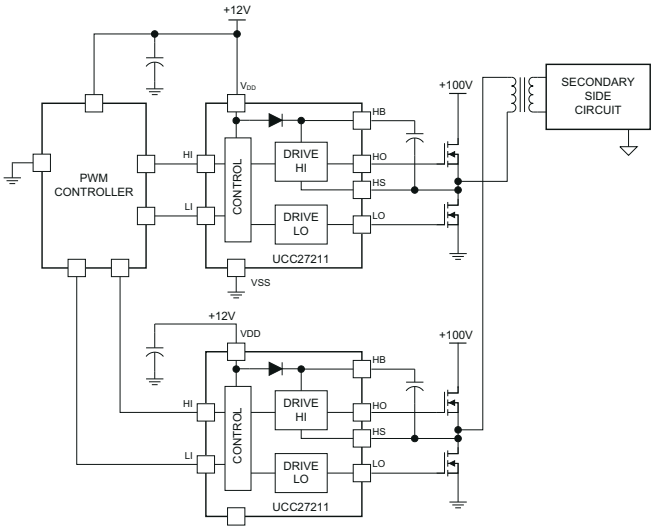
UCC27211 具有 8V UVLO 功能的 120V 3.7A/4.5A 半桥驱动器

1 特性

- 通过独立输入驱动高侧和低侧配置中的两个 N 通道 MOSFET
- 最大启动电压 120VDC
- 3.7A 输出拉电流、4.5A 输出灌电流
- 输入引脚能够耐受 –10V 至 20V 的电压，并且与电源电压范围无关
- TTL 兼容输入版本
- 8V 至 17V VDD 工作范围（绝对最大值为 20V）
- 1000pF 负载时上升时间为 7.2ns，下降时间为 5.5ns
- 快速传播延迟时间（典型值 20ns）
- 4ns 延迟匹配
- 用于高侧和低侧驱动器的对称欠压锁定功能
- 提供所有业界通用封装（SOIC-8、PowerPAD™ SOIC-8、4mm × 4mm SON-8 和 4mm × 4mm SON-10）
- 额定温度范围为 –40°C 至 150°C

2 应用

- 太阳能电源优化器和微型逆变器
- 电信和商用电源
- 在线和离线 UPS
- 储能系统
- 电池测试设备



典型应用

3 说明

UCC27211 驱动器基于常用的 UCC27201 MOSFET 驱动器，但性能得到了显著提升。峰值输出上拉和下拉电流已提高至 3.7A 拉电流和 4.5A 灌电流，因此可在 MOSFET 的米勒效应平台转换期间用尽可能小的开关损耗来驱动大功率 MOSFET。现在，输入结构能够直接处理 -10VDC，这提高了耐用性，并且无需使用整流二极管即可实现与栅极驱动变压器的直接对接。这些输入与电源电压无关，并且具有 20V 的最大额定值。

开关节点（HS 引脚）最高可处理 –(24 – VDD)V 电压，从而保护高侧通道不受固有负电压导致的寄生电感和杂散电容影响。UCC27211（TTL 输入）具有更高的输入迟滞，因而支持连接至具有增强型抗噪性能的模拟或数字 PWM 控制器。

低侧和高侧栅极驱动器是独立控制的，并在彼此的接通和关断之间实现了 4ns 的延迟匹配。由于使用了一个额定电压为 120V 的片上自举二极管，因此无需采用外部分立式二极管。

高侧和低侧驱动器均配有欠压锁定功能，可提供对称的导通和关断行为，并且能够在驱动电压低于指定阈值时将输出强制为低电平。

器件信息 (1)

器件型号	封装	封装尺寸（标称值）
UCC27211	D (SOIC 8)	4.9mm × 3.9mm
	DDA（PowerPAD 8）	4.9mm × 3.9mm
	DPR (WSON 10)	4.0mm × 4.0mm
	DRM (VSON 8)	

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....5
5.1 绝对最大额定值.....5
5.2 ESD 等级.....5
5.3 建议运行条件.....5
5.4 热性能信息.....5
5.5 电气特性.....6
5.6 开关特性.....7
5.7 时序图.....8
5.8 典型特性.....9
6 详细说明.....12
6.1 概述.....12
6.2 功能方框图.....12
6.3 特性说明.....13
6.4 器件功能模式.....14
7 应用和实施.....15
7.1 应用信息.....15
7.2 典型应用.....15
8 电源相关建议.....20
9 布局.....21
9.1 布局指南.....21
9.2 布局示例.....21
9.3 散热注意事项.....21
10 器件和文档支持.....22
10.1 第三方产品免责声明.....22
10.2 文档支持.....22
10.3 接收文档更新通知.....22
10.4 支持资源.....22
10.5 商标.....22
10.6 静电放电警告.....22
10.7 术语表.....22
11 修订历史记录.....23
12 机械、封装和可订购信息.....25

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

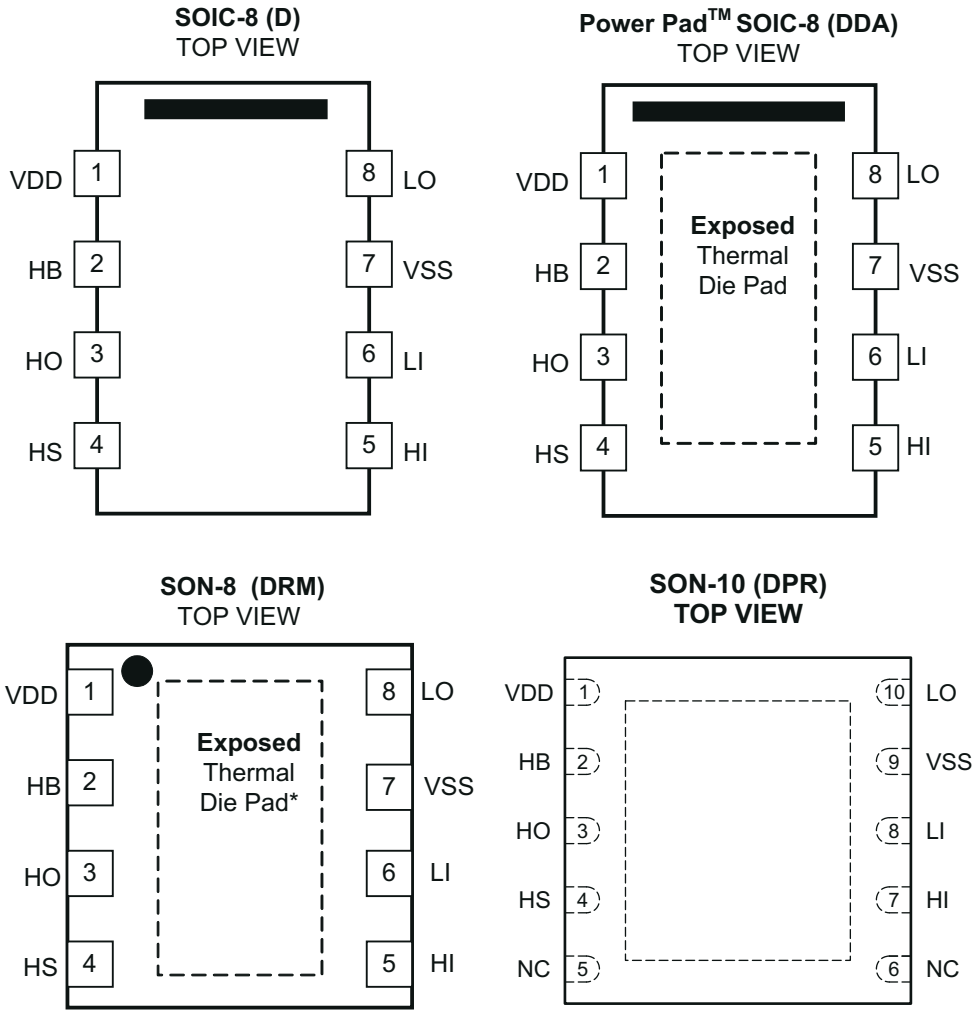


表 4-1. 引脚功能

引脚			I/O	说明
名称	D/DDA/DRM	DPR		
VDD	1	1	P	低侧栅极驱动器的正电源。将该引脚去耦合至 V_{SS} (GND)。典型去耦电容器范围为 0.22μF 到 4.7μF（请参见[(2)]）。
HB	2	2	P	高侧自举电源。自举二极管位于片上，但需要外部自举电容器。将自举电容器的正极侧连接到该引脚。HB 旁路电容器的典型范围为 0.022μF 至 0.1μF。电容器值取决于高侧 MOSFET 的栅极电荷，还应根据速度和纹波标准进行选择
HO	3	3	O	高侧输出。连接到高侧功率 MOSFET 的栅极。
HS	4	4	P	高侧源极连接。连接到高侧功率 MOSFET 的源极。将自举电容器的负极侧连接到该引脚。
HI	5	7	I	高侧输入。[(3)]
LI	6	8	I	低侧输入。[(3)]
VSS	7	9	G	器件的负电源端子，通常为接地。
LO	8	10	O	低侧输出。连接到低侧功率 MOSFET 的栅极。
N/C	—	5/6	—	未连接。

表 4-1. 引脚功能（续）

引脚			I/O	说明
名称	D/DDA/DRM	DPR		
PowerPAD ™(1)	Pad	Pad	G	仅用于 DDA、DRM 和 DPR 封装。以 V_{SS} (GND) 为电气基准。连接到热质量较大的布线或 GND 平面以提高热性能。

(1) PowerPAD™ 未与封装的任何引线直接相连。不过，它以电气方式和热方式连接至基板，该基板是器件的接地板。
(2) 对于低温应用，建议使用电容范围上限值。还应注意 PCB 布局 - 请参见节 9。
(3) 假设 HI 或 LI 输入连接到低阻抗源信号。假设源输出阻抗小于 100Ω，请在 HI 和 VSS 之间以及 LI 和 VSS 之间分别添加一个旁路电容器。添加的电容器值取决于引脚上出现的噪声水平，通常 1nF 至 10nF 应能有效消除可能的噪声影响。当 HI 或 LI 这两个引脚上出现噪声时，会导致 HO 和 LO 故障，产生错误的逻辑输出。

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内，且所有电压以 V_{SS} 为基准（除非另有说明）。(1)

			最小值	最大值	单位
V_{DD}	电源电压		-0.3	20	V
V_{HI}，V_{LI}	HI 和 LI 上的输入电压		-10	20	V
V_{LO}	LO 上的输出电压	DC	-0.3	V_{DD} + 0.3	V
		重复脉冲 < 100 ns(2)	-2	V_{DD} + 0.3	
V_{HO}	HO 上的输出电压	DC	V_{HS} – 0.3	V_{HB} + 0.3	V
		重复脉冲 < 100 ns(2)	V_{HS} – 2	V_{HB} + 0.3	
V_{HS}	HS 电压	DC	-1	115	V
		重复脉冲 < 100 ns(2)	–(24V – V_{DD})	115	
V_{HB}	HB 电压		-0.3	120	V
	HB-HS 上的电压		-0.3	20	V
T_J	工作结温		-40	150	°C
T_{stg}	贮存温度		-65	150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。
(2) 这些值根据特征进行验证，并未经过生产测试。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±1000	V

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内，且所有电压以 V_{SS} 为基准（除非另有说明）。

		最小值	标称值	最大值	单位
V_{DD}	电源电压	8	12	17	V
V_{HS}	HS 电压	-1		105	V
	HS 上的电压（重复脉冲 < 100ns）(1)	–(24V – V_{DD})		110	
V_{HB}	HB 电压	V_{HS} + 8.0，V_{DD} – 1		V_{HS} + 17，115	
SR_{HS}	HS 上的电压压摆率			50	V/ns
T_J	工作结温	-40		150	°C

(1) 这些值根据特征进行验证，并未经过生产测试。

5.4 热性能信息

热指标(1)		UCC27211				单位
		D (SOIC)	DDA (PowerPad™ SOIC)	DRM (VSON)	DPR (WSON)	
		8 引脚	8 引脚	8 引脚	10 引脚	
$R_{\theta JA}$	结至环境热阻	112.5	47.1	46.2	46.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	52.1	60.8	41.1	36.7	°C/W

5.4 热性能信息（续）

热指标[1]		UCC27211				单位
		D (SOIC)	DDA (PowerPad™ SOIC)	DRM (VSON)	DPR (WSON)	
		8 引脚	8 引脚	8 引脚	10 引脚	
$R_{\theta JB}$	结至电路板热阻	59.6	21.3	21.3	22.1	°C/W
ψ_{JT}	结至顶部特征参数	7	6.3	1.3	0.9	°C/W
ψ_{JB}	结至电路板特征参数	58.7	21.3	21.2	22	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	-	6.2	9.1	9	°C/W

(1) 有关新旧热指标的更多信息，请参阅“半导体和 IC 封装热指标”应用报告 (SPRA953)。

5.5 电气特性

$V_{DD} = V_{HB} = 12V$，$V_{HS} = V_{SS} = 0V$，LO 或 HO 无负载，$T_J = T_J =$ –40°C 至 +150°C（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
电源电流						
I_{DD}	VDD 静态电流	$V_{LI} = V_{HI} = 0V$		0.11	0.19	mA
I_{DDO}	VDD 工作电流	f = 500kHz，$C_{LOAD} = 0$		1.4	3	mA
I_{HB}	启动电压静态电流	$V_{LI} = V_{HI} = 0V$		0.065	0.12	mA
I_{HBO}	启动电压工作电流	f = 500kHz，$C_{LOAD} = 0$		1.3	3	mA
I_{HBS}	HB 至 VSS 静态电流	$V_{HS} = V_{HB} = 105V$		0.0005	1	μA
I_{HBSO}	HB 至 VSS 工作电流	f = 500kHz，$C_{LOAD} = 0$		0.03	1	mA
输入						
V_{HIT_HI}	输入电压高电平阈值		1.7	2.3	2.7	V
V_{HIT_LI}	输入电压高电平阈值		1.7	2.3	2.7	V
V_{LIT_HI}	输入电压低电平阈值		1.2	1.6	1.9	V
V_{LIT_LI}	输入电压低电平阈值		1.2	1.6	1.9	V
$V_{IHYS\ HI}$	输入电压迟滞			0.7		V
$V_{IHYS\ LI}$	输入电压迟滞			0.7		V
R_{IN_HI}	输入下拉电阻	$V_{IN} = 3V$		68		kΩ
R_{IN_LI}	输入下拉电阻	$V_{IN} = 3V$		68		kΩ
欠压保护 (UVLO)						
V_{DDR}	VDD 上升阈值		6.2	7	7.8	V
V_{DDHYS}	VDD 阈值迟滞			0.5		V
V_{HBR}	VHB 上升阈值		5.6	6.7	7.9	V
V_{HBHYS}	VHB 阈值迟滞			1.1		V
自举二极管						
V_F	低电流正向电压	$I_{VDD-HB} = 100\ \mu A$		0.65	0.85	V
V_{FI}	高电流正向电压	$I_{VDD-HB} = 100mA$		0.9	1.05	V
R_D	动态电阻，ΔVF/ΔI	$I_{VDD-HB} = 160mA$ 和 180mA	0.3	0.55	0.85	Ω
LO 栅极驱动器						
V_{LOL}	低电平输出电压	$I_{LO} = 100mA$		0.07	0.19	V
V_{LOH}	高电平输出电压	$I_{LO} = -100mA$，$V_{LOH} = V_{DD} - V_{LO}$		0.11	0.29	V
	峰值上拉电流[1]	$V_{LO} = 0V$		3.7		A
	峰值下拉电流[1]	$V_{LO} = 12V$		4.5		A
HO 栅极驱动器						
V_{HOL}	低电平输出电压	$I_{HO} = 100mA$		0.07	0.19	V
V_{HOH}	高电平输出电压	$I_{HO} = -100mA$，$V_{HOH} = V_{HB} - V_{HO}$		0.11	0.29	V
	峰值上拉电流[1]	$V_{HO} = 0V$		3.7		A

Copyright © 2024 Texas Instruments Incorporated

5.5 电气特性（续）

V_{DD} = V_{HB} = 12V，V_{HS} = V_{SS} = 0V，LO 或 HO 无负载，T_J = T_J = –40°C 至 +150°C（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
	峰值下拉电流(1)	V_{HO} = 12V		4.5		A

(1) 未经量产测试的参数。

5.6 开关特性

V_{DD} = V_{HB} = 12V，V_{HS} = V_{SS} = 0V，LO 或 HO 无负载，T_J = T_J = –40°C 至 +150°C（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
传播延迟						
t_{DLFF}	VLI 下降至 VLO 下降	C_{LOAD} = 0pF，从 LI 的 V_{LIT} 到 LO 下降的 90%	10	19	30	ns
t_{DHFF}	VHI 下降至 VHO 下降	C_{LOAD} = 0pF，从 HI 的 V_{LIT} 到 HO 下降的 90%	10	19	30	ns
t_{DLRR}	VLI 上升至 VLO 上升	C_{LOAD} = 0pF，从 LI 的 V_{HIT} 到 LO 上升的 10%	10	20	40	ns
t_{DHRR}	VHI 上升至 VHO 上升	C_{LOAD} = 0pF，C_{LOAD} = 0pF，从 HI 的 V_{HIT} 到 HO 上升的 10%	10	20	40	ns
延迟匹配						
t_{MON}	LI 开启，HI 关闭	T_J = 25°C		4	9.5	ns
t_{MON}	LI 开启，HI 关闭	T_J = -40°C 至 150°C		4	17	ns
t_{MOFF}	LI 关闭，HI 打开	T_J = 25°C		4	9.5	ns
t_{MOFF}	LI 关闭，HI 打开	T_J = -40°C 至 150°C		4	17	ns
输出上升和下降时间						
t_{R_LO}	LO 上升时间	C_{LOAD} = 1000pF，从 10% 到 90%		7.2		ns
t_{R_HO}	HO 上升时间	C_{LOAD} = 1000pF，从 10% 到 90%		7.2		ns
t_{F_LO}	LO 下降时间	C_{LOAD} = 1000pF，从 10% 到 90%		5.5		ns
t_{F_HO}	HO 下降时间	C_{LOAD} = 1000pF，从 10% 到 90%		5.5		ns
$t_{R_LO_p1}$	LO 上升时间（3V 至 9V）	C_{LOAD} = 0.1μF（3V 至 9V）		0.27	0.6	μs
$t_{R_HO_p1}$	HO 上升时间（3V 至 9V）	C_{LOAD} = 0.1μF（3V 至 9V）		0.27	0.6	μs
$t_{F_LO_p1}$	LO 下降时间（9V 至 3V）	C_{LOAD} = 0.1μF（9V 至 3V）		0.16	0.4	μs
$t_{F_HO_p1}$	HO 下降时间（9V 至 3V）	C_{LOAD} = 0.1μF（9V 至 3V）		0.16	0.4	μs
其他						
t_{IN_PW}	可改变输出 LO 的最小输入脉冲宽度				40	ns
t_{IN_PW}	可改变输出 HO 的最小输入脉冲宽度				40	ns
t_{OFF_BSD}	自举二极管关断时间(1) (2)	I_F = 20mA，I_{REV} = 0.5A(3)		20		ns

(1) 未经量产测试的参数。
(2) T_A = 25°C 的典型值。
(3) I_F：施加到自举二极管的正向电流，I_{REV}：施加到自举二极管的反向电流。

5.7 时序图

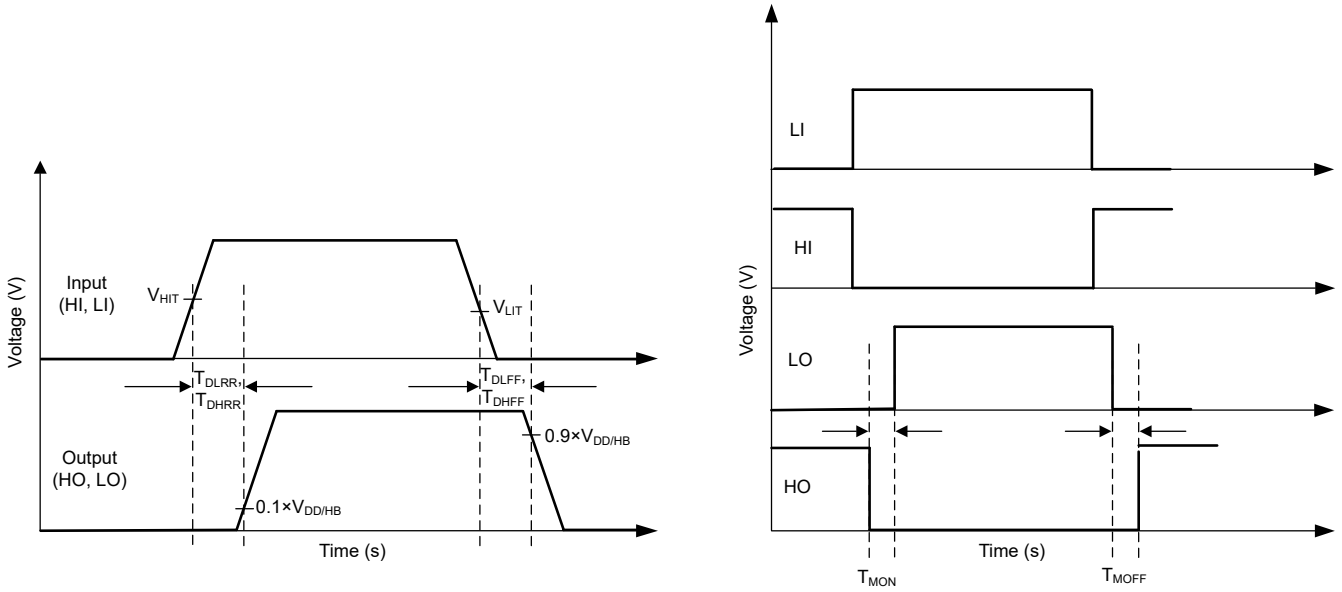
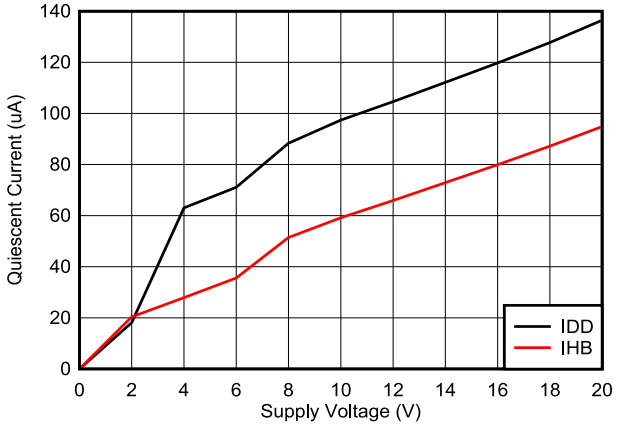


图 5-1. 时序图

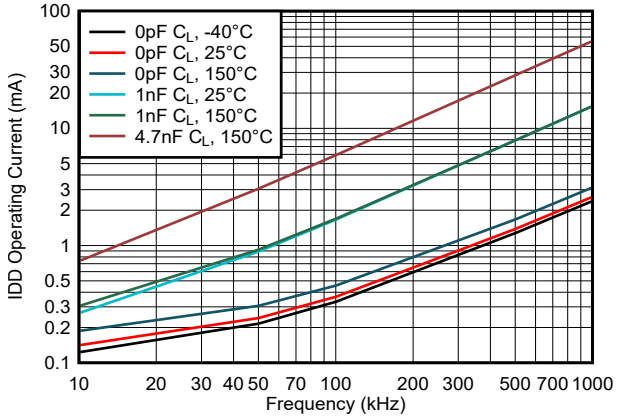
Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性



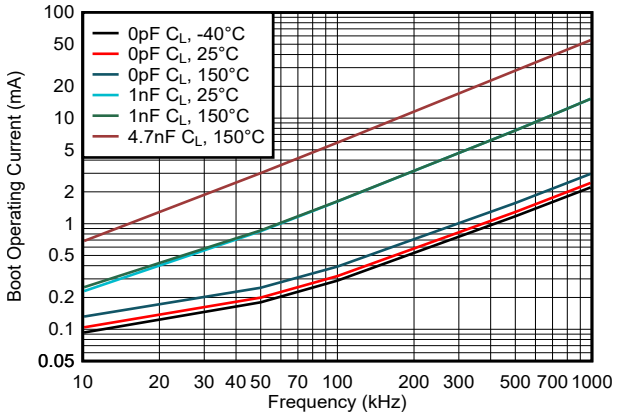
T = 25°C

图 5-2. 静态电流与电源电压间的关系



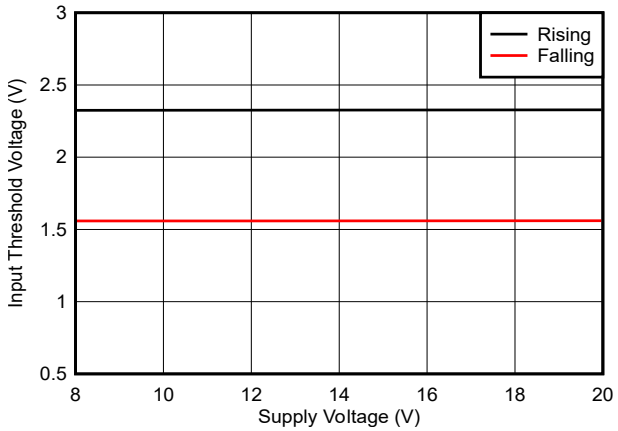
V_{DD} = 12V

图 5-3. IDD 工作电流与频率间的关系



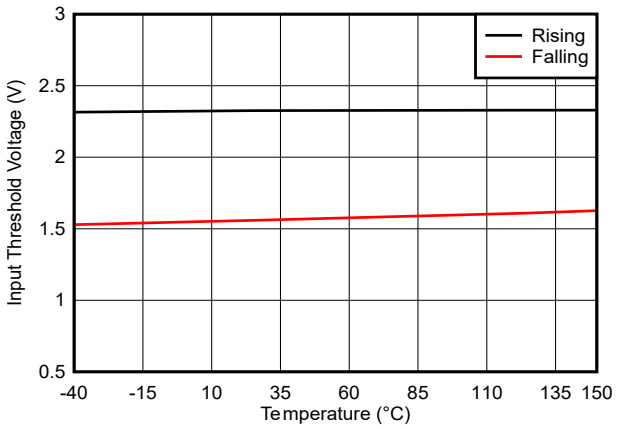
V_{HB} – V_{HS} = 12V

图 5-4. 启动电压工作电流与频率间的关系（HB 至 HS）



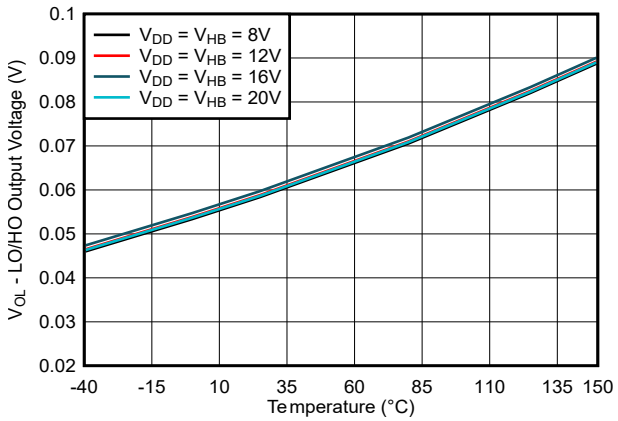
T = 25°C

图 5-5. 输入阈值与电源电压间的关系



V_{DD} = 12V

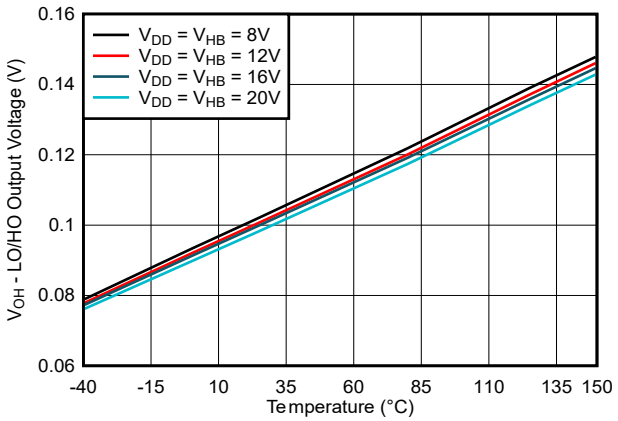
图 5-6. 输入阈值与温度间的关系



I_{HO} = I_{LO} = 100mA

图 5-7. LO 和 HO 低电平输出电压与温度间的关系

5.8 典型特性（续）



I_{HO} = I_{LO} = 100mA

图 5-8. LO 和 HO 高电平输出电压与温度间的关系

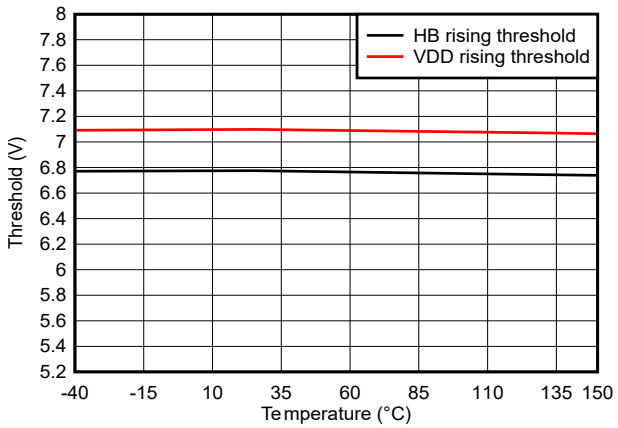


图 5-9. 欠压锁定阈值与温度间的关系

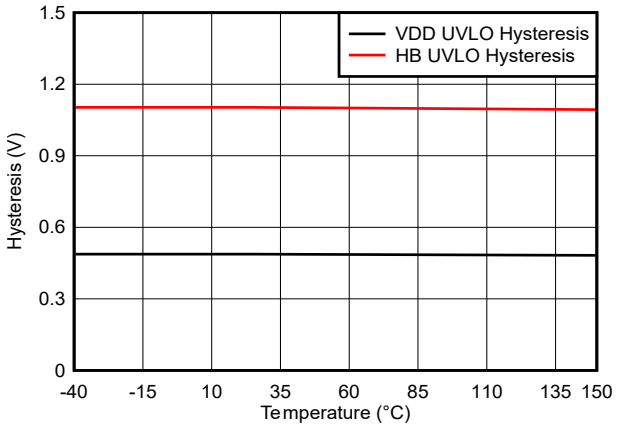
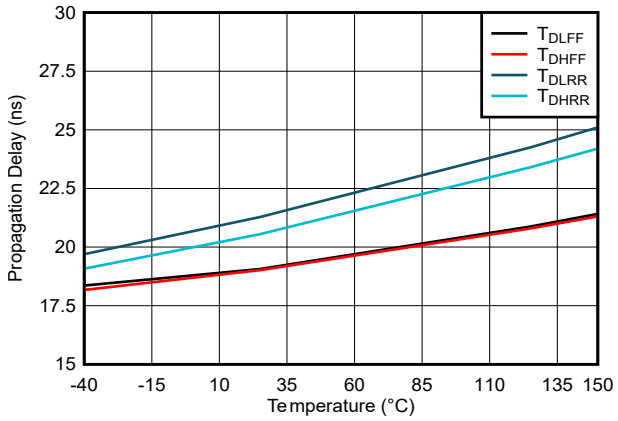
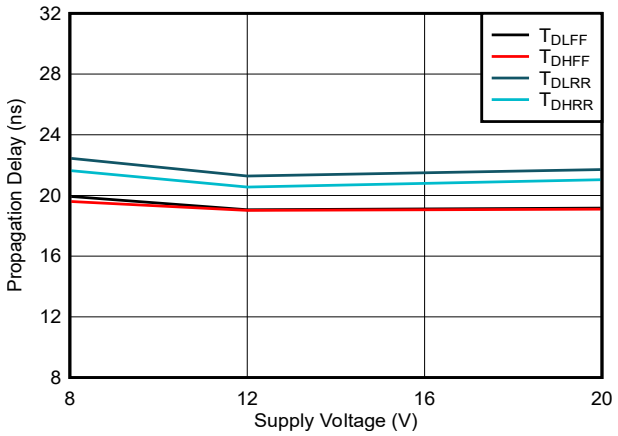


图 5-10. 欠压锁定阈值迟滞与温度间的关系



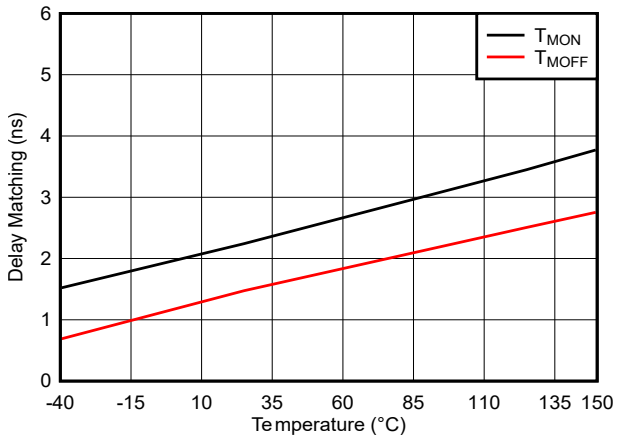
V_{DD} = V_{HB} = 12V

图 5-11. 传播延迟与温度间的关系



T = 25°C

图 5-12. 传播延迟与电源电压间的关系(V_{DD} = V_{HB})

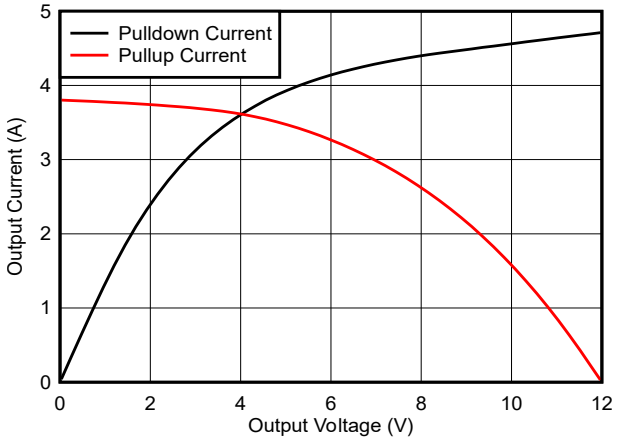


V_{DD} = V_{HB} = 12V

图 5-13. 延迟匹配与温度间的关系

Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性（续）



$V_{DD} = V_{HB} = 12V$

图 5-14. 输出电流与输出电压间的关系

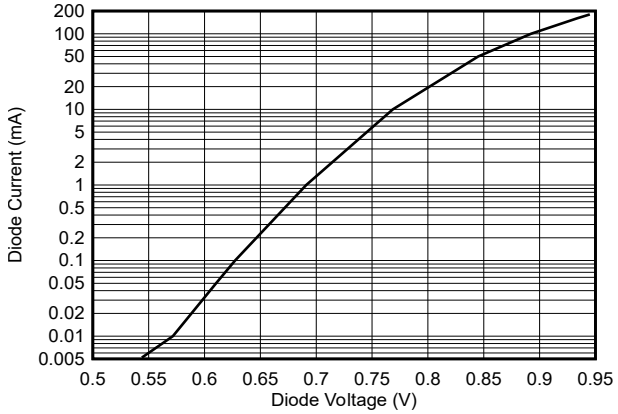


图 5-15. 二极管电流与二极管电压间的关系

6 详细说明

6.1 概述

UCC27211 器件设计用于驱动采用半桥/全桥或同步降压配置的高侧和低侧 N 沟道 MOSFET。该悬空高侧驱动器能够在高达 120V 的电源电压下工作。这可在半桥式、全桥式、推挽、两开关正激式和有源钳位正激式转换器中提供 N 沟道 MOSFET 控制。

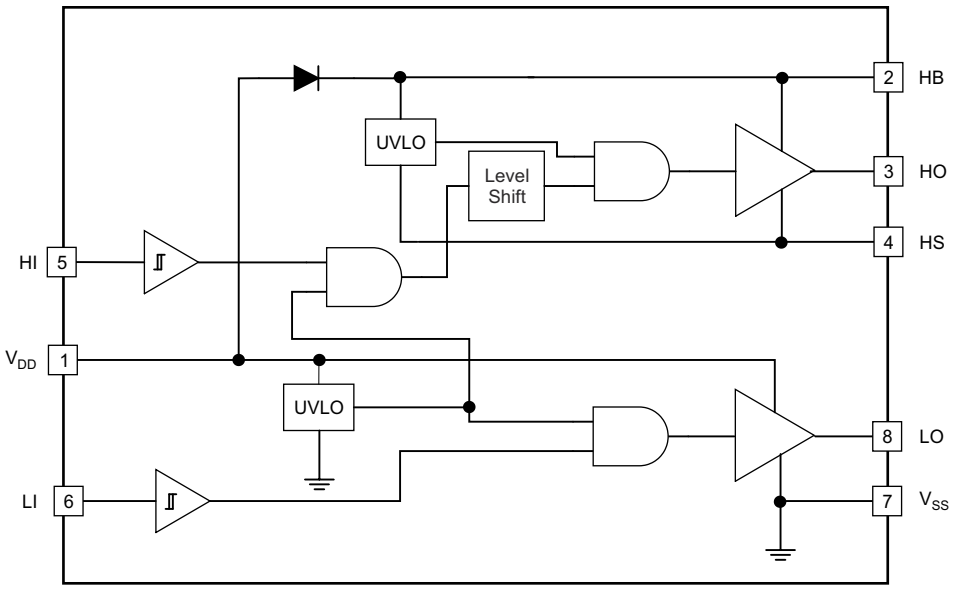
UCC27211 器件具有 3.7A 拉电流和 4.5A 灌电流能力、出色的开关特性以及表 6-1 中列出的大量其他特性。这些特性相结合，可确保在高频开关电源电路中实现高效、稳健和可靠的运行。

表 6-1. UCC27211 亮点

特性	优势
3.7A 拉电流和 4.5A 灌电流	高峰值电流，非常适合以极小功耗驱动大功率 MOSFET（米勒平坦区域上的快速驱动能力）
输入引脚（HI 和 LI）可以直接处理 –10VDC 至 20VDC 范围	提高了稳健性和处理下冲/过冲的能力。可直接连接到栅极驱动变压器，而无需使用整流二极管
120V 内部自举二极管	可提供电压裕度，以满足电信 100V 浪涌要求
开关节点（HS 引脚）能够在 100ns 内处理 –(24 – VDD)V 最大值	允许高侧通道获得额外保护以避免受到固有负电压引起的寄生电感和杂散电容影响。
可处理电压尖峰的强大 ESD 电路	出色的大 dV/dT 条件抗扰度
20ns 传播延迟，上升/下降时间为 7.2ns/5.5ns	出色的开关特性和极低脉冲传输失真
通道间的延迟匹配时间为 4ns（典型值）	避免电桥中的变压器伏秒偏移
对称 UVLO 电路	可确保同时实现高侧和低侧关断
具有更高迟滞的 TTL 优化阈值	模拟或数字 PWM 控制器的补充。更高迟滞可提供更强的抗噪性能

在 UCC27211 器件中，高侧和低侧均具有独立的输入，从而在应用中提供强大的输入控制信号灵活性。高侧驱动器辅助电源的自举二极管位于器件内部。UCC27211 是 TTL 或逻辑兼容版本。高侧驱动器以开关节点 (HS) 为基准，该节点通常是高侧 MOSFET 的源极引脚和低侧 MOSFET 的漏极引脚。低侧驱动器以 V_{SS} 为基准（通常接地）。包含的功能有输入级、UVLO 保护、电平位移、自举二极管和输出驱动器级。

6.2 功能方框图



Copyright © 2016, Texas Instruments Incorporated

6.3 特性说明

6.3.1 输入级

输入级提供连接 PWM 输出信号的接口。UCC27211 的输入级阻抗为 68kΩ 标称值，输入电容约为 4pF。V_{SS}（接地）的下拉电阻为 68kΩ。逻辑电平兼容输入提供 2.3V 的上升阈值和 1.6V 的下降阈值。

6.3.2 欠压锁定 (UVLO)

高侧和低侧驱动器的辅助电源具有 UVLO 保护。V_{DD} 以及 V_{HB} 至 V_{HS} 差分电压受到监控。V_{DD} 低于指定阈值时，V_{DD} UVLO 将禁用两个驱动器。上升 V_{DD} 阈值为 7.0V，迟滞为 0.5V。当 V_{HB} 至 V_{HS} 差分电压低于指定阈值时，VHB UVLO 仅禁用高侧驱动器。V_{HB} UVLO 上升阈值为 6.7V，迟滞为 1.1V。

6.3.3 电平转换

电平转换电路是从高侧输入到高侧驱动器级的接口，以开关节点 (HS) 为基准。电平转换允许控制 HO 输出，以 HS 引脚为基准，并提供与低侧驱动器的出色延迟匹配。

6.3.4 自举二极管

UCC27211 系列驱动器包含生成高侧偏置所需的自举二极管。二极管阳极连接到 V_{DD}，阴极连接到 V_{HB}。当 V_{HB} 电容器连接到 HB 和 HS 引脚时，V_{HB} 电容器电荷会在 HS 转换为接地时在每个开关周期刷新。自举二极管可提供快速恢复时间、低二极管电阻和额定电压裕度，从而实现高效可靠的运行。

6.3.5 输出级

在动力总成中，输出级是到功率 MOSFET 的接口。两个输出驱动器的高压摆率、低电阻和高峰值电流能力支持功率 MOSFET 高效开关。低侧输出级以 V_{DD} 至 V_{SS} 为基准，高侧输出级以 V_{HB} 至 V_{HS} 为基准。

6.4 器件功能模式

该器件可在正常模式和 UVLO 模式下运行。有关 UVLO 工作模式的信息，请参阅 *节 6.3.2* 部分。在正常模式下，输出状态取决于 HI 和 LI 引脚的状态。表 6-2 列出了不同输入引脚组合的输出状态。

表 6-2. 器件逻辑表

HI 引脚	LI 引脚	HO(1)	LO(2)
L	L	L	L
L	H	L	H
H	L	H	L
H	H	H	H

(1) 以 HS 为基准来测量 HO。
(2) 以 VSS 为基准来测量 LO。

Copyright © 2024 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

为了使功率器件能够快速开关并降低相关开关功率损耗，在控制器的 PWM 输出和功率半导体器件的栅极之间采用了一款强大的栅极驱动器。此外，当 PWM 控制器无法直接驱动开关器件的栅极时，必须使用栅极驱动器。数字电源出现之后，经常会遇到这种情况，因为数字控制器发出的 PWM 信号通常是 3.3V 逻辑信号，无法有效导通电源开关。需要使用电平转换电路将 3.3V 信号提高至栅极驱动电压（例如 12V），从而完全开启功率器件并尽可能减小导通损耗。基于采用图腾柱排列的 NPN/PNP 双极晶体管（作为发射极跟随器配置）的传统缓冲器驱动电路经证明不适用于数字电源，因为这些电路不具备电平转换功能。栅极驱动器能够有效结合电平转换和缓冲器驱动功能。栅极驱动器器件还可以满足其他需求，例如通过使高电流驱动器的位置靠近电源开关来更大程度地减小高频开关的影响、驱动栅极驱动变压器并控制悬空的功率器件栅极、通过将栅极电荷功率损耗移从控制器移至驱动器来降低控制器中的功率耗散和热应力。

最后，新兴的宽带隙功率器件技术（如基于 GaN 的开关）能够支持以极高的开关频率运行，这就对栅极驱动能力提出了极为特殊的要求。这些要求包括在低 VDD 电压（5V 或更低）下运行、低传播延迟，以及具有良好散热性能的紧凑型低电感封装。总之，栅极驱动器器件是开关电源中一个极其重要的元件，同时兼具高性能、低成本、更少元件数、更小布板空间和简化系统设计等优势。

7.2 典型应用

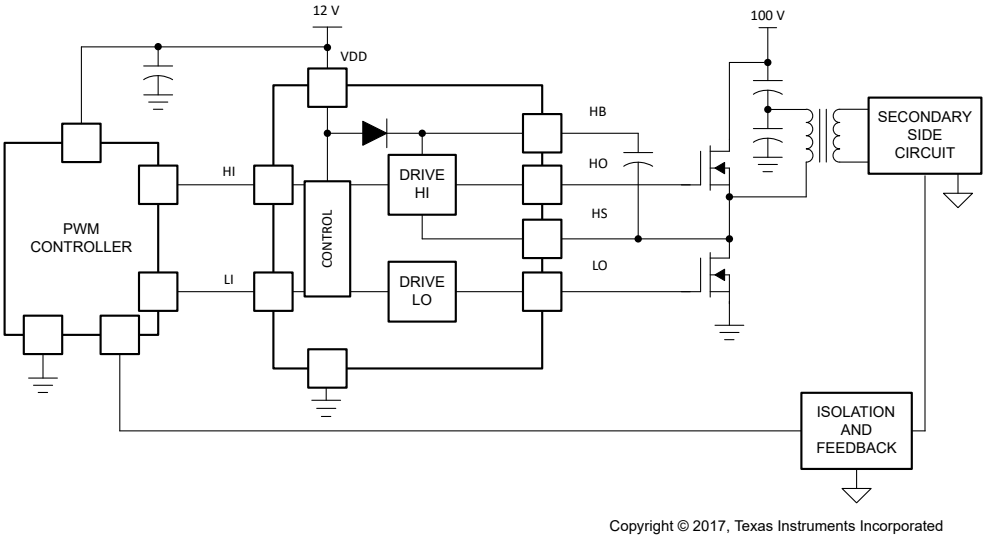


图 7-1. 典型应用图 1

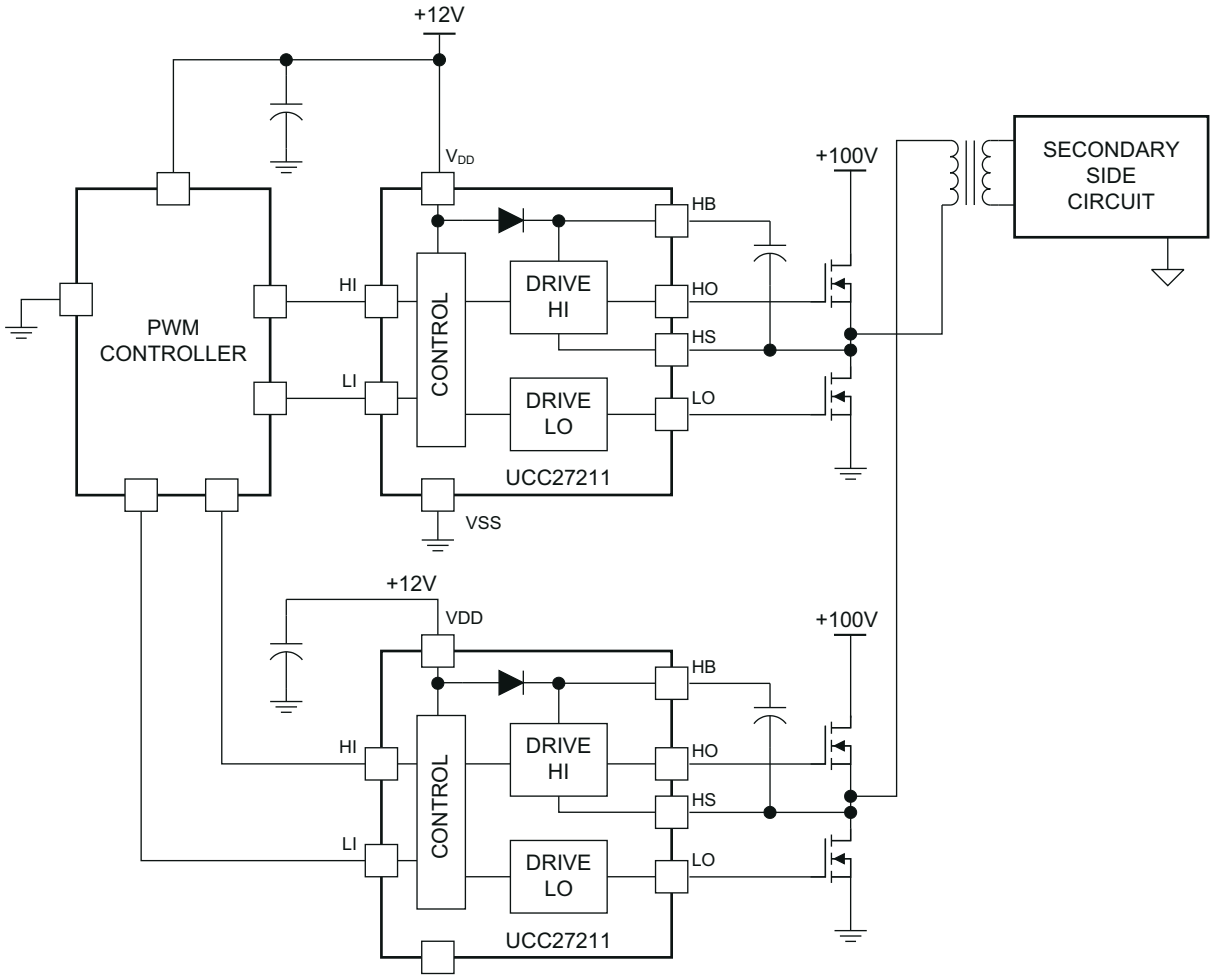


图 7-2. 典型应用图 2

7.2.1 设计要求

表 7-1. 设计规格

设计参数	示例值
电源电压，VDD	12V
HS 上的电压，VHS	0V 至 100V
HB 上的电压，VHB	12V 至 112V
输出电流额定值，IO	-4.5A/3.7A
运行频率	500kHz

Copyright © 2024 Texas Instruments Incorporated

7.2.2 详细设计过程

7.2.2.1 输入阈值类型

UCC27211 的最大输入电压范围为 –10V 至 20V。通过增强的稳健性，该器件可以直接连接到栅极驱动变压器。UCC27211 具有与 TTL 兼容的输入阈值逻辑，并具有宽迟滞。阈值电压电平为低电平电压且与 VDD 电源电压无关，因此可与来自微控制器的逻辑电平输入信号和来自模拟控制器的较高电压输入信号兼容。请参阅电气特性表，以了解实际输入阈值电压电平和迟滞规格。

7.2.2.2 V_{DD} 辅助电源电压

施加到器件 VDD 引脚的辅助电源电压不应超过建议运行条件表中列出的值。不过，不同的电源开关要求在栅极端子上施加不同的电压电平，以实现有效导通和关断。对于某些电源开关，导通可能需要正栅极电压，关断可能需要负栅极电压，在这种情况下，VDD 辅助电源等于电压差。UCC27211 器件具有 8V 至 17V 的宽工作电压范围，可用于驱动各种电源开关，例如 Si MOSFET、IGBT 和宽带隙功率半导体。

7.2.2.3 峰值拉电流和灌电流

通常，电源开关在导通和关断期间的开关速度应尽可能快，以尽可能减小开关功率损耗。栅极驱动器器件必须能够提供所需的峰值电流，以实现目标开关速度和目标功率 MOSFET。系统对开关速度的要求通常通过功率 MOSFET 漏源电压的压摆率（如 dV_{DS}/dt）来描述。例如，在连续导通模式 (CCM) 升压 PFC 转换器应用中，系统可能要求 SPP20N60C3 功率 MOSFET 必须在 400V 的直流母线电压下，以 20V/ns 或更高的 dV_{DS}/dt 导通。这种类型的应用属于电感式硬开关应用，因此降低开关功率损耗至关重要。该要求意味着在功率 MOSFET 导通事件期间（从关断状态下的 400V 到导通状态下的 $V_{DS(on)}$），整个漏源电压摆幅必须在约 20ns 或更短的时间内完成。当发生漏源电压摆幅时，功率 MOSFET 的米勒电荷（SPP20N60C3 数据表中的 QGD 参数为 33nC 典型值）由栅极驱动器的峰值电流提供。根据功率 MOSFET 电感开关机制，此时功率 MOSFET 的栅源电压为米勒平坦区域电压，通常比功率 MOSFET 的阈值电压 $V_{GS(TH)}$ 高几伏。

为了实现目标 dV_{DS}/dt，栅极驱动器必须能够在 20ns 或更短的时间内提供 Q_{GD} 电荷。换句话说，栅极驱动器必须提供 1.65A (= 33nC/20ns) 或更高的峰值电流。UCC27211 栅极驱动器能够提供 4A 峰值拉电流，明显超过了设计要求，并能够满足所需的开关速度。2.4 倍的过驱能力针对功率 MOSFET 在 Q_{GD} 参数方面的器件间差异提供了额外的裕度，同时也为插入外部栅极电阻器并对开关速度进行微调提供了额外的灵活性，以实现效率与 EMI 优化。然而，在实际设计中，PCB 的栅极驱动电路中的寄生引线电感对功率 MOSFET 开关速度具有决定性的作用。该迹线电感会限制栅极驱动器的输出电流脉冲的 dI/dt。为了说明这一点，下面以近似三角曲线的栅极驱动器输出电流脉冲波形为例说明，其中三角曲线下的面积 (½ ×I_{PEAK} × time) 等于功率 MOSFET 的总栅极电荷（SPP20N60C3 功率 MOSFET 数据表中的 QG 参数 = 87nC 典型值）。如果寄生引线电感限制了 dI/dt，则可能会发生这样的情况：在提供开关功率 MOSFET 的 QG 所需的时间内无法完全实现栅极驱动器的完整峰值电流能力。换言之，上述公式中的 time 参数将占主导地位，并且电流脉冲的 I_{PEAK} 值远低于驱动器真正的峰值电流能力，同时仍能提供所需的 QG。因此，可能无法实现所需的开关速度，即使理论计算表明栅极驱动器能够实现此目标开关速度。因此，将栅极驱动器器件放置在非常靠近功率 MOSFET 的位置并设计具有最小 PCB 迹线电感的紧凑栅极驱动环路对于实现栅极驱动器的完整峰值电流功能而言非常重要。

7.2.2.4 传播延迟

栅极驱动器可接受的传播延迟取决于使用的开关频率以及系统可接受的脉冲失真水平。UCC27211 具有 20ns（典型值）的传播延迟，确保了脉冲失真非常小并且能够在非常高的频率下运行。有关该器件的传播和开关特性，请参阅电气特性表。

7.2.2.5 功率耗散

栅极驱动器的功率耗散具有两个部分，如方程式 1 中所示。

$$P_{DISS} = P_{DC} + P_{SW} \tag{1}$$

功率耗散的直流部分是 PDC = I_Q × VDD，其中 I_Q 是驱动器的静态电流。静态电流是器件消耗的用于对所有内部电路（如输入级、基准电压、逻辑电路、保护）进行偏置的电流，以及当驱动器输出更改状态（如对寄生电容进行充电和放电、寄生击穿等）时任何与内部器件开关相关联的电流。UCC27211 的静态电流极低（小于

0.17mA，请参阅电气特性表），并包含可消除输出驱动器级中任何击穿的内部逻辑。因此，可以稳妥地假定 PDC 对栅极驱动器内总功率耗散的影响是微不足道的。在开关期间栅极驱动器封装中耗散的功率 (PSW) 取决于以下因素：

- 功率器件所需的栅极电荷（通常是驱动电压 VG 的函数，非常接近于输入辅助电源电压 VDD）
- 开关频率
- 外部栅极电阻器的使用情况。使用分立式容性负载对驱动器器件进行测试时，计算辅助电源所需的功率非常简单。方程式 2 给出了为了对电容器进行充电，辅助电源必须传递的能量。

$$EG = ½C_{LOAD}V_{DD}^2 f_{SW} \quad (2)$$

  - 其中
  - C_{LOAD} 是负载电容器
  - V_{DD} 是为驱动器供电的偏置电压

对电容器进行充电时，存在等量的耗散能量。这会导致由方程式 3 给出的总功率损耗。

$$PG = C_{LOAD}V_{DD}^2 f_{SW} \quad (3)$$

其中

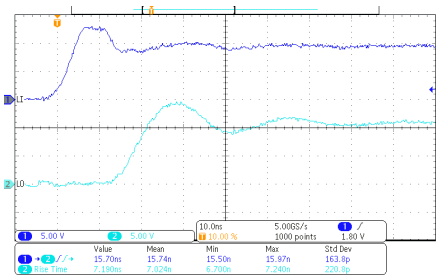
- f_{SW} 是开关频率

可以通过检查对器件进行开关所需的栅极电荷，将功率 MOSFET/IGBT 表示的开关负载转换为等效电容。该栅极电荷包括输入电容的效果，以及当功率器件在导通和关断状态之间切换时使其漏极电压摆动所需的附加电荷。大多数制造商都提供用于在指定的条件下对器件进行开关的栅极电荷典型值和最大值规格（以 nC 为单位）。使用栅极电荷 Qg 可确定电容器充电时必须耗散的功率，利用公式 $Q_g = C_{LOAD} \times V_{DD}$ 计算后通过方程式 4 得出功率。

$$P_G = C_{LOAD}V_{DD}^2 f_{SW} = Q_G V_{DD} f_{SW} \quad (4)$$

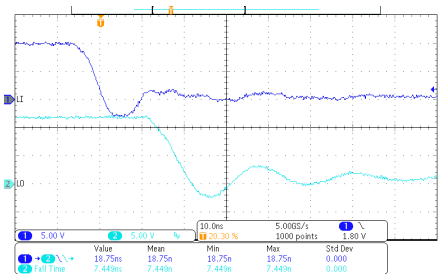
该功率 P_G 是 MOSFET/IGBT 导通或关断时电路的电阻元件中的耗散。在开通过程中对负载电容器进行充电时会耗散总功率的一半，在关闭期间对负载电容器进行放电时耗散另一半。如果在驱动器与 MOSFET/IGBT 之间没有采用外部栅极电阻器，该功率将完全耗散在驱动器封装中。在使用外部栅极驱动电阻器的情况下，功率耗散会在驱动器的内部电阻和外部栅极电阻器之间分摊。

7.2.3 应用曲线



C_L = 1nF　　V_{DD} = 12V

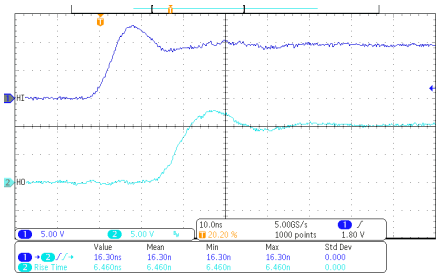
图 7-3. LO 上升时间和 LI 至 LO 导通传播延迟



C_L = 1nF　　V_{DD} = 12V

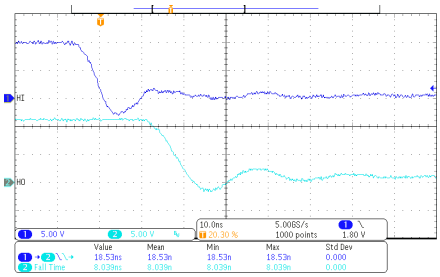
图 7-4. LO 下降时间和 LI 至 LO 关断传播延迟

Copyright © 2024 Texas Instruments Incorporated



C_L = 1nF V_{DD} = 12V

图 **7-5. HO** 上升时间和 **HI** 至 **HO** 导通传播延迟



C_L = 1nF V_{DD} = 12V

图 **7-6. HO** 下降时间和 **HI** 至 **HO** 关断传播延迟

8 电源相关建议

UCC27211 器件的额定工作辅助电源电压范围为 8V 至 17V。此范围的下限值由 V_{DD} 引脚电源电路块上的内部欠压锁定 (UVLO) 保护特性决定。只要驱动器处于 UVLO 状态，当 V_{DD} 引脚电压低于 $V_{(ON)}$ 电源启动阈值时，该特性就会将输出保持在低电平，无论输入的状态如何都是如此。该范围的上限值由器件 V_{DD} 引脚的 20V 绝对最大电压额定值（此为应力额定值）决定。在保持 3V 裕度以允许瞬态电压尖峰的情况下，V_{DD} 引脚的最大建议电压为 17V。UVLO 保护功能还涉及迟滞功能。这意味着，当 V_{DD} 引脚偏置电压超过阈值电压且器件开始运行时，如果电压下降，则器件将继续正常运行，除非压降超过迟滞规格 $V_{DD(hys)}$。因此，为了避免触发器件关断，必须确保在 8V 下或接近此值的范围内运行时，辅助电源输出上的电压纹波应小于器件的迟滞规格。在系统关断期间，器件会继续运行，直到 V_{DD} 引脚电压降至 $V_{(OFF)}$ 阈值以下，在评估系统关断时序设计要求时，必须考虑该情况。类似地，在系统启动时，直到 V_{DD} 引脚电压超出 $V_{(ON)}$ 阈值后，器件才开始运行。器件内部电路块消耗的静态电流由 V_{DD} 引脚提供。尽管这一事实众所周知，但要认识到 LO 引脚提供的拉电流脉冲电荷也通过同一 V_{DD} 引脚提供，这一点很重要。因此，每次从 LO 引脚拉取电流时，均会通过 V_{DD} 引脚向器件提供相应的电流脉冲。因此，必须确保在 V_{DD} 和 GND 引脚之间提供一个本地旁路电容器，并且该电容器必须尽可能靠近器件，以便实现去耦。必须使用低 ESR 的陶瓷表面贴装电容器。TI 建议在 V_{DD} 和 GND 之间使用一个 0.22uF 至 4.7uF 范围内的电容器。与此类似，HO 引脚提供的电流脉冲来自 HB 引脚。因此，建议在 HB 和 HS 引脚之间使用 0.022uF 至 0.1uF 的本地去耦电容器。

Copyright © 2024 Texas Instruments Incorporated

9 布局

9.1 布局指南

为了改进设计的开关特性和效率，应遵循以下布局规则。

- 将驱动器尽可能靠近 MOSFET 放置。
- 将 V_{DD}-V_{SS} 和 V_{HB}-V_{HS}（自举）电容器尽可能靠近器件放置（请参阅*图 9-1*）。
- 密切注意 GND 布线。通过将 DDA 和 DRM 封装的散热焊盘连接到 VSS 引脚 (GND)，将其用作 GND。驱动器的 GND 布线直接连接到 MOSFET 的源极，但不应位于 MOSFET 漏极或源极电流的高电流路径中。
- 对 HS 节点使用与高侧驱动器的 GND 类似的规则。
- 对于使用多个 UCC27211 器件的系统，建议将专用去耦电容器放置在每个器件的 V_{DD}-V_{SS} 处。
- 请注意避免 VDD 布线靠近 LO、HS 和 HO 信号。
- 密切按照 GND 或 HS 布线，对 LO 和 HO 使用宽布线。最好选择 60mil 至 100mil 宽度。
- 如果驱动器输出或 SW 节点必须从一层布线到另一层，请使用至少两个或两个以上过孔。对于 GND，过孔的数量必须考虑散热焊盘要求以及寄生电感。
- 避免 LI 和 HI（驱动器输入）靠近 HS 节点或任何其他高 dV/dT 布线，因为这些布线会在阻抗相对较高的引线中引入显著的噪声。

请记住，与良好的 PCB 布局相比，布局不佳可能会导致效率显著降低或系统故障，甚至导致整个系统的可靠性降低。

9.2 布局示例

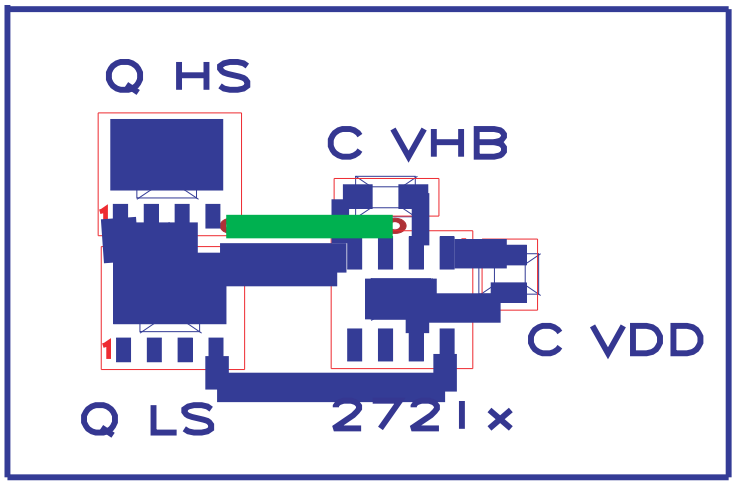


图 9-1. UCC27211 元件放置

9.3 散热注意事项

负载的驱动功率要求以及封装的散热特性会极大地影响驱动器的有用范围。为了使栅极驱动器在特定的温度范围内有用，封装必须允许有效地散发产生的热量，同时使结温保持在额定限值以内。热性能信息中列出了驱动器封装的热指标。有关此表的详细信息，请参阅德州仪器 (TI) 应用手册 *IC 封装热指标* (SPRA953)。UCC27211 器件采用 SOIC (8)、SOIC PowerPad (8)、WSON (10) 或 VSON (8) 封装。

10 器件和文档支持

10.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

10.2 文档支持

10.2.1 相关文档

这些参考文档和附加信息的链接均可在 www.ti.com 网站上获取

- 关于 PCB 焊盘图案的更多布局指南，请参见应用简介 *QFN/SON PCB 连接* (SLUA271)
- 关于更多热性能指南，请参见 *PowerPAD™ 耐热增强型封装应用报告* (SLMA002)
- 关于更多热性能指南，请参见应用报告 *PowerPAD™ 速成* (SLMA004)

10.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.5 商标

PowerPAD™ is a trademark of Texas Instruments.
TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.7 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2024 Texas Instruments Incorporated

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision F (November 2014) to Revision G (July 2024) **Page**

- 更改了文档标题以反映器件的主要特性。 1
- 更新了若干规格以反映器件特性。 1
- 删除了所有对 UCC27210 器件的引用，因为已淘汰此器件。 1
- 更改了“特性”部分：1) 将结温范围规格从 -40°C 到 140°C 更改为 -40°C 到 150°C。2) 更改了峰值电流以反映规格，实际驱动强度未更改（从 4A/4A 更改为 3.7A/4.5A）。3) 删除了 0.9Ω 上拉和下拉电阻，因为这未在电气特性表中指定。4) 删除了 UCC27211A 器件不具备的伪 CMOS 兼容输入功能。5) 更改了延迟匹配和传播延迟中提及的典型规格，以反映电气特性表中的信息：从 2ns 延迟匹配、18ns 传播延迟更改为 4ns 延迟匹配、20ns 传播延迟。 1
- 更新了“应用”部分，添加了 5 大典型应用列表。 1
- 更改了“说明”部分：1) 更改了峰值电流以显示典型上拉/下拉电流，实际规格未更改 - 从 4A4/A 更改为 3.7A/4.5A。2) 删除了上拉/下拉电阻信息，因为这不是电气特性表中的实际规格。3) 更改了 HS 瞬态容差以与绝对最大值表中的规格相匹配 - 从 -18V 更改为 -(VDD – 24)V。4) 更改了延迟匹配以与电气特性表中的规格相匹配 - 从 2ns 更改为 4ns。 1
- 更新了“绝对最大额定值”部分以删除“引线温度（焊接时，10 秒）” 5
- 更新了建议运行条件：将工作结温最大值从 140°C 更改为 150°C. 5
- 更新了“热性能信息”部分以反映器件特性 5
- 删除了具有测试条件“仅限 DDA”的规格，因为所有规格适用于所有封装型号 5
- 删除了 UCC27210 的规格 5
- 更新了“电气特性”表中的电源电流规格：1) 删除了 I_{DD} 最小规格。2) 更改了 I_{DD} 典型值（从 0.085mA 更改为 0.11mA）。3) 更改了 I_{DDO} 典型值（从 2.5mA 更改为 1.4mA）。4) 更改了 I_{DDO} 最大值（从 5.2mA 更改为 3mA）。5) 删除了 I_{HB} 最小规格。6) 更改了 I_{HBO} 典型值（从 2.5mA 更改为 1.3mA）。7) 更改了 I_{HBO} 最大值（从 5mA 更改为 3mA）。8) 更改了 I_{HBS} 测试条件以与 V_{HS} 最大建议工作条件相匹配（从 115V 更改为 105V）。9) 更改了 I_{HBSO} 典型值（从 0.07mA 更改为 0.03mA）。10) 更改了 I_{HBSO} 最大值（从 1.2mA 更改为 1mA）。 5
- 更新了“电气特性”表中的输入规格：更改了 UCC27211 V_{LIT} 最小值（从 1.3V 更改为 1.2V）。 5
- 更新了“电气特性”表中的自举二极管规格：1) 更改了 V_F 最大值（从 0.8V 更改为 0.85V）。2) 更改了 V_{FI} 典型值（从 0.85V 更改为 0.9V），更改了最大值（从 0.95V 更改为 1.05V）。3) 更改了 R_D 测试条件（从 100mA 和 80mA 更改为 180mA 和 160mA）。4) 更改了 R_D 典型值（从 0.5Ω 更改为 0.55Ω）。 5
- 更新了“电气特性”表中的 LO/HO 栅极驱动器规格：1) 删除了 V_{LOL}、V_{LOH}、V_{HOL}、V_{HOH} 的最低规格。2) 更改了 V_{LOL} 和 V_{HOL} 典型值（从 0.09V 更改为 0.07V）。3) 更改了 V_{LOH} 和 V_{HOH} 典型值（从 0.16V 更改为 0.11V）。 5
- 更新了“开关特性 - 传播延迟”表：1) 更改了 T_{DLFF} 和 T_{DHFF} 典型值（从 17ns 更改为 19ns）。2) 更改了 T_{DLRR} 和 T_{DHRR} 典型值（从 18ns 更改为 20ns）。 5
- 更新了“开关特性 - 延迟匹配”表：1) 更改了 T_{MON} 和 T_{MOFF} 典型值（从 2ns 更改为 4ns）。2) 更改了整个温度范围内 T_{MON} 和 T_{MOFF} 最大值（从 14ns 更改为 17ns）。 5
- 更新了“开关特性 - 输出上升和下降时间”表：1) 更改了 t_R 典型值（从 0.36us 更改为 0.27us）。2) 更改了 t_F 典型值（从 0.15us 更改为 0.16us）。 5
- 更新了“开关特性-其他”表：将 t_{IN_PW} 最大值从 50ns 更改为 40ns） 5
- 更新了“典型特性”部分中的所有曲线图以反映器件的典型规格。 9
- 更新了"输入级"部分，以匹配“电气特性”表中的输入下拉电阻典型规格，将 70kΩ 更改为 68kΩ。将输入电容从 2pF 更改为 4pF。 13
- 更改了应用曲线以显示传播延迟和上升/下降时间图 18

Changes from Revision E (August 2013) to Revision F (November 2014) **Page**

- 添加了“引脚配置和功能”部分、ESD 等级表、“特性说明”部分、器件功能模式、“应用和实施”部分、“电源相关建议”部分、“布局”部分、“器件和文档支持”部分以及“机械、封装和可订购信息”部分.....1

Copyright © 2024 Texas Instruments Incorporated

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC27211D	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 140	27211
UCC27211DDA	Obsolete	Production	SO PowerPAD (DDA) | 8	-	-	Call TI	Call TI	-40 to 140	27211
UCC27211DDAR	Active	Production	SO PowerPAD (DDA) | 8	2500 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 150	27211
UCC27211DDAR.A	Active	Production	SO PowerPAD (DDA) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	27211
UCC27211DDAR.B	Active	Production	SO PowerPAD (DDA) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	27211
UCC27211DPRR	Active	Production	WSON (DPR) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	UCC 27211
UCC27211DPRR.A	Active	Production	WSON (DPR) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	UCC 27211
UCC27211DPRR.B	Active	Production	WSON (DPR) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	UCC 27211
UCC27211DPRT	Obsolete	Production	WSON (DPR) | 10	-	-	Call TI	Call TI	-40 to 140	UCC 27211
UCC27211DR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	27211
UCC27211DR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	27211
UCC27211DR.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	27211
UCC27211DRMR	Active	Production	VSON (DRM) | 8	3000 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 150	27211
UCC27211DRMR.A	Active	Production	VSON (DRM) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	27211
UCC27211DRMR.B	Active	Production	VSON (DRM) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	27211
UCC27211DRMT	Obsolete	Production	VSON (DRM) | 8	-	-	Call TI	Call TI	-40 to 140	27211

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

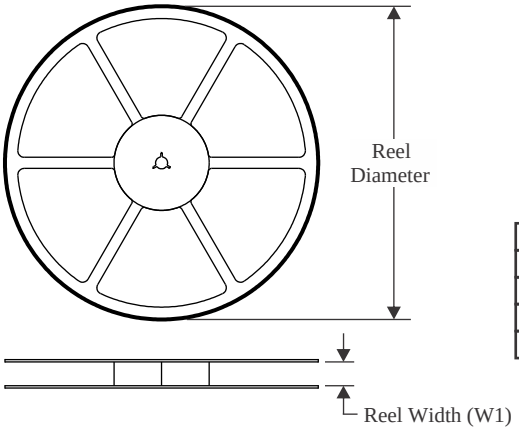
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

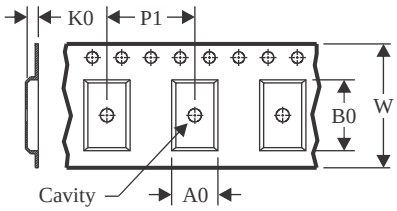
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

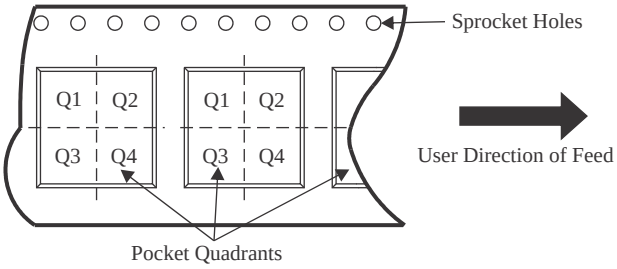


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

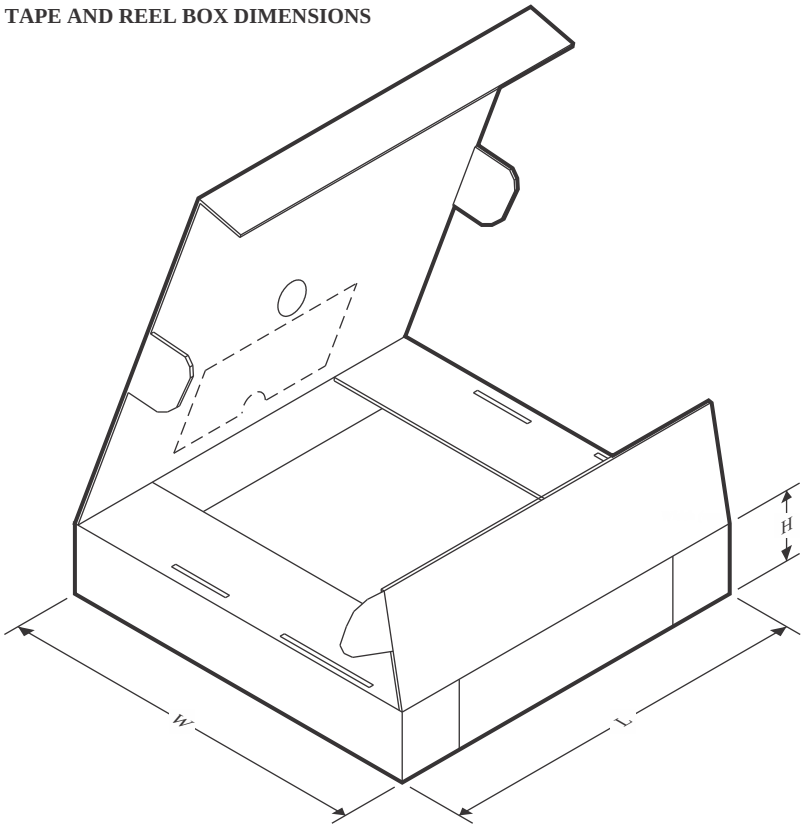
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

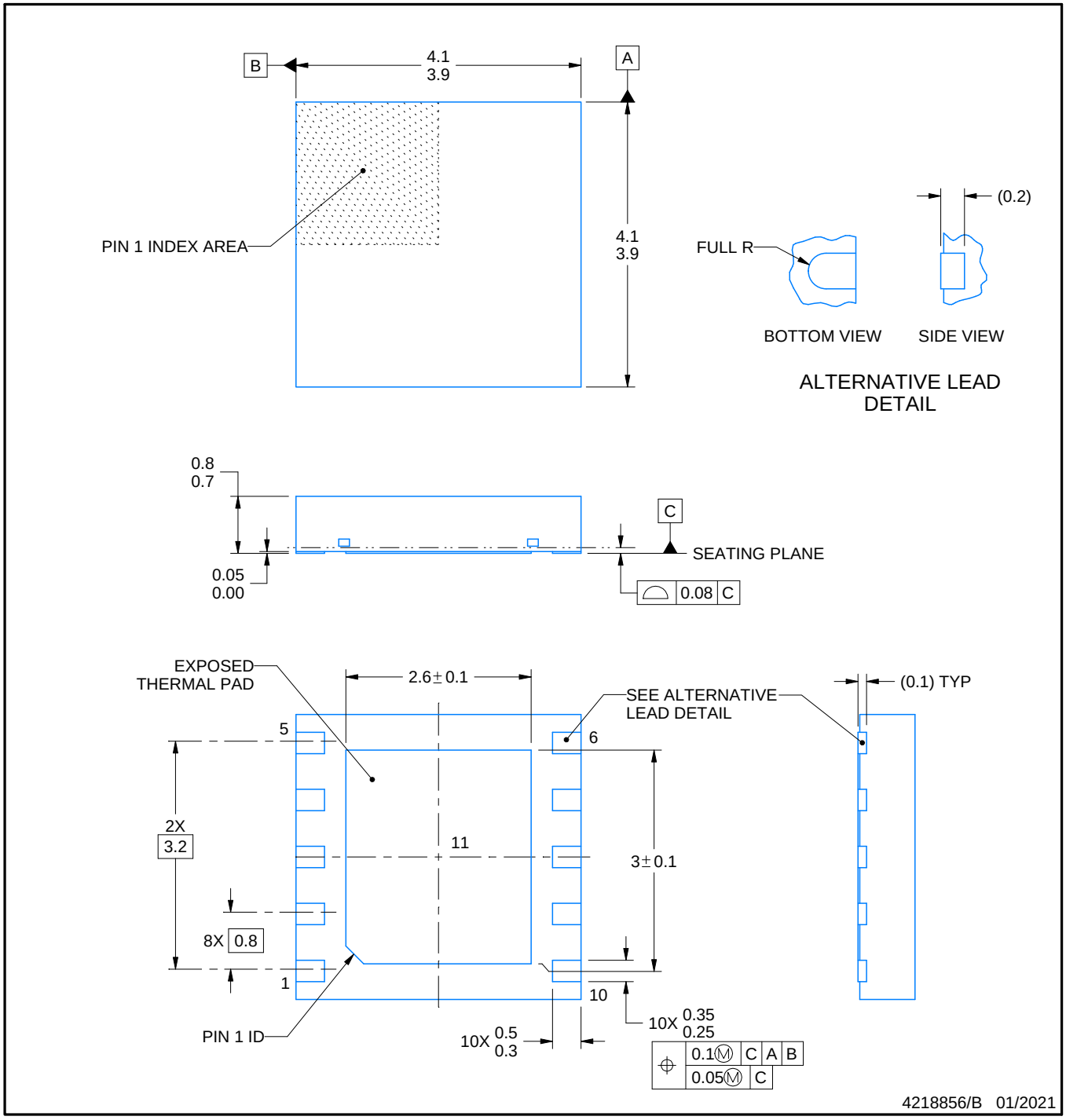
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC27211DPRR	WSON	DPR	10	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
UCC27211DPRR	WSON	DPR	10	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
UCC27211DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UCC27211DRMR	VSON	DRM	8	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
UCC27211DRMR	VSON	DRM	8	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



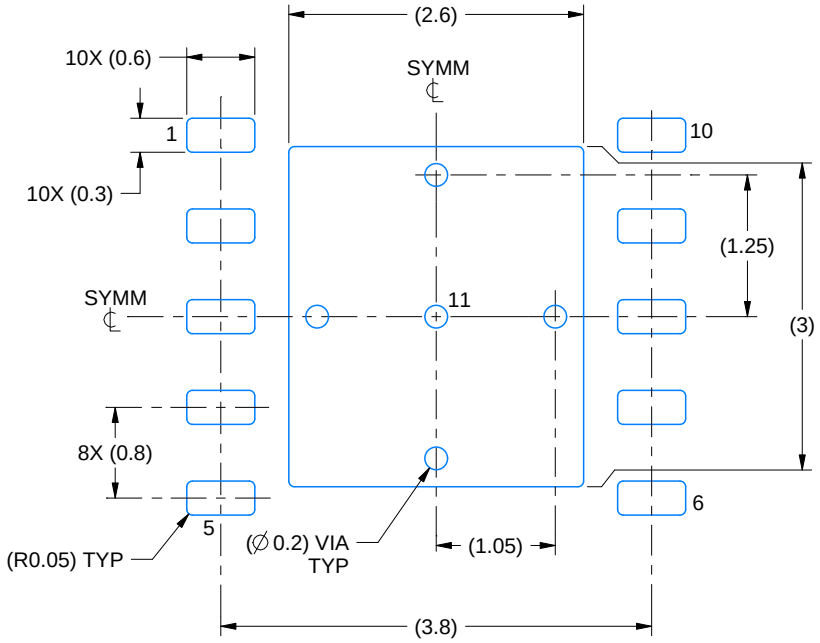
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC27211DPRR	WSON	DPR	10	3000	346.0	346.0	33.0
UCC27211DPRR	WSON	DPR	10	3000	367.0	367.0	35.0
UCC27211DR	SOIC	D	8	2500	353.0	353.0	32.0
UCC27211DRMR	VSON	DRM	8	3000	367.0	367.0	35.0
UCC27211DRMR	VSON	DRM	8	3000	353.0	353.0	32.0

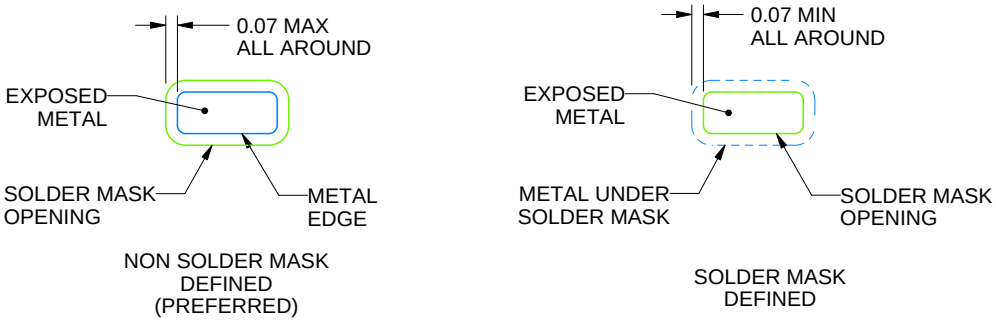


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

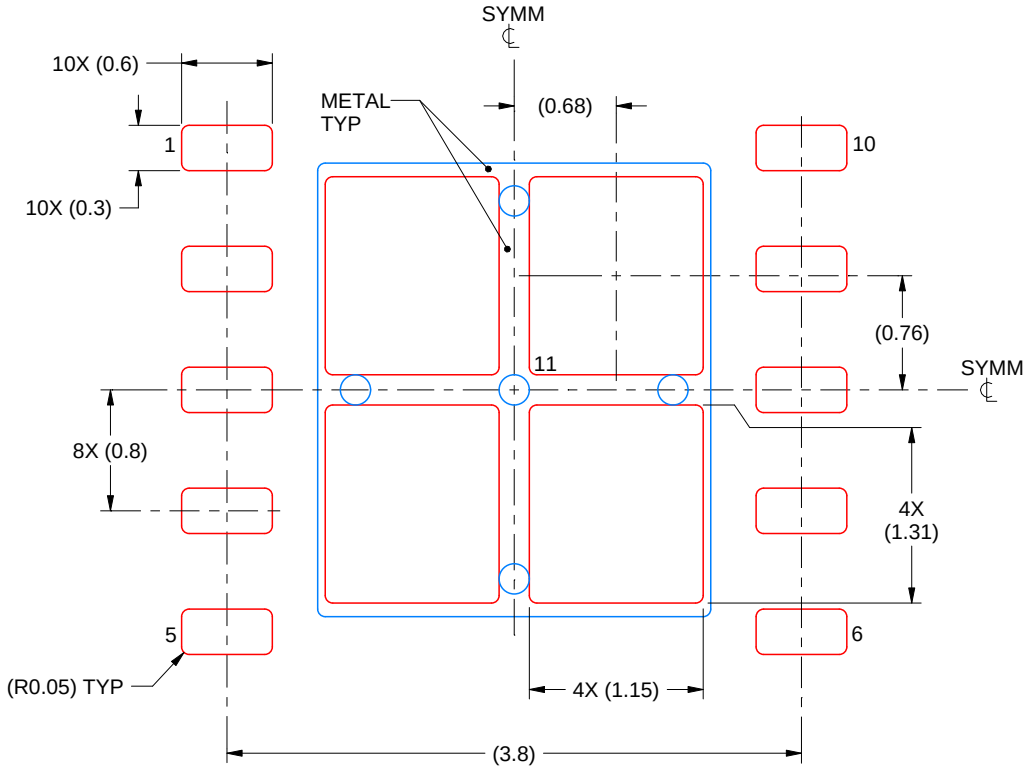


SOLDER MASK DETAILS

4218856/B 01/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 11:
77% PRINTED SOLDER COVERAGE BY AREA
SCALE:20X

4218856/B 01/2021

NOTES: (continued)

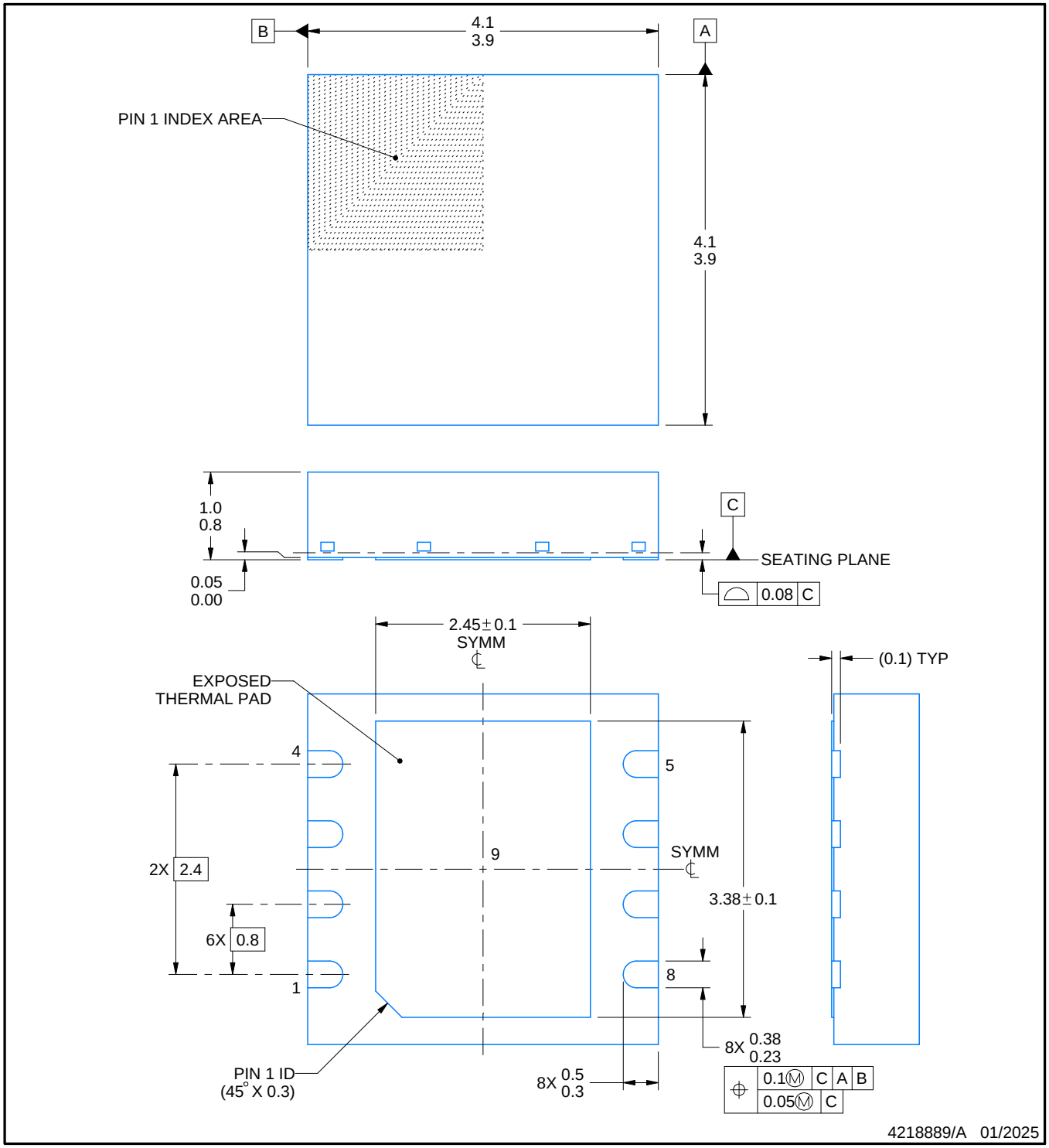
5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DRM0008A

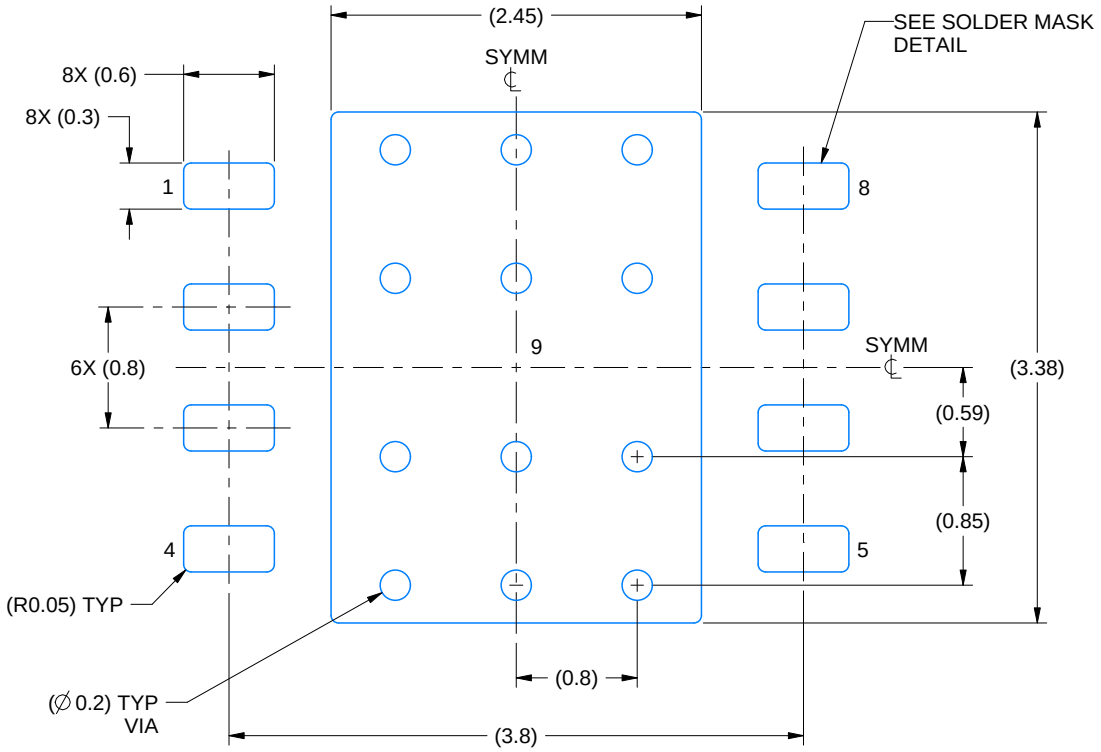
VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

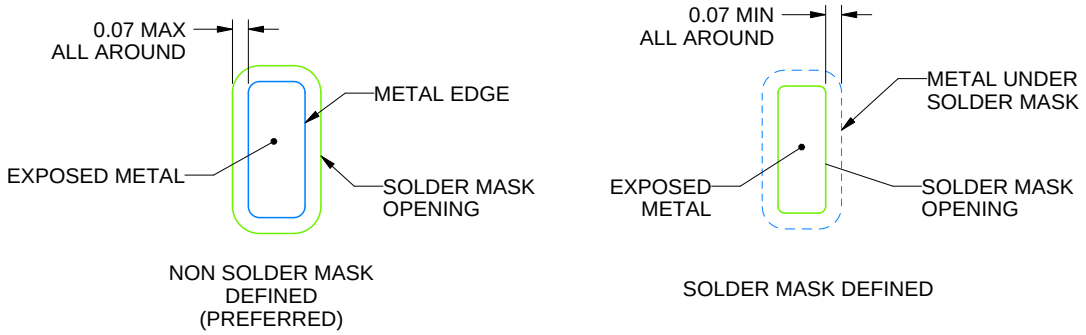


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

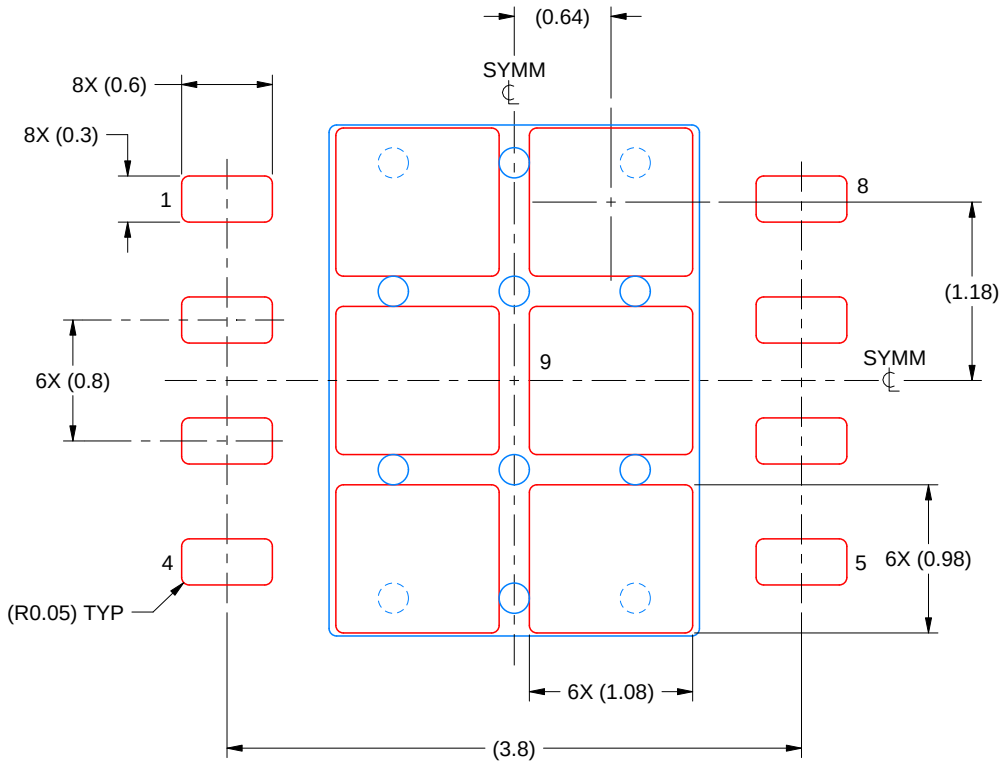


SOLDER MASK DETAILS

4218889/A 01/2025

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



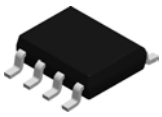
SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 9
77% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4218889/A 01/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

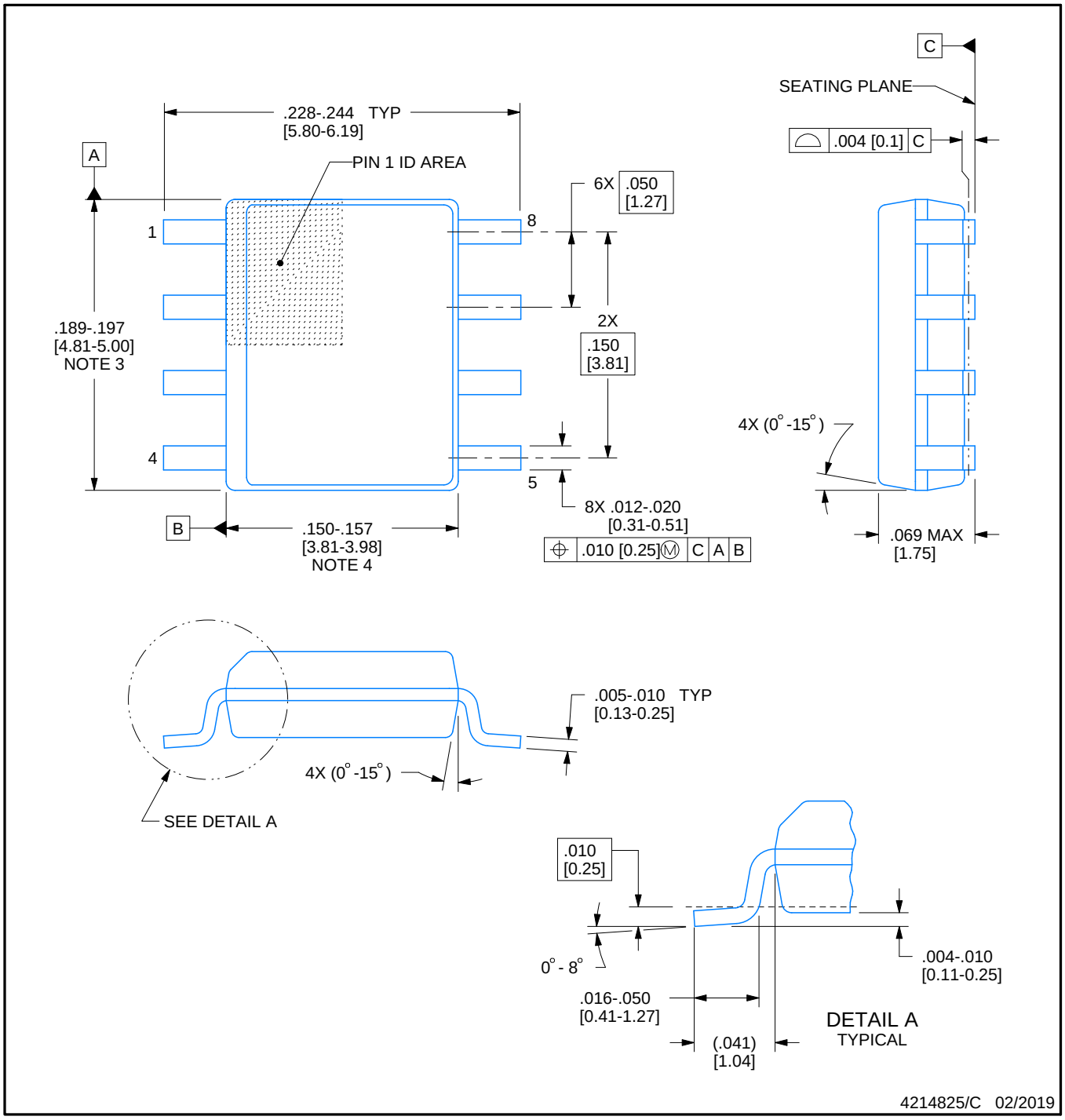


PACKAGE OUTLINE

D0008A

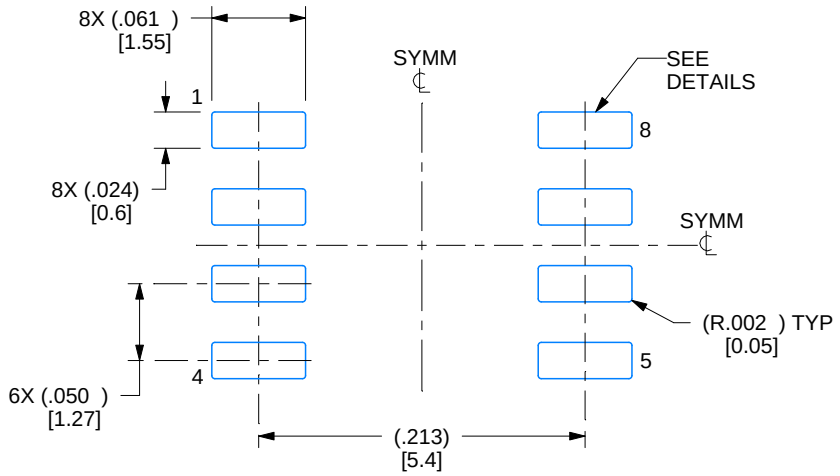
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

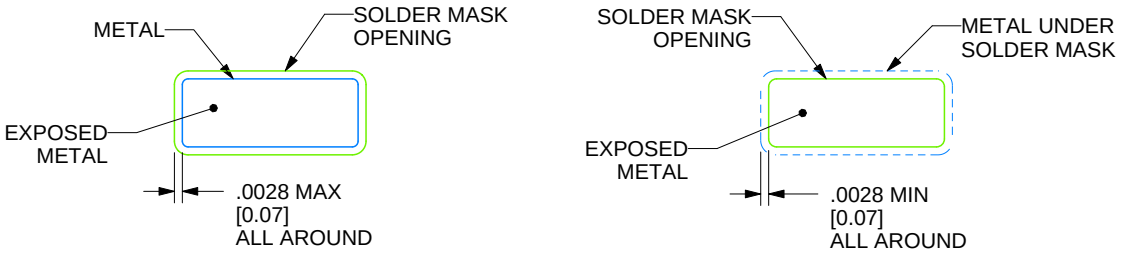


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

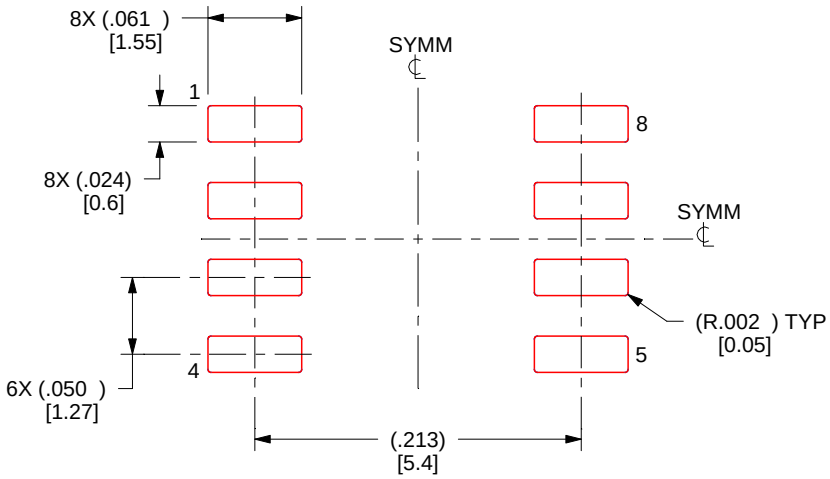


SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。 严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司