UCC21530-Q1 具有 3.3mm 通道到通道间距的 4A、6A、5.7kV$_{RMS}$ 隔离式双通道栅极驱动器

1 特性

- 具有符合 AEC-Q100 标准的下列特性：
  - 器件温度 1 级
- 功能安全质量管理型
  - 可提供用于功能安全系统设计的文档
- 通用：双通道低侧、双通道高侧或半桥驱动器
- 宽体 SOIC-14 (DWK) 封装
- 驱动器通道之间具有 3.3mm 的间距
- 开关参数：
  - 33ns 典型传播延迟
  - 20ns 最小脉冲宽度
  - 6ns 最大脉宽失真
- 共模瞬态抗扰度 (CMTI) 大于 125V/ns
- 4A 峰值拉电流和 6A 峰值灌电流输出
- TTL 和 CMOS 兼容输入
- 输入 VCCI 范围为 3V 至 18V
- 高达 25V 的 VDD 输出驱动电源
  - 8V、12V 和 17V VDD UVLO 选项
- 可编程的重叠和死区时间
- 结温范围：–40°C 至 +150°C

2 应用

- HEV 和 BEV 电池充电器
- 太阳能串式和中央逆变器
- 交流/直流和直流/直流充电桩
- 交流逆变器和伺服驱动器
- 交流/直流和直流/直流电力输送
- 储能系统

3 说明

UCC21530-Q1 是一款隔离式双通道栅极驱动器，具有 4A 峰值拉电流和 6A 峰值灌电流。该驱动器可用于驱动高达 5MHz 的 IGBT、Si MOSFET 和 SiC MOSFET。

输入侧通过一个 5.7kV$_{RMS}$ 增强型隔离栅与两个输出驱动器相隔离，其共模瞬态抗扰度 (CMTI) 的最小值为 125V/ns。两个次级侧驱动器之间的内部功能隔离支持高达 1850V 的工作电压。

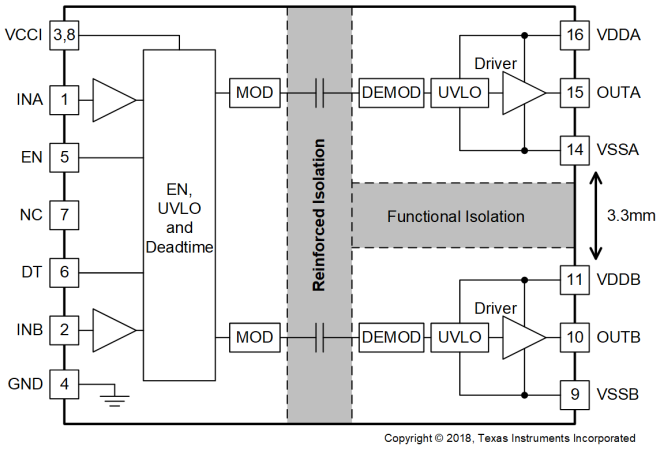
该器件可配置为两个低侧驱动器、两个高侧驱动器或一个死区时间 (DT) 可编程的半桥驱动器。EN 引脚拉至低电平时会同时关闭两个输出，悬空或拉高时可使器件恢复正常运行。作为一种失效防护机制，初级侧逻辑故障会强制两个输出为低电平。

该器件接受的 VDD 电源电压高达 25V。凭借 3V 至 18V 宽输入 VCCI 电压范围，该驱动器适用于连接模拟和数字控制器。所有电源电压引脚都具有欠压锁定 (UVLO) 保护功能。

器件信息

器件型号	封装(1)	封装尺寸（标称值）
UCC21530-Q1	DWK（SOIC，14）	10.30mm × 7.50mm
UCC21530B-Q1	DWK（SOIC，14）	10.30mm × 7.50mm
UCC21530D-Q1	DWK（SOIC，14）	10.30mm × 7.50mm

(1) 有关所有可用封装，请参阅节 13。



功能方框图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....4
5.1 绝对最大额定值.....4
5.2 ESD 等级（汽车类）.....4
5.3 建议运行条件.....4
5.4 热性能信息.....4
5.5 功率等级.....5
5.6 绝缘规格.....6
5.7 安全限值.....7
5.8 电气特性.....7
5.9 时序要求.....8
5.10 开关特性.....8
5.11 绝缘特性曲线.....9
5.12 典型特性.....11
6 参数测量信息.....15
6.1 传播延迟和脉宽失真度.....15
6.2 上升至下降时间.....15
6.3 输入和使能响应时间.....15
6.4 可编程死区时间.....16
6.5 上电 UVLO 到输出延迟.....16
6.6 CMTI 测试.....17
7 详细说明.....18
7.1 概述.....18
7.2 功能方框图.....18
7.3 特性说明.....19
7.4 器件功能模式.....22
8 应用和实施.....24
8.1 应用信息.....24
8.2 典型应用.....24
9 电源相关建议.....33
10 布局.....34
10.1 布局指南.....34
10.2 布局示例.....35
11 器件和文档支持.....37
11.1 第三方产品免责声明.....37
11.2 文档支持.....37
11.3 接收文档更新通知.....37
11.4 支持资源.....37
11.5 商标.....37
11.6 术语表.....37
12 修订历史记录.....37
13 机械、封装和可订购信息.....39

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

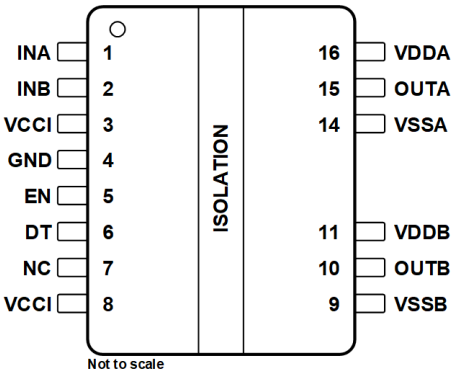


图 4-1. DWK 封装，14 引脚 SOIC（顶视图）

表 4-1. 引脚功能

引脚		类型[(1)]	说明
名称	编号		
DT	6	I	DT 引脚配置： • 将 DT 连接到 VCCI 可禁用 DT 功能并允许输出重叠。 • 在 DT 和 GND 之间放置一个电阻器 (R_{DT}) 可根据以下公式调整死区时间：DT (ns) = 10 × R_{DT} (kΩ)。TI 建议靠近 DT 引脚放置一个 ≤1nF 的陶瓷电容器来旁路此引脚，从而实现更佳的抗噪性能。不建议将 DT 引脚悬空。
EN	5	I	设置为高电平时会同时启用两个驱动器输出，而设置为低电平时则会禁用输出。如果不使用该引脚，则建议将其连接至 VCCI，以实现更好的抗噪性能。连接到远距离微控制器时，可在靠近 EN 引脚处放置约 1nF 的低 ESR/ESL 电容器进行旁路。
GND	4	P	初级侧地基准。初级侧的所有信号都以该地为基准。
INA	1	I	A 通道的输入信号。INA 输入具有兼容 TTL/CMOS 的输入阈值。该引脚在保持开路时在内部被拉至低电平。为了实现更好的抗噪性能，如果不使用该引脚，则建议将其接地。
INB	2	I	B 通道的输入信号。INB 输入具有兼容 TTL/CMOS 的输入阈值。该引脚在保持开路时在内部被拉至低电平。为了实现更好的抗噪性能，如果不使用该引脚，则建议将其接地。
NC	7	–	无内部连接。此引脚可保持悬空、连接至 VCCI 或连接至 GND。
OUTA	15	O	驱动器 A 的输出。连接到 A 通道 FET 或 IGBT 的栅极。
OUTB	10	O	驱动器 B 的输出。连接到 B 通道 FET 或 IGBT 的栅极。
VCCI	3	P	初级侧电源电压。使用尽可能靠近器件的低 ESR/ESL 电容器在本地进行去耦（连接至 GND）。
VCCI	8	P	初级侧电源电压。此引脚在内部短接至引脚 3。
VDDA	16	P	驱动器 A 的次级侧电源。使用尽可能靠近器件的低 ESR/ESL 电容器在本地进行去耦（连接至 VSSA）。
VDDB	11	P	驱动器 B 的次级侧电源。使用尽可能靠近器件的低 ESR/ESL 电容器在本地进行去耦（连接至 VSSB）。
VSSA	14	P	次级侧驱动器 A 接地。次级侧 A 通道的接地参考。
VSSB	9	P	次级侧驱动器 B 接地。次级侧 B 通道的接地参考。

(1) P = 电源，I = 输入，O = 输出

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

		最小值	最大值	单位
输入偏置引脚电源电压	VCCI 至 GND	-0.3	20	V
驱动器辅助电源	VDDA-VSSA、VDDB-VSSB	-0.3	30	V
输出信号电压	OUTA 至 VSSA、OUTB 至 VSSB	-0.3	VDDA/B + 0.3	V
	OUTA 至 VSSA、OUTB 至 VSSB、200ns 瞬态	-2	VDDA/B + 0.3	V
输入信号电压	INA、INB、EN、DT 至 GND	-0.3	VCCI + 0.3	V
	50ns INA、INB 瞬态	-5	VCCI + 0.3	V
通道间内部隔离电压	采用 DWK 封装的 |VSSA-VSSB|		1850	V
结温，T_J [(2)]		-40	150	℃
贮存温度，T_{stg}		-65	150	℃

(1) 超出*绝对最大额定值*下列出的应力可能会对器件造成永久性损坏。这些仅为应力等级，并不意味着器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 要保持 TJ 的建议运行条件，请参阅 6.4 一节。

5.2 ESD 等级（汽车类）

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准[(1)]	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 标准	±1000	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	最大值	单位
V_{CCI}	VCCI 输入电源电压		3	18	V
VDDA、VDDB	驱动器输出辅助电源，请参阅 VSS	UCC21530B 8V UVLO 版本	9.2	25	V
		UCC21530 12V UVLO 版本	13.5	25	V
		UCC21530D 17V UVLO 版本	19	25	V
T_J	结温		-40	150	℃

5.4 热性能信息

热指标[(1)]		UCC21530-Q1 DWK-14 (SOIC) 14 引脚	单位
$R_{\theta JA}$	结至环境热阻	74.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	34.1	°C/W
$R_{\theta JB}$	结至电路板热阻	32.8	°C/W
Ψ_{JT}	结至顶部（中心）特征参数	23.7	°C/W

Copyright © 2024 Texas Instruments Incorporated

5.4 热性能信息（续）

热指标[1]		UCC21530-Q1 DWK-14 (SOIC) 14 引脚	单位
Ψ_{JB}	结至电路板特征参数	32.1	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

5.5 功率等级

参数		测试条件	最小值	典型值	最大值	单位
P_D	最大功耗（两侧）	VCCI = 5V，VDDA/VDDB = 20V，INA/B = 3.3V，460kHz 50% 占空比方波，CL=2.2nF，T_J=150℃，T_A=25℃			950	mW
P_{DI}	最大功耗（发送器侧）				50	mW
P_{DA}、P_{DB}	最大功耗（每个驱动器侧）				450	mW

5.6 绝缘规格

参数		测试条件	规格	单位
一般信息				
CLR	外部间隙(1)	端子间的最短空间距离	>8	mm
CPG	外部爬电距离(1)	端子间的最短封装表面距离	>8	mm
DTI	绝缘穿透距离	最小内部间隙	>17	μm
CTI	相对漏电起痕指数	DIN EN 60112 (VDE 0303-11)；IEC 60112	> 600	V
	材料组	符合 IEC 60664-1	I	
	过压类别（符合 IEC 60664-1）	额定市电电压 ≤ 600V_{RMS}	I-IV	
		额定市电电压 ≤ 1000V_{RMS}	I-III	
DIN EN IEC 60747-17 (VDE 0884-17) (2)				
V_{IORM}	最大重复峰值隔离电压	交流电压（双极）	2121	V_{PK}
V_{IOWM}	最大隔离工作电压	交流电压（正弦波）；时间依赖型电介质击穿 (TDDB) 测试	1500	V_{RMS}
		直流电压	2121	V_{DC}
V_{IMP}	最大脉冲电压	在空气中进行测试，符合 IEC 62368-1 的 1.2/50μs 波形	7692	V_{PK}
V_{IOTM}	最大瞬态隔离电压	$V_{TEST} = V_{IOTM}$，t = 60s（鉴定测试）；$V_{TEST} = 1.2 \times V_{IOTM}$，t = 1s（100% 生产测试）	8000	V_{PK}
V_{IOSM}	最大浪涌隔离电压(3)	$V_{IOSM} \geq 1.3 \times V_{IMP}$；在油中测试（鉴定测试），1.2/50μs 波形，符合 IEC 62368-1	10000	V_{PK}
q_{pd}	视在电荷(4)	方法 a：I/O 安全测试子组 2/3 后，$V_{ini} = V_{IOTM}$，t_{ini} = 60s；$V_{pd(m)} = 1.2 \times V_{IORM}$，$t_m$ = 10s	≤5	pC
		方法 a：环境测试子组 1 后，$V_{ini} = V_{IOTM}$，t_{ini} = 60s；$V_{pd(m)} = 1.6 \times V_{IORM}$，$t_m$ = 10s	≤5	
		方法 b1：常规测试（100% 生产测试）和预处理（类型测试），$V_{ini} = 1.2 \times V_{IOTM}$，$t_{ini}$ = 1s；$V_{pd(m)} = 1.875 \times V_{IORM}$，$t_m$ = 1s	≤5	
C_{IO}	势垒电容，输入至输出(5)	$V_{IO} = 0.4 \times \sin(2\pi ft)$，f = 1MHz	约 1.2	pF
R_{IO}	隔离电阻，输入至输出(5)	V_{IO} = 500V，T_A = 25°C	>10^{12}	Ω
		V_{IO} = 500V，100°C ≤ T_A ≤ 125°C	>10^{11}	
		V_{IO} = 500V，T_S = 150°C	>10^{9}	
	污染等级		2	
	气候类别		40/125/21	
UL 1577				
V_{ISO}	可承受的隔离电压	$V_{TEST} = V_{ISO} = 5700V_{RMS}$，t = 60s（鉴定测试）；$V_{TEST} = 1.2 \times V_{ISO} = 6840V_{RMS}$，t = 1s（100% 生产测试）	5700	V_{RMS}

(1) 爬电距离和间隙应满足应用的特定设备隔离标准中的要求。请注意保持电路板设计的爬电距离和间隙，从而确保印刷电路板上隔离器的安装焊盘不会导致此距离缩短。在特定的情况下，印刷电路板上的爬电距离和间隙变得相等。在印刷电路板上插入坡口或肋或同时应用这两项技术可帮助提高这些规格。
(2) 此耦合器仅适用于安全额定值范围内的*安全电气绝缘*。应借助合适的保护电路来确保符合安全等级。
(3) 在空气或油中执行测试，以确定隔离栅的固有浪涌抗扰度。
(4) 视在电荷是局部放电 (pd) 引起的电气放电。
(5) 将隔离层每一侧的所有引脚都连在一起，构成一个双引脚器件。

Copyright © 2024 Texas Instruments Incorporated

5.7 安全限值

参数		测试条件	侧	最小值	典型值	最大值	单位
I_S	安全输出电源电流	$R_{\theta JA}$ = 74.1°C/W，$V_{DDA/B}$ = 15V，T_J = 150°C，T_A = 25°C	驱动器 A、驱动器 B			53	mA
		$R_{\theta JA}$ = 74.1°C/W，$V_{DDA/B}$ = 25V，T_J = 150°C，T_A = 25°C				32	
P_S	安全电源	$R_{\theta JA}$ = 74.1°C/W，T_J = 150°C，T_A = 25°C	输入			50	mW
			驱动器 A			800	
			驱动器 B			800	
			总计			1650	
T_S	最高安全温度(1)					150	°C

(1) 最高安全温度 T_S 与器件指定的最大结温 T_J 的值相同。I_S 和 P_S 参数分别表示安全电流和安全功率。请勿超出 I_S 和 P_S 的最大限值。这些限值随环境温度 T_A 的变化而变化。“热性能信息”表中的结至空气热阻 R_{qJA} 所属器件安装在引线式表面贴装封装对应的高 K 测试板上。可以使用这些公式计算每个参数的值：$T_J = T_A + R_{qJA} * P$，其中 P 为器件中耗散的功率。$T_{J(max)} = T_S = T_A + R_{qJA} * P_S$，其中 $T_{J(max)}$ 为允许的最大结温。$P_S = I_S * V_I$，其中 VI 为最大输入电源电压。

5.8 电气特性

除非另有说明，否则 V_{VCCI} = 3.3V 或 5V，从 VCCI 至 GND 的 0.1μF 电容器，V_{VDDA} = V_{VDDB} = 15V（对于 8V 和 12V UVLO 型号）或 20V（对于 17V UVLO 型号），从 VDDA 和 VDDB 至 VSSA 和 VSSB 的 1μF 电容器，T_J = –40°C 至 +150°C

参数		测试条件	最小值	典型值	最大值	单位
电源电流						
I_{VCCI}	VCCI 静态电流	V_{INA} = 0V，V_{INB} = 0V		1.4	2.0	mA
I_{VDDA}、I_{VDDB}	VDDA 和 VDDB 静态电流	V_{INA} = 0V，V_{INB} = 0V		1.0	2.5	mA
I_{VCCI}	VCCI 工作电流	(f = 500kHz) 每通道电流		3	3.5	mA
I_{VDDA}、I_{VDDB}	VDDA 和 VDDB 工作电流	(f = 500kHz) 每通道电流，C_{OUT} = 100pF		2.5	4.2	mA
VCC 电源电压欠压阈值						
V_{VCCI_ON}	UVLO 上升阈值		2.55	2.7	2.85	V
V_{VCCI_OFF}	UVLO 下降阈值		2.35	2.5	2.65	V
V_{VCCI_HYS}	UVLO 阈值迟滞			0.2		V
VDD 电源电压欠压阈值						
V_{VDDA_ON}、V_{VDDB_ON}	UVLO 上升阈值	8V UVLO	7.7	8.5	8.9	V
V_{VDDA_OFF}、V_{VDDB_OFF}	UVLO 下降阈值	8V UVLO	7.2	7.9	8.4	V
V_{VDDA_HYS}、V_{VDDB_HYS}	UVLO 阈值迟滞	8V UVLO		0.6		V
V_{VDDA_ON}、V_{VDDB_ON}	UVLO 上升阈值	12V UVLO	11.7	12.5	13.3	V
V_{VDDA_OFF}、V_{VDDB_OFF}	UVLO 下降阈值	12V UVLO	10.7	11.5	12.3	V
V_{VDDA_HYS}、V_{VDDB_HYS}	UVLO 阈值迟滞	12V UVLO		1		V
V_{VDDA_ON}、V_{VDDB_ON}	UVLO 上升阈值	17V UVLO	16.4	17.6	18.8	V
V_{VDDA_OFF}、V_{VDDB_OFF}	UVLO 下降阈值	17V UVLO	15.4	16.6	17.8	V
V_{VDDA_HYS}、V_{VDDB_HYS}	UVLO 阈值迟滞	17V UVLO		1		V
INA、INB 和 ENABLE						
V_{INAH}、V_{INBH}、V_{ENH}	输入高电平阈值电压		1.2	1.8	2	V

5.8 电气特性（续）

除非另有说明，否则 V_{VCCI} = 3.3V 或 5V，从 VCCI 至 GND 的 0.1μF 电容器，V_{VDDA} = V_{VDDB} = 15V（对于 8V 和 12V UVLO 型号）或 20V（对于 17V UVLO 型号），从 VDDA 和 VDDB 至 VSSA 和 VSSB 的 1μF 电容器，T_J = –40°C 至 +150°C

参数		测试条件	最小值	典型值	最大值	单位
V_{INAL}、V_{INBL}、V_{ENL}	输入低电平阈值电压		0.8	1	1.2	V
V_{INA_HYS}、V_{INB_HYS}、V_{EN_HYS}	输入阈值迟滞			0.8		V
V_{INA}、V_{INB}	负瞬态，参考 GND，100ns 脉冲	未经量产测试，仅进行了基准测试	-5			V
输出						
I_{OA+}、I_{OB+}	峰值输出拉电流	C_{VDD} = 10μF，C_{LOAD} = 0.18μF，f = 1kHz，台架测量		4		A
I_{OA-}、I_{OB-}	峰值输出灌电流	C_{VDD} = 10μF，C_{LOAD} = 0.18μF，f = 1kHz，台架测量		6		A
R_{OHA}、R_{OHB}	高电平状态时的输出电阻	I_{OUT} = –10mA，T_A = 25°C，R_{OHA}、R_{OHB} 并不表示驱动上拉性能。有关详细信息，请参阅节 5.10 和节 7.3.4 中的 t_{RISE}。		5		Ω
R_{OLA}、R_{OLB}	低电平状态时的输出电阻	I_{OUT} = 10mA；T_A = 25°C		0.55		Ω
V_{OHA}、V_{OHB}	高电平状态时的输出电压	V_{VDDA}、V_{VDDB} = 15V，I_{OUT} = –10mA，T_A = 25°C		14.95		V
V_{OLA}、V_{OLB}	低电平状态时的输出电压	V_{VDDA}、V_{VDDB} = 15V，I_{OUT} = 10mA，T_A = 25°C		5.5		mV

5.9 时序要求

死区时间和重叠编程		最小值	标称值	最大值	单位
DT	DT 引脚连接至 VCCI	由 INA、INB 确定的重叠	由 INA、INB 确定的重叠	由 INA、INB 确定的重叠	ns
DT	死区时间，R_{DT} = 10kΩ	80	100	120	ns
DT	死区时间，R_{DT} = 20 kΩ	160	200	240	ns
DT	死区时间，R_{DT} = 50 kΩ	400	500	600	ns

5.10 开关特性

除非另有说明，否则 V_{VCCI} = 3.3V 或 5V，从 VCCI 至 GND 的 0.1μF 电容器，V_{VDDA} = V_{VDDB} = 15V（对于 8V 和 12V UVLO 型号）或 20V（对于 17V UVLO 型号），从 VDDA 和 VDDB 至 VSSA 和 VSSB 的 1μF 电容器，负载电容 C_{OUT} = 0pF，T_J = –40°C 至 +150°C（除非另有说明，否则在建议运行条件下测得）

参数		测试条件	最小值	典型值	最大值	单位
t_{RISE}	输出上升时间，20% 至 80% 测量点	C_{OUT} = 1.8nF		6	16	ns
t_{FALL}	输出下降时间，90% 至 10% 测量点	C_{OUT} = 1.8nF		7	12	ns
t_{PWmin}	最小脉宽	低于最小值时输出关闭，C_{OUT} = 0pF			20	ns
t_{PDHL}	从 INx 至 OUTx 下降沿的传播延迟		26	33	45	ns
t_{PDLH}	从 INx 至 OUTx 上升沿的传播延迟		26	33	45	ns
t_{PWD}	脉宽失真 $\lvert t_{PDLH} - t_{PDHL}\rvert$				6	ns
t_{DM}	双通道驱动器的传播延迟匹配	输入脉宽 = 100ns，500kHz，T_J = -40°C 至 -10°C $\lvert t_{PDLHA} - t_{PDLHB}\rvert$，$\lvert t_{PDHLA} - t_{PDHLB}\rvert$			6.5	ns
		输入脉宽 = 100ns，500kHz，T_J = -10°C 至 +150°C $\lvert t_{PDLHA} - t_{PDLHB}\rvert$，$\lvert t_{PDHLA} - t_{PDHLB}\rvert$			5	ns
$t_{VCCI+\ to\ OUT}$	VCCI 上电延迟时间：UVLO 上升至 OUTA、OUTB	INA 或 INB 连接到 VCCI			50	μs
$t_{VDD+\ to\ OUT}$	VDDA。VDDB 上电延迟时间：UVLO 上升至 OUTA、OUTB	INA 或 INB 连接到 VCCI			10	μs
$\lvert CM_H\rvert$	高电平共模瞬态抗扰度（请参阅节 6.6）	GND 与 VSSA/B 的压摆率，INA 和 INB 都连接至 GND 或 VCCI；V_{CM} = 1500V	125			V/ns

Copyright © 2024 Texas Instruments Incorporated

5.10 开关特性（续）

除非另有说明，否则 V_{VCCI} = 3.3V 或 5V，从 VCCI 至 GND 的 0.1μF 电容器，V_{VDDA} = V_{VDDB} = 15V（对于 8V 和 12V UVLO 型号）或 20V（对于 17V UVLO 型号），从 VDDA 和 VDDB 至 VSSA 和 VSSB 的 1μF 电容器，负载电容 C_{OUT} = 0pF，T_J = –40°C 至 +150°C（除非另有说明，否则在建议运行条件下测得）

参数		测试条件	最小值	典型值	最大值	单位
$\|CM_L\|$	低电平共模瞬态抗扰度（请参阅节 6.6）	GND 与 VSSA/B 的压摆率，INA 和 INB 都连接至 GND 或 VCCI；V_{CM} = 1500V	125			V/ns

5.11 绝缘特性曲线

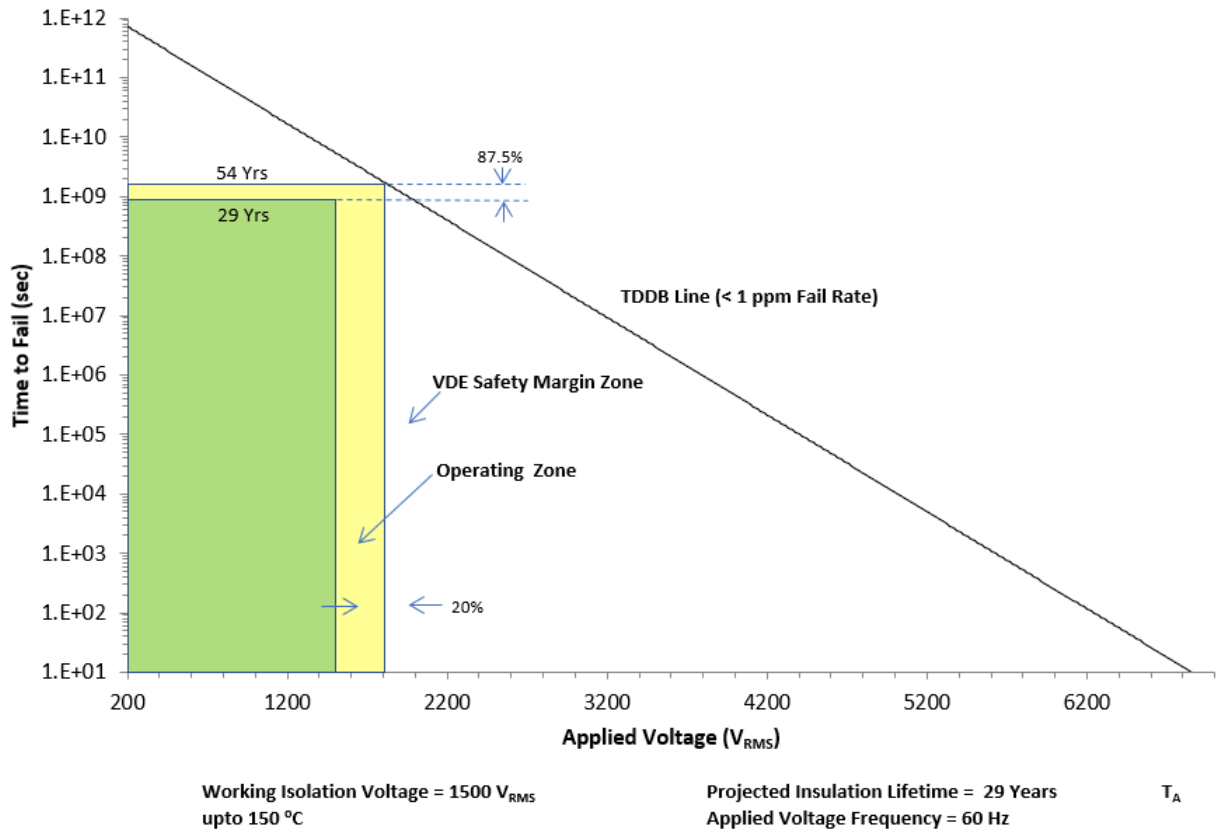


图 5-1. 增强型隔离电容器寿命预测

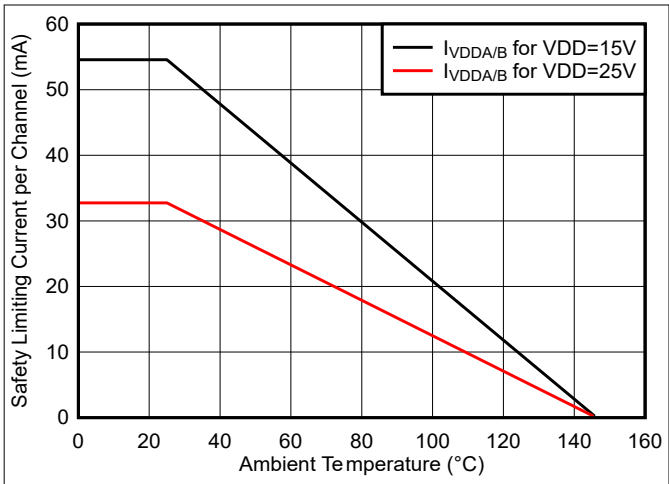


图 **5-2.** 安全相关限制电流的热降额曲线（两个通道同时运行时每个通道的电流），

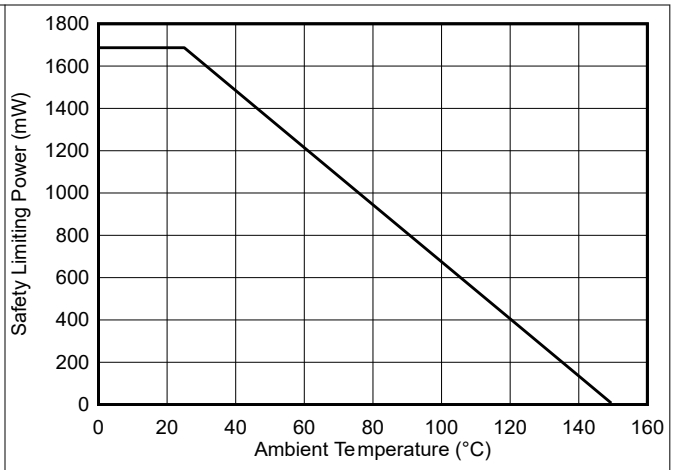
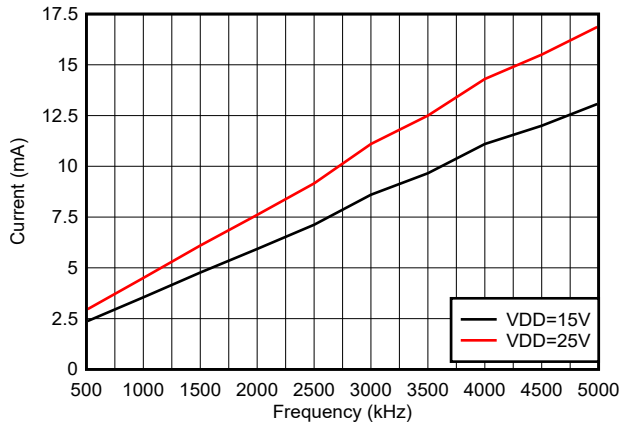


图 **5-3.** 安全相关限制功率的热降额曲线

Copyright © 2024 Texas Instruments Incorporated

5.12 典型特性

VDDA = VDDB = 15V（8V 和 12V UVLO 型号）或 20V（17V UVLO 型号），VCCI = 3.3V，T_A = 25°C，无负载。（除非另有说明）



无负载

图 5-4. 每通道电流消耗与频率间的关系

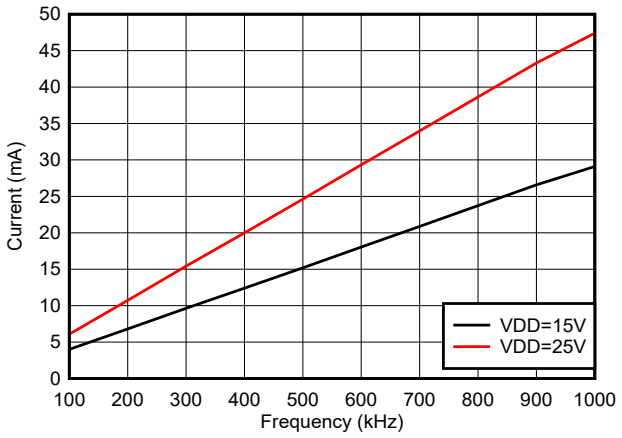


图 5-5. 每通道电流消耗 ($I_{VDDA/B}$) 与频率间的关系（1nF 负载，VDD = 15V 或 25V）

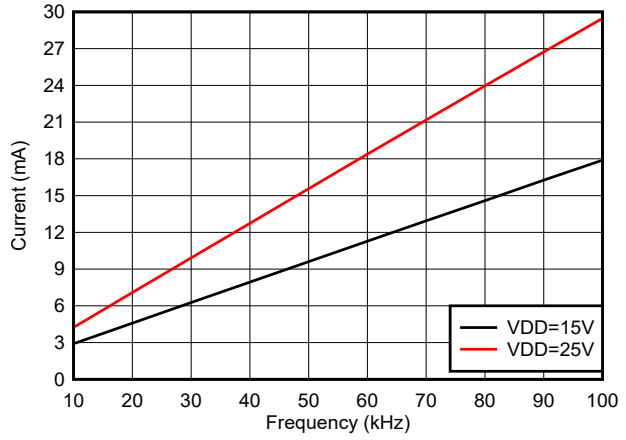


图 5-6. 每通道电流消耗 ($I_{VDDA/B}$) 与频率间的关系（10nF 负载，VDD = 15V 或 25V）

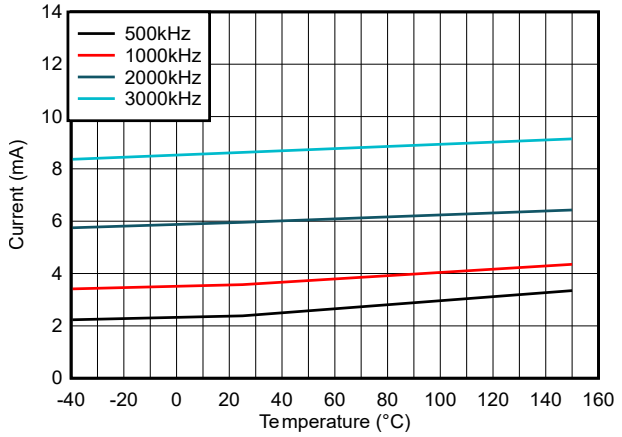


图 5-7. 每通道 ($I_{VDDA/B}$) 电源电流与温度间的关系（无负载，不同的开关频率）

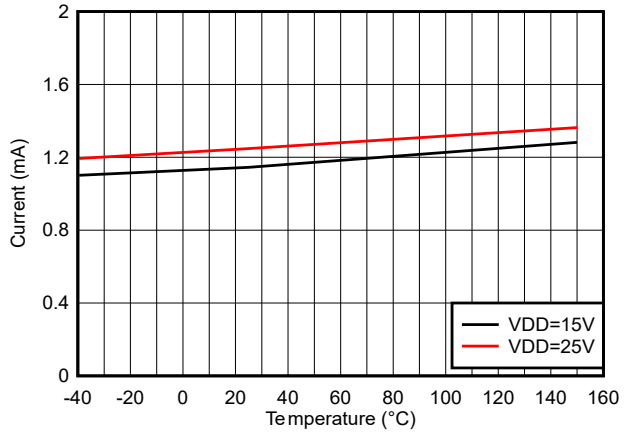


图 5-8. 每通道 ($I_{VDDA/B}$) 静态电源电流与温度间的关系（无负载，低电平输入，无开关）

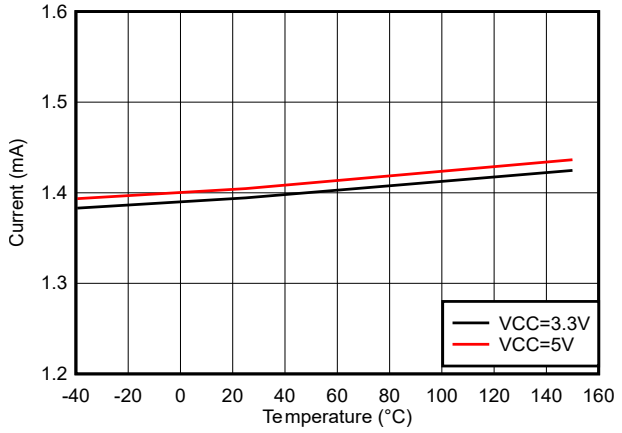


图 5-9. I_{VCCI} 静态电源电流与温度间的关系（无负载，低电平输入，无开关）

5.12 典型特性（续）

VDDA = VDDB = 15V（8V 和 12V UVLO 型号）或 20V（17V UVLO 型号），VCCI = 3.3V，T_A = 25°C，无负载。（除非另有说明）

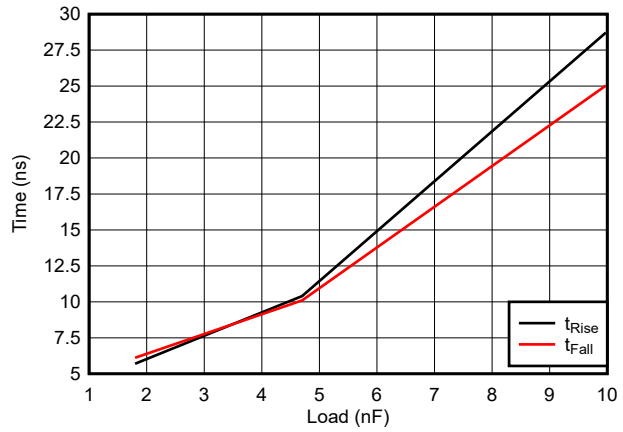


图 5-10. 上升时间及下降时间与负载间的关系

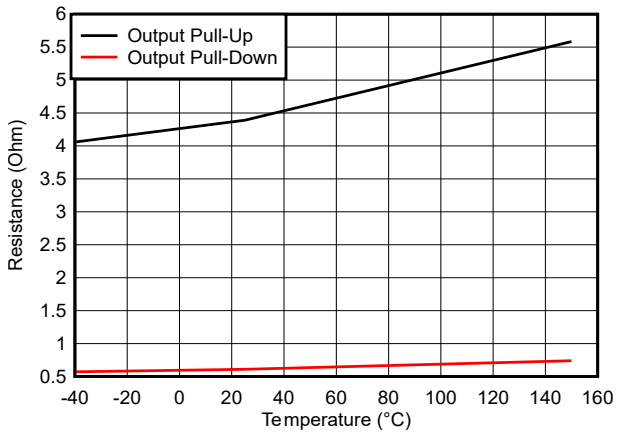


图 5-11. 输出电阻与温度之间的关系

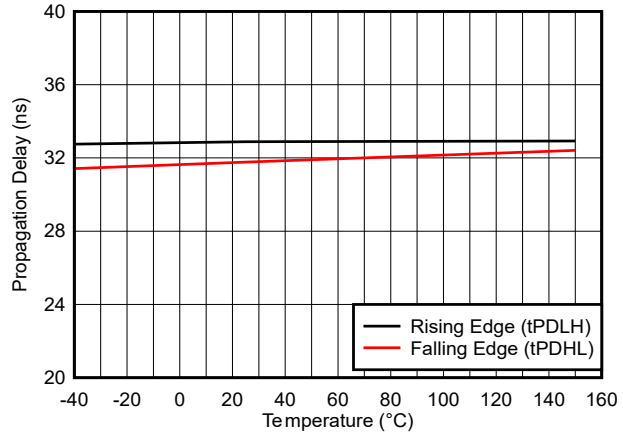


图 5-12. 传播延迟与温度间的关系

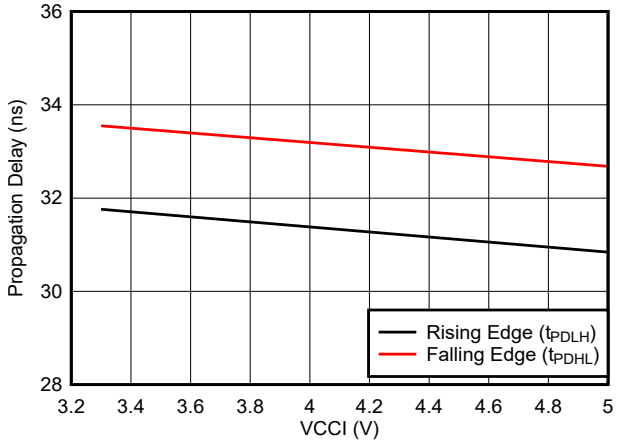


图 5-13. 传播延迟与 VCCI 之间的关系

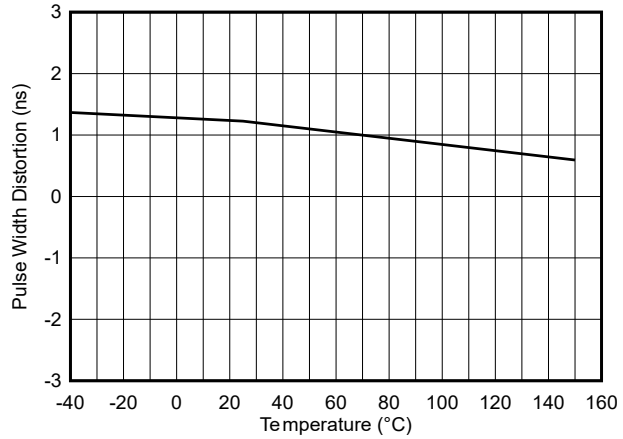


图 5-14. 脉宽失真度与温度之间的关系

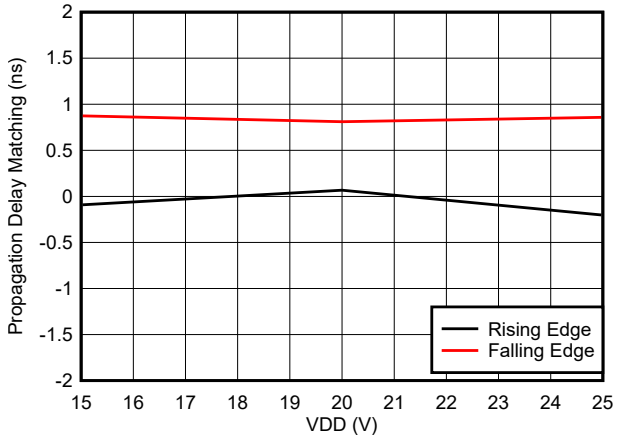


图 5-15. 传播延迟匹配 (t_{DM}) 与 VDD 之间的关系

Copyright © 2024 Texas Instruments Incorporated

5.12 典型特性（续）

VDDA = VDDB = 15V（8V 和 12V UVLO 型号）或 20V（17V UVLO 型号），VCCI = 3.3V，T_A = 25°C，无负载。（除非另有说明）

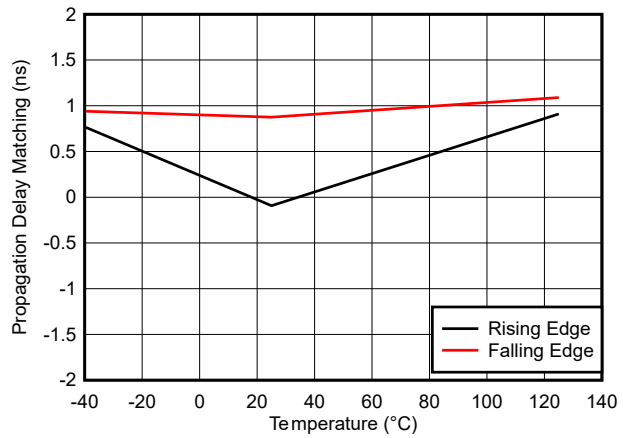


图 5-16. 传播延迟匹配 (t_{DM}) 与温度之间的关系

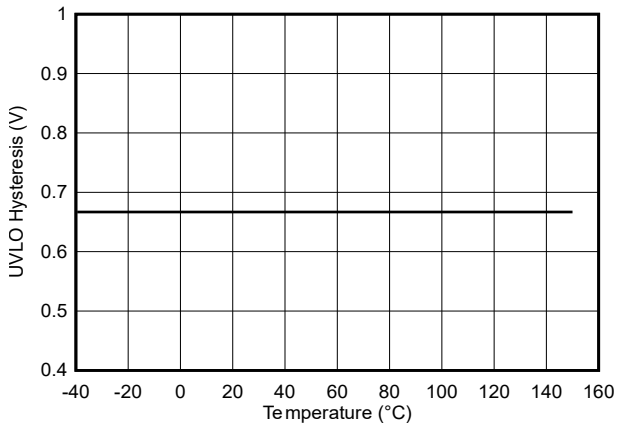


图 5-17. 8V UVLO 迟滞与温度间的关系

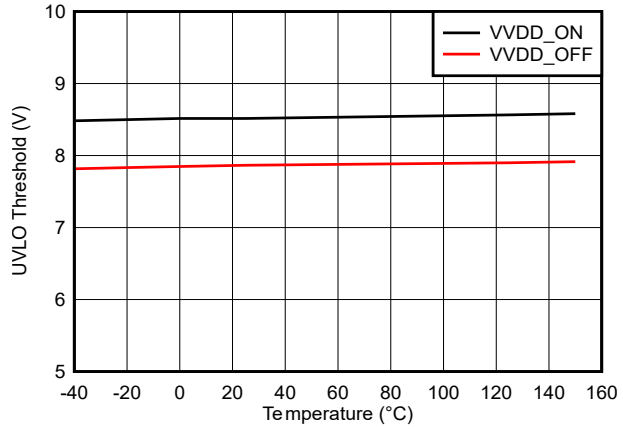


图 5-18. 8V UVLO 阈值与温度间的关系

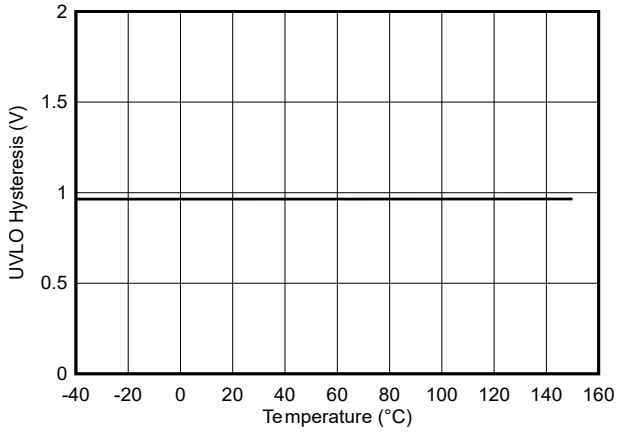


图 5-19. 12V UVLO 迟滞与温度间的关系

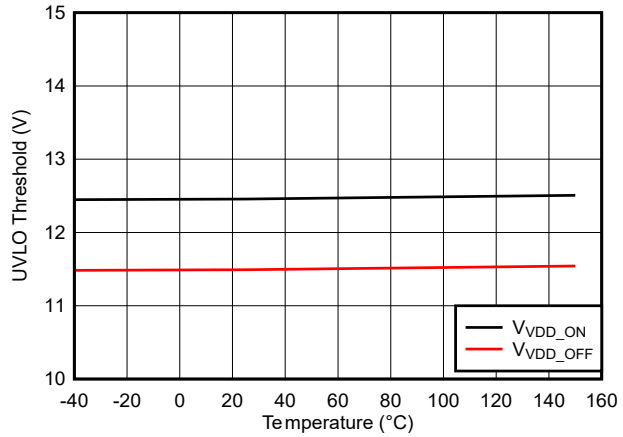


图 5-20. 12V UVLO 阈值与温度间的关系

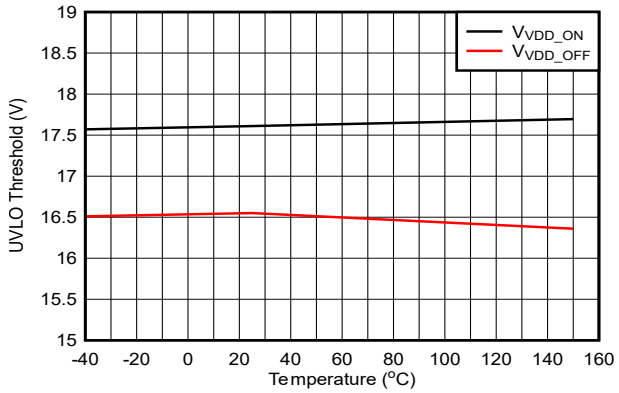


图 5-21. VDD 17V UVLO 阈值与温度间的关系

5.12 典型特性（续）

VDDA = VDDB = 15V（8V 和 12V UVLO 型号）或 20V（17V UVLO 型号），VCCI = 3.3V，T_A = 25°C，无负载。（除非另有说明）

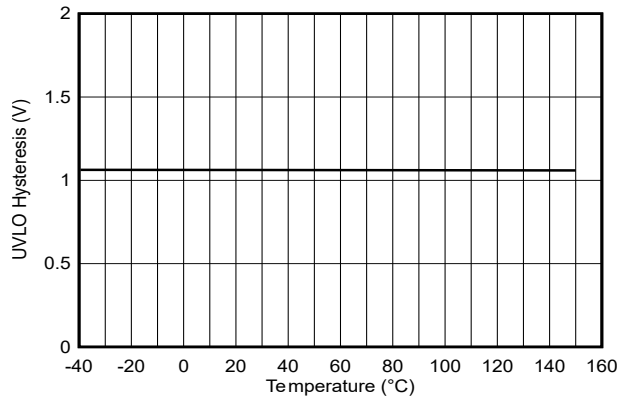


图 5-22. VDD 17V UVLO 迟滞与温度间的关系

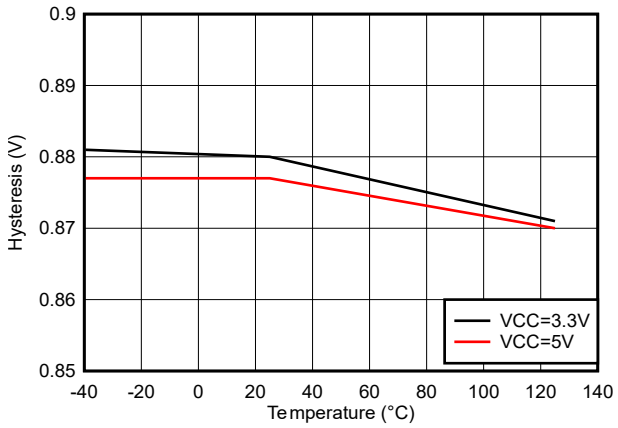


图 5-23. INA/B/EN 迟滞与温度间的关系

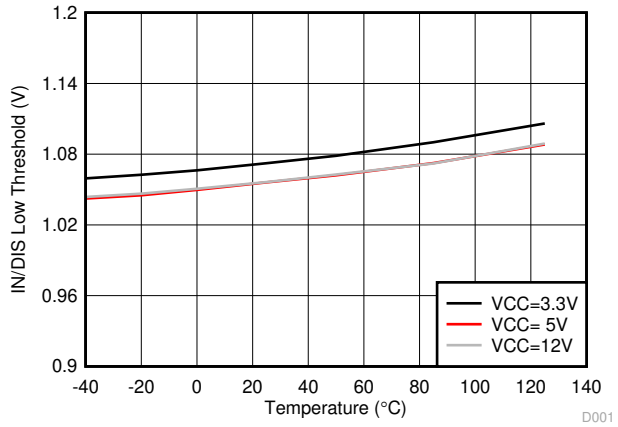


图 5-24. INA/B/EN 低阈值

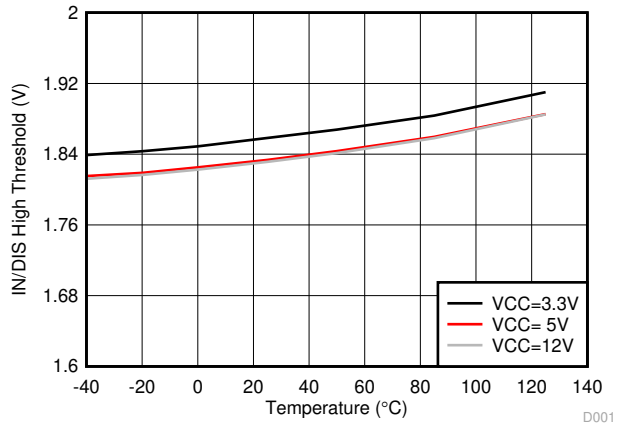


图 5-25. INA/B/EN 高阈值

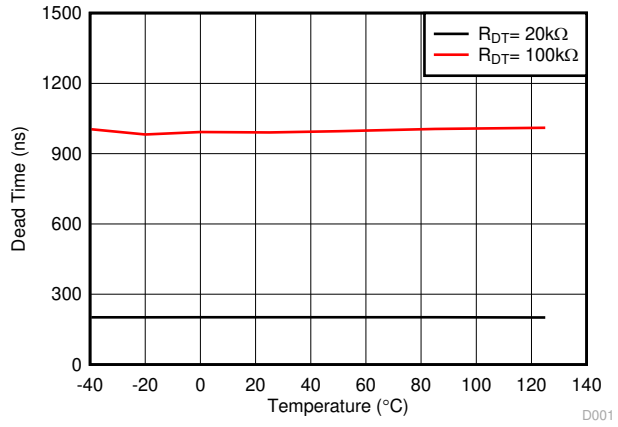


图 5-26. 死区时间与温度间的关系

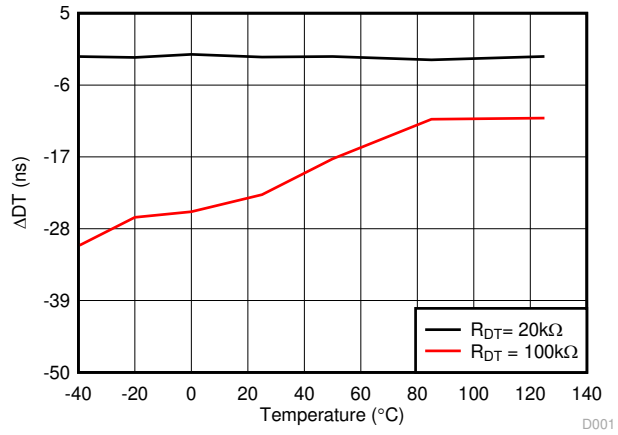


图 5-27. 死区时间匹配与温度间的关系

Copyright © 2024 Texas Instruments Incorporated

6 参数测量信息

6.1 传播延迟和脉宽失真度

图 6-1 显示了如何从通道 A 和 B 的传播延迟中计算脉宽失真度 (t_{PWD}) 和延迟匹配 (t_{DM})。要测量延迟匹配，两个输入必须同相，并且将 DT 引脚短接至 VCC 来禁用死区时间。

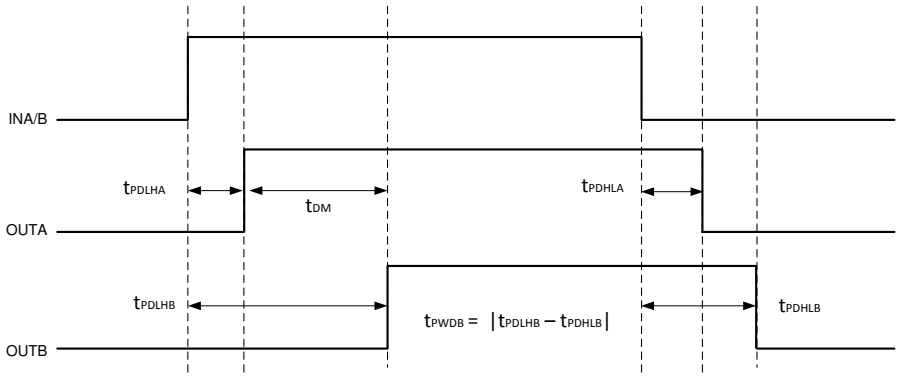


图 6-1. 重叠输入，禁用死区时间

6.2 上升至下降时间

图 6-2 展示了衡量上升时间 (t_{RISE}) 和下降时间 (t_{FALL}) 的标准。有关如何实现较短上升时间和下降时间的更多信息，请参阅节 7.3.4。

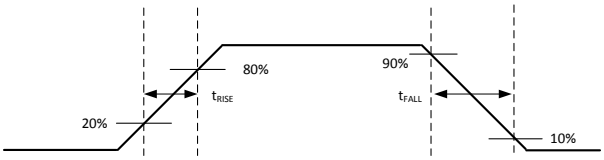


图 6-2. 上升时间和下降时间标准

6.3 输入和使能响应时间

图 6-3 显示了使能功能的响应时间。有关更多信息，请参阅节 7.4.1。

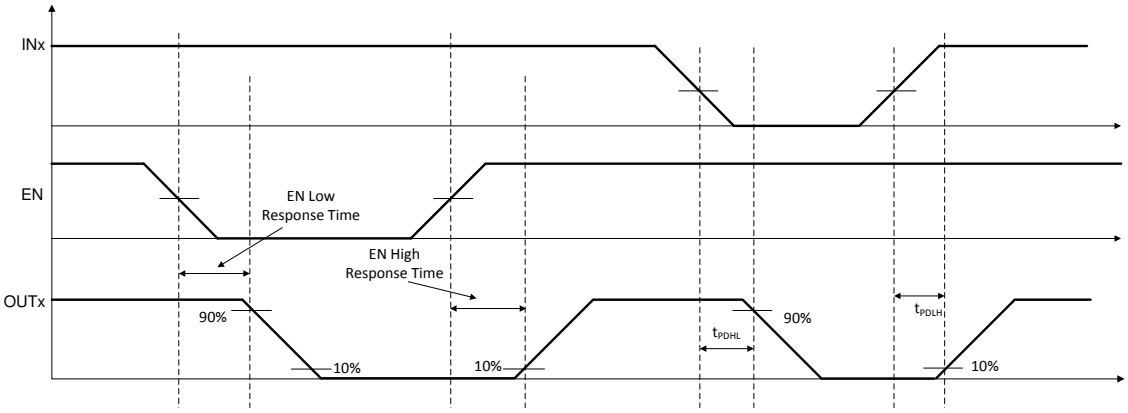


图 6-3. 使能引脚时序

6.4 可编程死区时间

将 DT 连接到 VCCI 可禁用 DT 功能并允许输出重叠。在 DT 引脚和 GND 之间放置一个电阻器 (R_{DT})，可调整死区时间。有关死区时间的更多详细信息，请参阅节 7.4.2。

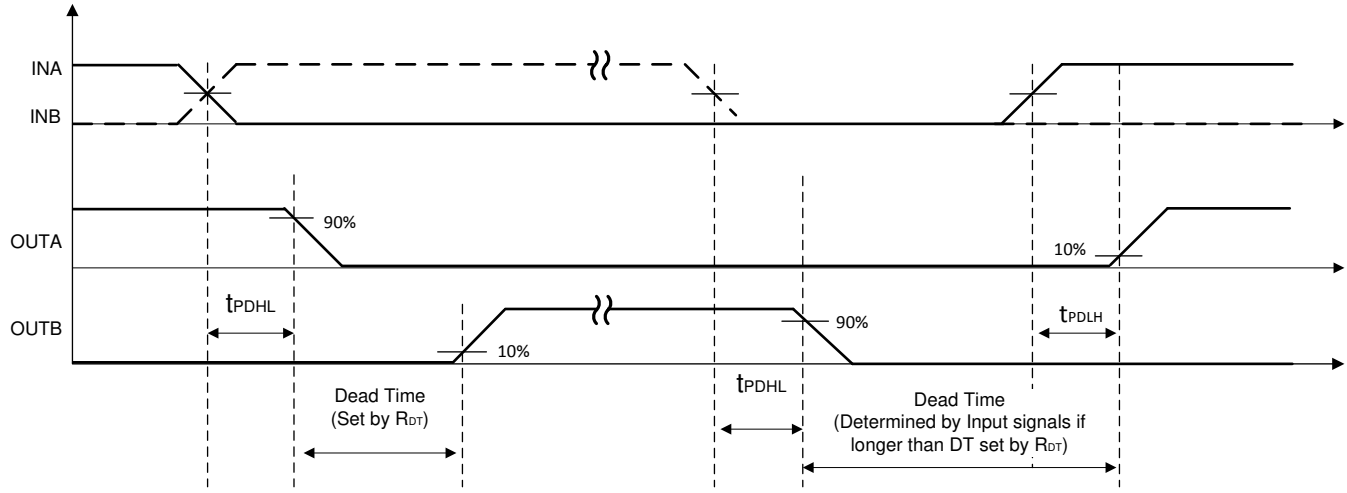


图 6-4. 死区时间开关参数

6.5 上电 UVLO 到输出延迟

每当电源电压 VCCI 从低于下降阈值 V_{VCCI_OFF} 变为高于上升阈值 V_{VCCI_ON} 时，以及每当电源电压 VDDx 从低于下降阈值 V_{VDDx_OFF} 变为高于上升阈值 V_{VDDx_ON} 时，输出开始响应输入前会存在一些延迟。对于 VCCI UVLO，此延迟定义为 $t_{VCCI+\ to\ OUT}$，最大值为 50 µs。对于 VDDx UVLO，此延迟定义为 $t_{VDD+\ to\ OUT}$， 最大值为 10µs。TI 建议在驱动输入信号前留出一些裕量，以确保将驱动器 VCCI 和 VDD 偏置电源完全激活。图 6-5 和图 6-6 展示了 VCCI 和 VDD 的加电 UVLO 延迟时序图。

每当电源电压 VCCI 降至下降阈值 V_{VCCI_OFF} 以下，或者 VDDx 降至下降阈值 V_{VDDx_OFF} 以下时，输出会停止响应输入并在 < 2µs 内保持低电平。这种不对称延迟旨在确保器件能够在 VCCI 或 VDDx 断电期间安全运行。

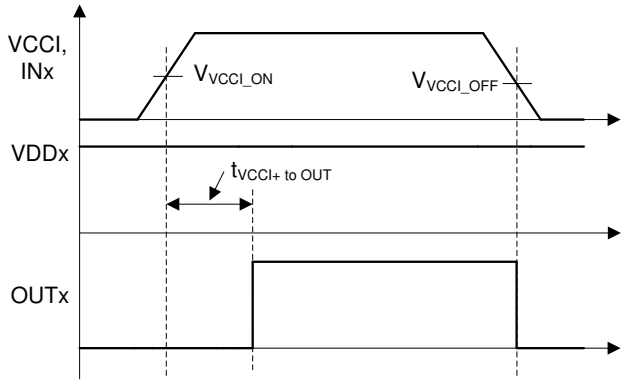


图 6-5. VCCI 上电 UVLO 延迟

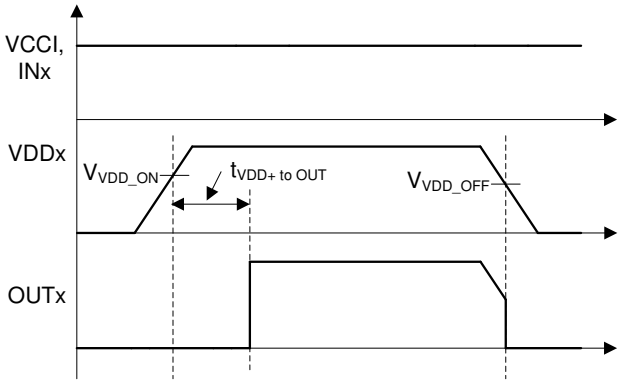


图 6-6. VDDA/B 上电 UVLO 延迟

Copyright © 2024 Texas Instruments Incorporated

6.6 CMTI 测试

图 6-7 是 CMTI 测试配置的简单示意图。

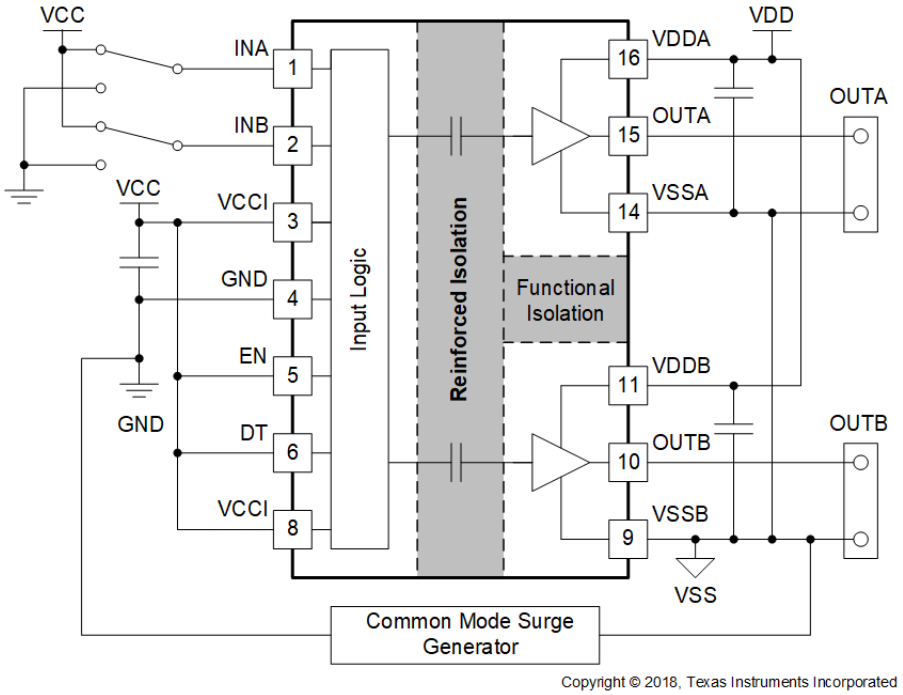


图 6-7. 简化的 CMTI 测试设置

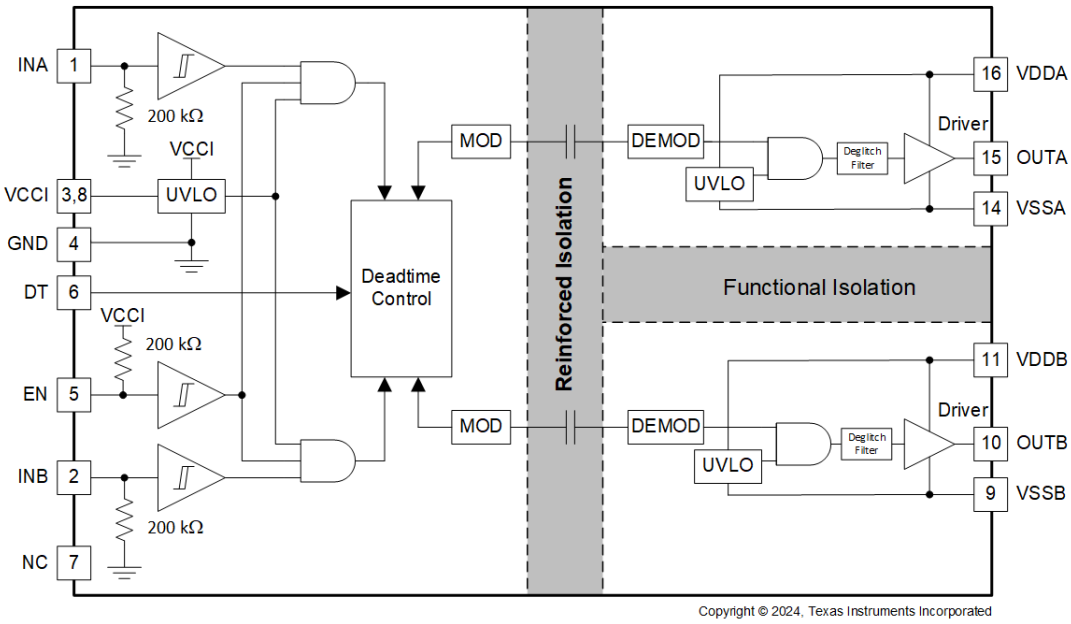
7 详细说明

7.1 概述

为了快速开关功率晶体管并减少开关功率损耗，通常会在控制器件的输出端和功率晶体管的栅极之间放置大电流栅极驱动器。在一些情况下，控制器无法提供足够的电流来驱动功率晶体管的栅极。在使用数字控制器的情况下尤其如此，因为来自数字控制器的输入信号通常是 3.3V 逻辑信号，只能提供几毫安的电流。

UCC21530-Q1 是一款灵活的双通道栅极驱动器，经过配置可支持各种电源和电机驱动拓扑，并驱动包括 SiC MOSFET 在内的多种类型的晶体管。UCC21530-Q1 具有很多特性，使其控制电路很好地集成，并保护其驱动的晶体管，此类特性包括：电阻器可编程死区时间 (DT) 控制、EN 引脚以及输入和输出电压的欠压锁定 (UVLO)。当输入端保持开路时，或者输入脉宽不够时，UCC21530-Q1 也会将其输出保持为低电平。驱动器输入端与 CMOS 和 TTL 兼容，可连接数字和模拟电源控制器等。每条通道均由其各自的输入引脚（INA 和 INB）控制，因此允许完全独立地控制每个输出。

7.2 功能方框图



Copyright © 2024 Texas Instruments Incorporated

7.3 特性说明

7.3.1 VDD、VCCI 和欠压锁定 (UVLO)

UCC21530-Q1 在两路输出 VDD 和 VSS 引脚之间的电源电路块具有内部欠压锁定 (UVLO) 保护功能。当 VDD 偏置电压在器件启动后低于 V_{VDD_ON} 或在启动后低于 V_{VDD_OFF} 时，无论输入引脚（INA 和 INB）的状态如何，VDD UVLO 功能都会使受影响的输出保持为低电平。

当驱动器的输出级处于未偏置或 UVLO 状态时，驱动器输出通过限制驱动器输出上电压上升的有源钳位电路保持低电平（如图 7-1 所示）。在这种情况下，上部 PMOS 被 R_{Hi-Z} 阻断，而下部 NMOS 栅极通过 R_{CLAMP} 连接到驱动器输出端。在该配置下，当没有偏置电源时，输出被有效地钳位到下部 NMOS 器件的阈值电压通常小于 1.5V。

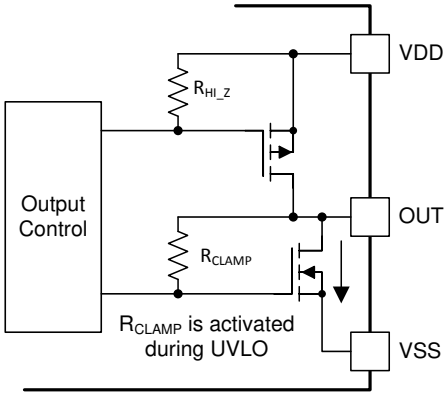


图 7-1. 有源下拉特性的简化表示

VDD UVLO 保护还具有迟滞功能 (V_{VDD_HYS})。当电源存在接地噪声时，该迟滞可防止抖动。得益于此，该器件还可以接受偏置电压小幅下降，这种情况在器件开始切换和工作电流消耗突然增加时必然会发生的。

UCC21530-Q1 的输入端还具有内部欠压锁定 (UVLO) 保护功能。除非电压 VCCI 在启动时超过 V_{VCCI_ON}，否则器件不会进入工作模式。一旦引脚接收到低于 V_{VCCI_OFF} 的电压，信号将停止传输。与 VDD UVLO 的方式相同，存在迟滞 (V_{VCCI_HYS})以确保稳定运行。

UCC21530-Q1 可承受 VDD 的绝对最大值为 30V，VCCI 的绝对最大值为 20V。

表 7-1. UCC21530-Q1 VCCI UVLO 功能逻辑

条件	输入		输出	
	INA	INB	OUTA	OUTB
器件启动期间 VCCI-GND < V_{VCCI_ON}	H	L	L	L
器件启动期间 VCCI-GND < V_{VCCI_ON}	L	H	L	L
器件启动期间 VCCI-GND < V_{VCCI_ON}	H	H	L	L
器件启动期间 VCCI-GND < V_{VCCI_ON}	L	L	L	L
器件启动后 VCCI-GND < V_{VCCI_OFF}	H	L	L	L
器件启动后 VCCI-GND < V_{VCCI_OFF}	L	H	L	L
器件启动后 VCCI-GND < V_{VCCI_OFF}	H	H	L	L
器件启动后 VCCI-GND < V_{VCCI_OFF}	L	L	L	L

表 7-2. UCC21530-Q1 VDD UVLO 功能逻辑

条件	输入：INx	输出：OUTx
器件启动期间 VDDx-VSSx < V_{VDD_ON}	L	L
器件启动期间 VDDx-VSSx < V_{VDD_ON}	H	L
器件启动后 VDDx-VSSx < V_{VDD_OFF}	L	L

表 7-2. UCC21530-Q1 VDD UVLO 功能逻辑（续）

条件	输入：INx	输出：OUTx
器件启动后 VDDx-VSSx < V_{VDD_OFF}	H	L

7.3.2 输入和输出逻辑表

表 7-3. 输入/输出逻辑表

假设 VCCI、VDDA、VDDB 均已上电。有关各个 UVLO 工作模式的更多信息，请参阅节 7.3.1。(1)

输入		EN	输出		注释
INA	INB		OUTA	OUTB	
L	L	H 或保持开路	L	L	如果使用死区时间功能，则死区时间结束后会发生输出切换。请参阅节 7.4.2
L	H	H 或保持开路	L	H	
H	L	H 或保持开路	H	L	
H	H	H 或保持开路	L	L	DT 保持开路或使用 R_{DT} 进行编程
H	H	H 或保持开路	H	H	DT 引脚会被上拉至 VCCI
保留开路	保留开路	H 或保持开路	L	L	-
X	X	L	L	L	连接到远距离微控制器时，可在靠近 EN 引脚处放置 ≥ 1nF 的低 ESR/ESL 电容器进行旁路

(1) “X”表示 L、H 或保留开路。

7.3.3 输入级

UCC21530-Q1 的输入信号引脚（INA 和 INB）基于 TTL 和 CMOS 兼容的输入阈值逻辑，该逻辑与 VDD 电源完全隔离。UCC21530-Q1 具有典型值为 1.8V 的高电平阈值 ($V_{INA/BH}$) 和典型值为 1V 的低电平阈值，并且随温度变化很小（请参阅图 5-24 和图 5-25），因此可以使用逻辑电平控制信号（例如来自 3.3V 微控制器）轻松地驱动输入引脚。由于具有 0.8V 的宽迟滞 (V_{INA/B_HYS})，器件具有出色的抗噪性能并且运行稳定。如果任何输入保持开路，内部下拉电阻器会强制将对应引脚置于低电平。此类电阻器通常为 200kΩ（请参阅节 7.2）。但是，如果不使用输入，仍建议将其接地。

由于 UCC21530-Q1 的输入侧与输出驱动器隔离，因此输入信号振幅可以大于或小于 VDD，只要其不超过建议的限值。这样，在与控制信号源集成时，灵活性更高，并允许用户为所选择的栅极选择最有效的 VDD。也就是说，施加于 INA 或 INB 的任何信号的振幅*绝不*能超过 VCCI 的电压。

Copyright © 2024 Texas Instruments Incorporated

7.3.4 输出级

UCC21530-Q1 的输出级采用上拉结构，在电源开关导通转换的米勒平台区域期间，能够在最需要时提供峰值拉电流（此时电源开关漏极或集电极电压经历 dV/dt）。输出级上拉结构具备一个 P 沟道 MOSFET 与一个额外的*上拉* N 沟道 MOSFET（并联）。N 沟道 MOSFET 的功能是短暂增加峰值拉电流，从而实现快速导通。这是通过在输出状态从低电平变为高电平时，在短时间内短暂导通 N 沟道 MOSFET 来实现的。该 N 沟道 MOSFET 的导通电阻 (R_{NMOS}) 在激活时约为 1.47 Ω。

R_{OH} 参数是直流测量值，仅代表 P 沟道器件的导通电阻。这是因为*上拉* N 沟道器件在直流条件下保持在关断状态，并且仅在输出状态从低电平变为高电平时短暂导通。因此，在该短暂导通阶段，UCC21530-Q1 上拉级的有效电阻远低于 R_{OH} 参数所表示的有效电阻。

UCC21530-Q1 中的下拉结构仅包含 N 沟道 MOSFET。R_{OL} 参数也是一项直流测量值，其表示器件中下拉状态下的阻抗。UCC21530-Q1 的两个输出都能提供 4A 峰值拉电流和 6A 峰值灌电流脉冲。输出电压在 VDD 和 VSS 之间摆动提供轨到轨运行，这归功于提供极低压降的 MOS 输出级。

为了确保栅极驱动器稳健可靠地运行，请特别注意最小脉冲宽度。电气特性表中显示的最小脉冲宽度描述了在空载驱动器中传递到输出的最小输入脉冲。这是由驱动器 IC 中存在的抗尖峰脉冲滤波器决定的。需要比最大规格更长的输入开启或关闭脉冲宽度，才能保证输出状态改变并避免潜在的击穿。对于施加了负载的驱动器，必须采取额外的预防措施以确保系统稳健运行。在栅极开关期间，如果输出状态在驱动器完成每次转换之前发生变化，则会发生非零电流开关事件。与布局寄生效应相结合，非零电流开关可能会导致内部电源轨过冲和栅极驱动器的 EOS 损坏。因此，需要最小输出宽度来确保系统可靠运行。该最小输出脉冲宽度取决于多个因素：栅极电容、VDD 电源电压、栅极电阻和 PCB 布局寄生效应。稳健运行的最小脉冲宽度可能大于电气特性表中显示的最小脉冲宽度。应进行系统级研究，以确定每个系统所需的最小输出脉冲宽度。

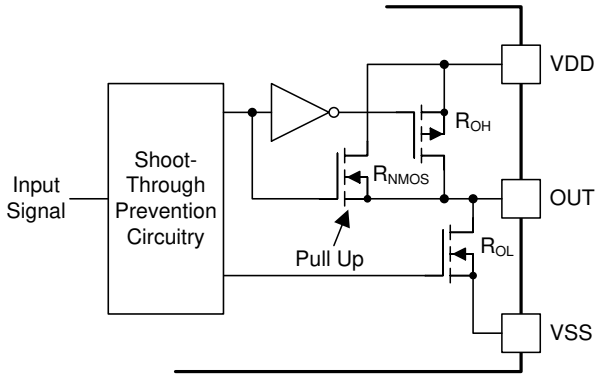


图 7-2. 输出级

7.3.5 UCC21530-Q1 中的二极管结构

图 7-3 展示了 UCC21530-Q1 ESD 保护元件中涉及的多个二极管。这提供了器件的绝对最大额定值的图形表示。

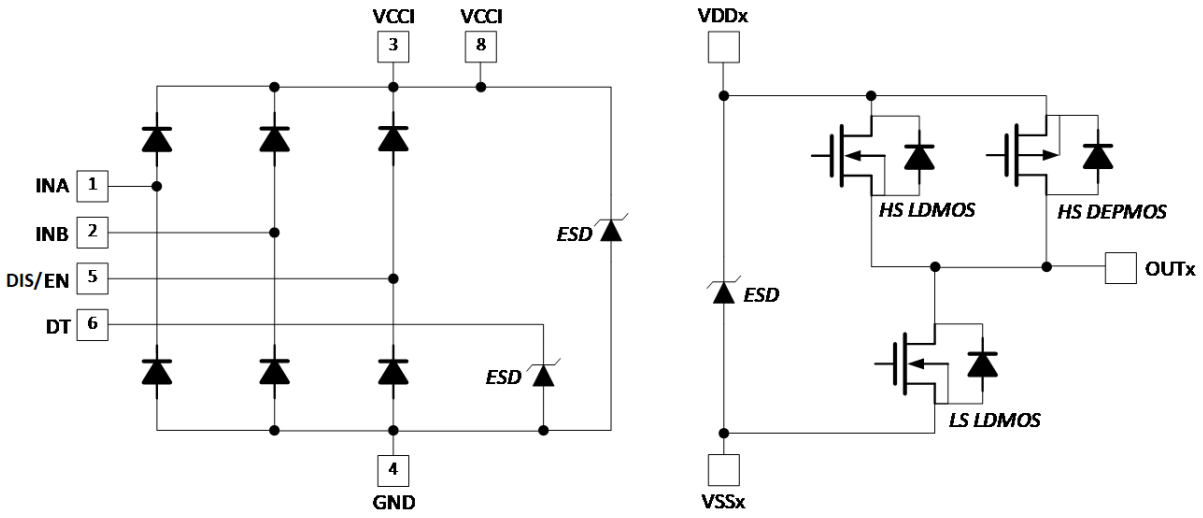


图 7-3. ESD 结构

7.4 器件功能模式

7.4.1 使能引脚

将 EN 引脚设为低电平，即 V_{EN}≤ 0.8V，同时关闭两个输出。上拉 EN 引脚至高电平（或保持开路），即 V_{EN} ≥ 2.0V，可使 UCC21530-Q1 正常工作。EN 引脚的反应相当灵敏，就传播延迟和其他开关参数而言，OUTA 和 OUTB 中会出现 EN 延迟，约为 40ns。只有当 VCCI 保持在 UVLO 阈值以上时，EN 引脚才起作用并且是必需的。强烈建议将 EN 直接连接至 VCCI 以实现更好的抗噪性能。

7.4.2 可编程死区时间 (DT) 引脚

使用 UCC21530-Q1，用户可通过以下方式调整死区时间 (DT)：

7.4.2.1 DT 引脚连接至 VCC

输出与输入完全匹配，因此不会置位最小死区时间。这允许将输出重叠。如果不使用该引脚，建议将该引脚直接连接至 VCCI，从而实现更佳的抗噪性能。

7.4.2.2 DT 引脚连接至 DT 和 GND 引脚之间的编程电阻器

通过在 DT 引脚和 GND 之间放置一个电阻器 R_{DT} 来对 t_{DT} 编程。TI 建议靠近 DT 引脚放置一个 ≤1nF 的陶瓷电容器来旁路此引脚，从而实现更佳的抗噪性能。可以根据以下公式确定合适的 R_{DT} 值：

$$t_{DT} \approx 10 \times R_{DT} \tag{1}$$

其中

- t_{DT} 是已编程设定的死区时间，单位为纳秒。
- R_{DT} 是 DT 引脚和 GND 之间的电阻值，单位为千欧。

DT 引脚上的稳态电压约为 0.8V。R_{DT} 对此引脚上的小电流进行编程，从而设置死区时间。随着 R_{DT} 值的增加，DT 引脚提供上的电流减小。当 R_{DT} = 100kΩ 时，DT 引脚电流将小于 10μA。对于更大的 R_{DT} 值，TI 建议尽可能靠近 DT 引脚放置 R_{DT} 和一个 ≤1nF 的陶瓷电容器，从而实现更佳的抗噪性能并在两个通道之间实现更好的死区时间匹配。

Copyright © 2024 Texas Instruments Incorporated

一个输入信号的下降沿会启动已编程设定的另一个信号的死区时间。已编程设定的死区时间是驱动器将两个输出保持低电平的最短强制持续时间。如果 INA 和 INB 信号包含的死区持续时间长于已编程设定的最短时间，则输出保持低电平的持续时间也会长于已编程设定的死区时间。如果两个输入同时都处于高电平，则两个输出都将立即被设为低电平。此特性用于在半桥应用中防止击穿，并且它并不影响正常运行所需的已编程设定的死区时间。图 7-4 显示并说明了各种驱动器死区时间逻辑工作条件。

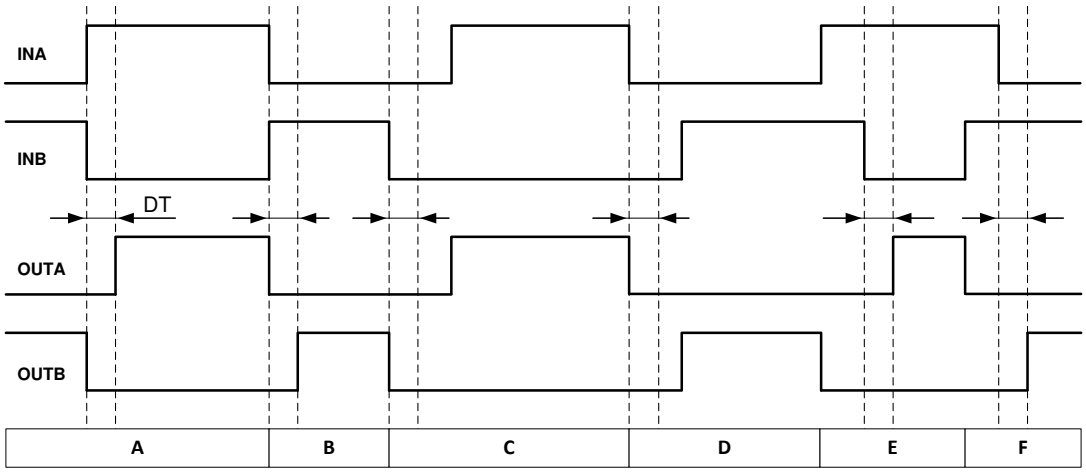


图 7-4. 各种输入信号条件下输入与输出逻辑之间的关系

条件 A：INB 变为低电平，INA 变为高电平。INB 立即将 OUTB 设为低电平并将已编程设定的死区时间分配给 OUTA。在已编程设定的死区时间后，OUTA 能够变为高电平。

条件 B：INB 变为高电平，INA 变为低电平。INA 现在立即将 OUTA 设为低电平并将已编程设定的死区时间分配给 OUTB。在已编程设定的死区时间后，OUTB 能够变为高电平。

条件 C：INB 变为低电平，INA 仍为低电平。INB 立即将 OUTB 设为低电平并将已编程设定的死区时间分配给 OUTA。在这种情况下，输入信号的*自身*死区时间长于已编程死区时间。因此，当 INA 变为高电平时，INB 立即将 OUTA 设为高电平。

条件 D：INA 变为低电平，INB 仍为低电平。INA 立即将 OUTA 设为低电平并将已编程设定的死区时间分配给 OUTB。INB 的*自身*死区时间长于已编程死区时间。因此，当 INB 变为高电平时，INB 立即将 OUTB 设为高电平。

条件 E：INA 变为高电平，而 INB 和 OUTB 仍为高电平。为了避免过冲，INA 立即将 OUTB 拉至低电平并使 OUTA 保持低电平状态。一段时间后，OUTB 变为低电平并将已编程设定的死区时间分配给 OUTA。OUTB 已经为低电平。在已编程设定的死区时间后，OUTA 能够变为高电平。

条件 F：INB 变为高电平，而 INA 和 OUTA 仍为高电平。为了避免过冲，INB 立即将 OUTA 拉至低电平并使 OUTB 保持低电平状态。一段时间后，OUTA 变为低电平并将已编程设定的死区时间分配给 OUTB。OUTA 已经为低电平。在已编程设定的死区时间后，OUTB 能够变为高电平。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

UCC21530-Q1 有效地将隔离功能和缓冲器驱动功能结合在一起。UCC21530-Q1（具有高达 18V 的 VCCI 和 25V 的 VDDA/VDDB）功能灵活且通用，这使得该器件能够用作 MOSFET、IGBT 或 SiC MOSFET 的低侧、高侧以及高侧和低侧或半桥驱动器。UCC21530-Q1 具有集成元件、高级保护功能（UVLO、死区时间和使能）和经过优化的开关性能，使设计人员可以为企业、电信、汽车和工业应用打造更小、更稳健耐用的设计，并加快产品面市速度。

8.2 典型应用

图 8-1 中的电路展示了采用 UCC21530-Q1 驱动典型半桥配置的参考设计，该参考设计可以用在多种常见的电源转换器拓扑中，例如同步降压、同步升压、半桥/全桥隔离式拓扑，以及三相电机驱动应用。该电路使用两个电源（或单输入双输出电源）。电源 V_{A+} 决定正驱动输出电压，而 V_{A-} 决定负关断电压。通道 B 的配置与通道 A 相同。

当非理想 PCB 布局和较长的封装引线（例如 TO-220 和 TO-247 型封装）引入寄生电感时，功率晶体管的栅极源驱动电压在高 di/dt 和 dv/dt 开关期间可能会出现振铃。如果振铃超过阈值电压，就有意外导通甚至发生击穿的风险。在栅极驱动上施加负偏置是一种可以将振玲保持在阈值以下的常用方法。该解决方案为每个驱动器通道提供了两个独立的电源，因此，在设置正负轨电压时，具备灵活性。

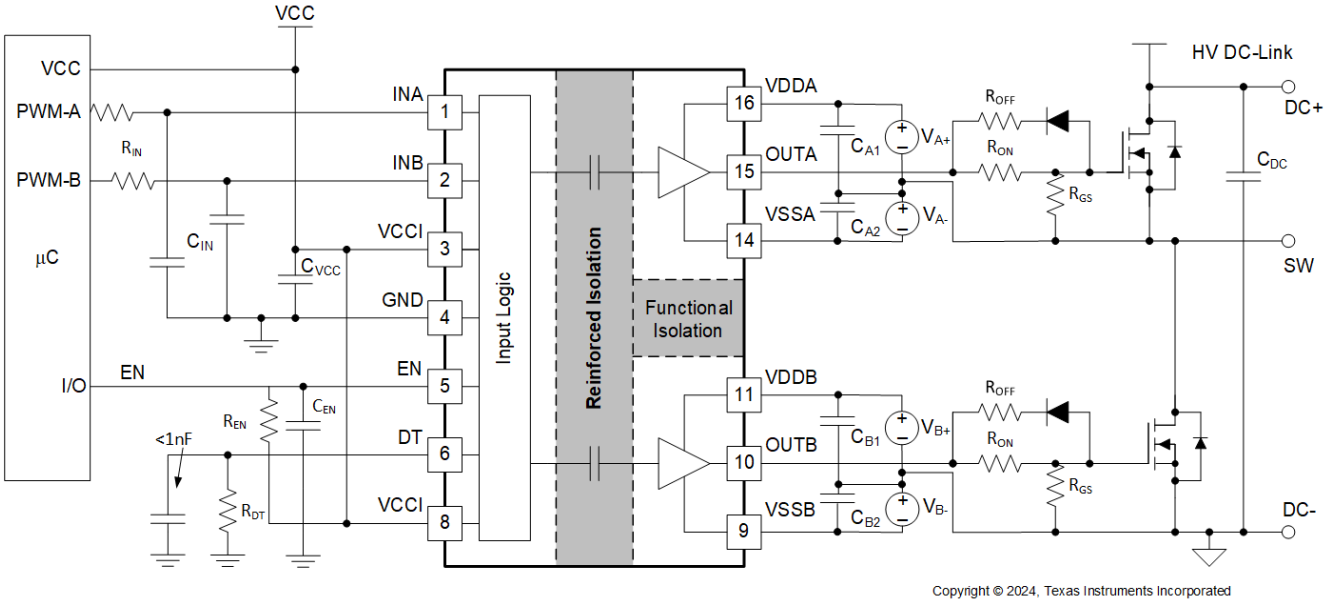


图 8-1. 使用双电源的典型应用原理图

Copyright © 2024 Texas Instruments Incorporated

8.2.1 设计要求

表 8-1 列出了示例应用的参考设计参数：UCC21530-Q1 采用高侧/低侧配置驱动 1000V SiC-MOSFET。

表 8-1. UCC21530-Q1 设计要求

参数	值	单位
功率晶体管	C3M0065100K	–
VCC	5.0	V
VDD	15	V
VSS	-4	V
R_{ON}	2.2	Ω
R_{OFF}	0	Ω
输入信号振幅	3.3	V
开关频率 (f_s)	100	kHz
直流链路电压	600	V

8.2.2 详细设计过程

8.2.2.1 设计 INA/INB 输入滤波器

建议用户避免对输入栅极驱动器的信号进行整形以尝试减慢（或延迟）输出端的信号。然而，可以使用小型的输入 R_{IN}-C_{IN} 滤波器来滤除非理想布局或长 PCB 迹线引入的振铃。

此类滤波器 R_{IN} 取值范围应为 0Ω 至 100Ω ，C_{IN} 取值范围应为 10 pF 和 100 pF 。在示例中，选择 R_{IN} = 51Ω 且 C_{IN} = 33 pF，转角频率约为 100 MHz。

在选择这些元件时，一定要注意在出色的抗噪性能与传播延迟之间进行权衡。

8.2.2.2 选择死区时间电阻器和电容器

方程式 1 中选择了一个 10 kΩ 电阻器来将死区时间设置为 100 ns。在 DT 引脚附近并联了一个 ≤ 1nF 电容器来提高抗噪性能。

8.2.2.3 栅极驱动器输出电阻器

外部栅极驱动器电阻器 R_{ON}/R_{OFF} 用于：

1. 限制寄生电感/电容引起的振铃。
2. 限制高电压/电流开关 dv/dt、di/dt 和体二极管反向恢复引起的振铃。
3. 微调栅极驱动强度，即峰值灌电流和拉电流，以优化开关损耗。
4. 降低电磁干扰 (EMI)。

如节 7.3.4 中所述，UCC21530-Q1 具有包含并联 P 沟道 MOSFET 和额外*上拉* N 沟道 MOSFET 的上拉结构。组合的峰值拉电流为 4A。因此，可以使用以下公式来预测峰值拉电流：

$$I_{O+} = \min\left(4A, \frac{V_{DD} - V_{SS}}{R_{NMOS} \,||\, R_{OH} + R_{ON} + R_{GFET_Int}}\right) \tag{2}$$

其中

- R_{ON}：在本例中，外部导通电阻 R_{ON} 为 2.2Ω；
- R_{GFET_INT}：功率晶体管内部栅极电阻（参见功率晶体管数据表）。
- I_{O+} = 峰值拉电流 – 4A、栅极驱动器峰值拉电流和基于栅极驱动回路电阻计算出的值之间的最小值。

在本例中：

$$I_{O+} = \frac{V_{DD} - V_{SS}}{R_{NMOS} \parallel R_{OH} + R_{ON} + R_{GFET_Int}} = \frac{15V - (-4V)}{1.47\Omega \parallel 5\Omega + 2.2\Omega + 4.7\Omega} \approx 2.4A \quad (3)$$

因此，每条通道的驱动器峰值拉电流为 2.4A。同样，可以使用以下公式来计算峰值灌电流：

$$I_{O-} = \min\left(6A, \frac{V_{DD} - V_{SS} - V_{GDF}}{R_{OL} + R_{OFF} \parallel R_{ON} + R_{GFET_Int}}\right) \quad (4)$$

其中

- R_{OFF}：在本例中，外部关断电阻 R_{OFF} 为 0；
- V_{GDF}：与 R_{OFF} 串联的反向并联二极管的正向压降。本例中的二极管为 MSS1P4。
- I_{O-}：峰值灌电流 – 6A、栅极驱动器峰值灌电流和基于栅极驱动回路电阻计算出的值之间的最小值。

在本例中：

$$I_{O-} = \frac{V_{DD} - V_{SS} - V_{GDF}}{R_{OL} + R_{OFF} \parallel R_{ON} + R_{GFET_Int}} = \frac{15V - (-4V) - 0.75V}{0.55\Omega + 0\Omega + 4.7\Omega} \approx 3.5A \quad (5)$$

因此，每条通道的驱动器峰值灌电流为 3.5A 。

重要的是，估算的峰值电流也受到 PCB 布局和负载电容的影响。栅极驱动器环路中的寄生电感可以减慢峰值栅极驱动电流并导致过冲和下冲。因此，强烈建议尽可能地缩小栅极驱动器环路。另一方面，当功率晶体管的负载电容 (C_{ISS}) 非常小（通常小于 1nF）时，峰值拉电流/灌电流取决于环路寄生效应，因为上升和下降时间太短，接近于寄生振铃周期。

8.2.2.4 估算栅极驱动器功率损耗

栅极驱动器子系统中的总损耗 P_G 包括 UCC21530-Q1 (P_{GD}) 的功率损耗和外围电路（如外部栅极驱动电阻器）中的功率损耗。自举二极管损耗并未包含在 P_G 中，本节中也不对其进行讨论。

P_{GD} 是关键功率损耗，决定了 UCC21530-Q1 的热安全相关限值，可以通过计算若干分量产生的损耗来对其进行估算。

第一个分量是静态功率损耗 P_{GDQ}，其中包含驱动器在一定开关频率下工作时的静态功率损耗以及驱动器的自身功耗。P_{GDQ} 是在给定 VCCI、VDDA/VDDB、开关频率和环境温度下，在无负载连接到 OUTA 和 OUTB 时在台架上测量。图 5-4 显示了无负载条件下每输出通道电流消耗与工作频率之间的关系。在本例中，V_{VCCI} = 5V 且 $V_{VDD} - V_{VSS}$ = 19V。当 INA/INB 以 100kHz 频率从 0V 切换至 3.3V 时，测得每个电源上的电流 $I_{VCCI} \approx$ 2.5mA 且 $I_{VDDA} = I_{VDDB} \approx$ 1.5mA。因此，可以通过以下公式计算 P_{GDQ}：

$$P_{GDQ} = V_{VCCI} \times I_{VCCI} + (V_{VDDA} - V_{VSSA}) \times I_{DDA} + (V_{VDDB} - V_{VSSB}) \times I_{DDB} \approx 70mW \quad (6)$$

第二个分量是开关操作损耗 P_{GDO}，此时具有给定的负载电容，驱动器在每个开关周期中对其进行充电和放电。负载开关产生的总动态损耗 P_{GSW} 可以通过以下公式进行估算：

$$P_{GSW} = 2 \times (V_{DD} - V_{SS}) \times Q_G \times f_{SW} \quad (7)$$

其中

- Q_G 是功率晶体管的栅极电荷。

Copyright © 2024 Texas Instruments Incorporated

如果使用分离电源轨进行开启和关闭，则 VDD 将等于正电源轨和负电源轨之间的差值。

因此，在本应用示例中：

$$P_{GSW} = 2 \times 19V \times 35nC \times 100kHz = 133mW \tag{8}$$

Q_G 表示功率晶体管在以 20A 的电流和 600V 的电压进行开关时的总栅极电荷，该电荷随测试条件的变化而变化。输出级上的 UCC21530-Q1 栅极驱动器损耗 P_{GDO} 是 P_{GSW} 的一部分。如果外部栅极驱动器电阻为 0Ω，则 P_{GDO} 将等于 P_{GSW}，并且所有栅极驱动器损耗都将在 UCC21530-Q1 内耗散。如果存在外部导通和关断电阻，则总损耗将分布在栅极驱动器上拉/下拉电阻和外部栅极电阻之间。重要的是，如果拉电流/灌电流未达到 4A/6A 饱和值，则上拉/下拉电阻是线性的固定电阻，然而，如果拉电流/灌电流达到饱和，它将是非线性的。因此，P_{GDO} 在这两种情形下是不同的。

案例 1 - 线性上拉/下拉电阻器：

$$P_{GDO} = P_{GSW} \times \left(\frac{R_{OH} \parallel R_{NMOS}}{R_{OH} \parallel R_{NMOS} + R_{ON} + R_{GFET_Int}} + \frac{R_{OL}}{R_{OL} + R_{OFF} \parallel R_{ON} + R_{GFET_Int}} \right) \tag{9}$$

在该设计示例中，所有预测的拉电流/灌电流均小于 4A/6A，因此可以使用以下公式来估算 UCC21530-Q1 栅极驱动器损耗：

$$P_{GDO} = 133mW \times \left(\frac{5\Omega \parallel 1.47\Omega}{5\Omega \parallel 1.47\Omega + 2.2\Omega + 4.7\Omega} + \frac{0.55\Omega}{0.55\Omega + 0\Omega + 4.7\Omega} \right) \approx 33mW \tag{10}$$

案例 2 - 非线性上拉/下拉电阻器：

$$P_{GDO} = 2 \times f_{SW} \times \left[4A \times \int_0^{T_{R_Sys}} \left(V_{DD} - V_{OUTA/B}(t)\right) dt + 6A \times \int_0^{T_{F_Sys}} \left(V_{OUTA/B}(t) - V_{SS}\right) dt \right] \tag{11}$$

其中

- $V_{OUTA/B}(t)$ 为栅极驱动器 OUTA 和 OUTB 引脚在导通和关断瞬变期间的电压，它可以简化为恒流源（在导通时为 4A，在关断时为 6A）对负载电容器进行充电或放电。因此，$V_{OUTA/B}(t)$ 波形将是线性的，可以轻松地预测 T_{R_Sys} 和 T_{F_Sys}。

对于某些情形，如果只有一个上拉或下拉电路饱和，而另一个未饱和，则 P_{GDO} 是案例 1 和案例 2 的组合，基于上述讨论，可以轻松地确定上拉和下拉的方程。因此，栅极驱动器 UCC21530-Q1 中的总栅极驱动器损耗 P_{GD} 为：

$$P_{GD} = P_{GDQ} + P_{GDO} \tag{12}$$

在本设计示例中该值等于 103mW。

8.2.2.5 估算结温

UCC21530-Q1 的结温可以通过以下公式进行估算：

$$T_J = T_C + \Psi_{JT} \times P_{GD} \tag{13}$$

其中

- T_J 是结温。
- T_C 是用热电偶或其他仪器测量的 UCC21530-Q1 外壳温度。
- ψ_{JT} 是来自热性能信息表的结至顶特征参数。

使用结至顶特征参数 (Ψ_{JT}) 代替结至外壳热阻 ($R_{\Theta JC}$) 可以极大地提高结温估算的准确性。大多数 IC 的大部分热能通过封装引线释放到 PCB 中，而只有一小部分的总能量通过外壳顶部（通常在此处进行热电偶测量）释放。只有在大部分热能通过外壳释放时才能有效地使用 $R_{\Theta JC}$ 电阻，例如金属封装或在 IC 封装上应用散热器时。在所有其他情况下，使用 $R_{\Theta JC}$ 将无法准确地估算真实的结温。Ψ_{JT} 是通过假设通过 IC 顶部的能量在测试环境和应用环境中相似而通过实验得出的。只要遵循建议的布局指南就可以将结温估算精确到几摄氏度内。有关更多信息，请参阅 节 10.1 和*半导体和 IC 封装热指标应用报告*。

8.2.2.6 选择 VCCI、VDDA/B 电容器

用于 VCCI、VDDA 和 VDDB 的旁路电容器对于实现可靠的性能至关重要。建议选择具有额定电压、温度系数和电容差足够的低 ESR 和低 ESL、表面贴装型多层陶瓷电容器 (MLCC)。重要的是，MLCC 上的直流偏置将会影响实际电容值。例如，当施加 $15V_{DC}$ 的直流偏置时，测得 25V、1μF X7R 电容器的电容仅为 500 nF。

8.2.2.6.1 选择 VCCI 电容器

连接到 VCCI 的旁路电容器支持初级逻辑所需的瞬态电流以及总电流消耗，后者仅为几 mA。因此，该应用建议使用 100nF 以上的 50V MLCC。如果偏置电源输出与 VCCI 引脚的距离相对较长，则应使用值大于 1 μF 的钽或电解电容器与 MLCC 并联放置。

Copyright © 2024 Texas Instruments Incorporated

8.2.2.7 其他应用示例电路

当非理想 PCB 布局和较长的封装引线（例如 TO-220 和 TO-247 型封装）引入寄生电感时，功率晶体管的栅极源驱动电压在高 di/dt 和 dv/dt 开关期间可能会出现振铃。如果振铃超过阈值电压，就有意外导通甚至发生击穿的风险。在栅极驱动上施加负偏置是一种可以将振玲保持在阈值以下的常用方法。下面是实现负栅极驱动偏置的几个例子。

图 8-2 展示了在隔离式电源输出级上使用齐纳二极管来对通道 A 驱动器上进行负偏置关断的示例，而不是使用两个独立的电源来产生正负驱动电压。负偏置由齐纳二极管电压设置。如果隔离式电源 V_A 等于 19V，则关断电压为 –3.9V，导通电压为 19V – 3.9V ≈ 15V。通道 B 驱动器电路与通道 A 的相同，因此该配置只需要为每条驱动通道提供一个电源，并且 R_Z 上存在稳态功耗。

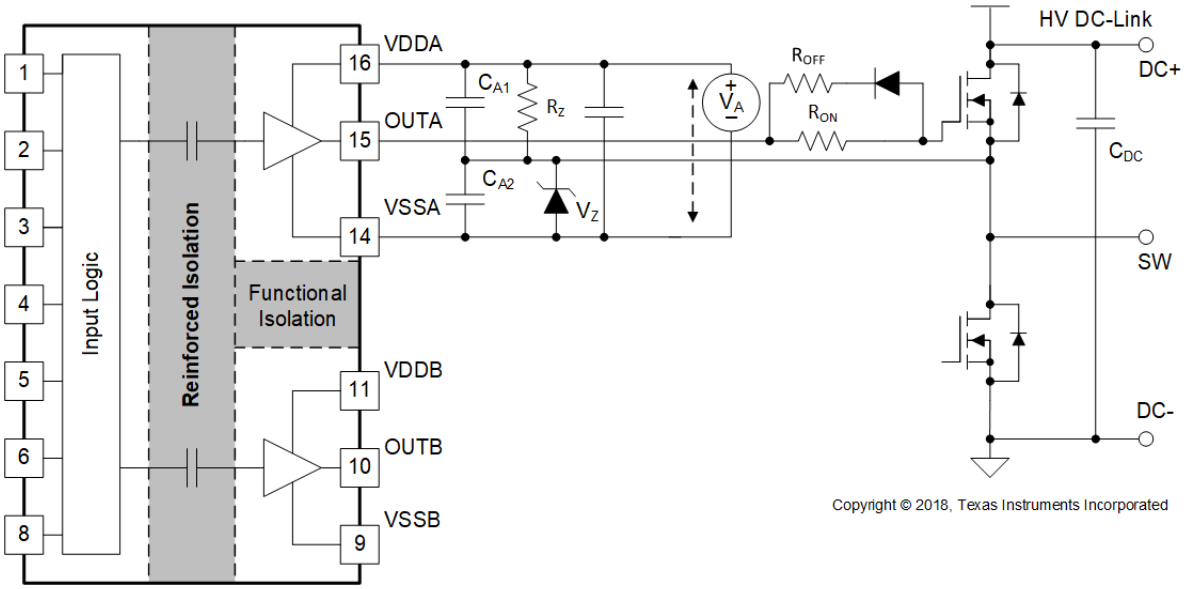


图 8-2. 利用 ISO 偏置电源输出上的齐纳二极管生成负偏置

图 8-3 展示了另一个使用自举法为通道 A 提供电源的示例，该解决方案没有负电源轨电压，只适用于振铃较少的电路或功率器件具有高阈值电压的情况。

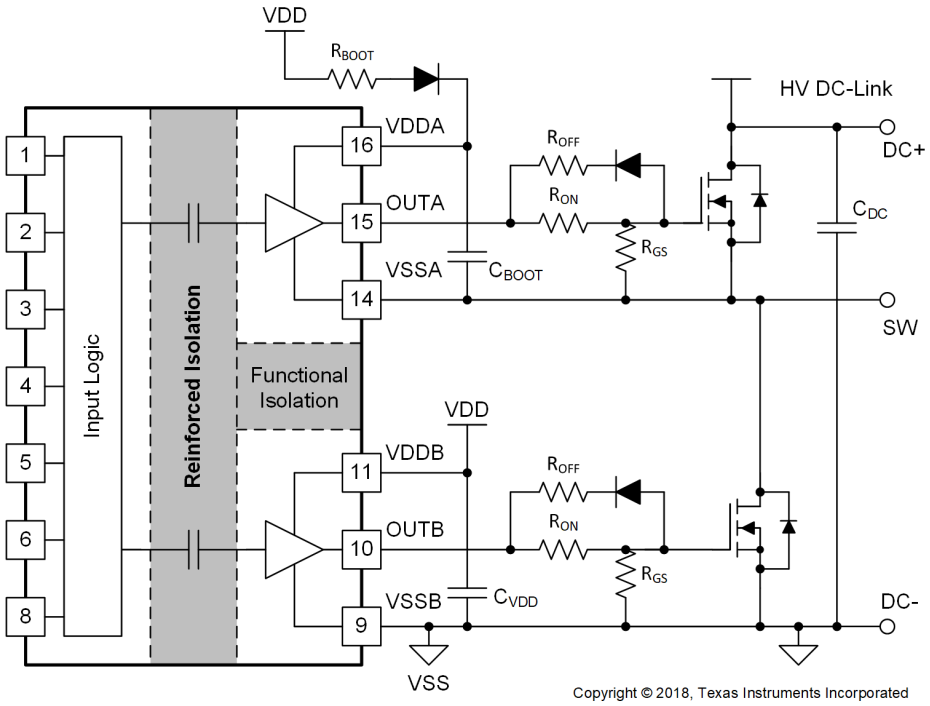


图 8-3. 高侧器件的自举电源

Copyright © 2024 Texas Instruments Incorporated

如图 8-4 所示，最后一个例子是单电源配置，并通过栅极驱动环路中的齐纳二极管来生成负偏置。此解决方案的优势是只使用一个电源，并且自举电源可用于高侧驱动。在这三种解决方案中，此设计的成本最低，所需设计工作量也最少。不过，此解决方案有以下局限性：

1. 负栅极驱动偏置不仅由齐纳二极管决定，而且还由占空比决定，这意味着负偏置电压会随着占空比的变化而变化。因此，在该解决方案中，使用变频谐振转换器或相移转换器等具有固定占空比 (~50%) 的转换器比较有利。
2. 高侧 VDDA-VSSA 必须维持足够的电压来保持在建议的电源电压范围内，这意味着低侧开关必须导通或在体（或反向并联）二极管上存在续流电流，以便在每个开关周期的特定时期内刷新自举电容器。因此，除非像其他两个示例电路那样，高侧也使用专用电源，否则高侧无法实现 100% 占空比。

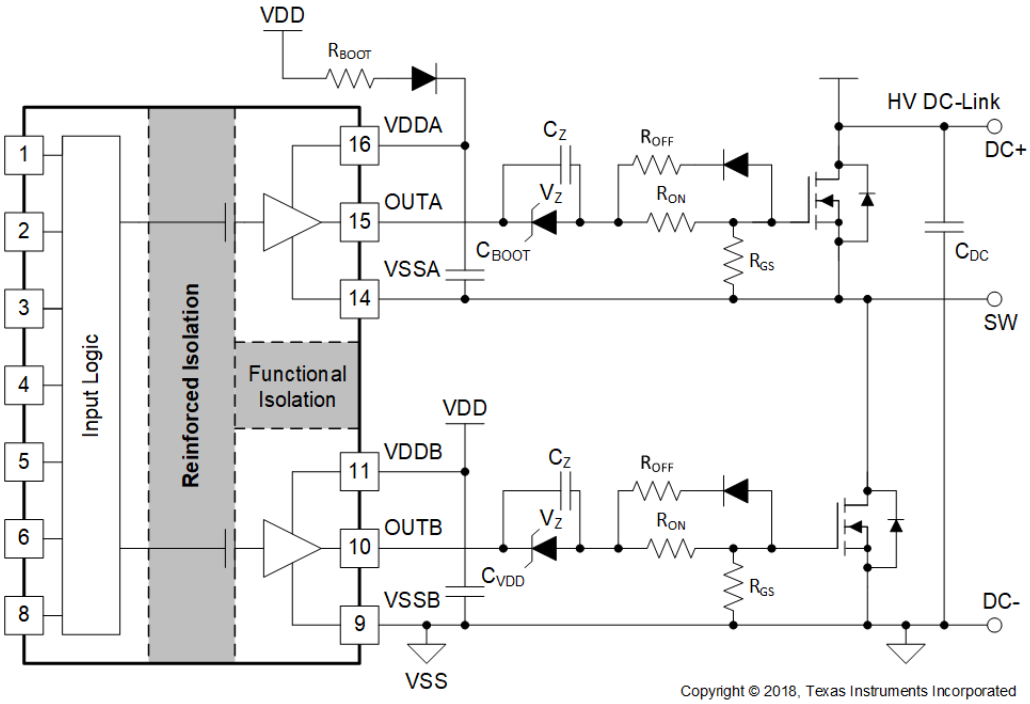


图 8-4. 使用单电源和栅极驱动路径上的齐纳二极管产生负偏置

8.2.3 应用曲线

图 8-5 展示了一种多脉冲基准测试电路，其使用 L1 作为电感器负载，并产生一组控制脉冲以评估驱动器和 SiC MOSFET 在不同负载条件下的开关瞬态。测试条件为：$V_{DC\text{-}Link}$ = 600V、VCC = 5V、VDD = 15V、VSS = –4V、f_{SW} = 500kHz、R_{ON} = 5.1Ω、R_{OFF} = 1.0Ω。图 8-6 展示了大约 20A 电流时的导通和关断波形

通道 1（黄色）：低侧 MOSFET 上的栅极源电压信号。

通道 2（蓝色）：高侧 MOSFET 上的栅极源电压信号。

通道 3（粉色）：低侧 MOSFET 上的漏极源电压信号。

通道 4（绿色）：低侧 MOSFET 上的漏极源电流信号。

在图 8-6 中，高功率和低功率晶体管上的栅极驱动信号具有 100ns 死区时间，并且两种信号均使用 >= 500MHz 带宽探针进行测量。

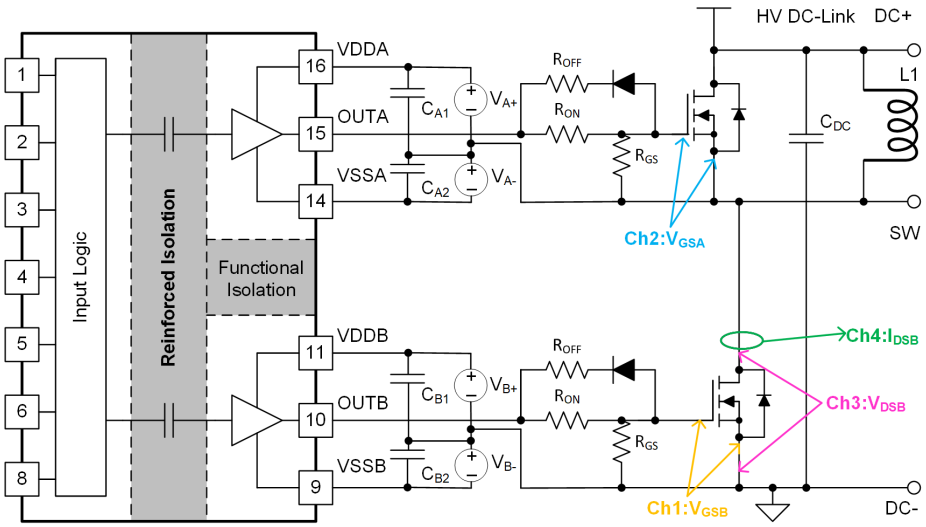


图 8-5. 具有 SiC MOSFET 开关的基准测试电路

图 8-6. SiC MOSFET 开关波形

Copyright © 2024 Texas Instruments Incorporated

9 电源相关建议

UCC21530-Q1 的建议输入电源电压 (VCCI) 介于 3V 和 18V 之间。输出辅助电源电压 (VDDA/VDDB) 范围取决于所使用的 UCC21530-Q1 版本。该辅助电源电压范围的下限由各器件的内部欠压锁定 (UVLO) 保护功能决定。VDD 和 VCCI 不得低于其各自的 UVLO 阈值（有关 UVLO 的更多信息，请参阅 节 7.3.1）。VDDA/VDDB 范围的上限取决于由 UCC21530-Q1 所驱动的功率器件的最大栅极电压。所有版本的 UCC21530-Q1 都具有建议的 VDDA/VDDB 上限 (25V)。

在 VDD 和 VSS 引脚之间放置本地旁路电容器。将该旁路电容器尽可能靠近器件放置。使用低 ESR 的陶瓷表面贴装电容器。并联放置两个这样的电容器：其中一个的值为 220nF 至 10μF，用于进行器件偏置；另一个为 100nF 电容器，用于进行高频滤波。

同样，在 VCCI 和 GND 引脚之间放置本地旁路电容器。假设 UCC21530-Q1 输入侧逻辑电路汲取的电流很小，那么该旁路电容器可以使用 100nF 的建议最小值。

10 布局

10.1 布局指南

为了让 UCC21530-Q1 实现出色性能，应考虑这些 PCB 布局指南。

10.1.1 元件放置注意事项

- 必须在 VCCI 和 GND 引脚之间以及 VDD 和 VSS 引脚之间靠近器件的位置连接低 ESR 和低 ESL 电容器，以在外部功率晶体管导通时支持高峰值电流。
- 为了避免桥接配置中开关节点 VSSA (HS) 引脚上产生较大的负瞬态，必须尽可能地减小顶部晶体管源极和底部晶体管源极之间的寄生电感。
- 为了提升从远距离微控制器驱动 EN 引脚时的抗噪性能，TI 建议在 EN 引脚和 GND 之间添加一个 ≥ 1nF 的小型旁路电容器。
- 如果使用死区时间功能，TI 建议在靠近 UCC21530-Q1 的 DT 引脚处放置编程电阻器 R_{DT} 旁路电容器，从而防止噪声意外耦合到内部死区时间电路上。该电容器应 ≤ 1nF。

10.1.2 接地注意事项

- 务必要将对晶体管栅极充电和放电的高峰值电流限制在最小的物理环路区域内。这样将会降低环路电感，并更大限度地减少晶体管栅极端子上的噪声。栅极驱动器必须尽可能靠近晶体管放置。
- 注意高电流路径，其中包含自举电容器、自举二极管、局部接地参考旁路电容器和低侧晶体管体二极管/反并联二极管。自举电容器由 VDD 旁路电容器通过自举二极管逐周期进行重新充电。这种重新充电行为发生在较短的时间间隔内，需要高峰值电流。尽可能地减小印刷电路板上的环路长度和面积对于确保可靠运行至关重要。

10.1.3 高电压注意事项

- 为确保初级侧和次级侧之间的隔离性能，请避免在驱动器器件下方放置任何 PCB 迹线或铜。建议使用 PCB 切口，以防止污染影响隔离性能。
- 对于半桥或高侧/低侧配置，最大限度地增加 PCB 布局中高侧和低侧 PCB 迹线之间的间隙距离。

10.1.4 散热注意事项

- 如果驱动电压较高，负载较重或开关频率较高，那么 UCC21530-Q1 可能会损耗大量功率（更多详细信息，请参阅节 8.2.2.4）。适当的 PCB 布局有助于将器件产生的热量散发到 PCB，并更大限度地降低结到电路板的热阻抗（θ_{JB}）。
- 建议增加连接到 VDDA、VDDB、VSSA 和 VSSB 引脚的 PCB 覆铜，并优先考虑最大限度地增加到 VSSA 和 VSSB 的连接（请参阅图 10-2 和图 10-3）。不过，必须考虑前面提及的高电压 PCB 注意事项。
- 如果系统有多个层，则还建议通过大小适当的通孔将 VDDA、VDDB、VSSA 和 VSSB 引脚连接到内部接地平面或电源平面。确保不要重叠不同高电压平面的迹线或覆铜。

Copyright © 2024 Texas Instruments Incorporated

10.2 布局示例

图 10-1 显示了一个 2 层 PCB 布局示例，其中标记了信号和主要元件。

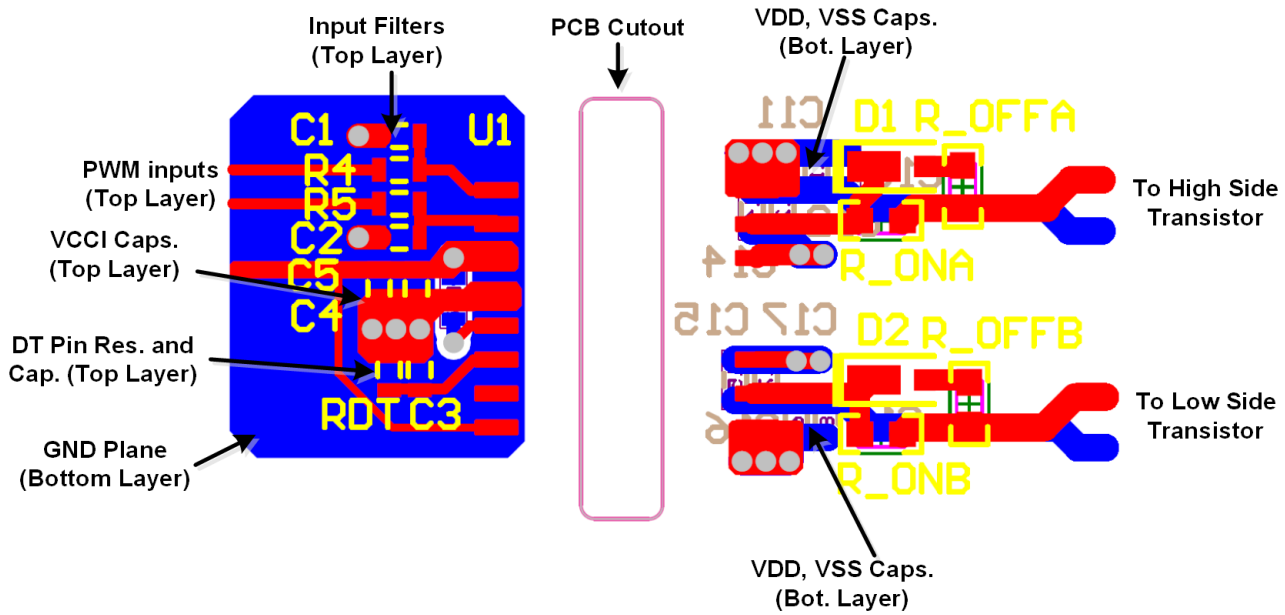


图 10-1. 布局示例

图 10-2 和图 10-3 展示了顶层和底层布线和覆铜。

备注

初级侧和次级侧之间没有 PCB 布线或覆铜，从而确保了隔离性能。

增加输出级中高侧和低侧栅极驱动器之间的 PCB 布线，以更大限度地增加高压运行时的爬电距离，这样，也会更大限度地减少由于寄生电容耦合在开关节点 VSSA (SW)（可能存在高 dv/dt）和低侧栅极驱动器之间导致的串扰。

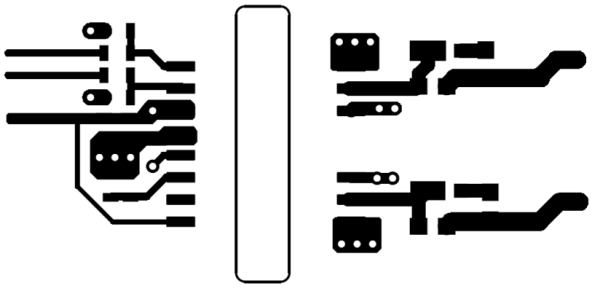


图 10-2. 顶层布线和覆铜

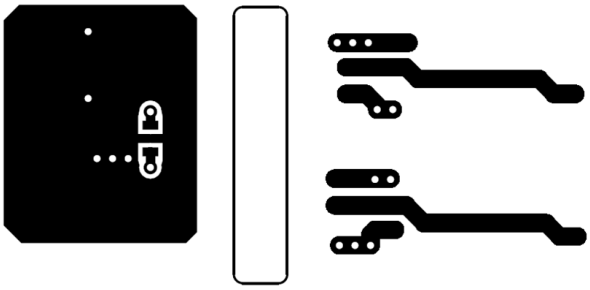


图 10-3. 底层布线和覆铜

图 10-4 和图 10-5 分别是 3D 布局的俯视图和仰视图。

备注

初级侧和次级侧之间的 PCB 切口位置，可确保隔离性能。

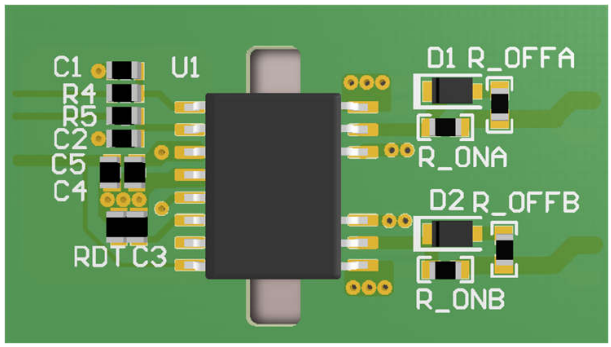


图 10-4. 3D PCB 俯视图

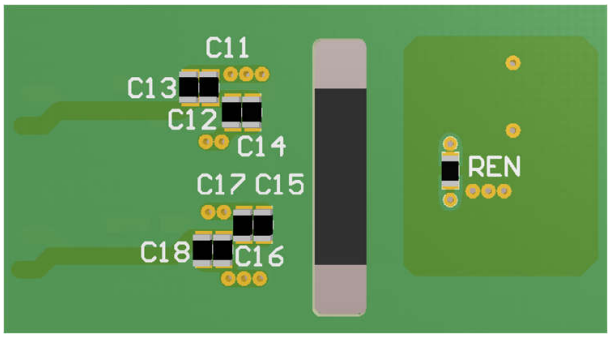


图 10-5. 3-D PCB 底视图

Copyright © 2024 Texas Instruments Incorporated

11 器件和文档支持

11.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

11.2 文档支持

11.2.1 相关文档

请参阅如下相关文档：

- 隔离相关术语

11.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

11.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

11.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

12 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision E (August 2024) to Revision F (September 2024)	Page
• 向特性和说明部分以及器件信息表中添加了 17V UVLO 选项	1

Changes from Revision D (April 2021) to Revision E (August 2024)	Page
• 从“特性”中删除了 HBM 和 CDM ESD 分类等级	1
• 将典型传播延迟从 19ns 更改为 33ns	1
• 将最小脉宽从 10ns 更改为 20ns	1
• 删除了关于 5ns 最大延迟匹配的要点	1
• 将 CMTI 从大于 100V/ns 更改为大于 125V/ns	1
• 删除了关于隔离栅超过 40 年的要点	1
• 删除了关于抑制短于 5ns 的输入脉冲的要点	1
• 将工作温度更改为新的结温范围	1
• 删除了关于认证和认证中的要点	1
• 删除了关于出色传播延迟和 PWD 的句子	1
• 将 CMTI 最小值从 100V/ns 更改为 125V/ns	1

- 更改了建议的 DT 引脚条件和 DT 引脚上的电容器大小.....3
- 将所有 -0.5V 最小值更改为 -0.3V，以与新发布的数据表保持一致.....4
- 将所有绝对最大值从 +0.5V 电源更改为 +0.3V 电源，以与新发布的数据表保持一致.....4
- 将输入信号电压瞬态测试条件更改为 50ns 并将绝对最小值更改为 -5V.....4
- 将 ESD 规格从“HBM = ±4000”和“CDM = ±1500”更新为“HBM = ±2000”和“CDM = ±1000”，以便符合 ESD 行业标准.....4
- 将 12V-UVLO 建议的 VDDA/B 电压最小值从 14.7V 更改为 13.5V.....4
- 删除了环境温度规格.....4
- 将最大结温更改为 150C.....4
- 将 Rθ JA = 68.3°C/W、Rθ JC(top) = 31.7°C/W、Rθ JB = 27.6°C/W、ψJT = 17.7°C/W、ψJB = 27°C/W 值更新至 Rθ JA = 74.1°C/W、Rθ JC(top) = 34.1°C/W、Rθ JB = 32.8°C/W、ψJT = 23.7°C/W、ψJB = 32.1°C/W.....4
- 将值从 PD = 1810mW、PDI = 0.05W、PDA/PDB = 880mW 更新为 PD = 950mW、PDI = 50mW、PDA/PDB = 450mW 更改了测试条件.....5
- 将 DTI => 21mm、VIOSM = 8000VPK 更新为 DTI => 17mm、VIOSM = 10000VPK，并添加了 VIMP = 7692VPK.....6
- 删除了“安全相关认证”部分.....6
- 将“IS = 58mA/35mA、PS = 50mW/880mW/880mW/1810mW”更新为“IS = 53mA/32mA、PS = 50mW/800mW/800mW/1650mW”.....7
- 将 VCCI 静态电流典型值从 1.4mA 更改为 1.5mA.....7
- 将 IVDDA/IVDDB 静态电流规格最大值从 1.8mA 更新为 2.5mA.....7
- 将 IVCCI 工作电流典型值从 2.0mA 更新为 3.0mA，并添加了最大值 3.5mA.....7
- 添加了 IVDDA/IVDDB 工作电流最大值 = 4.2mA.....7
- 将上升阈值最小值 8V、典型值 8.5V、最大值 9V 更新为最小值 7.7V、典型值 8.5V、最大值 8.9V.....7
- 将下降阈值最小值 7.5V、典型值 8V、最大值 8.5V 更新为最小值 7.2V、典型值 7.9V、最大值 8.4V.....7
- 将 8V UVLO 迟滞典型值从 0.5V 更新为 0.6V.....7
- 将上升阈值最小值 12.5V、典型值 13.5V、最大值 14.5V 更新为最小值 11.7V、典型值 12.5V、最大值 13.3V.7
- 将上升阈值最小值 11.5V、典型值 12.5V、最大值 13.5V 更新为最小值 10.7V、典型值 11.5V、最大值 12.3V.7
- 将输入高电平阈值最小值从 1.6V 更新为 1.2V.....7
- 通过移到新的“时序要求”表来更新了“死区时间”参数，并添加了更多参数.....8
- 将传播延迟 TPDHL 和 TPDLH 从“最小值 = 14ns、典型值 = 19ns、最大值 = 30ns”更改为“最小值 = 26ns、典型值 = 33ns、最大值 = 45ns”.....8
- 将传播延迟匹配从 TJ = -40C 至 -10C 时最大值 = 6.5ns 更改为 TJ = -10C 至 150C 时最大值 = 5ns.....8
- 删除了 VCCI 上电延迟（典型值为 40us）并增加了最大值 50us.....8
- 将 VDDA/VDDB 上电延迟最大值从 100us 更新为 10us.....8
- 将 CMTI 最小值从 100V/ns 更新至 125V/ns.....8
- 更新了绝缘和热性能曲线以匹配更新后的特性.....9
- 更新了典型特性图.....11
- 更新了 UVLO 时间延迟.....16
- 在功能方框图中添加了驱动器级抗尖峰脉冲滤波器块.....18
- 向“输出级”部分添加了关于最小脉宽的段落.....21
- 更新了 ESD 二极管结构.....22
- 将建议的 DT 电容器大小从 >2.2nF 更改为 ≤ 1nF.....22
- 更改了原理图中的建议 DT 电容器大小.....24
- 将 DT 电容器大小更改为 ≤ 1nF.....25
- 将 DT 电容大小建议从 >=2.2nF 更改为 ≤1nF.....34

Copyright © 2024 Texas Instruments Incorporated

Changes from Revision C (March 2019) to Revision D (April 2021)	Page
• 向特性、说明和器件信息部分新增了 8V UVLO 选项	1
• 在引脚功能表中新增了 NC 引脚（引脚 7）的信息	3
• 新增了不同温度范围内的 8V UVLO 阈值和迟滞	11

Changes from Revision B (November 2018) to Revision C (March 2019)	Page
• 初始发行版。	1

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PUCC21530QDWKQ1	Obsolete	Preproduction	SOIC (DWK) | 14	-	-	Call TI	Call TI	-40 to 125	
UCC21530BQDWKQ1	Obsolete	Production	SOIC (DWK) | 14	-	-	Call TI	Call TI	-40 to 125	U21530BQ
UCC21530BQDWKRQ1	Active	Production	SOIC (DWK) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	U21530BQ
UCC21530BQDWKRQ1.A	Active	Production	SOIC (DWK) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	U21530BQ
UCC21530BQDWKRQ1.B	Active	Production	SOIC (DWK) | 14	2000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
UCC21530DQDWKRQ1	Active	Production	SOIC (DWK) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	UCC21530DQ
UCC21530DQDWKRQ1.A	Active	Production	SOIC (DWK) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	UCC21530DQ
UCC21530DQDWKRQ1.B	Active	Production	SOIC (DWK) | 14	2000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
UCC21530QDWKQ1	Obsolete	Production	SOIC (DWK) | 14	-	-	Call TI	Call TI	-40 to 125	UCC21530Q
UCC21530QDWKRQ1	Active	Production	SOIC (DWK) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	UCC21530Q
UCC21530QDWKRQ1.A	Active	Production	SOIC (DWK) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	UCC21530Q
UCC21530QDWKRQ1.B	Active	Production	SOIC (DWK) | 14	2000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF UCC21530-Q1 :

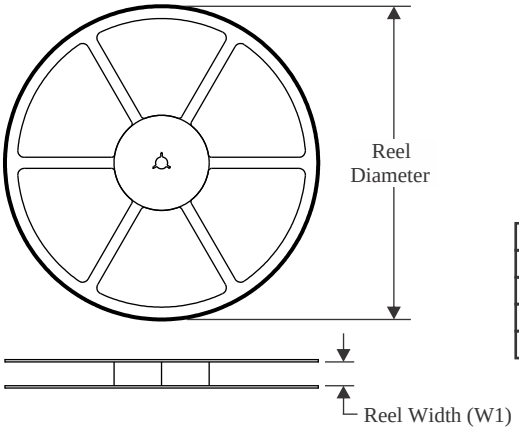
- Catalog : UCC21530

NOTE: Qualified Version Definitions:

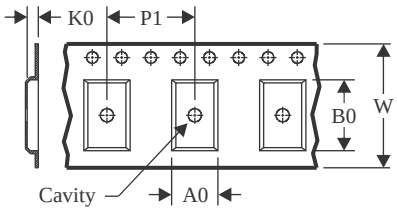
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

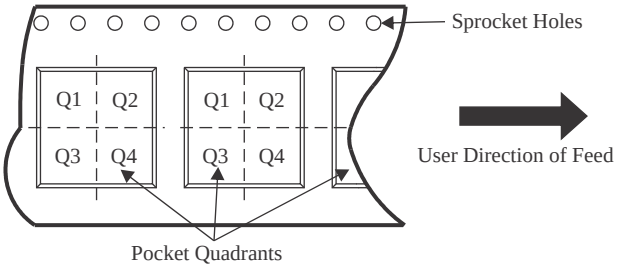


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

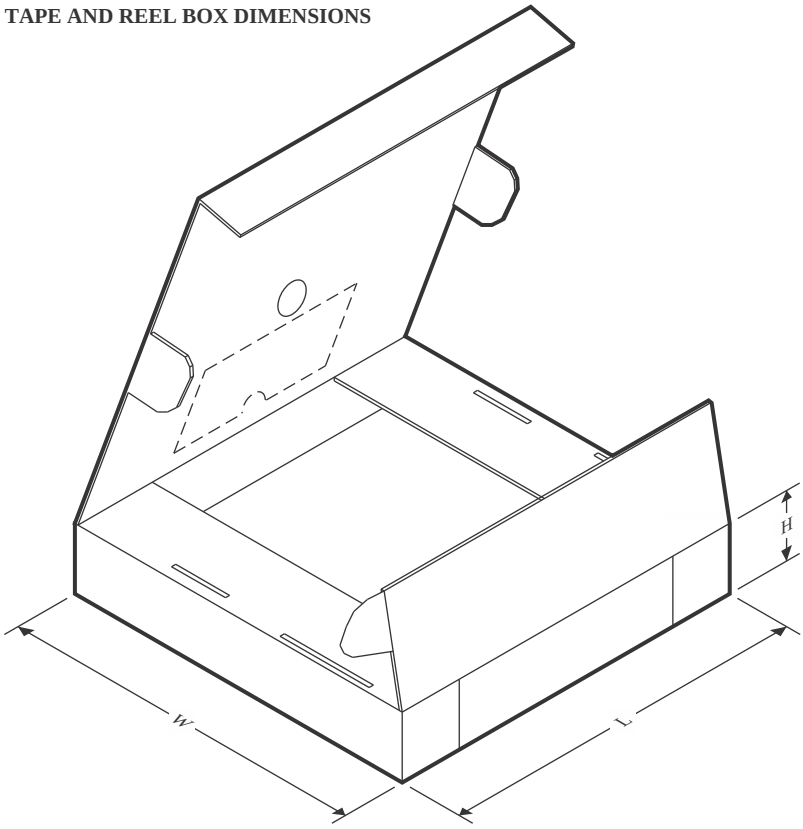
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

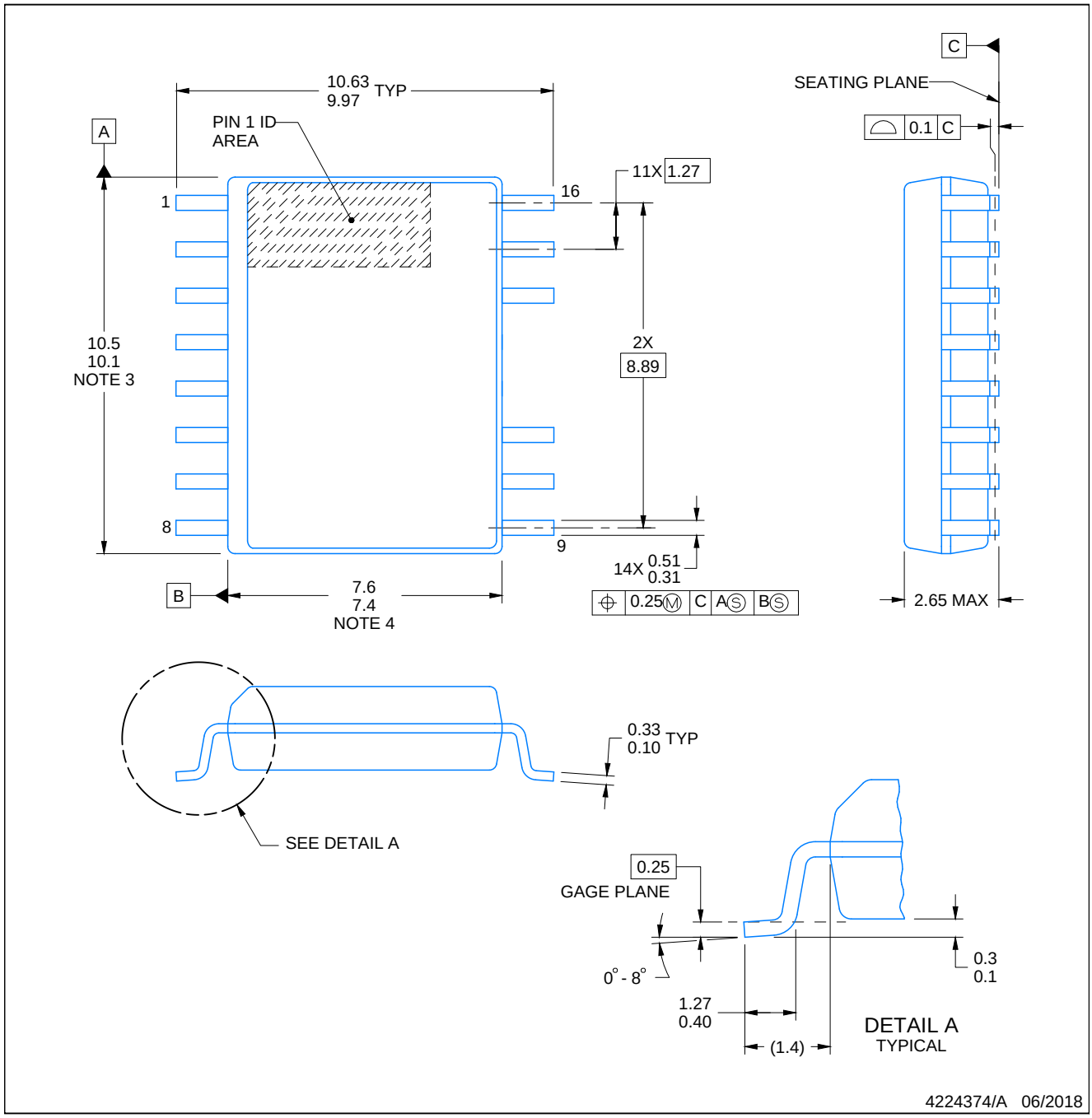
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC21530BQDWKRQ1	SOIC	DWK	14	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
UCC21530DQDWKRQ1	SOIC	DWK	14	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
UCC21530QDWKRQ1	SOIC	DWK	14	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



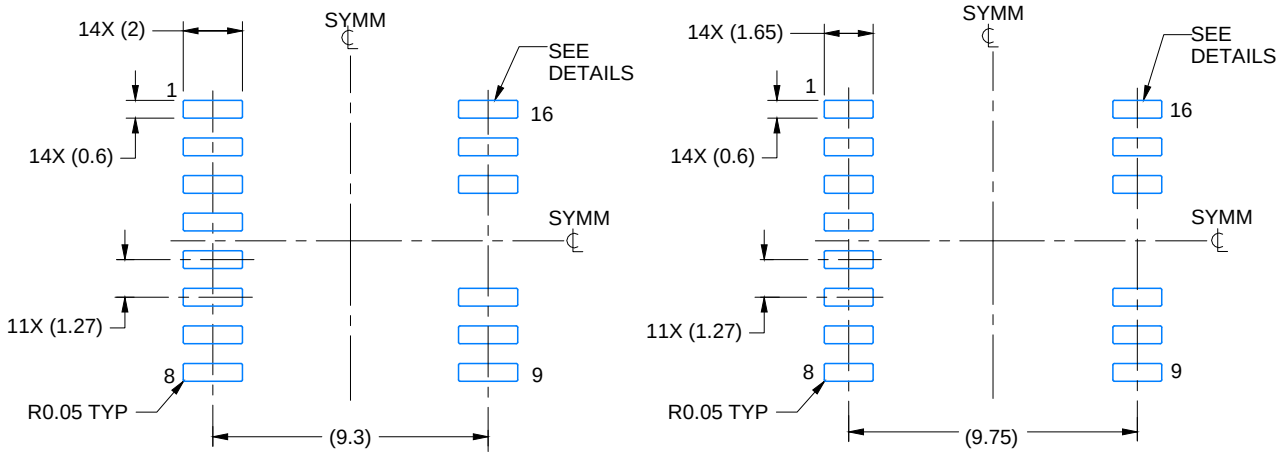
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC21530BQDWKRQ1	SOIC	DWK	14	2000	353.0	353.0	32.0
UCC21530DQDWKRQ1	SOIC	DWK	14	2000	353.0	353.0	32.0
UCC21530QDWKRQ1	SOIC	DWK	14	2000	353.0	353.0	32.0



NOTES:

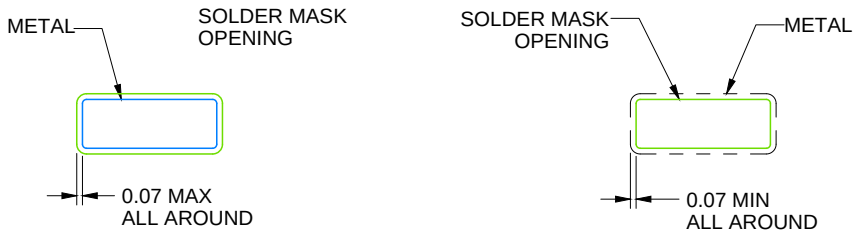
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.



IPC-7351 NOMINAL
7.3 mm CLEARANCE/CREEPAGE

HV / ISOLATION OPTION
8.1 mm CLEARANCE/CREEPAGE

LAND PATTERN EXAMPLE
SCALE:4X



NON SOLDER MASK DEFINED

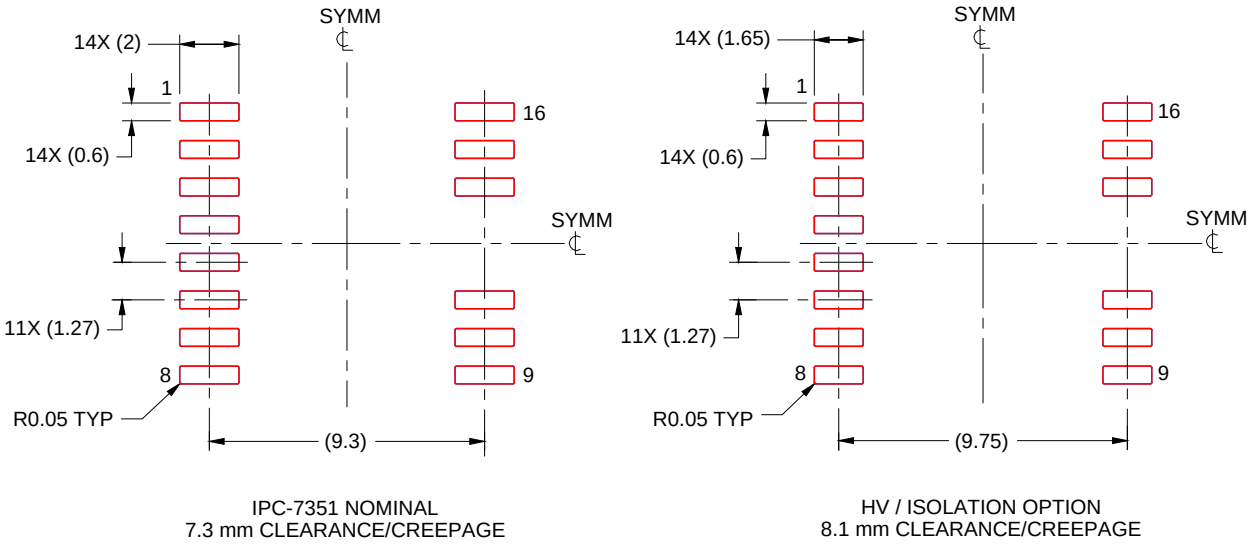
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4224374/A 06/2018

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



IPC-7351 NOMINAL
7.3 mm CLEARANCE/CREEPAGE

HV / ISOLATION OPTION
8.1 mm CLEARANCE/CREEPAGE

SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:4X

4224374/A 06/2018

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月