具有中断输出、复位输入和 I/O 配置寄存器的 TXE81XX-Q1 汽车级 16 位和 24 位 SPI 总线 I/O 扩展器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
  - 温度等级 1：–40°C 至 +125°C，T_A
- 功能安全型
  - 可提供用于功能安全系统设计的文档
- 工作电源电压范围为 1.65V 至 5.5V
- 具有 2.3μA（典型值）的低待机电流消耗
- SPI SCLK 频率
  - 10MHz 从 3.3V 至 5.5V
  - 5MHz 从 1.65V 至 5.5V
- 低电平有效复位输入 ($\overline{RESET}$)
- 5V 耐压输入和输出端口
- 内置失效防护 I/O 功能
- 开漏低电平有效中断输出 ($\overline{INT}$)
- GPIO 的所有输入端都支持单独的 I/O 控制和干扰滤波器
- 支持 SPI 菊花链
- 支持 I/O 读取突发模式
- 支持 I/O 极性反转
- 用于保持最后一个 I/O 状态的总线保持功能
- 具有高电流驱动能力的锁存输出，用于直接驱动 LED
- 闩锁性能超过 100mA，符合 AEC Q100-004 规范
- ESD 保护超出 AEC - Q100 的要求
  - 2000V 人体放电模型 (AEC - Q100-002)
  - 1000V 充电器件模型 (AEC - Q100-011)

2 应用

- 汽车信息娱乐系统与仪表组
- 车身电子装置和照明
- 混合动力、电动和动力总成系统
- 采用 GPIO 受限处理器的产品

3 说明

TXE81XX-Q1 器件为四线串行外设接口 (SPI) 协议提供通用并行输入/输出 (I/O) 扩展功能，并可在 1.65V 至 5.5V V_{CC} 电压范围内工作。

该器件在 3.3V 至 5.5V 电压下支持 10MHz，在 1.65V 至 5.5V 电压下支持 5MHz。当开关、传感器、按钮、LED 和风扇需要额外使用 I/O 时，I/O 扩展器（如 TXE81XX-Q1）可提供简单解决方案。

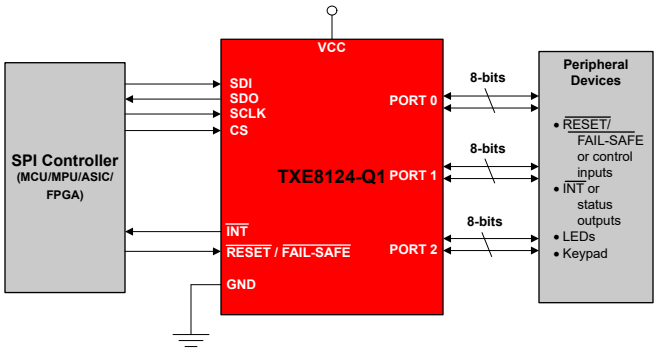
TXE81XX-Q1 器件的 I/O 端口可提供旨在增强 I/O 速度、功耗和灵活性的附加特性。此类附加特性包括：使能/禁用上拉和下拉电阻器、可锁存输入、可屏蔽中断、中断状态寄存器、可编程漏极开路或推挽输出，以及由 $\overline{FAIL\text{-}SAFE}$ 引脚使能的失效防护寄存器模式。

封装信息

器件型号(1)	封装(2)	封装尺寸(3)
TXE8124-Q1	VSSOP (32)	8mm × 5mm
	VQFN (32)	5mm × 5mm
TXE8116-Q1	VSSOP (24)	6mm × 5mm
	VQFN (24)	4mm × 4mm

(1) TXE8124-Q1 支持 I/O 端口 0、1 和 2，TXE8116-Q1 支持 I/O 端口 0 和 1。
(2) 有关更多信息，请参阅 节 11。
(3) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。

ADVANCE INFORMATION



简化版原理图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

ADVANCE INFORMATION

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 引脚配置和功能.... 3
5 规格.... 5
5.1 绝对最大额定值.... 5
5.2 ESD 等级.... 5
5.3 建议运行条件.... 5
5.4 热性能信息.... 6
5.5 电气特性.... 7
5.6 时序要求.... 9
5.7 SPI 总线时序要求.... 10
5.8 开关特性.... 10
6 参数测量信息.... 11
7 详细说明.... 16
7.1 概述.... 16
7.2 功能方框图.... 16
7.3 特性说明.... 17
7.4 器件功能模式.... 24
7.5 编程.... 24
7.6 寄存器映射.... 25
8 应用和实施.... 32
8.1 应用信息.... 32
8.2 电源相关建议.... 32
8.3 布局.... 34
9 器件和文档支持.... 35
9.1 接收文档更新通知.... 35
9.2 支持资源.... 35
9.3 商标.... 35
9.4 静电放电警告.... 35
9.5 术语表.... 35
10 修订历史记录.... 35
11 机械、封装和可订购信息.... 35

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

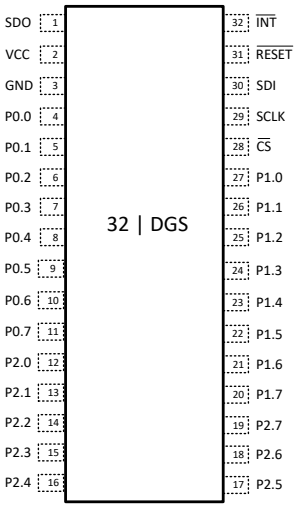


图 4-1. TXE8124-Q1 DGS (VSSOP) 封装，32 引脚（顶视图）

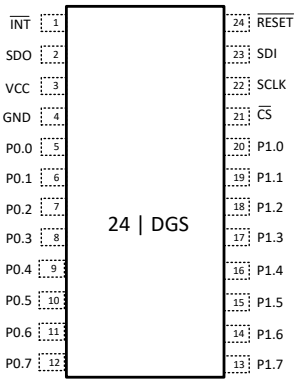


图 4-2. TXE8116-Q1 DGS (VSSOP) 封装，24 引脚（顶视图）

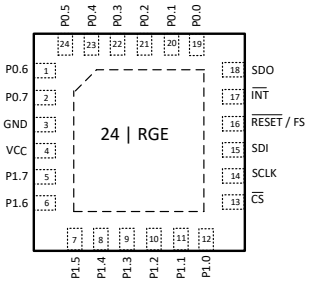


图 4-3. TXE8124-Q1 RHB (VQFN) 封装，32 引脚（顶视图）

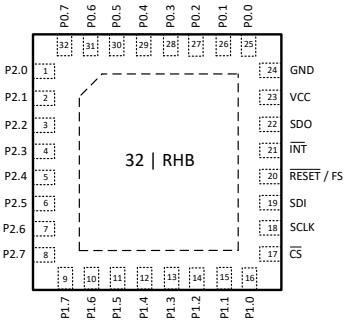


图 4-4. TXE8116-Q1 RGE (VQFN) 封装，24 引脚（顶视图）

ADVANCE INFORMATION

ADVANCE INFORMATION

表 4-1. 引脚功能

引脚					类型[1]	说明
名称	TXE8124-Q1 VSSOP32	TXE8116-Q1 VSSOP24	TXE8124-Q1 RHB32	TXE8116-Q1 RGE24		
P2.0	12	-	1	-	I/O	P 端口输入/输出。上电时，端口 2 - IO #0 配置为输入
P2.1	13	-	2	-	I/O	P 端口输入/输出。上电时，端口 2 - IO #1 配置为输入
P2.2	14	-	3	-	I/O	P 端口输入/输出。上电时，端口 2 - IO #2 配置为输入
P2.3	15	-	4	-	I/O	P 端口输入/输出。上电时，端口 2 - IO #3 配置为输入
P2.4	16	-	5	-	I/O	P 端口输入/输出。上电时，端口 2 - IO #4 配置为输入
P2.5	17	-	6	-	I/O	P 端口输入/输出。上电时，端口 2 - IO #5 配置为输入
P2.6	18	-	7	-	I/O	P 端口输入/输出。上电时，端口 2 - IO #6 配置为输入
P2.7	19	-	8	-	I/O	P 端口输入/输出。上电时，端口 2 - IO #7 配置为输入
P1.7	20	13	9	5	I/O	P 端口输入/输出。上电时，端口 1 - IO #7 配置为输入
P1.6	21	14	10	6	I/O	P 端口输入/输出。上电时，端口 1 - IO #6 配置为输入
P1.5	22	15	11	7	I/O	P 端口输入/输出。上电时，端口 1 - IO #5 配置为输入
P1.4	23	16	12	8	I/O	P 端口输入/输出。上电时，端口 1 - IO #4 配置为输入
P1.3	24	17	13	9	I/O	P 端口输入/输出。上电时，端口 1 - IO #3 配置为输入
P1.2	25	18	14	10	I/O	P 端口输入/输出。上电时，端口 1 - IO #2 配置为输入
P1.1	26	19	15	11	I/O	P 端口输入/输出。上电时，端口 1 - IO #1 配置为输入
P1.0	27	20	16	12	I/O	P 端口输入/输出。上电时，端口 1 - IO #0 配置为输入
$\overline{CS}$	28	21	17	13	I	SPI 芯片选择输入。内部上拉电阻器
SCLK	29	22	18	14	I	SPI 串行时钟输入。内部下拉电阻器
SDI	30	23	19	15	I	SPI 串行数据输入。
$\overline{复位/失效防护}$	31	24	20	16	I	低电平有效复位或失效防护输入。一个外部上拉电阻连接到 V_{CC}。
$\overline{INT}$	32	1	21	17	O	开漏中断输出。一个外部上拉电阻连接到 V_{CC}。
SDO	1	2	22	18	O	SPI 串行数据输出。推挽式输出
VCC	2	3	23	4	P	电源电压
GND	3	4	24	3	G	接地
P0.0	4	5	25	19	I/O	P 端口输入/输出。上电时，端口 0 - IO #0 配置为输入
P0.1	5	6	26	20	I/O	P 端口输入/输出。上电时，端口 0 - IO #1 配置为输入
P0.2	6	7	27	21	I/O	P 端口输入/输出。上电时，端口 0 - IO #2 配置为输入
P0.3	7	8	28	22	I/O	P 端口输入/输出。上电时，端口 0 - IO #3 配置为输入
P0.4	8	9	29	23	I/O	P 端口输入/输出。上电时，端口 0 - IO #4 配置为输入
P0.5	9	10	30	24	I/O	P 端口输入/输出。上电时，端口 0 - IO #5 配置为输入
P0.6	10	11	31	1	I/O	P 端口输入/输出。上电时，端口 0 - IO #6 配置为输入
P0.7	11	12	32	2	I/O	P 端口输入/输出。上电时，端口 0 - IO #7 配置为输入

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 地，P = 电源

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

				最小值	最大值	单位
V_{CC}	电源电压			-0.5	6.5	V
V_I	输入电压[(2)]			-0.5	6.5	V
V_O	输出电压[(2)]			-0.5	6.5	V
I_{IK}	输入钳位电流	$\overline{RESET}$、SCLK、SDI、$\overline{CS}$	V_I < 0		-20	mA
I_{OK}	输出钳位电流	$\overline{INT}$、SDO	V_O < 0		-20	mA
I_{IOK}	输入-输出钳位电流	P0.0 - P2.7	V_O < 0 或 V_O > V_{CC}		±20	mA
I_{OL}	持续输出低电平电流		V_O = 0 至 V_{CC}		50	mA
I_{OH}	持续输出高电平电流		V_O = 0 至 V_{CC}		-50	mA
I_{CC}	通过 GND 的持续电流[(3)]				-200	mA
I_{CC}	通过 V_{CC} 的持续电流[(3)]				160	mA
T_J	结温			-40	150	°C
T_{stg}	贮存温度			-40	150	°C

(1) *超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不意味着器件在这些条件下或在建议运行条件之外的任何其他条件下能够正常功能运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。*
(2) 如果遵守输入和输出电流额定值，则允许超出输入负电压和输出电压额定值。
(3) 总电流限制了能够以满负载运行的通道数量。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准，所有引脚[(1)]	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011，所有引脚	±1000	

(1) AEC Q100-002 指示必须按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	最大值	单位
V_{CC}	电源电压		1.65	5.5	V
V_{IH}	高电平输入电压	P0.0 - P2.7	0.7 * V_{CC}	VCC	V
		SCLK、SDI、$\overline{CS}$、$\overline{RESET}$	0.7 * V_{CC}	VCC	
V_{IL}	低电平输入电压	P0.0 - P2.7	-0.5	0.3 * V_{CC}	V
		SCLK、SDI、$\overline{CS}$、$\overline{RESET}$	-0.5	0.3 * V_{CC}	
I_{OH}	高电平输出电流 (V_{CC} ≥ 2.3V)	P0.0 - P2.7		-10	mA
	高电平输出电流 (V_{CC} < 2.3V)			-5	mA
I_{OL}	低电平输出电流	P0.0 - P2.7		25	mA
T_A	环境温度		-40	130	°C
T_J	结温		-40	150	°C

ADVANCE INFORMATION

5.4 热性能信息

热指标 (1)		封装				单位
		DGS (VSSOP)	DGS (VSSOP)	RHB (VQFN)	RGE (VQFN)	
		32 引脚	24 引脚	32 引脚	24 引脚	
$R_{\theta JA}$	结至环境热阻	80.1	86.5	44.1	43.0	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	35.4	34.5	35.6	39.9	°C/W
$R_{\theta JB}$	结至电路板热阻	44.1	48.2	25.0	21.0	°C/W
Ψ_{JT}	结至顶部特征参数	2.0	1.4	2.7	2.2	°C/W
Ψ_{JB}	结至电路板特征参数	43.7	47.8	24.9	21.0	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	14.2	13.0	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数			测试条件	V_{CC}	最小值	典型值	最大值	单位
V_{IK}	输入二极管钳位电压		I_I = -18mA	V_{CC}	-1.2			V
V_{PORR}	上电复位电压，V_{CC} 上升		V_I = V_{CC} 或 GND，I_O = 0	V_{CC}			1.35	V
V_{PORF}	上电复位电压，V_{CC} 下降				1.05			V
V_{OH}	高电平输出电压(1)	P 端口	I_{OH} = -4mA	1.65V	1.31			V
			I_{OH} = -8mA	2.3V	1.73			
				3V	2.4			
				4.5V	4.0			
				5.5V	4.95			
V_{OH}	高电平输出电压(1)	SDO	I_{OH} = -3mA	1.65V 至 5.5V	VCC - 0.4			V
V_{OL}	低电平输出电压	P 端口	I_{OL} = 4mA	1.65V			0.22	V
			I_{OL} = 8mA	2.3V			0.36	
				3V			0.25	
				4.5V			0.17	
				5.5V			0.15	
V_{OL}	低电平输出电压	SDO	I_{OL} = 3mA	1.65V 至 5.5V			0.4	V
I_{OL}	低电平输出电流	$\overline{INT}$	V_{OL} = 0.4V	1.65V 至 5.5V	4			mA
I_I	输入漏电流	P 端口	V_I = V_{CC} 或 GND	1.65V 至 5.5V			±1	μA
			V_I = 3.6V	0V			±1	
		SDI、$\overline{RESET}$	V_I = V_{CC} 或 GND	1.65V 至 5.5V			±1	
I_I	输入漏电流	SCLK	V_I = GND	1.65V 至 5.5V			±1	μA
I_I	输入漏电流	SCLK	V_I = V_{CC}	1.65V 至 5.5V			±65	μA
I_I	输入漏电流	$\overline{CS}$	V_I = V_{CC}	1.65V 至 5.5V			±1	μA
I_I	输入漏电流	$\overline{CS}$	V_I = GND	1.65V 至 5.5V			±65	μA
I_{CC}	静态电流	待机模式	SDI，$\overline{CS}$ 和 $\overline{RESET}$ = V_{CC}，P 端口 = V_{CC} 或 GND，I/O = 输入，I_O = 0mA，f_{SCLK} = 0MHz，–40°C < T_A ≤ 85°C，I/O 电阻器已禁用	5.5V		2.3	8	μA
				3.6V		2	7.5	μA
				2.7V		1.8	7.2	μA
				1.65V 至 1.95V		1.7	7	μA
			SDI，$\overline{CS}$ 和 $\overline{RESET}$ = V_{CC}，P 端口 = V_{CC} 或 GND，I/O = 输入，I_O = 0mA，f_{SCLK} = 0MHz，–40°C < T_A ≤ 125°C，I/O 电阻器已禁用	5.5V		2.3	26	μA
				3.6V		2	24	
				2.7V		1.8	23.6	
				1.65V 至 1.95V		1.7	23.4	

ADVANCE INFORMATION

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数			测试条件	V_{CC}	最小值	典型值	最大值	单位
I_{CC}	有效电流	工作模式 (5MHz)	SDI，$\overline{CS}$ 和 $\overline{RESET}$ = V_{CC}，P 端口 = V_{CC} 或 GND，I/O = 输入，I_O = 0mA f_{SCLK} = 5MHz，SDO 上的负载为 100pF –40°C < T_A ≤ 125°C，I/O 电阻器已禁用	5.5V		150	170	μA
				3.6V		132	140	
				2.7V		127	135	
				1.65V 至 1.95V		124	130	
		工作模式 (10MHz)	SDI，$\overline{CS}$ 和 $\overline{RESET}$ = V_{CC}，P 端口 = V_{CC} 或 GND，I/O = 输入，I_O = 0mA f_{SCLK} = 10MHz，SDO 上的负载为 100pF –40°C < T_A ≤ 125°C，I/O 电阻器已禁用	5.5V		292	350	μA
				3.6V		257	285	
				2.7V		240	270	
				1.65V 至 1.95V		242	260	
I_{BHL}	总线保持低持续电流		V_I = 0.58	1.65V	35			uA
			V_I = 0.70	2.3V	50			
			V_I = 0.80	3V	60			
			V_I = 1.35	4.5V	105			
I_{BHH}	总线保持高持续电流		V_I = 1.07	1.65V	-75			uA
			V_I = 1.70	2.3V	-85			
			V_I = 2.00	3V	-140			
			V_I = 3.15	4.5V	-180			
I_{BHLO}	总线保持低过驱电流		将输入电压从 0 斜升至 Vcc	1.95V	170			uA
				2.7V	260			
				3.6V	340			
				5.5V	500			
I_{BHHO}	总线保持高过驱电流		将输入电压从 Vcc 斜降至 0	1.95V	-170			uA
				2.7V	-260			
				3.6V	-340			
				5.5V	-500			
$R_{pu(int)}$	内部上拉电阻	$\overline{CS}$			70	100	140	kΩ
		P 端口			70	100	140	kΩ
$R_{pd(int)}$	内部下拉电阻	P 端口			70	100	140	
		SCLK			70	100	140	kΩ
C_I	输入引脚电容	SCLK	V_I = V_{CC} 或 GND	1.65V 至 5.5V			8	pF
		SDI					8	pF
		$\overline{CS}$					8	pF
		$\overline{RESET}$					8	pF
C_{IO}	输入-输出引脚电容	P 端口	V_{IO} = V_{CC} 或 GND	1.65V 至 5.5V			8.5	pF

(1) 每个 I/O 必须在外部限制为最大 10mA

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

5.6 时序要求

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	最大值	单位
RESET					
t_w	复位脉冲持续时间，SDO C_{LOAD} = 100pF（图 6-1）		100		ns
t_{REC}	复位恢复时间，SDO C_{LOAD} = 100pF（图 6-1）			100	ns
t_{RESET}	复位时间，SDO C_{LOAD} = 100pF（图 6-1）			80	ns
上电复位					
t_{FT}	下降速率（图 8-3）（图 8-4）		0.1	2000	ms
t_{RT}	上升速率（图 8-3）（图 8-4）		0.1	2000	ms
t_{TRR_GND}	重新开始斜坡的时间（当 V_{CC} 降至 GND 时）（图 8-3）		1		µs
t_{TRR_POR50}	重新开始斜坡的时间（当 V_{CC} 降至 V_{POR_MIN} – 50mV 时）（图 8-4）		40		µs
V_{CC_GH}	当 t_{VCC_GW} = 1µs 时，V_{CC} 可能会受到干扰但不会导致功能中断的电平（图 8-5）			1.2	V
t_{VCC_GW}	当 V_{CC_GH} = 0.5 × V_{CC} 时，不会导致功能中断的干扰宽度（图 8-5）			10	µs
失效防护 IO					
fs_{EN}	失效防护 IO 启用时间（100pF 负载）（图 6-2）	正常模式下输出高电平，失效防护模式下输出低电平		100	ns
		正常模式下输出低电平，失效防护模式下输出高电平		100	ns
		正常模式下输出高电平，失效防护模式下为输入状态（500 欧姆下拉负载）		70	ns
		正常模式下输出低电平，失效防护模式下为输入状态（500ohm 下拉负载）		70	ns
fs_{DIS}	失效防护 IO 禁用时间（100pF 负载）（图 6-2）	正常模式下输出高电平，失效防护模式下输出低电平		100	ns
		正常模式下输出低电平，失效防护模式下输出高电平		100	ns
		正常模式下为输入状态，失效防护模式下输出高电平（500ohm 下拉负载）		110	ns
		正常模式下为输入状态，失效防护模式下输出低电平（500ohm 下拉负载）		90	ns
数字 IO					
T_{GW}	数字干扰滤波器宽度		70	230	ns

ADVANCE INFORMATION

ADVANCE INFORMATION

5.7 SPI 总线时序要求

在自然通风条件下的工作温度范围内测得，SDO C_{LOAD} = 100pF（除非另有说明）（请参阅（图 6-3））

		最小值	最大值	单位
SPI 总线 - 10MHz				
f_{SCLK}	SPI 时钟频率；3.3V < V_{CC} < 5.5V		10	MHz
t_{CSS}	$\overline{CS}$ 到 SCLK 上升建立时间	50		ns
t_{CSH}	SCLK 下降至 $\overline{CS}$ 使无效保持时间	50		ns
t_{CSD}	$\overline{CS}$ 禁用时间	50		ns
t_{DS}	SDI 至 SCLK 设置时间	10		ns
t_{DH}	SDI 至 SCLK 保持时间	10		ns
t_{LOW}	SCLK 低电平时间	45		ns
t_{HIGH}	SCLK 高电平时间	45		ns
$t_{V\ (SDO)}$	SDO 有效时间		27	ns
$t_{DIS\ (SDO)}$	SDO 禁用时间		50	ns
SPI 总线 - 5MHz				
f_{SCLK}	SPI 时钟频率；1.65V < V_{CC} < 5.5V		5	MHz
t_{CSS}	$\overline{CS}$ 到 SCLK 上升建立时间	50		ns
t_{CSH}	SCLK 下降至 $\overline{CS}$ 使无效保持时间	100		ns
t_{CSD}	$\overline{CS}$ 禁用时间	100		ns
t_{DS}	SDI 至 SCLK 设置时间	10		ns
t_{DH}	SDI 至 SCLK 保持时间	10		ns
t_{LOW}	SCLK 低电平时间	90		ns
t_{HIGH}	SCLK 高电平时间	90		ns
$t_{V\ (SDO)}$	SDO 有效时间		54	ns
$t_{DIS\ (SDO)}$	SDO 禁用时间		100	ns

5.8 开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		从（输入）	至（输出）	最小值	典型值	最大值	单位
t_{iv}	中断有效时间，INT C_{LOAD} = 100pF 且 R_{PU} = 4.7kΩ（图 6-4）	P 端口	$\overline{INT}$			0.2	μs
t_{ir}	中断复位延迟时间，INT C_{LOAD} = 100pF 且 R_{PU} = 4.7kΩ（图 6-4）	SCLK	$\overline{INT}$			0.4	μs
t_{pv}	输出数据有效时间，SDO C_{LOAD} = 100pF（图 6-5）	SCLK	P 端口			100	ns
t_{ps}	输入数据建立时间，SDO C_{LOAD} = 100pF（图 6-5）	P 端口	SCLK	26			ns
t_{ph}	输入数据保持时间，SDO C_{LOAD} = 100pF（图 6-5）	SCLK	P 端口	2.5			ns

Copyright © 2025 Texas Instruments Incorporated

6 参数测量信息

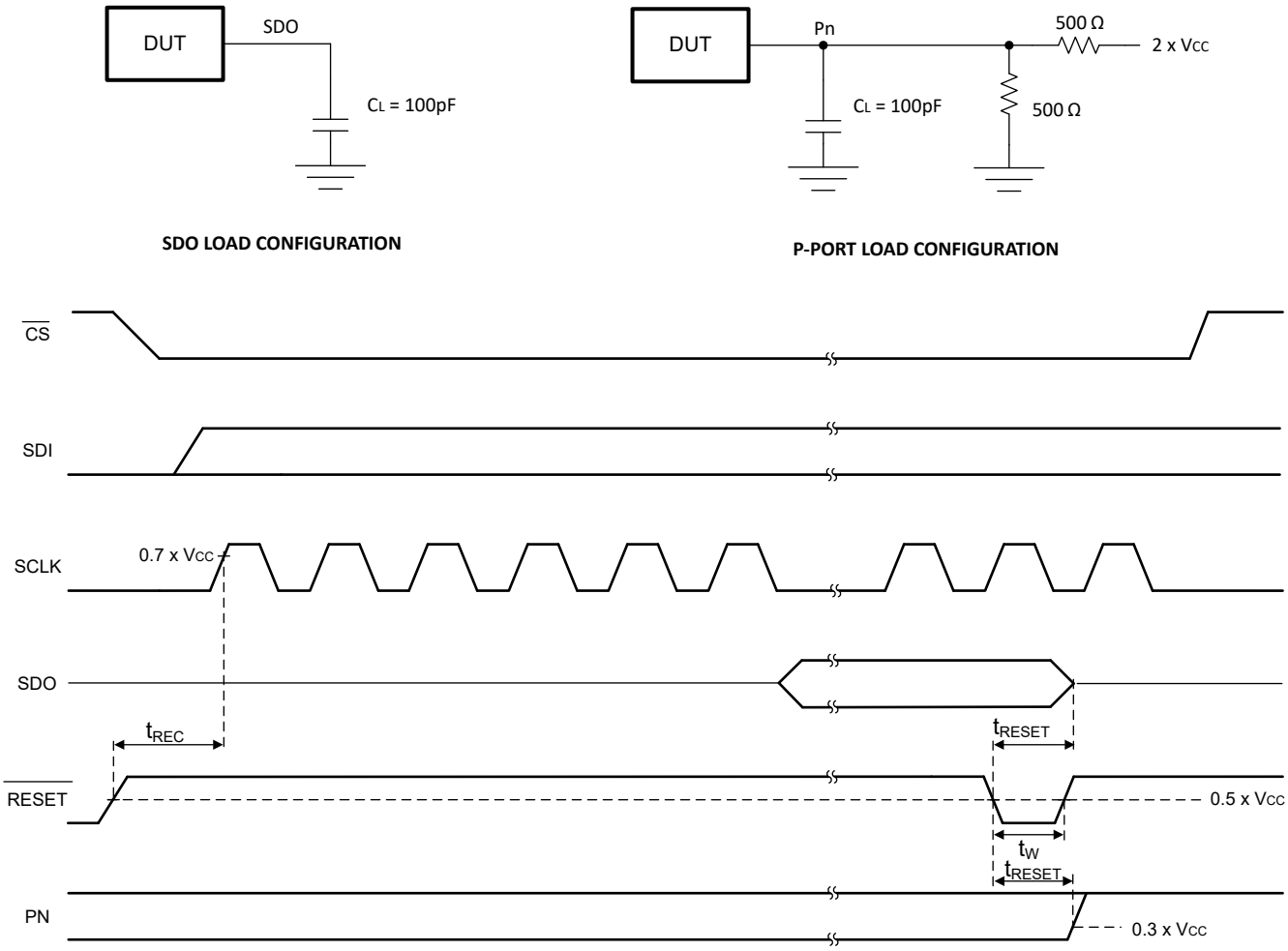


图 6-1. 复位加载配置

A. 1. C_L 包括探头和夹具电容。
2. 所有输入均由具有以下特性的发生器供电：PRR ≤ 10MHz；Zo = 50Ω；tr/tf ≤ 10ns。
3. 并非所有参数和波形都适用于所有器件。

ADVANCE INFORMATION

ADVANCE INFORMATION

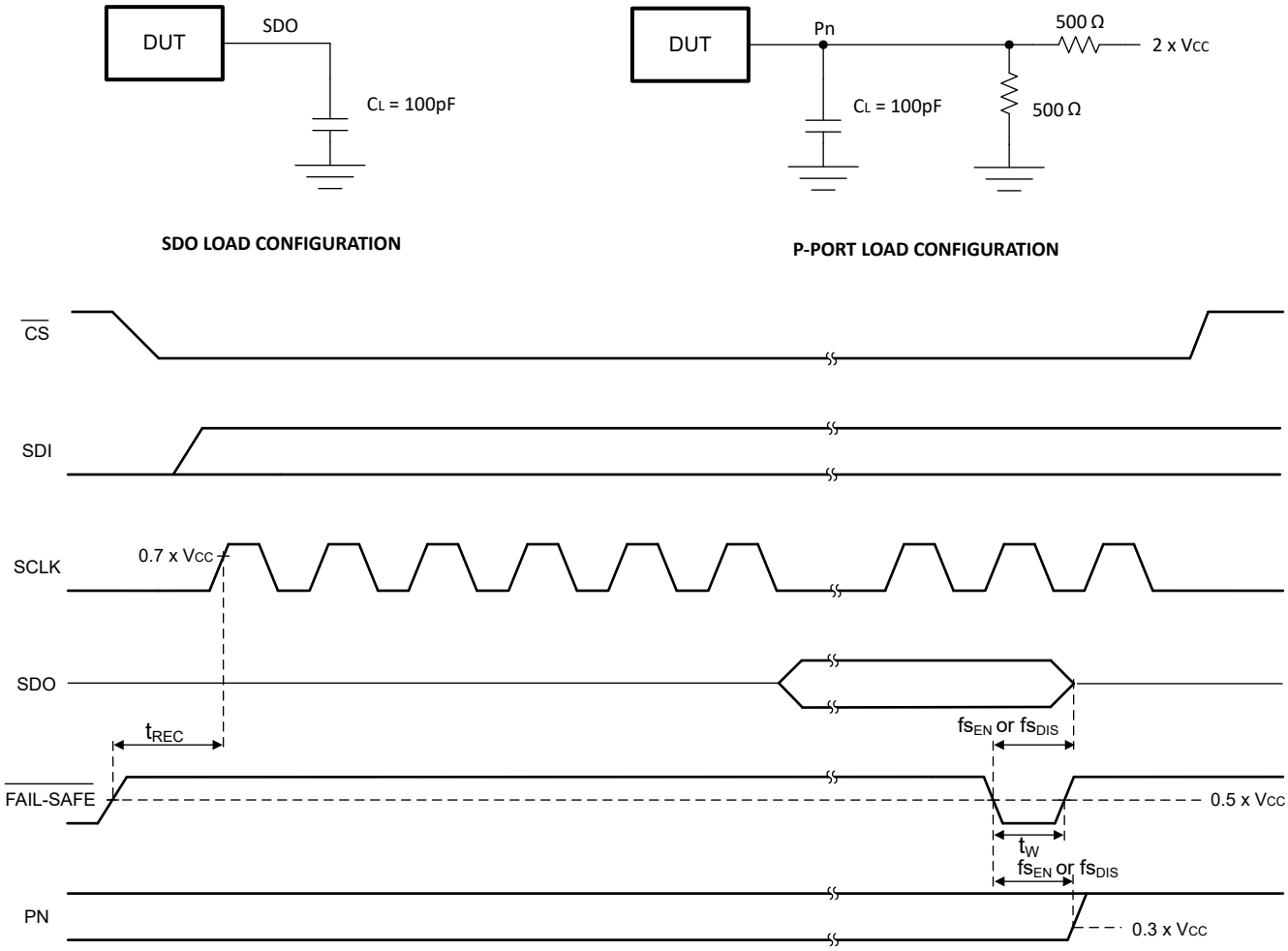
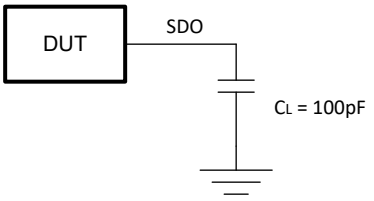


图 **6-2.** 失效防护加载配置

A. 1. C_L 包括探头和夹具电容。
2. 所有输入均由具有以下特性的发生器供电：PRR ≤ 10MHz；Zo = 50Ω；tr/tf ≤ 10ns。
3. 失效防护引脚是与复位引脚共用的引脚。
4. 并非所有参数和波形都适用于所有器件。

Copyright © 2025 Texas Instruments Incorporated



SDO LOAD CONFIGURATION

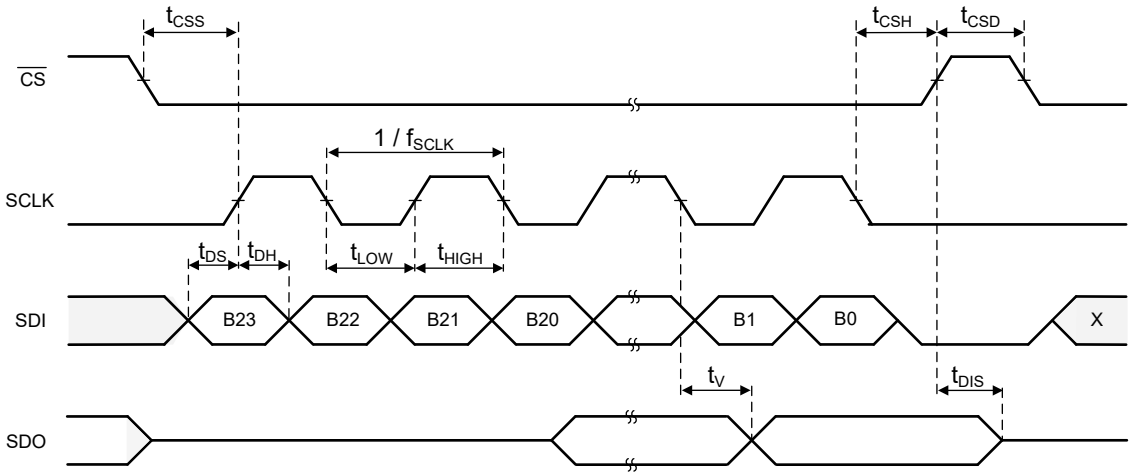
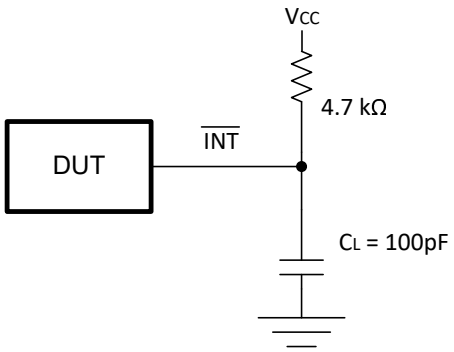


图 6-3. SPI 时序图 - 输入

A. C_L 包括探头和夹具电容。

ADVANCE INFORMATION



INTERRUPT LOAD CONFIGURATION

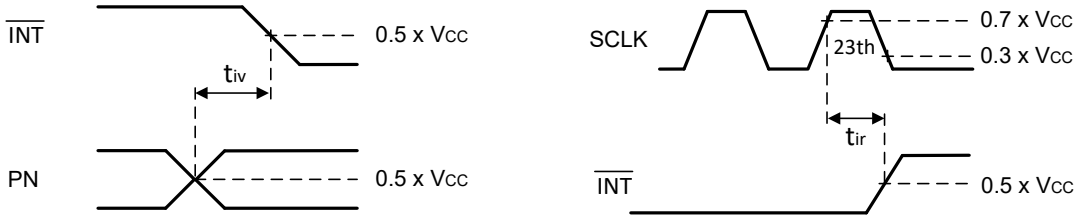
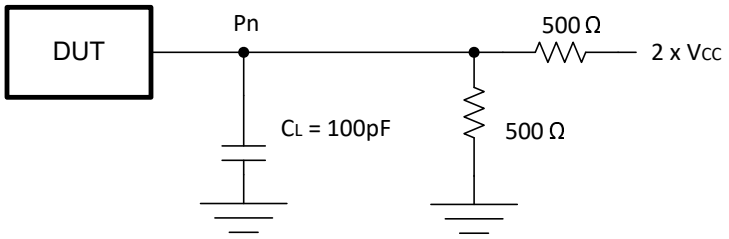


图 6-4. 中断加载配置

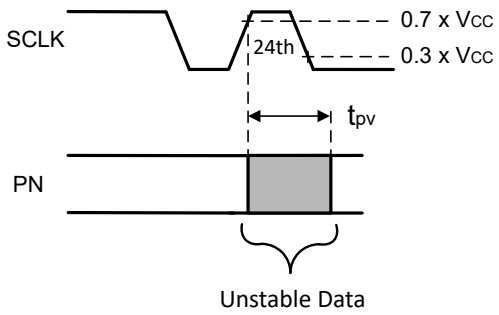
A. 1. C_L 包括探头和夹具电容。
2. 所有输入均由具有以下特性的发生器供电：PRR ≤ 10MHz；Zo = 50Ω；tr/tf ≤ 10ns。

ADVANCE INFORMATION

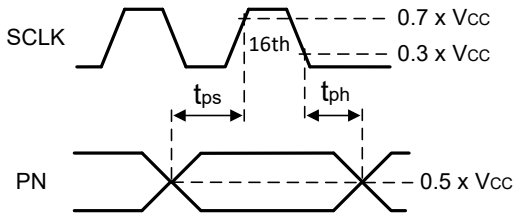
Copyright © 2025 Texas Instruments Incorporated



P-PORT LOAD CONFIGURATION



WRITE MODE (R/$\overline{W}$ = 0)



READ MODE ($\overline{R}$/W = 1)

图 6-5. P 端口负载配置和时序波形

A. 1. C_L 包括探头和夹具电容。
   2. t_{pv} 的测量范围为 0.7 × SCLK 上的 V_{CC} 到 50% 的 I/O (Pn) 输出。
   3. 所有输入均由具有以下特性的发生器供电：PRR ≤ 10MHz；Zo = 50Ω；tr/tf ≤ 10ns。

ADVANCE INFORMATION

ADVANCE INFORMATION

7 详细说明

7.1 概述

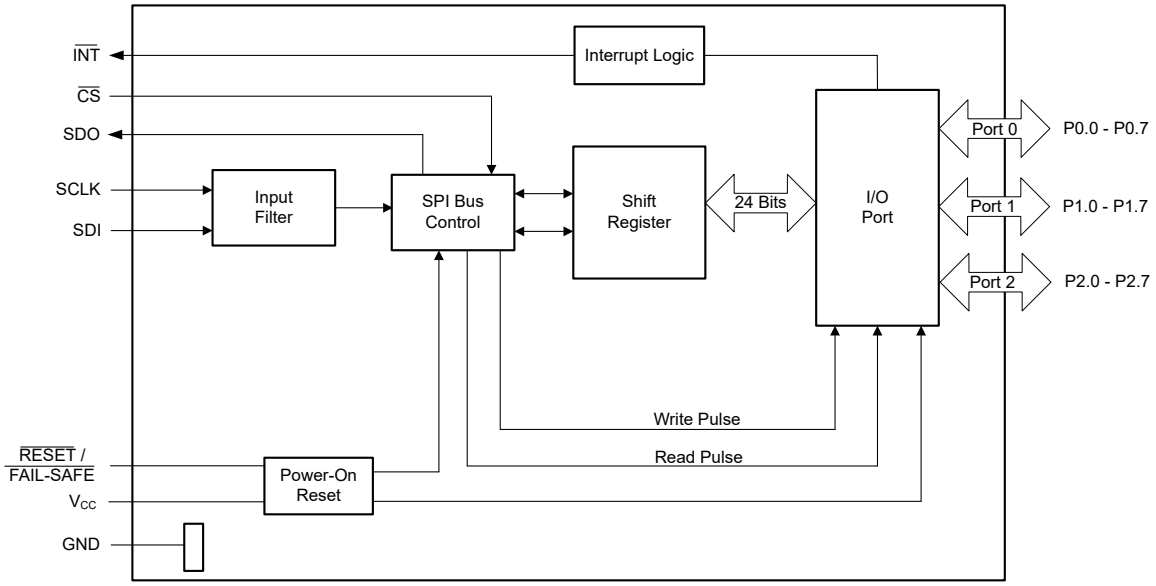
TXE81XX-Q1 数字内核由 24 位寄存器组成，允许用户配置 I/O 端口特性。在上电或复位后，I/O 被配置为输入。但是，系统控制器可以通过写入方向配置寄存器，将 I/O 配置为输入或输出。每个输入或输出的数据都保存在相应的输入端口或输出端口寄存器中。输入端口寄存器的极性可由极性反转寄存器转换。软件复位寄存器之外的所有寄存器均可由系统控制器读取。

TXE81XX-Q1 还具有专门用于增强 I/O 端口的可配置 I/O 功能。可配置 I/O 特性和寄存器包括使能或禁用上拉和下拉电阻器、可锁存输入、可屏蔽中断、中断状态寄存器，以及单个可编程开漏或推挽输出。这些配置寄存器通过增加灵活性并允许用户优化功耗和速度的设计来改善 I/O。

该器件的其他功能包括每当输入端口改变状态时，都会在 $\overline{INT}$ 引脚上生成中断。通过向 $\overline{RESET}$ 引脚施加低逻辑电平，发出软件复位命令，或通过循环对器件供电并导致上电复位，可以将器件重置为默认状态。当任何输入状态与其对应的输入端口寄存器状态不同时，TXE81XX-Q1 开漏中断 ($\overline{INT}$) 输出会被激活，并用于向系统控制器指示输入状态已更改。$\overline{INT}$ 引脚可以连接到处理器的中断输入。通过在这条线路上发送一个中断信号，该器件可通知处理器在远程 I/O 端口上是否存在输入数据，而无须通过 SPI 总线进行通信。该器件仍为简单的目标器件。

在发生超时或其他不正确操作时，系统控制器可以通过在 $\overline{RESET}$ 输入引脚上置为低电平，或通过将电源循环至 V_{CC} 引脚并导致通电复位 (POR) 来重置器件。复位会将寄存器置于其默认状态，并初始化 SPI 状态机。$\overline{RESET}$ 功能和 POR 会导致发生相同的重置/初始化，但 $\overline{RESET}$ 功能无需关闭器件电源即可实现此操作。

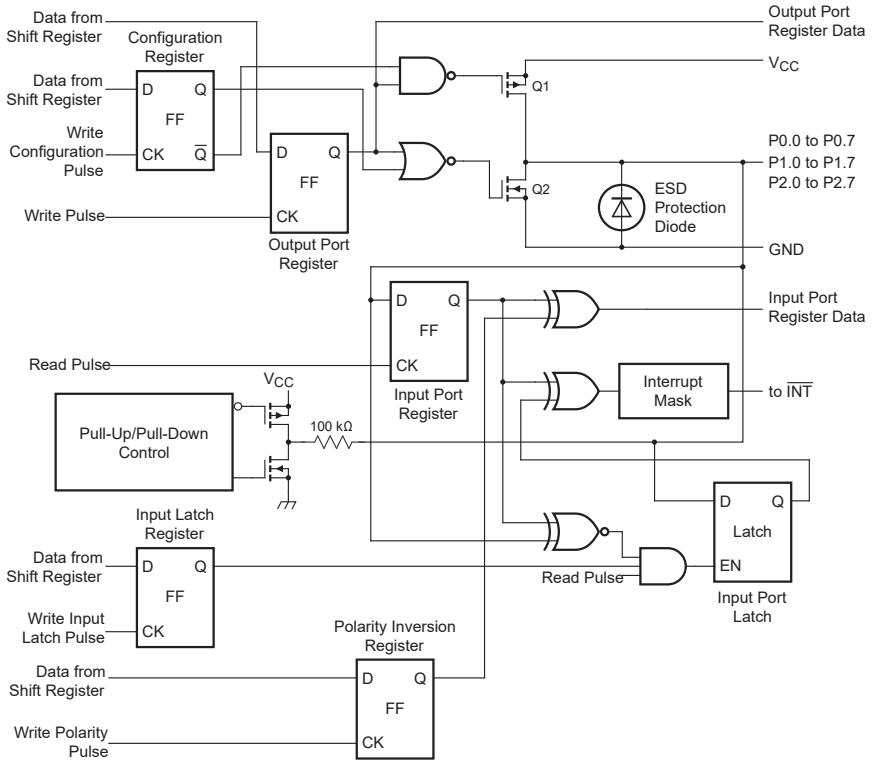
7.2 功能方框图



A. 所有 I/O 在复位时都设置为输入。

图 7-1. 逻辑图

Copyright © 2025 Texas Instruments Incorporated



A. 上电或复位时，所有寄存器都恢复为默认值。

图 7-2. P0.0 至 P2.7 的简化原理图

7.3 特性说明

7.3.1 I/O 端口

当 I/O 配置为输入时，FET Q1 和 Q2 处于关闭状态（请参阅图 7-2），从而创建一个高阻抗输入。

如果 I/O 配置为输出，则将启用 Q1 或 Q2，具体取决于输出端口寄存器的状态。在这种情况下，I/O 引脚和电源或 GND 之间存在低阻抗路径。要确保正常运行，施加到此 I/O 引脚的外部电压不应超过推荐电压值。

7.3.2 中断输出 ($\overline{INT}$)

TXE81XX-Q1 器件会在输入 I/O 的任何上升沿或下降沿生成中断，只要该 I/O 的中断未被屏蔽。当输入状态发生变化时，相应的中断标志位被置位，并且 $\overline{INT}$ 输出被置为有效。

中断保持有效，直到该端口的所有中断标志位都清零。读取中断标志状态寄存器不会自动清除中断。

配置为输出的 I/O 不会生成中断。如果实际引脚电平与存储的输入端口寄存器值不匹配，则将引脚从输出切换到输入可能会产生故障中断。

如果 I/O 端口此前处于输入状态，并在切换到输出时检测到中断，这种情况下不会清除中断标志。它只会屏蔽中断引脚。然后，当端口重新配置为输入时，中断将再次出现。

$\overline{INT}$ 为漏极开路引脚，若要使用中断功能，则需将外部上拉电阻器连接到 V_{CC} ，否则可以保持悬空。

在以下条件下，可以清除中断状态位并取消置位 $\overline{INT}$ 引脚。

- 从 $\overline{RESET}$ 引脚进行硬件复位 — 当 POR 正要将中断置为有效时，这会暂时将中断置为无效
- 进入失效防护模式 — 这会禁用中断并将其置为无效
- 读取中断标志状态寄存器
- 将中断屏蔽寄存器中的相应位设置为 1

ADVANCE INFORMATION

ADVANCE INFORMATION

TXE81XX-Q1 中有四种类型的中断：

1. **智能中断** — 通过设置智能中断寄存器中相应的端口位，在 I/O 端口级别启用或禁用智能中断。如果启用了智能中断（相应的寄存器位为 0）并且生成了中断，则一旦 I/O 状态返回到初始逻辑状态或者读取了中断标志状态寄存器，中断将清除。例如，如果读取输入端口寄存器且/或 I/O 状态返回到初始状态，即使没有对中断标志状态寄存器进行读取操作，中断也会被清除。有关不同的中断清除场景，请参阅表 7-1。启用智能中断后，输入 IO 切换频率必须 >50ns。否则可能会错过中断清除。要避免这种情况，请在输入干扰滤波器使能寄存器中启用数字干扰滤波器。

表 7-1. 智能中断的中断标志清除场景

智能中断	IO 输入发生变化时的 $\overline{CS}$ 状态	中断标志清除
禁用	$\overline{CS}$ = 高电平	$\overline{CS}$ 为低电平且 SPI 读取中断标志状态寄存器
禁用	$\overline{CS}$ = 低电平	读取中断标志状态寄存器
启用	$\overline{CS}$ = 高电平	a. $\overline{CS}$ 为低电平且 SPI 读取输入端口寄存器 b. IO 状态返回到初始状态 c. $\overline{CS}$ 为低电平且 SPI 读取中断标志状态寄存器
启用	$\overline{CS}$ = 低电平	a. 读取输入端口寄存器或 IO 状态返回到初始状态不会立即清除中断标志。$\overline{CS}$ 变为高电平并保持超过 30ns 后，中断标志会被清除。 b. 读取中断标志状态寄存器

2. **常规中断** — 当智能中断寄存器中的智能中断被禁用（相应的寄存器位为 1）时，I/O 状态返回到初始逻辑状态无法清除中断，只有读取中断标志状态寄存器才会清除中断。
3. **POR 中断** — 故障状态寄存器中的 POR 故障位在每次 POR 恢复时置位，这也会生成中断。仅当读取故障状态寄存器时，中断才会被清除。
4. **失效防护冗余失败中断** — 当启用失效防护冗余校验时，如果发生任何失效防护冗余校验失败，则故障状态寄存器中的失效防护同步故障位会置位。这也会产生中断。仅当读取故障状态寄存器时，中断才会被清除。

中断屏蔽

默认情况下，来自所有输入 I/O 的中断未被屏蔽。要屏蔽中断，需要在中断屏蔽寄存器中设置相应的 I/O 位。POR 恢复时生成的中断无法被屏蔽。

如果输入 I/O 的状态发生了改变，并且中断屏蔽寄存器中的相应位设置为 1，则屏蔽中断并且 $\overline{INT}$ 引脚不会置为有效。中断标志状态寄存器中的相应位也保持为 0，并被中断屏蔽位阻止。

如果失效防护冗余校验使能位为 0，则失效防护冗余校验失败时生成的中断将被禁用。

可以使用多端口命令同时对多个端口进行中断屏蔽配置。

7.3.3 复位输入 ($\overline{RESET}$)

$\overline{RESET}$ 可置为有效输入以初始化系统，同时保持 V_{CC} 电源在其工作电平。将 $\overline{RESET}$ 引脚保持在低电平至少 t_W，可实现复位。TXE81XX-Q1 寄存器和 SPI 状态机在 $\overline{RESET}$ 设置为低电平时更改为其默认状态。当 $\overline{RESET}$ 设置为高电平时，可从外部或通过控制器更改 P 端口的 I/O 电平。如果未使用有效连接，该输入需要将一个上拉电阻器连接到 V_{CC}。当 $\overline{RESET}$ 被切换时，会更新输入端口寄存器以反映 GPIO 引脚的状态。

Copyright © 2025 Texas Instruments Incorporated

7.3.4 失效防护模式

SPI 控制器可将 TXE81XX-Q1 设置为失效防护状态，方法是对失效防护使能寄存器进行编程，以启用该功能并将引脚功能从复位更改为失效防护。

该寄存器在 POR 事件或其他故障情况下会被清除。每次如果有故障情况会向 SPI 控制器生成中断，SPI 控制器都必须重新写入此寄存器。在中断生成后，SPI 控制器可以读取故障状态寄存器以了解中断源。

失效防护使能寄存器中的位 0 必须为 1，才能将 TXE81XX-Q1 配置为失效防护模式。

必须写入两个器件配置寄存器才能对 I/O 配置进行编程，以确保冗余。如果这些寄存器中任何一个损坏，并且内容不匹配，则会生成一个中断。

例如，如果在失效防护模式下将 I/O 引脚 P0.1 设置为输出和高电平，则按照以下顺序配置失效防护模式：

1. 将失效防护使能寄存器 1（地址：0x1200）中的位 0 配置为 1
2. 将失效防护使能寄存器 2（地址：0x1300）中的位 0 配置为 1
3. 将失效防护方向配置寄存器 1（地址：0x1400）中的位 0 设置为 1
4. 将失效防护方向配置寄存器 2 中的端口 0 设置为位 1 (P0.1)（地址：0x1500）中的位 0 设置为 1
5. 将失效防护输出寄存器 1（地址：0x1600）中的位 0 设置为 1
6. 将失效防护输出寄存器 2（地址：0x1700）中的位 0 设置为 1
7. 将失效防护冗余校验寄存器（地址：0x1800）中的位 0 设置为 1
8. 将 $\overline{\text{RESET}}$/$\overline{\text{FAIL-SAFE}}$ 引脚置为有效

7.3.5 软件复位广播

软件复位广播是 SPI 总线上的控制器发出的命令，指示支持该命令的 SPI 目标器件复位为上电默认状态。

TXE8116-Q1/TXE8124-Q1 器件采用 24 位 SPI 帧进行通信。例如，要通过软件复位命令触发寄存器复位，控制器可将 SPI 帧配置如下：

B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
0	0	0	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

以下是此命令在控制器端的示例代码：

```
// 定义 SPI 寄存器地址
#define REGISTER_CMD_BYTE 0x1A // 复位寄存器的寄存器命令字节
#define DATA_BITS 0x2 // 将 B1 设置为 1，将 B0 设置为 0 以触发寄存器复位
#define READ_WRITE_BIT 0 // 0 表示写入操作，1 表示读取操作

// 用于将 24 位 SPI 帧发送到 I/O 扩展器（MSB 优先）的函数
void SPI_Send(uint32_t data) {
   // 使用硬件 SPI 外设逐位发送 24 位数据（MSB 优先）
   for (int i = 23; i >= 0; i--) {
   SPI_Transmit((data >> i) & 0x01); // 首先移出 MSB
   }
}
// 用于将软件复位命令发送到 SPI I/O 扩展器的函数
void SPI_Software_Reset(void) {
```

ADVANCE INFORMATION

ADVANCE INFORMATION

```
    uint32_t frame = 0;

    // 设置读取/写入位（位 23）
    frame |= (READ_WRITE_BIT << 23);

    // 设置寄存器地址（位 20-16）
    frame |= (REGISTER_CMD_BYTE << 16);

    // 设置数据位（位 7-0）
     frame |= (DATA_BITS & 0xFF); // 确保我们仅使用低 8 位

    // 将 CS 拉至低电平以选择目标器件
    CS_LOW();
    // 发送构建的 SPI 帧（MSB 优先）
    SPI_Send(frame);

    // 将 CS 拉至高电平以在传输后取消选择器件
    CS_HIGH();
}
```

7.3.6 突发模式

在突发模式读取事务中，初始地址由控制器器件指定并发送至外设。对于后续访问，地址会自动递增至下一端口对应的有效地址（第二地址字节）。只要 CS 保持低电平有效并且外设器件接收到 SCLK 脉冲，这种地址自动递增机制就会持续运行。

突发模式事务会连续运行，自动推进每个有效端口地址，直至到达指定功能的最后一个端口地址（第一地址字节）。到达最后一个有效端口地址时，外设将从 SDO 输出全 0 信号，指示有效数据序列结束。

需要特别注意，突发模式在到达指定功能的最后一个端口地址后，不会自动递增到新的功能地址。如果后续事务需要，控制器必须手动指定新的功能地址。

7.3.7 菊花链

多个 TXE81XX-Q1 器件可采用菊花链配置连接，以增加支持的 I/O 端口数量。控制器首先发送链路中最远端器件（距离控制器 SDI 最远、最靠近控制器 SDO 的器件）的寄存器地址。在报头之后，首先发送该寄存器地址，从而启动与最远端器件的通信。

随着通信沿链路推进，依次发送每个后续器件的寄存器地址。最后发送最靠近控制器（连接至距离控制器最近的 SDI）的器件的寄存器地址。这确保数据按顺序通过链路传输，每个器件都会接收数据并转发到序列中的下一个器件。

每个 SPI 事务包含 4 种类型的段：状态、报头、地址（寄存器地址）和数据，如下所示。报头为可选段，仅在启用菊花链时存在。

SDI 上的 SPI 输入数据会在 SCLK 的从低到高边沿上采样。SDO 上的 SPI 输出数据会在 SCLK 的从高到低边沿上改变。

有关菊花链事务的帧，请参阅 图 7-3。在整个链路上重复相同的序列，直至到达最终器件。

Copyright © 2025 Texas Instruments Incorporated

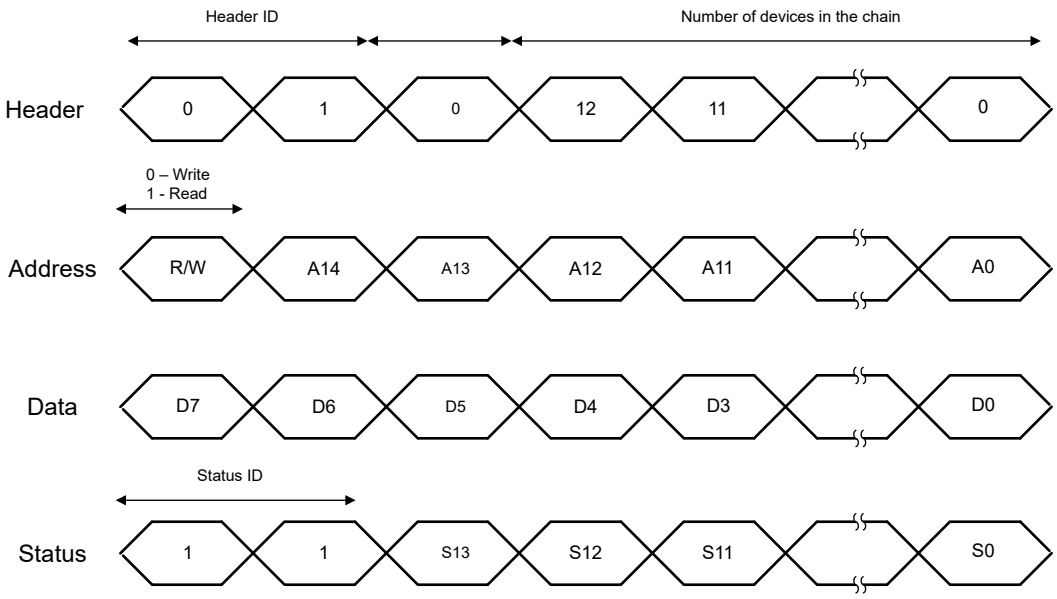


图 7-3. SPI 菊花链数据输出

报头段

报头段中的位 15 和 14 是报头 ID。器件控制器使用此 ID 来检测是否正在接收报头段。

位 [15:14]：报头 ID，其值为 0 和 1，用于指示这是报头段。

位 [13]：保留。

位 [12:0]：报头段中的位 12 至位 0 用于确定菊花链中的器件数量。

地址段（寄存器地址）

位 15 表示 SPI 工作模式（1 = 读取操作，0 = 写入操作）。有关寄存器地址，请参阅 图 7-5 中的第一和第二字节。

状态段

状态段为 16 位，其数据格式如下：

位 [15:14]：位 15 和位 14 均为 1，表示此为状态段。

位 [13:8]：位 5 至 0 对应故障状态寄存器，详情请参阅故障状态寄存器。

位 [7:0]：位 7 至位 0 为 0。

例如，若存在一个 MCU 和两个 SPI 外设器件组成的 SPI 菊花链拓扑，那么有关器件之间的连接示意图和数据格式，请参阅 图 7-4：

ADVANCE INFORMATION

ADVANCE INFORMATION

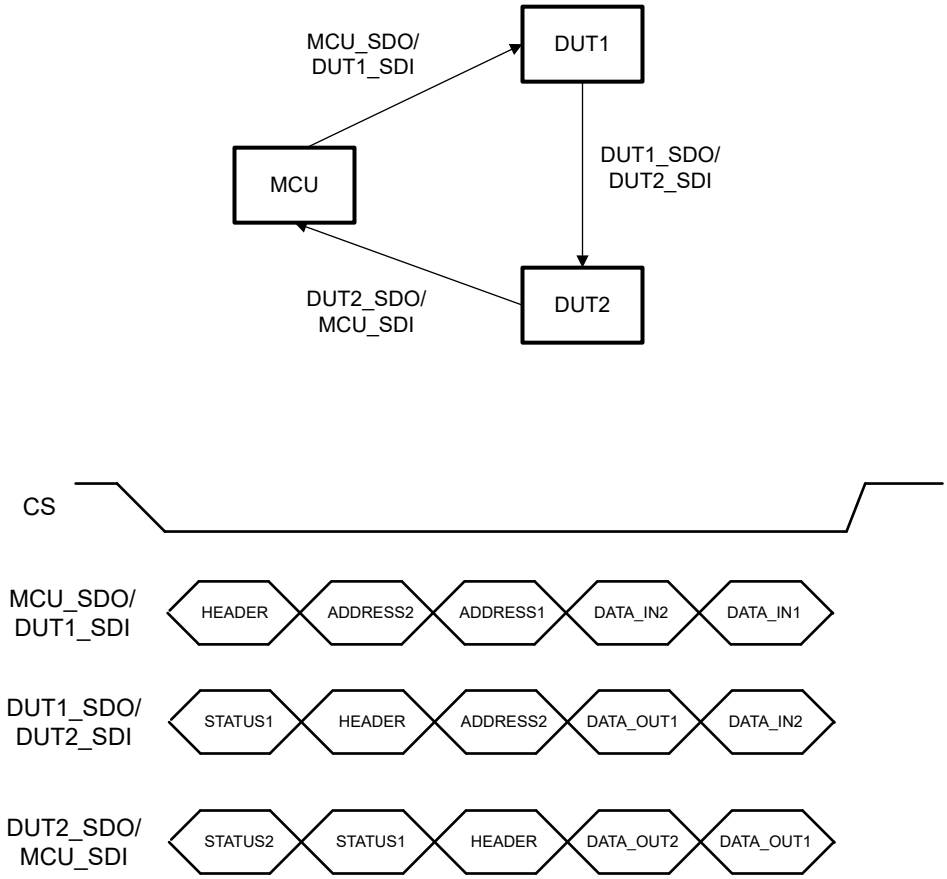


图 7-4. SPI 菊花链示意图

MCU 首先发送距离最远的器件（离 MCU 的 SDI 最远/离 MCU 的 SDO 最近）的寄存器地址（位于报头之后），最后发送距离最近的器件（最接近 SDI）的地址。

7.3.8 多端口

第二个字节的 LSB 会启用多端口功能。当该位为 1 时，数据字节的每个位对应各个端口。所以，LSB 位 B0 对应 P0 端口，B1 对应 P1 端口，B2 对应 P2 端口。使用多端口编程时，特定端口中的所有 I/O 都将具有相同的配置。

例如，要将 P1 中的所有 I/O 设置为 1，控制器可以将 GPIO 方向配置为输出，然后设置 P1 端口。

以下是此命令在控制器端的示例代码：

```
// 定义 SPI 寄存器地址
#define REGISTER_CMD_BYTE 0x4 // 方向配置寄存器的寄存器命令字节
#define REGISTER_CMD_OUTPUT 0x3 // 输出端口寄存器的寄存器命令字节
#define DATA_BITS 0x2 // 将 B1 设置为 1，将 B0 设置为 0 以设置 P1 端口
#define READ_WRITE_BIT 0 // 0 表示写入操作，1 表示读取操作

// 用于将 24 位 SPI 帧发送到 I/O 扩展器（MSB 优先）的函数
void SPI_Send(uint32_t data) {
    // 使用硬件 SPI 外设逐位发送 24 位数据（MSB 优先）
```


Copyright © 2025 Texas Instruments Incorporated

```
    for (int i = 23; i >= 0; i--) {
        SPI_Transmit((data >> i) & 0x01); // 首先移出 MSB
    }
}
// 用于将多端口命令发送到 SPI I/O 扩展器的函数
void SPI_Multi_Port_Dir(void) {
    uint32_t frame = 0;
    // 设置读取/写入位（位 23）
    frame |= (READ_WRITE_BIT << 23);
    // 设置寄存器地址（位 20-16）
    frame |= (REGISTER_CMD_BYTE << 16);
    // 设置数据位（位 7-0）
    frame |= (DATA_BITS & 0xFF); // 确保我们仅使用低 8 位
    // 将 CS 拉至低电平以选择目标器件
    CS_LOW();
    // 发送构建的 SPI 帧（MSB 优先）
    SPI_Send(frame);
    // 将 CS 拉至高电平以在传输后取消选择器件
    CS_HIGH();
}
void SPI_Multi_Port_Output(void) {
    uint32_t frame = 0;
    // 设置读取/写入位（位 23）
    frame |= (READ_WRITE_BIT << 23);
    // 设置寄存器地址（位 20-16）
    frame |= (REGISTER_CMD_OUTPUT << 16);
    // 设置数据位（位 7-0）
    frame |= (DATA_BITS & 0xFF); // 确保我们仅使用低 8 位
    // 将 CS 拉至低电平以选择目标器件
    CS_LOW();
    // 发送构建的 SPI 帧（MSB 优先）
    SPI_Send(frame);
    // 将 CS 拉至高电平以在传输后取消选择器件
    CS_HIGH();
}
```

ADVANCE INFORMATION

ADVANCE INFORMATION

7.4 器件功能模式

7.4.1 上电复位

从 0V 为器件充电至 V_{CC} 时，内部上电复位会将 TXE81XX-Q1 保持在复位状态，直到电源达到 V_{POR}。届时，复位条件会被释放，并且 TXE81XX-Q1 寄存器和 SPI 状态机初始化为默认状态。之后，必须将 V_{CC} 降至低于 V_{PORF}，持续时间 $t_{TRR_POR_50}$，并恢复到工作电压以完成电源复位周期。

7.5 编程

7.5.1 SPI 接口

TXE81XX-Q1 器件采用 SPI 接口设置器件配置、运行参数和读取诊断信息。SPI 协议使用三个输入和一个输出：串行时钟 (SCLK)、低电平有效芯片选择 ($\overline{CS}$)、串行数据输入 (SDI) 和串行数据输出 (SDO)。在时钟脉冲和数据进入器件之前，必须将 $\overline{CS}$ 驱动为低电平。当 $\overline{CS}$ 为高电平时，器件将忽略 SCLK 和 SDI 上的所有活动。

TXE81XX-Q1 器件支持 SPI 模式 0（CPOL = 0，CPHA = 0）。空闲时，时钟 (SCLK) 为低电平。数据会在 SCLK 的上升沿进行采样，并在下降沿改变。

除了具有独立芯片选择的 SPI 总线外，TXE81XX-Q1 还支持菊花链配置。该配置允许多个外设串联，一个器件的输出馈入为下一个器件的输入。菊花链的优势在于可减少 $\overline{CS}$ 线路数量，整个链路仅需一条 CS 线。在每个时钟周期内，数据通过链中的所有器件移位。

7.5.2 SPI 数据格式

TXE81XX-Q1 的数据格式如 图 7-5 所示。

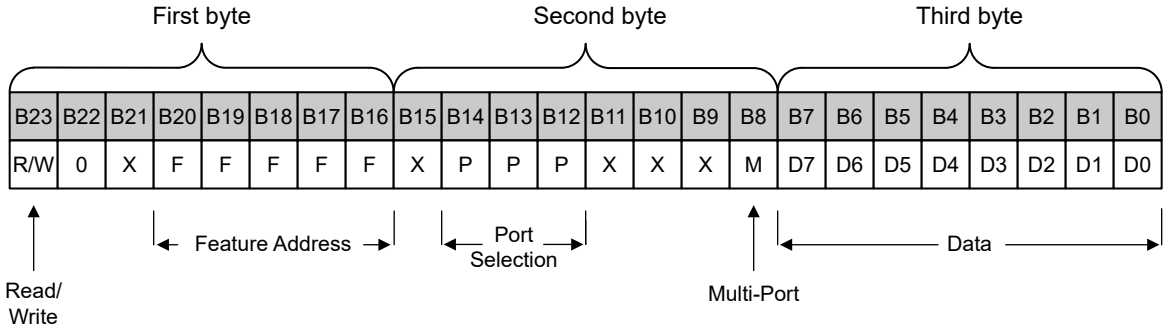


图 7-5. TXE81XX-Q1 SPI 字地址

TTXE81XX-Q1 SPI 字的长度为 24 位，24 位数据以 MSB 优先的方式移入器件。SPI 数据必须在 SCLK 上升沿期间保持稳定。

SDI 数据长度必须至少为 24 位或 [16 + (N*8)] 位（N 是要写入的数据字节数；N ≥ 1）。为了通过 SDO 读取输出数据，数据字节在前 16 个地址位之后开始回读。

Copyright © 2025 Texas Instruments Incorporated

7.5.3 写入

SPI 写入操作用于将数据从控制器器件发送到外设器件。此操作通过 SPI 总线执行，由控制器器件控制时钟 (SCLK) 并将数据发送到外设。SPI 写入通常用于配置外设、发送控制命令或传输数据。

SPI 写入步骤

1. 将 $\overline{CS}$ 驱动为低电平。这将启用内部移位寄存器。
2. 以 MSB 优先的方式将 24 位数据移入器件，MSB 位。数据在 SCLK 的上升沿必须稳定。
3. MSB 位必须为“0”，表示这是写入操作。
4. 16 位状态在 SDO 上发送。前 2 位是 2'b11（表示它是一个状态段）。接下来的 6 位是故障状态寄存器的位 5 至 0。最后 8 位全为 0。
5. 在传输最后一位数据后，如果没有更多数据要传输，则将 SCLK 驱动为低电平。
6. 在 SDI 驱动数据字节的同时，寄存器的原有内容会通过 SDO 发送。
7. 将 $\overline{CS}$ 置为无效（将其驱动为高电平），结束写入周期。

7.5.4 读取

TXE81XX-Q1 的 SPI 读取操作用于从特定寄存器检索数据。

此操作涉及向 TXE81XX-Q1 发送命令以访问寄存器并读取其数据。

SPI 读取操作步骤：

1. 将 $\overline{CS}$ 驱动为低电平。这将启用内部移位寄存器。
2. 以 MSB 优先的方式将 24 位数据移入器件。数据在 SCLK 的上升沿必须稳定。
3. MSB 位必须为“1”，表示这是一个只读传输。
4. 第三个数据字节是 NOP（无操作），即虚拟数据字节。
5. 16 位状态在 SDO 上发送。前 2 位是 2'b11（表示它是一个状态段）。接下来的 6 位是故障状态寄存器的位 5 至 0。最后 8 位全为 0。
6. 读取数据在状态位之后在 SDO 上移出。
7. 在传输最后一位数据后，如果没有更多数据要传输，则将 SCLK 驱动为低电平。
8. 将 $\overline{CS}$ 置为无效（将其驱动为高电平），结束读取周期。

7.6 寄存器映射

7.6.1 控制寄存器：读取/写入与功能地址 (B23 - B16)

通过将 $\overline{CS}$ 引脚置为低电平并为 SCLK 引脚计时来启动通信。通信的第一个字节包含读/写配置以及各类功能设置。命令地址用于控制功能（输入、输出、极性反转、失效防护等），而端口地址则用于选择所使用的端口。启用/禁用多端口的位是第二个字节的 LSB (B8)。

发送新命令后，被寻址的寄存器将继续被读取访问，直到发送新的命令字节。在上电、硬件复位或软件复位时，控制寄存器默认为 0x0。

ADVANCE INFORMATION

ADVANCE INFORMATION

控制寄存器（功能地址）					命令字节 (HEX)	寄存器	多端口	协议	上电默认值
B20	B19	B18	B17	B16					
0	0	0	0	0	0x0	暂存寄存器	否	读取/写入字节	0x0
0	0	0	0	1	0x1	Device_ID	否	读取字节	0x0 - TXE8116-Q1 0x1 - TXE8124-Q1
0	0	0	1	0	0x2	输入端口寄存器	是	读取字节	0x0
0	0	0	1	1	0x3	输出端口寄存器	是	读取/写入字节	0x0
0	0	1	0	0	0x4	方向配置寄存器	是	读取/写入字节	0x0
0	0	1	0	1	0x5	极性反转寄存器	是	读取/写入字节	0x0
0	0	1	1	0	0x6	推挽/漏极开路选择寄存器	是	读取/写入字节	0x0
0	1	0	0	0	0x8	上拉或下拉使能寄存器	是	读取/写入字节	0x0
0	1	0	0	1	0x9	上拉或下拉选择寄存器	是	读取/写入字节	0x0
0	1	0	1	0	0xA	总线保持器寄存器	是	读取/写入字节	0x0
0	1	0	1	1	0xB	智能中断寄存器	否	读取/写入字节	0x0
0	1	1	0	0	0xC	中断屏蔽寄存器	是	读取/写入字节	0xFF
0	1	1	0	1	0xD	输入干扰滤波器使能寄存器	否	读取/写入字节	0x0
0	1	1	1	0	0xE	中断标志状态寄存器	否	读取字节	0x0
0	1	1	1	1	0xF	中断端口状态寄存器	否	读取字节	0x0
1	0	0	1	0	0x12	失效防护使能寄存器 1	否	读取/写入字节	0x0
1	0	0	1	1	0x13	失效防护使能寄存器 2	是	读取/写入字节	0x0
1	0	1	0	0	0x14	失效防护方向配置寄存器 1	是	读取/写入字节	0x0
1	0	1	0	1	0x15	失效防护方向配置寄存器 2	是	读取/写入字节	0x0
1	0	1	1	0	0x16	失效防护输出寄存器 1	是	读取/写入字节	0x0
1	0	1	1	1	0x17	失效防护输出寄存器 2	是	读取/写入字节	0x0
1	1	0	0	0	0x18	失效防护冗余校验寄存器	否	读取/写入字节	0x0
1	1	0	0	1	0x19	故障状态寄存器	否	读取字节	0x1
1	1	0	1	0	0x1A	软件复位寄存器	否	写入字节	0x0

7.6.2 控制寄存器：端口选择与多端口 (B15 - B8)

第二字节用于指定待配置的 I/O 端口以及启用/禁用多端口功能。多端口位允许器件并行处理多个端口。当此位设置为 1 时，数据字节（第三字节）中的每个位对应独立端口。例如，在数据字节中，位 0 对应 P0 端口，位 1 对应 P1 端口，位 2 对应 P2 端口。启用多端口时，特定端口内的所有 I/O 均采用相同配置。

控制寄存器（端口选择）			端口
B14	B13	B12	
0	0	0	IO 端口 0
0	0	1	IO 端口 1
0	1	0	IO 端口 2（对 TXE8116-Q1 无效）

7.6.3 寄存器说明

本章提供每个寄存器的说明，寄存器地址是 TXE8116-Q1/TXE8124-Q1 SPI 字中的第一个和第二个字节，默认值是寄存器中的上电默认值，即 TXE8116-Q1/TXE8124-Q1 SPI 字中的第三个字节。

本章不考虑 B23（读取/写入位）和 B8（多端口位）。B23 上的高电平 (1) 选择读取操作，而 B23 上的低电平 (0) 选择写入操作。要启用多端口，需要在 B8 上设置高电平 (1)。

暂存寄存器（寄存器地址：0x0，默认值：0x0）

Copyright © 2025 Texas Instruments Incorporated

暂存寄存器是一种测试寄存器，用于从空白寄存器读取代码/向空白寄存器写入代码，并解决任何编码问题。

器件 ID 寄存器（寄存器地址：0x100，默认值：0x1）

器件 ID 寄存器是一个只读寄存器，具有器件 ID。

表 7-2. 器件 ID 寄存器

器件 ID	器件
1	TXE8124-Q1
0	TXE8116-Q1

输入端口寄存器（寄存器地址：0x200 - 0x220，默认值：0x0）

输入端口寄存器反映 IO 引脚的输入逻辑电平。输入端口寄存器为只读；对这些寄存器的写入无效。

表 7-3. 输入端口寄存器 0、1 和 2

端口 ID	寄存器地址	位值
0	0x200	0 - 低电平；1 - 高电平
1	0x210	
2（对 TXE8116-Q1 无效）	0x220	

输出端口寄存器（寄存器地址：0x300 - 0x320，默认值：0x0）

输出端口寄存器显示由方向配置寄存器定义为输出的 IO 引脚的输出逻辑电平。这些寄存器中的位值对定义为输入的 IO 引脚没有影响。

表 7-4. 输出端口寄存器 0、1 和 2

端口 ID	寄存器地址	位值
0	0x300	0 - 低电平；1 - 高电平
1	0x310	
2（对 TXE8116-Q1 无效）	0x320	

方向配置寄存器（寄存器地址：0x400 - 0x420，默认值：0x0）

方向配置寄存器配置 I/O 引脚的方向。如果这些寄存器中的某个位设置为 0，则相应端口引脚被启用为高阻抗输入。如果这些寄存器中的某个位设置为 1，则相应端口引脚被启用为输出。

表 7-5. 方向配置寄存器 0、1 和 2

端口 ID	寄存器地址	位值
0	0x400	0 - 输入；1 - 输出
1	0x410	
2（对 TXE8116-Q1 无效）	0x420	

极性反转寄存器（寄存器地址：0x500 - 0x520，默认值：0x0）

极性反转寄存器允许对方向配置寄存器定义为输入或输出的 IO 引脚进行极性反转。如果这些寄存器中的某个位设置为 1，则相应端口引脚的极性在输入寄存器反转。如果该寄存器中的某个位设置为 0，则相应端口的极性不会反转。

在输入模式下，如果启用极性反转，尽管存在内部状态切换，但不会生成中断。

ADVANCE INFORMATION

表 7-6. 极性反转寄存器 0、1 和 2

端口 ID	寄存器地址	位值
0	0x500	0 - 非反转；1 - 反转
1	0x510	
2（对 TXE8116-Q1 无效）	0x520	

推挽/漏极开路选择寄存器（寄存器地址：0x600 - 0x620，默认值：0x0）

推挽/漏极开路选择寄存器可配置输出类型。如果这些寄存器中的某个位设置为 0，则相应端口引脚被启用为推挽输出。如果这些寄存器中的某个位设置为 1，则相应端口引脚被启用为漏极开路输出。

表 7-7. 推挽/漏极开路选择寄存器 0、1 和 2

端口 ID	寄存器地址	位值
0	0x600	0 - 推挽；1 - 漏极开路
1	0x610	
2（对 TXE8116-Q1 无效）	0x620	

上拉或下拉使能寄存器（寄存器地址：0x800 - 0x820，默认值：0x0）

上拉或下拉使能寄存器允许用户启用或禁用 I/O 引脚上的上拉/下拉电阻器。将该位设置为 1 可以选择上拉/下拉电阻器。将该位设置为逻辑 0 会断开上拉/下拉电阻器与 I/O 引脚的连接。

表 7-8. 上拉或下拉使能寄存器 0、1 和 2

端口 ID	寄存器地址	位值
0	0x800	0 - 禁用；1 - 启用
1	0x810	
2（对 TXE8116-Q1 无效）	0x820	

上拉或下拉选择寄存器（寄存器地址：0x900 - 0x920，默认值：0x0）

通过对上拉/下拉选择寄存器进行编程，可将 I/O 端口配置为具有上拉或下拉电阻器。将某个位设置为 1 会为该 I/O 引脚选择一个 100kΩ 的上拉电阻器。将某个位设置为 0 会为该 I/O 引脚选择一个 100kΩ 的下拉电阻器。如果上拉/下拉使能为 0，则写入该寄存器不会对 I/O 引脚产生影响。

表 7-9. 上拉或下拉选择寄存器 0、1 和 2

端口 ID	寄存器地址	位值
0	0x900	0 - 100kΩ 下拉；1 - 100kΩ 上拉
1	0x910	
2（对 TXE8116-Q1 无效）	0x920	

总线保持器寄存器（寄存器地址：0xA00 - 0xA20，默认值：0x0）

总线保持器寄存器启用或禁用 I/O 引脚的输入锁存功能。这些寄存器仅在 IO 引脚配置为输入引脚时有效。当总线保持器寄存器中的某个位为 0 时，不会锁存相应输入 IO 引脚的状态。

表 7-10. 总线保持器寄存器 0、1 和 2

端口 ID	寄存器地址	位值
0	0xA00	0 - 禁用；1 - 启用
1	0xA10	
2（对 TXE8116-Q1 无效）	0xA20	

智能中断寄存器（寄存器地址：0xB00，默认值：0x0）

Copyright © 2025 Texas Instruments Incorporated

当智能中断寄存器位设置为 0（智能中断已启用）时，任何输入引脚的状态变化都会生成中断，如果输入返回到其初始状态，则会清除中断。

当智能中断寄存器位设置为 1（智能中断已禁用）时，任何输入引脚的状态变化都会生成中断，并且如果输入返回到其初始状态，则不会清除中断。读取中断状态标志寄存器将清除中断。

此功能在端口级别启用，无法配置单个 I/O。由于该器件中有 3 个端口，因此位 3 至位 7 被保留。

表 7-11. 智能中断寄存器

寄存器地址	位值			
0xB00	B3 - B7	B2	B1	B0
	保留	0 - 端口 2 已启用；1 - 端口 2 已禁用	0 - 端口 1 已启用；1 - 端口 1 已禁用	0 - 端口 0 已启用；1 - 端口 0 已禁用

中断屏蔽寄存器（寄存器地址：0xC00 - 0xC20，默认值：0xFF）

中断屏蔽寄存器默认设置为 1。可以通过将相应的屏蔽位设置为 0 来启用中断。

如果中断屏蔽寄存器中的相应位设置为 1，则屏蔽中断并且中断引脚不会置为有效。如果中断屏蔽寄存器中的相应位设置为 0，中断引脚将置为有效。该器件中有 3 个中断屏蔽寄存器。

表 7-12. 中断屏蔽寄存器 0、1 和 2

端口 ID	寄存器地址	位值
0	0xC00	0 - 禁用；1 - 启用
1	0xC10	
2（对 TXE8116-Q1 无效）	0xC20	

输入干扰滤波器使能寄存器（寄存器地址：0xD00 - 0xD20，默认值：0x0）

GPIO 的所有输入都有干扰滤波器。默认情况下，这些滤波器处于禁用状态。要启用干扰滤波器，输入干扰滤波使能器寄存器中 I/O 引脚的相应位应设置为 1。该器件中有 3 个输入干扰滤波器使能寄存器。

表 7-13. 输入干扰滤波器使能寄存器 0、1 和 2

端口 ID	寄存器地址	位值
0	0xD00	0 - 禁用；1 - 启用
1	0xD10	
2（对 TXE8116-Q1 无效）	0xD20	

中断标志状态寄存器（寄存器地址：0xE00 - 0xE20，默认值：0x0）

任何输入引脚的状态变化都会生成中断，这会为输入设置相应的中断标志寄存器。如果输入返回到其初始状态，中断标志寄存器将保持为 1，直到其被读取，然后中断被清除。

只读中断标志状态寄存器用于标识中断源。如果值为 1，则表示相应的输入引脚是中断源，否则表示输入引脚不是中断源。

当中断屏蔽寄存器中的相应位设置为 1（已屏蔽）时，中断状态位将返回 0。该器件中有 3 个中断标志状态寄存器。

ADVANCE INFORMATION

表 7-14. 中断标志状态寄存器 0、1 和 2

端口 ID	寄存器地址	位值
0	0xE00	0 - 无；1 - 中断源
1	0xE10	
2（对 TXE8116-Q1 无效）	0xE20	

中断端口状态寄存器（寄存器地址：0xF00，默认值：0x0）

只读中断端口状态寄存器用于标识中断源的 IO 端口。如果该值为 1，则表示中断源来自给定 IO 端口中的引脚。如果该值为 0，则表示 IO 端口中的输入引脚都不是中断源。

表 7-15. 中断端口状态寄存器

寄存器地址	位值			
0xF00	B3 - B7	B2	B1	B0
	保留	0 - 无；1 - 端口 2 中断	0 - 无；1 - 端口 1 中断	0 - 无；1 - 端口 0 中断

失效防护使能寄存器（寄存器地址：0x1200 - 0x1300，默认值：0x0）

该器件可将复位引脚配置为失效防护引脚，从而进入失效防护状态。失效防护使能寄存器用于将引脚功能从复位更改为失效防护。该寄存器的内容会在 POR 事件或其他故障情况下被清除。每次如果有故障情况（会向 SPI 控制器生成中断，失效防护故障状态寄存器用来指明中断源），SPI 控制器都必须重新写入此寄存器。

必须写入两个失效防护使能寄存器，对 I/O 配置进行编程，以确保冗余。如果这些寄存器中任何一个损坏，并且内容不匹配，则会生成一个中断。该器件中有两个失效防护使能寄存器。

表 7-16. 失效防护使能寄存器 1、2

寄存器地址	位值	
	B1 - B7	B0
0x1200	保留	0 - 禁用；1 - 启用
0x1300	保留	

失效防护方向配置寄存器（寄存器地址：0x1400 - 0x1520，默认值：0x0）

当器件进入失效防护状态时，失效防护方向配置寄存器会配置 I/O 引脚的方向。如果这些寄存器中的某个位设置为 0，则相应 IO 引脚在失效防护模期间启用为高阻抗输入。如果这些寄存器中的某个位设置为 1，则相应 IO 引脚在失效防护模式期间启用为输出。

必须写入两个失效防护方向配置寄存器，对 I/O 配置进行编程，以确保冗余。如果这些寄存器中任何一个损坏，并且内容不匹配，则会生成一个中断。

表 7-17. 失效防护方向配置寄存器

端口 ID	寄存器地址	位值
0	0x1400	0 - 输入；1 - 输出
	0x1500	
1	0x1410	
	0x1510	
2（对 TXE8116-Q1 无效）	0x1420	
	0x1520	

失效防护输出寄存器（寄存器地址：0x1600 - 0x1720，默认值：0x0）

Copyright © 2025 Texas Instruments Incorporated

失效防护输出寄存器显示由失效防护方向配置寄存器定义为输出的引脚的输出电平。这些寄存器中的位值对定义为输入的 IO 引脚没有影响。

必须写入两个失效防护输出寄存器，对 I/O 配置进行编程，以确保冗余。如果这些寄存器中任何一个损坏，并且内容不匹配，则会生成一个中断。

表 7-18. 失效防护输出寄存器 0、1 和 2

端口 ID	寄存器地址	位值
0	0x1600	0 - 低电平；1 - 高电平
	0x1700	
1	0x1610	
	0x1710	
2（对 TXE8116-Q1 无效）	0x1620	
	0x1720	

失效防护冗余校验寄存器（寄存器地址：0x1800，默认值：0x0）

写入所有失效防护冗余寄存器（失效防护配置 + 失效防护输出 + 失效防护引脚的器件配置 [如果适用]）后，SPI 控制器必须对这些寄存器启用冗余校验。

表 7-19. 失效防护冗余校验寄存器

寄存器地址	位值	
0x1800	B1 - B7	B0
	保留	0 - 禁用；1 - 启用

故障状态寄存器（寄存器地址：0x1900，默认值：0x1）

故障状态寄存器中的位在故障情况下设置。针对 POR 恢复，B0 位设置为 1。当失效防护寄存器不同步时，B1 位设置为 1。当器件处于失效防护模式时，设置 B2 位。即使故障情况消失，这些标志也不会清除，而是通过读取操作来清除。

表 7-20. 故障状态寄存器

寄存器地址	位值			
0x1900	B3 - B7	B2	B1	B0
	保留	重复失效防护模式设置	寄存器不匹配	POR

软件复位寄存器（寄存器地址：0x1A00，默认值：0x0）

软件复位寄存器中的 B0 位用于触发器件复位，B1 为 1、B0 为 0 用于触发寄存器复位。当进入复位状态时，该寄存器自动清零。

表 7-21. 软件复位寄存器

寄存器地址	复位模式	位值		
		B2 - B7	B1	B0
0x1A00	器件复位	保留		1
	寄存器复位	保留	1	0

ADVANCE INFORMATION

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

TXE81XX-Q1 的应用是将该器件作为目标器件连接至 SPI 控制器（处理器），且 SPI 总线上可包含任意数量的其他目标器件。TXE81XX-Q1 位于远离控制器的远程位置，靠近控制器需要监视或控制的 GPIO。

8.2 电源相关建议

8.2.1 上电复位要求

如果发生干扰或数据损坏，可以使用上电复位功能将 TXE81XX-Q1 复位为默认状态。上电复位要求器件经过下电上电后才能完全复位。当器件在应用中首次上电时，也会发生此复位。

图 8-1 和 图 8-2 显示了两种类型的上电复位。

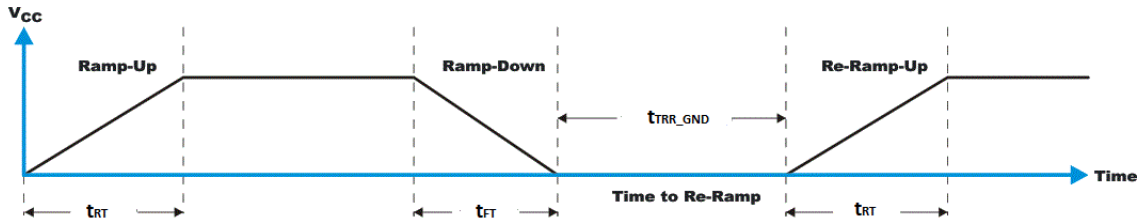


图 8-1. 将 V_{CC} 降至 0V，然后上升

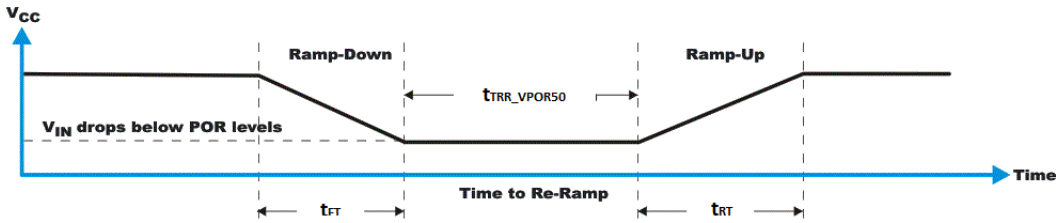


图 8-2. 将 V_{CC} 降至低于 POR 阈值，然后重新上升

电源中的干扰也会影响此器件的上电复位性能。干扰宽度 (t_{VCC_GW}) 和高度 (V_{CC_GH}) 相互依赖。旁路电容、源阻抗和器件阻抗是影响上电复位性能的因素。图 8-3 提供了有关如何测量这些规格的更多信息。

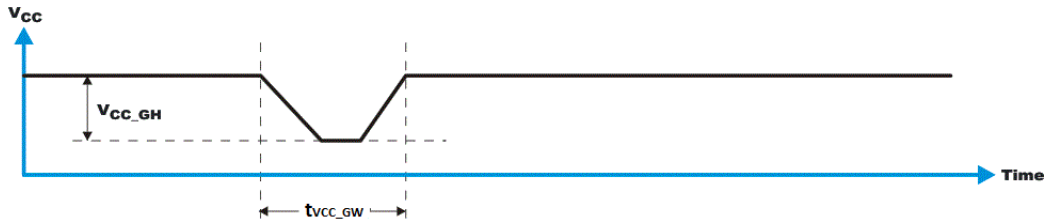


图 8-3. 干扰宽度和干扰高度

Copyright © 2025 Texas Instruments Incorporated

ADVANCE INFORMATION

V_{POR} 对上电复位至关重要。达到 V_{POR} 这一电压电平时，系统会释放复位条件，并将所有寄存器和 SPI 状态机初始化为默认状态。V_{POR} 的值可能不同，具体取决于 V_{CC} 是下降至 0 还是从 0 开始上升。图 8-4 提供了有关此规格的更多详细信息。

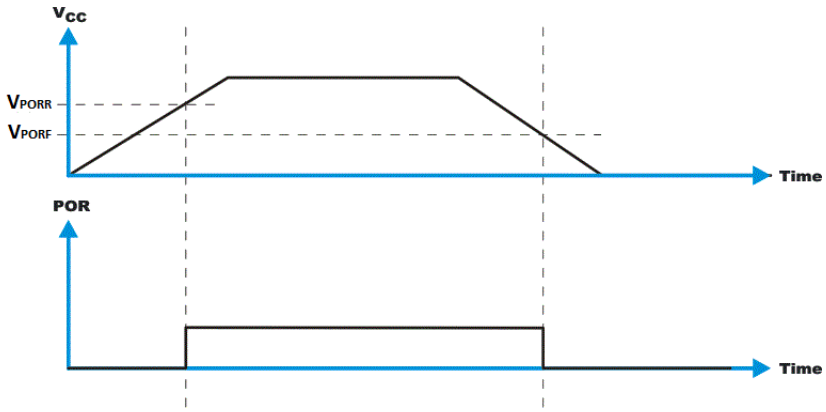


图 8-4. V_{POR}

ADVANCE INFORMATION

ADVANCE INFORMATION

8.3 布局

8.3.1 布局指南

对于 TXE8116-Q1/TXE8124-Q1 的印刷电路板 (PCB) 布局，应遵循常见的 PCB 布局实践，但与高速数据传输相关的其他问题（例如匹配阻抗和差分对）对 SPI 信号速度而言不是问题。

在所有 PCB 布局中，最佳实践是避免信号布线呈直角，在离开集成电路 (IC) 附近时让信号布线呈扇形彼此散开，并使用较粗的布线来承载通常会经过电源和接地布线的更大的电流。旁路电容器和去耦电容器通常用于控制电源引脚上的电压，使用较大的电容器可在发生短暂电源干扰时提供额外电能，使用较小的电容器则能滤除高频纹波。这些电容器应尽可能靠近 TXE8116-Q1/TXE8124-Q1。图 8-5 中显示了这些最佳实践。

对于 图 8-5 中提供的布局示例，可以将顶层用于信号布线，将底层用作电源和接地 (GND) 的分割平面，从而制造只有 2 层的 PCB。但是，对于信号布线密度更大的电路板，最好使用 4 层电路板。在 4 层 PCB 上，通常在顶层和底层上进行信号布线，将一个内部层专门用作接地平面，并将另一个内部层专门用作电源平面。在使用平面或分割平面作为电源和接地平面的电路板布局布线中，通孔直接放置在需要连接到电源或 GND 的表面贴装元件焊盘旁边，并且通孔以电气方式连接到内部层或电路板的另一侧。如果需要将信号走线排布到电路板的另一侧，也要使用通孔，但 图 8-5 未演示该技术。

8.3.2 布局示例

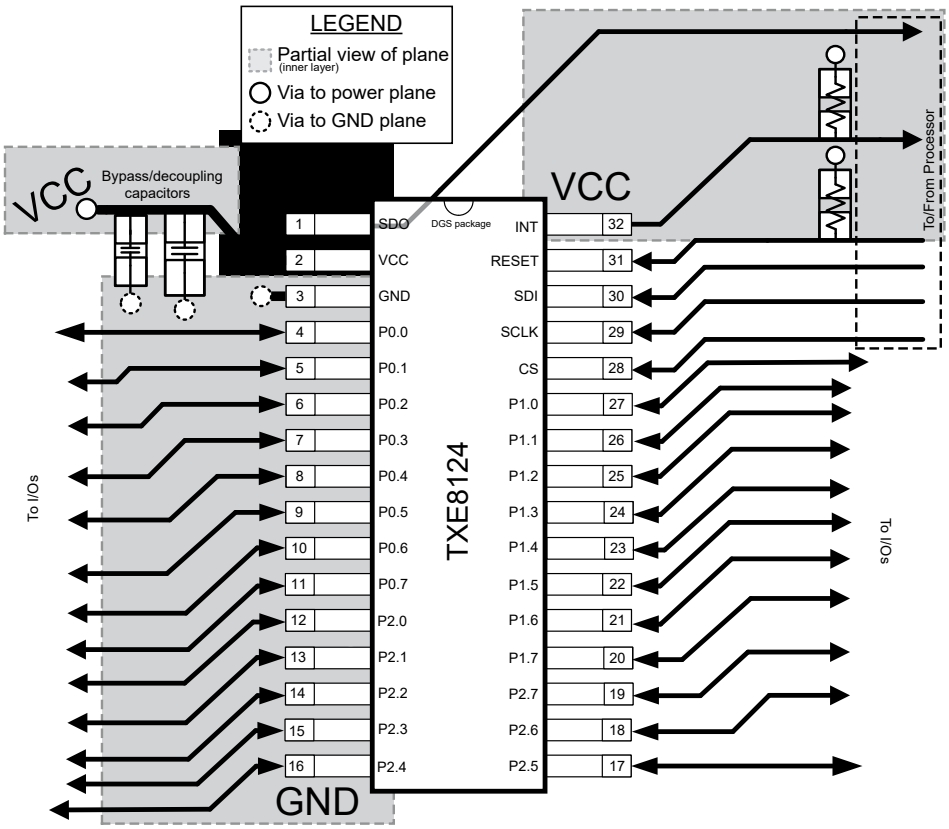


图 8-5. TXE8124-Q1 布局

Copyright © 2025 Texas Instruments Incorporated

9 器件和文档支持

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (May 2025) to Revision A (September 2025) **Page**

- 通篇添加了 VQFN 封装信息 1

日期	修订版本	注释
2025 年 5 月	*	初始发行版

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

ADVANCE INFORMATION

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTXE8116QDGSRQ1	Active	Preproduction	VSSOP (DGS) | 24	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
PTXE8124QDGSRQ1	Active	Preproduction	VSSOP (DGS) | 32	250 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TXE8116-Q1 :

- Catalog : TXE8116

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月