TPSM81033 采用 MagPack™ 封装技术且具有电源正常指示器和输出放电功能的 5.5V、2A、2.4MHz 同步升压电源模块

1 特性

- 输入电压范围：1.8V 至 5.5V
- 输出电压范围：2.2V 至 5.5V
  - FB 连接至 AVIN 引脚以提供固定 5.0V 输出
- 2A 谷值开关电流限制
- 集成式 0.43μH 功率电感器
- 优异的热性能：
  - V_{IN} = 3.6V、V_{OUT} = 5V、I_{OUT} = 1A 且 T_A = 25°C 时 < 10°C 温升
- 高效率和高功率容量
  - 两个 22mΩ (LS)/46mΩ (HS) MOSFET
  - V_{IN} = 3.6V、V_{OUT} = 5V 且 I_{OUT} = 1A 时效率 > 93%
- 通过内部电阻分压器优化负载调整率（5.0V 固定输出电压）。
- 2.4MHz 开关频率
- 流入 AVIN 引脚的静态电流典型值为 20μA
- 在 –40°C 至 +125°C 温度范围内，基准电压精度为 ±1.5%
- 具有窗口比较器的电源正常输出
- 可在轻负载下采用引脚可选的自动 PFM 或强制 PWM
- V_{IN} > V_{OUT} 时切换为直通模式
- 安全、可靠运行的特性
  - 在关断期间真正断开输入域输出之间的连接
  - 输出过压、热关断保护和输出短路保护
- 2.6mm × 2.5mm QFN-FCMOD 9 引脚封装

2 应用

- 光学模块
- 患者监护仪
- 智能仪表

3 说明

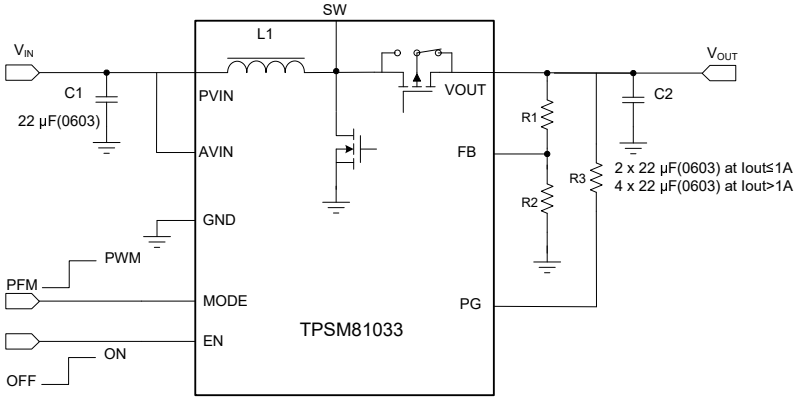
TPSM81033 是一款同步升压模块。该器件可以为由电池和其他电源供电的便携式设备和智能设备提供电源解决方案。TPSM81033 的典型谷值开关电流限制为 2A。该电源模块使用 TI 的 MagPack 封装技术来集成同步降压转换器和电感器，可简化设计、减少外部元件并节省 PCB 面积。

TPSM81033 使用自适应恒定导通时间谷值电流控制拓扑来调节输出电压，并在 2.4MHz 开关频率下运行。在轻负载条件下，通过配置 MODE 引脚可实现两种可选模式：自动 PFM 模式和强制 PWM 模式，以便在轻负载条件下实现效率和抗噪性平衡。在轻负载条件下，TPSM81033 通过 VAVIN 消耗 20μA 的静态电流。在关断期间，TPSM81033 与输入电源完全断开，仅消耗 0.1μA 的电流，从而能够实现较长的电池寿命。TPSM81033 具有 5.75V 输出过压保护、输出短路保护和热关断保护。TPSM81033 采用 2.6mm × 2.5mm QFN-FCMOD (9) 封装，尽可能减少了外部元件的数量，可提供超小尺寸解决方案。

器件信息

器件型号	封装 (1)	封装尺寸（标称值）
TPSM81033	VCD（QFN-FCMOD，9）	2.60mm × 2.50mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



典型应用电路

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 引脚配置和功能.... 3
5 规格.... 4
5.1 绝对最大额定值.... 4
5.2 ESD 等级.... 4
5.3 建议运行条件.... 4
5.4 热性能信息.... 4
5.5 电气特性.... 5
5.6 系统特性.... 6
5.7 典型特性.... 7
6 详细说明.... 9
6.1 概述.... 9
6.2 功能方框图.... 9
6.3 特性说明.... 10
6.4 器件功能模式.... 12
7 应用和实施.... 14
7.1 应用信息.... 14
7.2 典型应用.... 14
7.3 电源相关建议.... 17
7.4 布局.... 18
8 器件和文档支持.... 19
8.1 器件支持.... 19
8.2 接收文档更新通知.... 19
8.3 支持资源.... 19
8.4 商标.... 19
8.5 静电放电警告.... 19
8.6 术语表.... 19
9 修订历史记录.... 19
10 机械、封装和可订购信息.... 19
10.1 机械数据.... 20

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

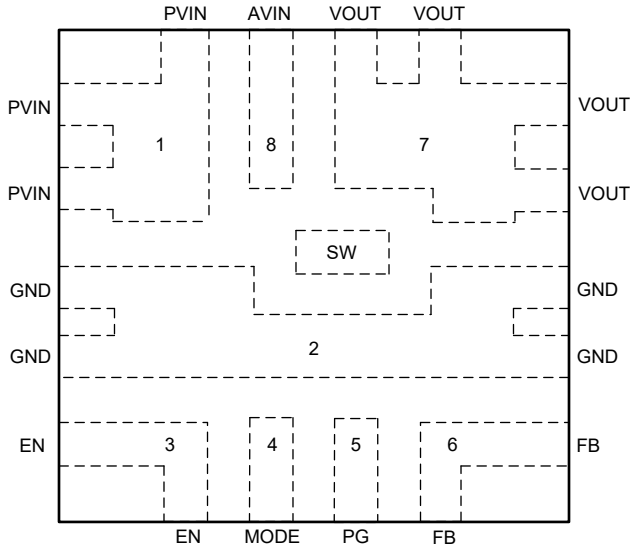


图 4-1. 8 引脚 QFN-FCMOD，VCD 封装（顶视图）

表 4-1. 引脚功能

引脚		I/O	说明
名称	编号		
PVIN	1	PWR	电源输入。
GND	2	PWR	IC 的接地引脚。
EN	3	I	启用逻辑输入。逻辑高电压会启用器件。逻辑低电压可禁用器件并将其转换为关断模式。
MODE	4	I	轻负载条件下的运行模式选择。将它连接至逻辑高电压时，此器件在强制 PWM 模式下运行。将它连接至逻辑低电压时，此器件在自动 PFM 模式下运行。
PG	5	O	电源正常指示和开漏输出。
FB	6	I	可调输出电压的电压反馈，当 FB 连接到 AVIN 时，输出电压固定为 5.0V
VOUT	7	PWR	升压转换器输出。
AVIN	8	I	IC 电源输入。TI 建议将其与 PVIN 引脚相连。
SW	–	–	功率级的开关引脚。此引脚可保持悬空

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

		最小值	最大值	单位
端子上的电压范围[(2)]	AVIN、PVIN、EN、FB、SW、VOUT	-0.3	7	V
工作结温，T_J		-40	150	°C
贮存温度，T_{stg}		-65	150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 所有电压值都是以网络接地端为基准。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准[(1)]	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101[(2)]	±750	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。若部署必要的预防措施，则可以在低于 500V HBM 时进行生产。列为 ±2000V 的引脚实际上可能具有更高的性能。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。如果具备必要的预防措施，则可以在低于 250V CDM 时进行生产。列为 ±500V 的引脚实际上可能具有更高的性能。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V_{IN}	输入电压范围		1.8		5.5	V
V_{OUT}	输出电压设置范围		2.2		5.5	V
C_{IN}	有效输入电容范围		1.0	4.7		µF
C_{OUT}	有效输出电容范围	I_{OUT} <= 1A	4	10	1000	µF
		I_{OUT} > 1A	10	20	1000	µF
T_J	工作结温		-40		125	°C

5.4 热性能信息

热指标 [(1)]		TPSM81033 VCD (QFN) - 9 引脚 标准	TPSM81033 VCD (QFN) - 9 引脚 EVM [(2)]	单位
$R_{\theta JA}$	结至环境热阻	74.8	39.7	°C/W
$R_{\theta JC}$	结至外壳热阻	36.6	不适用	°C/W
$R_{\theta JB}$	结至电路板热阻	21.7	不适用	°C/W
Ψ_{JT}	结至顶部特征参数	0.7	0.1	°C/W
Ψ_{JB}	结至电路板特征参数	21.1	19.8	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。
(2) 在 TPSM81033EVM 上测得，4 层 2oz 铜 NA PCB。

Copyright © 2024 Texas Instruments Incorporated

5.5 电气特性

T_J = –40°C 至 125°C，V_{IN} = 3.6V，V_{OUT} = 5.0V。典型值在 T_J = 25°C 下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电源						
V_{IN}	输入电压范围		1.8		5.5	V
V_{IN_UVLO}	欠压锁定阈值	V_{IN} 上升		1.7	1.79	V
		V_{IN} 下降		1.6		V
VIN_HYS	VIN UVLO 迟滞			65		mV
I_Q	流入 AVIN 引脚的静态电流	IC 启用，无负载，无开关 V_{AVIN} = 1.8V 至 5.5V，V_{FB} = V_{REF} + 0.1V，T_J 最高 125°C	13	20	25	μA
	流入 VOUT 引脚的静态电流	IC 启用，无负载，无开关 V_{OUT} = 2.2V 至 5.5V，V_{FB} = V_{REF} + 0.1V，T_J 最高 125°C		5.3	8.4	μA
I_{SD}	流入 AVIN 和 PVIN 引脚的关断电流	IC 禁用，V_{AVIN} = V_{PVIN} = 3.6V，T_J = 25°C		0.1	0.2	μA
输出						
V_{OUT}	输出电压设置范围		2.2		5.5	V
V_{OUT}（5V 固定）	固定输出电压	FB 连接至 VIN V_{IN} < V_{OUT}，PWM 模式	4.93	5	5.07	V
V_{REF}	FB 引脚上的基准电压	PWM 模式	591	600	609	mV
V_{REF}	FB 引脚上的基准电压	PFM 模式		606		mV
V_{OVP}	输出过压保护阈值	V_{OUT} 上升	5.5	5.75	6.0	V
V_{OVP_HYS}	过压保护迟滞			0.11		V
I_{FB_LKG}	FB 引脚上的漏电流	T_J = 25°C		4	25	nA
I_{FB_LKG}	FB 引脚上的漏电流	T_J = 125°C		5	30	nA
I_{VOUT_LKG}	流入 VOUT 引脚的漏电流	IC 禁用，V_{AVIN} = 0V，V_{PVIN} = 0V，V_{OUT} = 5.5V，T_J = 25°C		0.2	0.5	μA
电源开关						
$R_{DS(on)}$	高侧 MOSFET 导通电阻	V_{OUT} = 5.0V		46		mΩ
$R_{DS(on)}$	低侧 MOSFET 导通电阻	V_{OUT} = 5.0V		22		mΩ
f_{SW}	开关频率	V_{AIN} = 3.6V，V_{OUT} = 5.0V，PWM 模式	2.0	2.4	2.8	MHz
I_{LIM_SW}	谷值电流限值	V_{AVIN} = 3.6V，V_{OUT} = 5.0V，MODE = 0	1.45	2	2.25	A
I_{LIM_SW}	谷值电流限值	V_{AVIN} = 3.6V，V_{OUT} = 5.0V，MODE = 1	1.4	1.95	2.2	A
$I_{REVERSE}$	反向电流限值 (MODE = 1)	V_{AVIN} = 3.6V，V_{OUT} = 5.0V，MODE = 1		-1.4		A
I_{LIM_CHG}	预充电电流(1)	V_{AVIN} = 1.8V 至 5.5V，V_{OUT} < 0.4V		330		mA
逻辑接口						
V_{EN_H}	EN 逻辑高电平阈值	V_{AVIN} > 1.8V 或 V_{OUT} > 2.2V			1.2	V
V_{EN_L}	EN 逻辑低电平阈值	V_{AVIN} > 1.8V 或 V_{OUT} > 2.2V	0.4			V
V_{MODE_H}	MODE 逻辑高电平阈值	V_{AVIN} > 1.8V 或 V_{OUT} > 2.2V			1.2	V
V_{MODE_L}	MODE 逻辑低电平阈值	V_{AVIN} > 1.8V 或 V_{OUT} > 2.2V	0.4			V
R_{DOWN}	EN 引脚内部下拉电阻			10		MΩ
R_{DOWN}	MODE 引脚内部下拉电阻			1		MΩ
保护						
T_{SD}	热关断阈值(1)	T_J 上升		170		°C
T_{SD}	热关断阈值(1)	T_J 下降		155		°C
T_{SD_HYS}	热关断迟滞(1)	T_J 降至 T_{SD} 以下		15		°C

(1) 根据特征确定。未经生产测试。

5.6 系统特性

以下规格适用于具有标称元件值的典型应用电路。典型值列中的规格仅适用于 T_J = 25°C 的情况。最小值 (MIN) 和最大值 (MAX) 列中的规格适用于典型元件在 T_J = -40℃ 至 125℃ 温度范围内的情况。量产测试未指定这些规格。

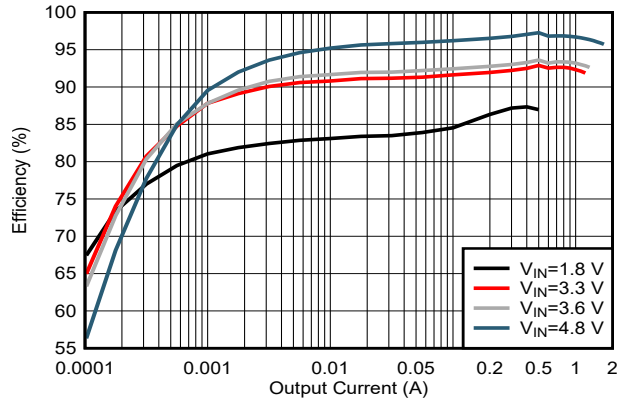
参数		测试条件	最小值	标称值	最大值	单位
V_{IN}	工作输入电压范围		1.8		5.5	V
V_{OUT}	输出电压负载调整率(1)	自动 PFM，内部分压器，FB 连接至 AVIN	1		1.4	%
	输出电压负载调整率(1)	FPWM，内部分压器、FB 连接至 AVIN	1		0.2	%
	输出电压负载调整率(1)	自动 PFM，外部分压器	4.2		1.4	%
	输出电压负载调整率(1)	FPWM，外部分压器	4.2		0.2	%
$t_{STARTUP}$	预偏置电压为 0V 时的启动时间	V_{IN} = 3.6V，V_{OUT} = 5V，I_{OUT} = 0A，COUT 为 4pcs 22uF/0603/6.3V/X5R		800		μs

(1) V_{IN} = 3.6V、V_{OUT} = 5.0V、I_{OUT} = 1mA 至 1A 时 VOUT 与标称输出电压值的偏差。可以通过 $(V_{OUT_MAX} - V_{OUT_SET})/V_{OUT_SET}$ * 100% 来计算最大值，通过 $(V_{OUT_MIN} - V_{OUT_SET})/V_{OUT_SET}$ * 100% 来计算最小值。

Copyright © 2024 Texas Instruments Incorporated

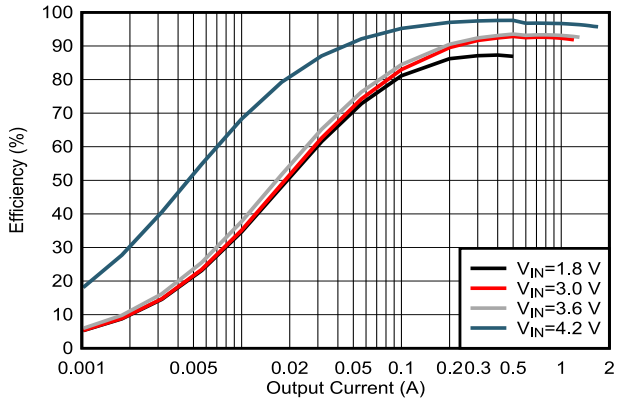
5.7 典型特性

V_{IN} = 3.6V，V_{OUT} = 5V，T_A = 25°C（除非另有说明）



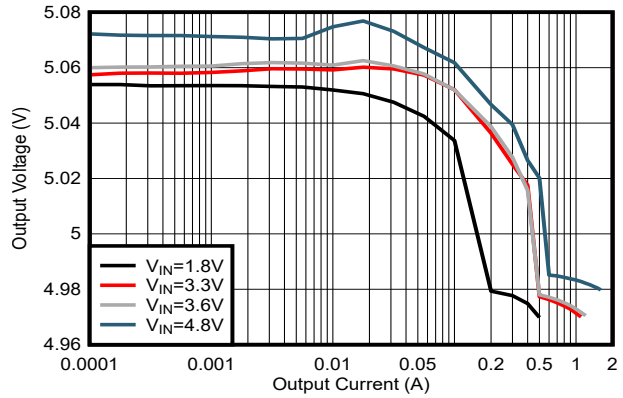
V_{IN} = 1.8V、3.3V、3.6V、4.8V。自动 PFM

图 5-1. 效率与输出电流间的关系 V_{OUT} = 5V



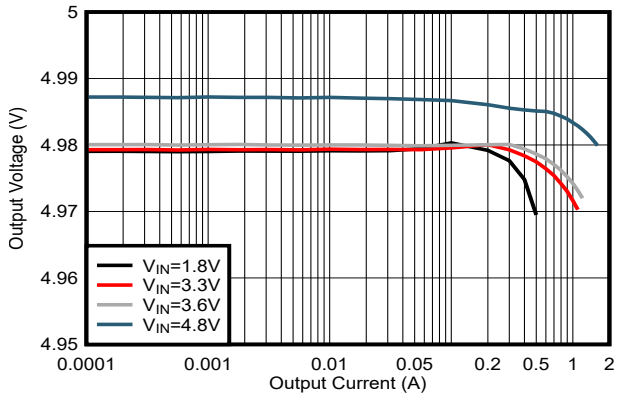
V_{IN} = 1.8V、3.3V、3.6V、4.8V。强制 PWM

图 5-2. 效率与输出电流间的关系 V_{OUT} = 5V



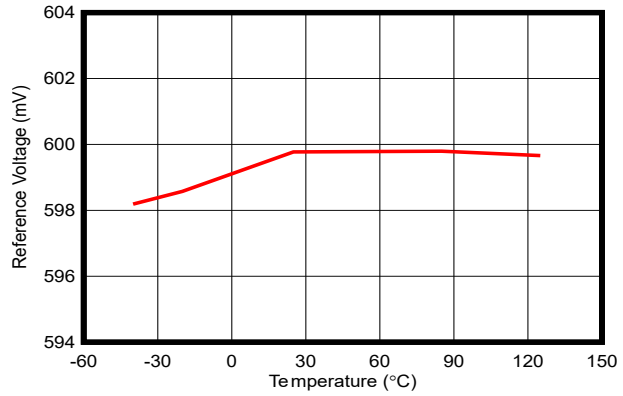
V_{IN} = 1.8V、3.3V、3.6V、4.8V；V_{OUT} = 5V

图 5-3. 使用内部电阻分压器（固定 5.0V）的自动 PFM 模式下的负载调整率



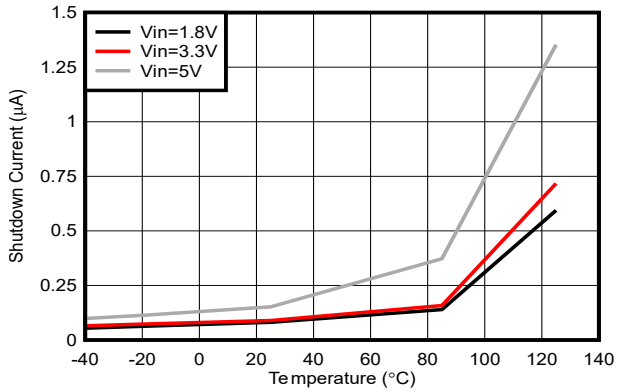
V_{IN} = 1.8V、3.3V、3.6V、4.8V；V_{OUT} = 5V

图 5-4. 使用内部电阻分压器（固定 5.0V）的强制 PWM 模式下的负载调整率



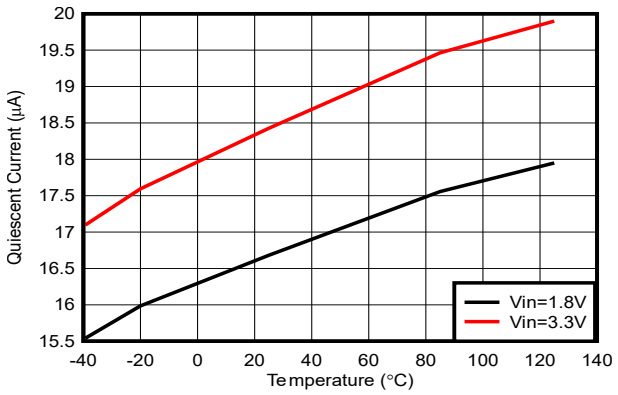
V_{IN} = 3.6V；V_{OUT} = 5V；T_J = -40°C 至 +125°C

图 5-5. 基准电压与温度间的关系



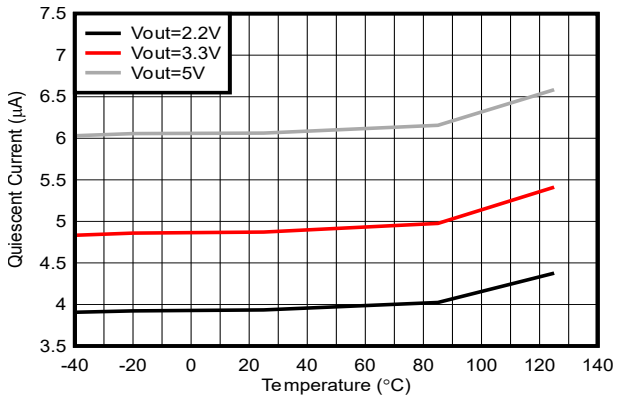
V_{IN} = V_{SW} = 1.8V、3.3V、5V；V_{OUT} = 0V；T_J = -40°C 至 +125°C

图 5-6. 关断电流与温度间的关系



V_{IN} = 1.8V、3.3V；V_{OUT} = 5V；T_J= -40°C 至 +125°C，无开关

图 5-7. 流入 VIN 的静态电流与温度间的关系



V_{IN}= 1.8 V；V_{OUT} = 2.2V、3.3V、5V；T_J = -40°C 至 +125°C 无开关

图 5-8. 流入 VOUT 的静态电流与温度间的关系

Copyright © 2024 Texas Instruments Incorporated

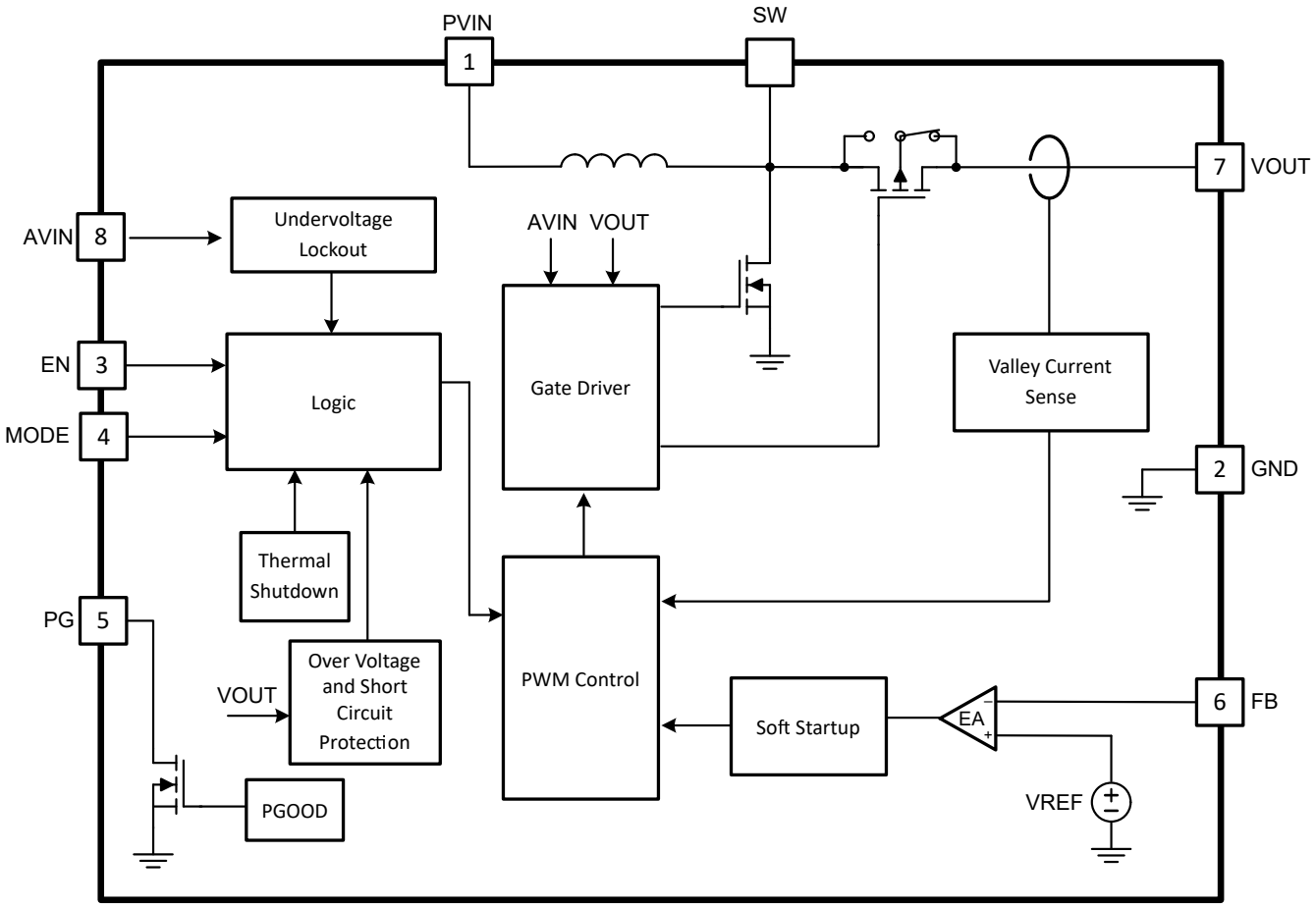
6 详细说明

6.1 概述

TPSM81033 是一款同步升压电源模块，可在最高 5.5V 的输入电源电压范围内运行，具有 2A（典型值）谷值开关电流限值。TPSM81033 以 2.4MHz 开关频率运行。在轻负载条件下，通过配置 MODE 引脚可实现两种可选模式：自动 PFM 模式和强制 PWM 模式，以便在轻负载条件下实现效率和抗噪性平衡。在轻负载条件下，TPSM81033 通过 AVIN 消耗 20μA 的静态电流。在关断期间，TPSM81033 与输入电源完全断开，仅消耗 0.1μA 的电流，从而能够实现较长的电池寿命。在 PWM 运行期间，该转换器使用自适应恒定导通时间谷值电流模式控制方案，来实现出色的线性调整率和负载调整率，并允许使用小型电感器和陶瓷电容器。内部环路补偿简化了设计过程，同时更大限度地减少了外部元件的数量。

采用 VCD 封装的 TPSM81033 版本使用 MagPack 封装技术，实现了超高性能的电源模块设计。借助我们专有的集成磁性元件封装技术，采用 MagPack（封装中的磁性元件）封装技术的电源模块可提供业界卓越的功率密度、高效率、良好的热性能、易用性以及更低的 EMI 辐射。

6.2 功能方框图



6.3 特性说明

6.3.1 欠压锁定

TPSM81033 有一个内置欠压锁定 (UVLO) 电路来确保器件正常工作。当模拟输入电压 (AVIN) 高于 1.7V（典型值）的 UVLO 上升阈值时，可以启用 TPSM81033 来升高输出电压。当 AVIN 引脚上的下降电压触发 UVLO 下降阈值（典型值为 1.6V）时，该器件被禁用。增加了 100mV（典型值）的迟滞，因此在输入电压超过 1.7V（典型值）之前无法再次启用该器件。当输入电压介于 UVLO 上升和下降阈值之间时，实现此功能可防止器件发生故障。

6.3.2 使能和软启动

当输入电压高于 UVLO 上升阈值且 EN 引脚被拉至高于 1.2V 的电压时，TPSM81033 将启用并启动。为了尽可能减小启动期间的浪涌电流，TPSM81033 具有软启动功能。开始时，TPSM81033 进入预充电阶段，并在输出电压低于 0.4V 时以大约 330mA 的电流为输出电容器充电。为了进一步减小浪涌电流，TPSM81033 的最大预充电电流为 900mA（典型值）。输出电压达到输入电压后，TPSM81033 开始开关，基准电压斜升 0.8mV/μs。当 EN 引脚上的电压低于 0.4V 时，内部使能比较器会将器件置于关断模式。在关断模式下，器件完全关闭。输出与输入电源断开。

6.3.3 设置输出电压

可通过两种方法来设置 TPSM81033 的输出电压：可调或固定。如果 FB 连接到 AVIN，则 TPSM81033 用作固定 5.0V 输出电压版本，TPSM81033 使用内部电阻分压器。可以利用内部电阻分压器来优化负载调整率性能。

也可以通过外部电阻分压器（图 7-1 中的 R1、R2）来设置输出电压。对输出电压进行调节后，FB 引脚上的电压典型值为 V_{REF}。因此，电阻分压器由方程式 5 确定。

$$R1 = \left(\frac{V_{OUT}}{V_{REF}} - 1\right) \times R2 \tag{1}$$

其中

- V_{OUT} 为稳压输出电压
- V_{REF} 是 FB 引脚的内部基准电压

6.3.4 电流限值运行

TPSM81033 使用谷值电流限值检测方案。在关断期间，通过检测同步整流器上的压降进行电流限值检测。

当负载电流增加到使电感器电流在整个开关周期时间内高于电流限值时，关断时间增加，从而允许电感器电流在下一个导通时间开始之前降至该阈值（即所谓的频率折返机制）。当达到电流限值时，输出电压在负载进一步增加期间下降。

在进入电流限值 (CL) 运行之前，最大连续输出电流 ($I_{OUT(LC)}$) 可由方程式 2 定义。

$$I_{OUT(CL)} = (1 - D) \times \left(I_{LIM} + \frac{1}{2}\Delta I_{L(P-P)}\right) \tag{2}$$

其中

- D 为占空比
- $\Delta I_{L(P-P)}$ 是电感器纹波电流

占空比可通过方程式 3 进行估算。

$$D = 1 - \frac{V_{IN} \times \eta}{V_{OUT}} \tag{3}$$

Copyright © 2024 Texas Instruments Incorporated

其中

- V_{OUT} 是升压转换器的输出电压
- V_{IN} 是升压转换器的输入电压
- η 是该转换器的效率，对于大多数应用使用 90%

峰峰值电感纹波电流可通过方程式 4 进行计算。

$$\Delta I_{L(P-P)} = \frac{V_{IN} \times D}{L \times f_{SW}} \tag{4}$$

其中

- L 是电感器的电感值
- f_{SW} 为开关频率
- D 为占空比
- V_{IN} 是升压转换器的输入电压

6.3.5 直通操作

当输入电压高于设定输出电压时，输出电压高于目标稳压电压，器件在直通模式下工作。当输出电压为设置目标电压的 101% 时，TPSM81033 停止开关并完全导通高侧 PMOS FET。输出电压等于输入电压减去电感器 DCR 与 PMOS FET 的 $R_{DS(on)}$ 两端的压降。当输出电压随着输入电压下降或负载电流增加而降至设定目标电压的 97% 以下时，TPSM81033 会再次恢复开关以调节输出电压。

6.3.6 电源正常指示器

TPSM81033 集成了电源正常状态指示器，可简化时序控制和监控。电源正常输出包含一个开漏 NMOS，需要将一个外部上拉电阻连接到电压合适的电源。在 VOUT 介于目标输出电压的 93%（典型值）和 107%（典型值）之间后，PG 引脚以典型值 1.3ms 的延时时间变为高电平，迟滞窗口大约为 2.5%（典型值）。当输出电压超出目标输出电压窗口时，PG 引脚立即变为低电平并具有 33 μs 抗尖峰脉冲滤波器延时。此抗尖峰脉冲滤波器还可防止 PGOOD 因瞬变而导致的任何误下拉。当 EN 被拉至低电平时，PG 引脚也会被强制为低电平并具有 33 μs 抗尖峰脉冲滤波器延时。如不使用，PG 引脚既可以保持悬空状态，也可以连接到 GND。

6.3.7 通过 PG 功能实现输出放电

输出放电功能旨在确保输出电压按既定斜降，并在器件被禁用时使输出电压快速接近 0V。TPSM81033 可通过 PG 功能实现输出放电功能，该功能需要在 PG 引脚和 Vout 引脚之间连接一个 R_{Dummy} 电阻器。PG 是一种开漏 NMOS 架构，具有高达 50mA 电流能力，当输出电压达到目标值时，PG 引脚变为逻辑高电平，因此虚拟负载电阻器在正常运行期间不会导致任何功率损耗。当 EN 引脚变为低电平时，TPSM81033 被禁用，同时 PG 引脚以典型的 33 μs 毛刺脉冲时间 (t_{glitch}) 变为低电平。当 PG 引脚保持低电平时，R_{Dummy} 作为虚拟负载对输出电压进行放电。更改 R_{Dummy} 可以调整输出放电率。

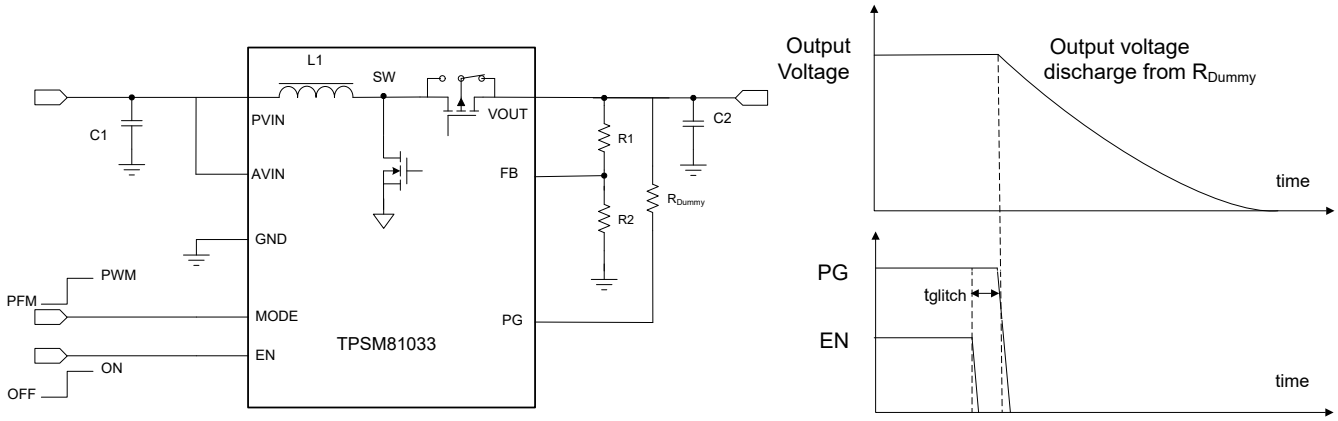


图 6-1. 通过 PG 功能实现输出放电

6.3.8 过压保护

TPSM81033 具有输出过压保护 (OVP) 功能，可在外部反馈电阻分压器组装有误时保护器件。当输出电压高于典型值 5.75V 时，器件会停止开关。一旦输出电压降至低于 OVP 阈值 0.1V，器件将再次恢复运行。

6.3.9 输出接地短路保护

当输出电压低于 1.8V 时，TPSM81033 开始限制输出电流。输出电压越低，输出电流就越小。当 VOUT 引脚接地短路且输出电压低于 0.4V 时，输出电流限制为约 330mA。解除短路之后，TPSM81033 再次进行软启动，以便达到稳定的输出电压。

6.3.10 热关断

结温超过 170°C 后，TPSM81033 就会进入热关断状态。当结温降至低于热关断恢复温度（通常为 155°C）时，器件将再次开始运行。

6.4 器件功能模式

在轻负载条件下，通过配置 TPSM81033 的 MODE 引脚可实现两种可选模式：自动 PFM 模式和强制 PWM 模式，以便在轻负载条件下实现效率和抗噪性平衡。

6.4.1 PWM 模式

在中等负载至重负载电流下，TPSM81033 使用准恒定 2.4MHz 频率脉宽调制 (PWM)。根据输入电压与输出电压之比，电路可预测所需的导通时间。开关周期开始时导通 NMOS 开关 FET。输入电压施加在电感器上，电感器电流逐渐增大。在此阶段，输出电容器由负载电流放电。当导通时间结束时，主开关 NMOS FET 关断，整流器 PMOS FET 导通。电感器传输其存储的能量以补充输出电容器并为负载供电。由于输出电压高于输入电压，电感器电流会下降。当电感器电流达到误差放大器输出确定的谷值电流阈值时，下一个开关周期再次开始。

TPSM81033 具有内置补偿电路，可适应宽范围的输入电压、输出电压、电感器值和输出电容器值，以实现稳定运行。

6.4.2 节电模式

TPSM81033 将省电模式与 PFM 集成在一起，以提高轻负载时的效率。当负载电流减小时，误差放大器输出设置的电感器谷值电流不再调节输出电压。当电感器的谷值电流达到下限值时，输出电压会随着负载电流进一步降低而超过设定电压。当 FB 电压达到 PFM 基准电压时，TPSM81033 进入省电模式。在省电模式下，当 FB 电压升高并达到 PFM 基准电压时，由于内部比较器的延迟时间，器件会继续开关几个周期，然后停止开关。负载由输出电容器供电，输出电压下降。当 FB 电压降至低于 PFM 基准电压时，器件会再次开始切换以在比较器延迟一段时间后升高输出电压。

Copyright © 2024 Texas Instruments Incorporated

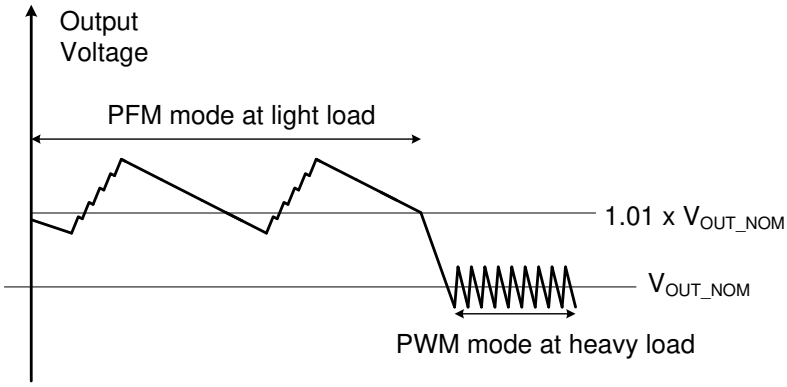


图 6-2. PWM 模式和 PFM 模式下的输出电压

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

TPSM81033 是一款同步升压转换器，可在最高 5.5V 的输入电源电压范围内运行，具有 2A（典型值）谷值开关电流限值。在中等负载到重负载电流下，TPSM81033 通常以准恒定的 2.4MHz 频率 PWM 运行。在轻负载电流下，TPSM81033 转换器在省电模式下运行，通过 PFM 在整个负载电流范围内实现高效率。

7.2 典型应用

TPSM81033 可以为由电池供电的便携式器件提供电源解决方案。TPSM81033 可以通过单节锂离子电池输出 5V 和 1A。

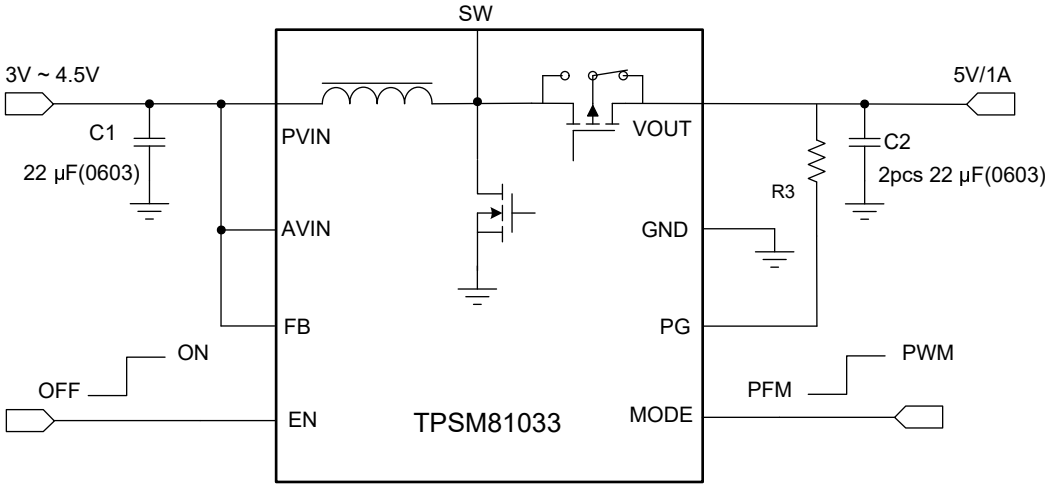


图 7-1. 锂离子电池至 5V 升压转换器

7.2.1 设计要求

表 7-1 中列出了设计参数。

表 7-1. 设计参数

参数	值
输入电压	3.0V 至 4.5V
输出电压	5.0V
输出电流	1.0A

Copyright © 2024 Texas Instruments Incorporated

7.2.2 详细设计过程

7.2.2.1 设置输出电压

当 FB 连接到 AVIN 时，TPSM81033 支持 5V 固定输出电压，从而能够提供更好的负载调整率性能。

对于其他输出电压，输出电压由外部电阻分压器（图 7-2 中的 R1、R2）设置。对输出电压进行调节后，FB 引脚上的电压典型值为 V_{REF}。因此，电阻分压器由方程式 5 确定。

$$R1 = \left(\frac{V_{OUT}}{V_{REF}} - 1\right) \times R2 \tag{5}$$

其中

- V_{OUT} 为稳压输出电压
- V_{REF} 是 FB 引脚的内部基准电压

为了获得出色精度，应使 R2 小于 300kΩ，以确保流过 R2 的电流至少比 FB 引脚漏电流大 100 倍。将 R2 更改为较低的值可提高抗噪声注入干扰的能力。将 R2 更改为更高的值可降低静态电流，从而在低负载电流下实现极高的效率。

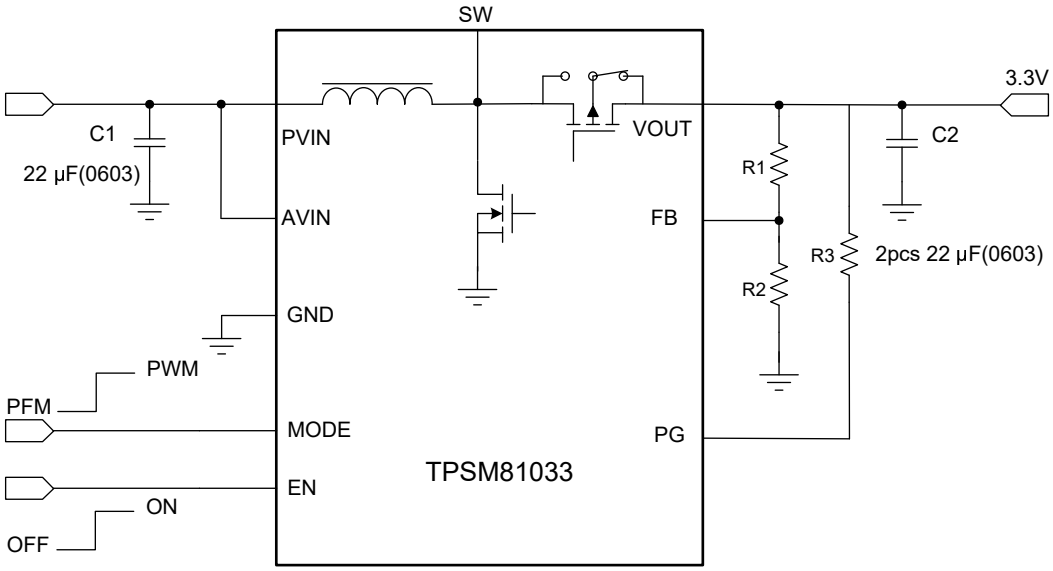


图 7-2. 纽扣电池至 3.3V 升压转换器

7.2.2.2 输出电容器选型

选择输出电容器主要是为了满足输出纹波和环路稳定性的要求。纹波电压与电容器电容及其等效串联电阻 (ESR) 相关。假设陶瓷电容器的 ESR 为零，给定纹波电压所需的最小电容可通过方程式 6 计算得出。

$$C_{OUT} = \frac{I_{OUT} \times D_{MAX}}{f_{SW} \times V_{RIPPLE}} \tag{6}$$

其中

- D_{MAX} 是最大开关占空比
- V_{RIPPLE} 是峰峰值输出纹波电压
- I_{OUT} 是最大输出电流
- f_{SW} 是开关频率

如果使用了钽或铝电解电容器，则必须考虑 ESR 对输出纹波的影响。由输出电容的 ESR 引起的输出峰峰值纹波电压可以通过方程式 7 计算得出。

$$V_{RIPPLE(ESR)} = I_{L(P)} \times R_{ESR} \tag{7}$$

在估算因直流偏置电压、老化和交流信号引起的陶瓷电容器降额时要小心谨慎。例如，直流偏置电压会显著降低电容。陶瓷电容器在其额定电压下可能会损失超过 50% 的电容。因此，在额定电压方面应始终留有余量，以确保在所需的输出电压下有足够的电容。在 PWM 模式下，增大输出电容器可以使输出纹波电压更小。

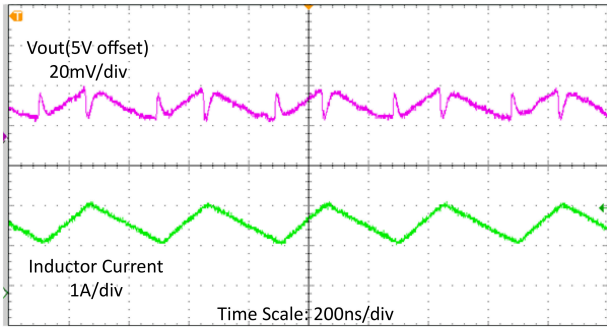
TI 建议在输出电流低于 1A 时使用有效电容为 10μF 的 X5R 或 X7R 陶瓷输出电容器，在输出电流高于 1A 时使用有效电容为 20μF 的电容器。输出电容器影响升压稳压器的小信号控制环路稳定性。如果输出电容器低于此范围，升压稳压器可能会变得不稳定。在 PWM 模式下，增大输出电容器可以使输出纹波电压更小。

对于超过 40μF 的大输出电容应用，TI 建议使用前馈电容器将零点频率 (f_{FFZ}) 设置为 1kHz，此外还建议将 50 欧姆电阻器与前馈电容器串联，以滤除从 VOUT 耦合到 FB 的一些高频噪声。

7.2.2.3 输入电容器选型

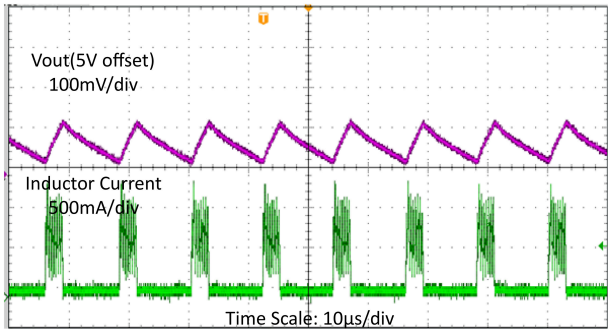
因为多层 X5R 或 X7R 陶瓷电容器具有极低的 ESR 并采用小型封装，所以非常适合升压转换器的输入去耦。输入电容器必须尽可能靠近器件。虽然 22μF/0603 输入电容器足以满足大多数应用的要求，但也可以使用更大的电容来更大限度地减少输入电流纹波。仅使用陶瓷输入电容器时要小心。在输入端使用陶瓷电容器并且通过长导线供电时，输出端的负载阶跃会在输入电压处引起振铃。此振铃可耦合到输出端，并误理解为环路不稳定，甚至可损坏器件。在这种情况下，应在陶瓷输入电容器和电源之间放置额外的大容量电容（钽或铝电解电容器），以便减少在电源引线电感和陶瓷输入电容之间可能发生的振铃。

7.2.3 应用曲线



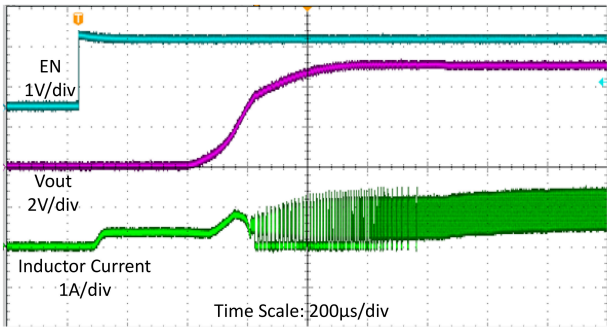
V_{IN} = 3.3V，V_{OUT} = 5V，I_{OUT} = 1A

图 7-3. 重负载条件下的开关波形



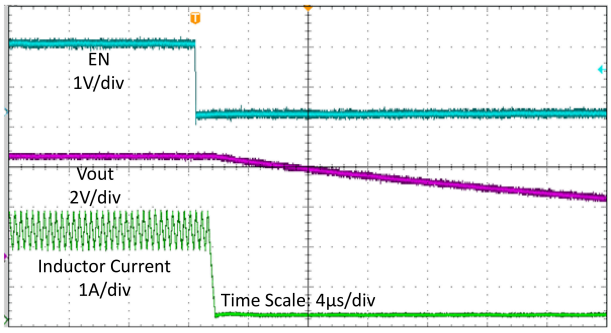
V_{IN} = 3.3V，V_{OUT} = 5V，I_{OUT} = 100mA

图 7-4. 轻负载条件下的开关波形



V_{IN} = 3.3V，V_{OUT} = 5V，8Ω 电阻负载

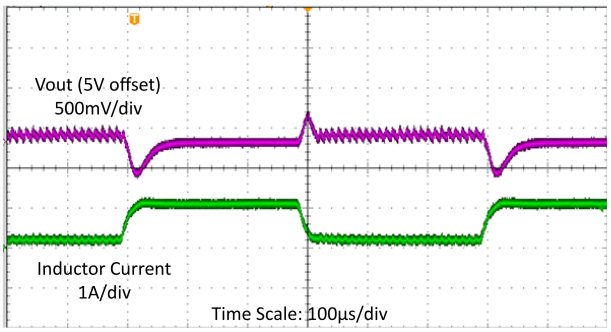
图 7-5. 启动波形



V_{IN} = 3.3V，V_{OUT} = 5V，8Ω 电阻负载

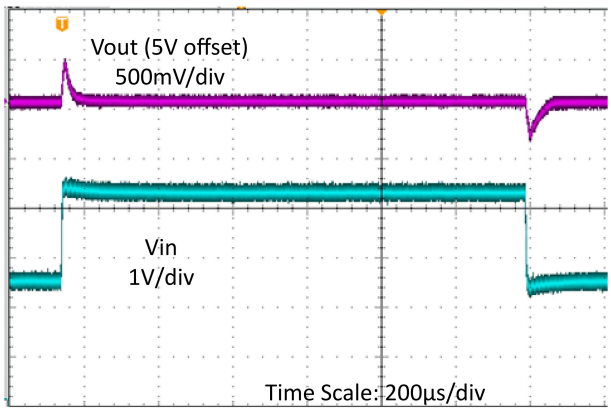
图 7-6. 关断波形

Copyright © 2024 Texas Instruments Incorporated



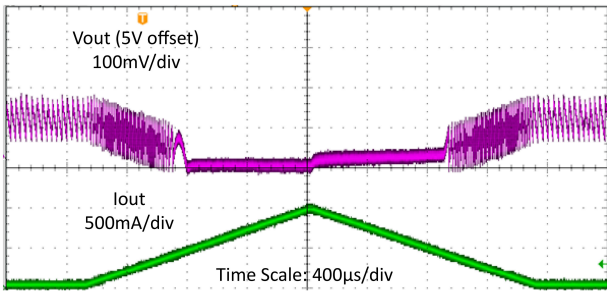
V_{IN} = 3.3V，V_{OUT} = 5V，I_{OUT} = 0.1A 至 1A，10 µ s 压摆率

图 7-7. 负载瞬态



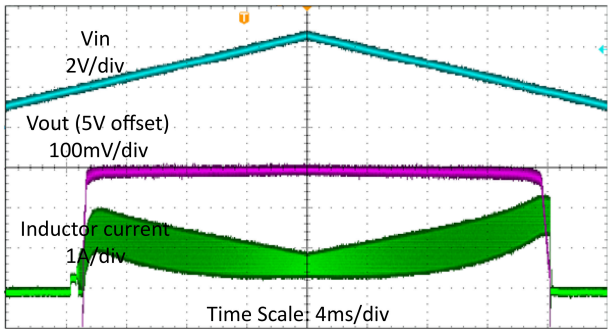
V_{IN} = 2.7V 至 4.5V，30 µ s 压摆率，V_{OUT} = 5V，I_{OUT} = 1A

图 7-8. 线路瞬态



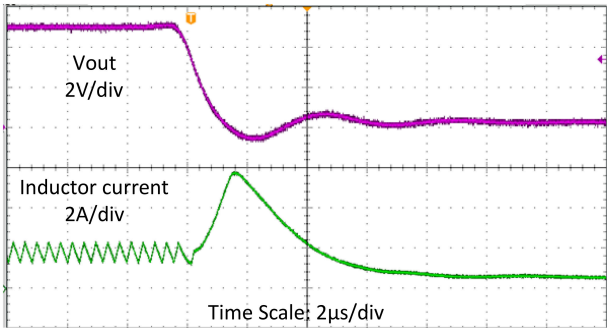
V_{IN} = 3.3V，V_{OUT} = 5V，I_{OUT} = 50mA 至 1A 扫描

图 7-9. 负载扫描



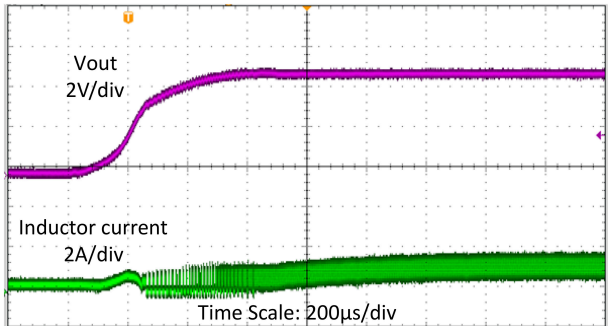
V_{IN} = 1.7V 至 4.5V 扫描，V_{OUT} = 5V，I_{OUT} = 1A

图 7-10. 线路扫描



V_{IN} = 3.3V，V_{OUT} = 5V，I_{OUT} = 1A

图 7-11. 输出短路保护（进入）



V_{IN} = 3.3V，V_{OUT} = 5V，I_{OUT} = 1A

图 7-12. 输出短路保护（恢复）

7.3 电源相关建议

该器件设计为可在 1.8V 至 5.5V 的输入电源电压范围内运行。该输入电源必须经过良好调节。如果输入电源距离转换器超过几英寸，那么除了陶瓷旁路电容器之外，可能还需要额外的大容量电容。通常，选择容值为 100 µ F 的钽或铝电解电容器。输入电源的输出电流必须根据 TPSM81033 的电源电压、输出电压和输出电流来确定额定值。

7.4 布局

7.4.1 布局指南

对于所有开关电源，尤其是以高开关频率和高电流运行的开关电源，布局设计是一个重要的设计步骤。如果未仔细布局，稳压器会出现不稳定和噪声问题。为了更大限度地提高效率，开关上升和下降时间非常短。为了防止高频噪声（例如 EMI）辐射，高频开关路径的正确布局至关重要。输入电容器需要靠近 VIN 引脚和 GND 引脚，以降低输入电源纹波。

所有升压转换器最关键的电流路径是从开关 FET 开始，经过整流器 FET，然后是输出电容器，再返回到开关 FET 的接地端。这个高电流路径包含纳秒级上升和下降时间，必须尽可能短。因此，输出电容器必须同时靠近 VOUT 引脚和 GND 引脚，以减少 VOUT 引脚的过冲。

为了获得更好的热性能，TI 建议将与每个引脚连接的铜多边形做得更大。

7.4.2 布局示例

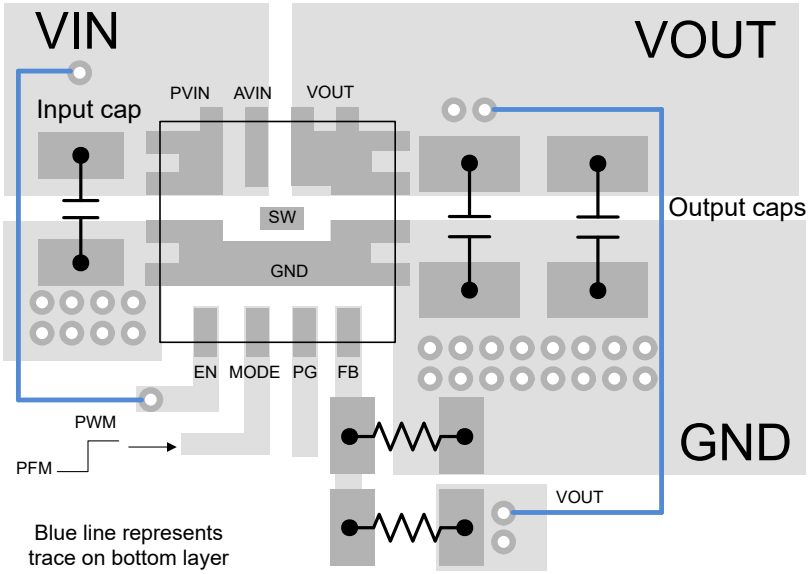


图 7-13. 布局示例

7.4.3 散热注意事项

在正常工作条件下，最大 IC 结温限制为 125°C。计算允许的最大耗散 $P_{D(max)}$，并使实际功率损耗小于或等于 $P_{D(max)}$。最大功率耗散限值使用方程式 8 来确定。

$$P_{D(max)} = \frac{125 - T_A}{R_{\theta JA}} \tag{8}$$

其中

- T_A 是应用的最高环境温度
- $R_{\theta JA}$ 是热性能信息表中给出的结至环境热阻。

TPSM81033 采用 QFN 封装。封装的实际结至环境热阻在很大程度上取决于 PCB 类型和布局。为电源焊盘（GND、PVIN 和 VOUT）使用更大而更厚的 PCB 铜可提高热性能。使用更多过孔将接地平面连接到 IC 的顶层和底层，而不使用阻焊层，这也可以提高热性能。

Copyright © 2024 Texas Instruments Incorporated

8 器件和文档支持

8.1 器件支持

8.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

MagPack™ and TI E2E™ are trademarks of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (September 2024) to Revision D (December 2024)	Page
• 将状态从“预告信息”更改为“量产数据”	1

10 机械、封装和可订购信息

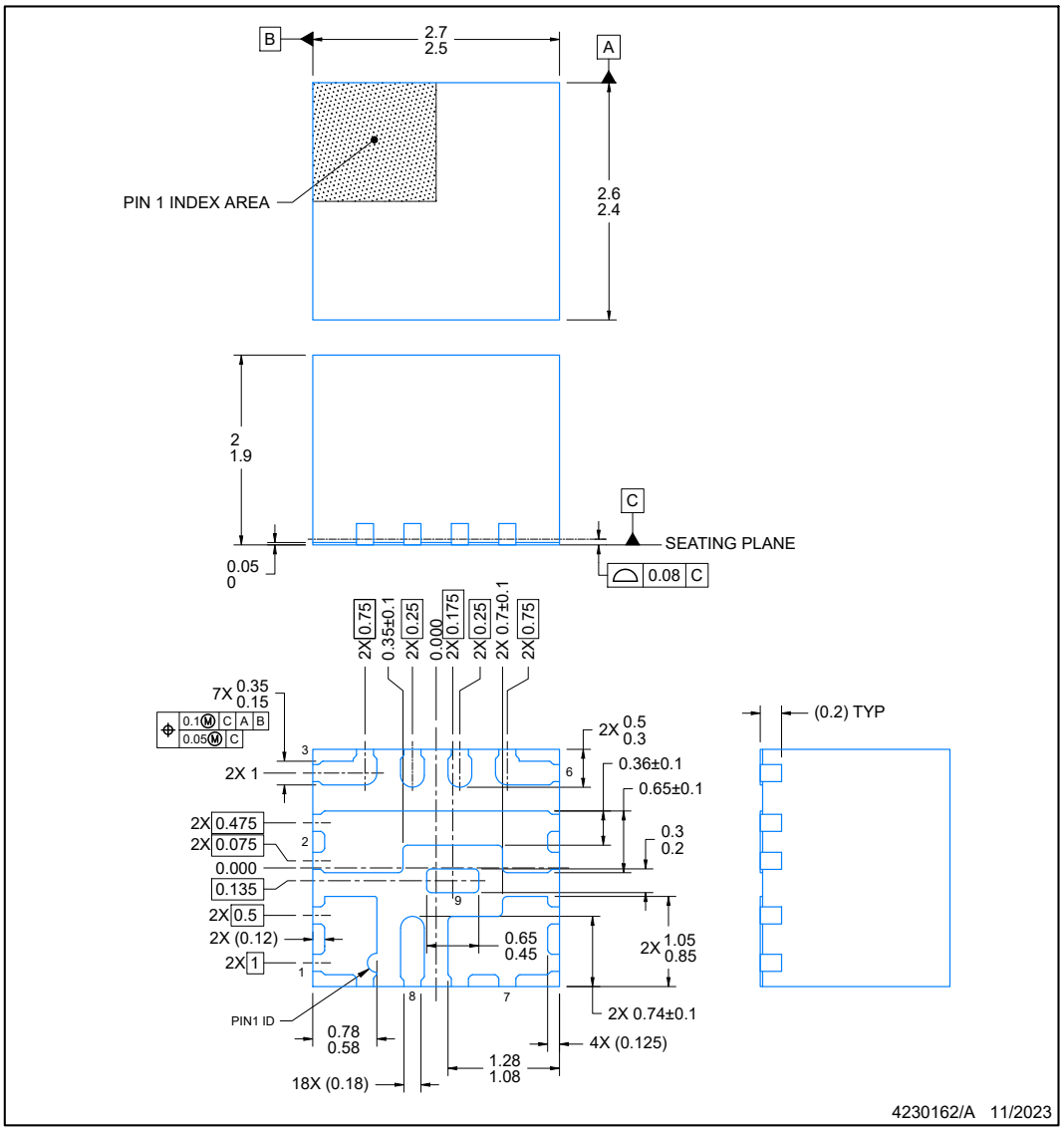
以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

10.1 机械数据

PACKAGE OUTLINE

VCD0009A **QFN-FCMOD - 2.00 mm max height**

PLASTIC QUAD FLAT PACK- NO LEAD



NOTES:

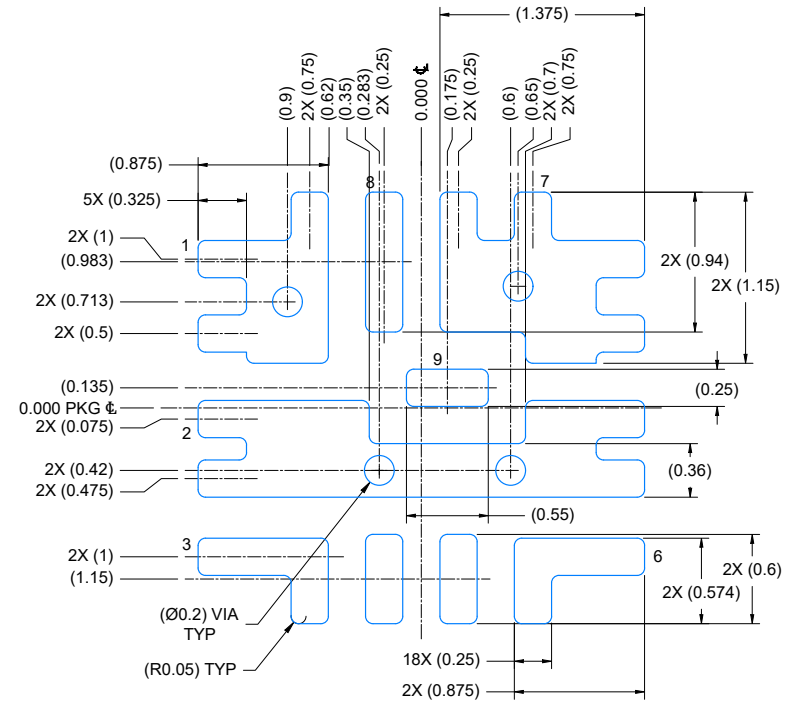
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

Copyright © 2024 Texas Instruments Incorporated

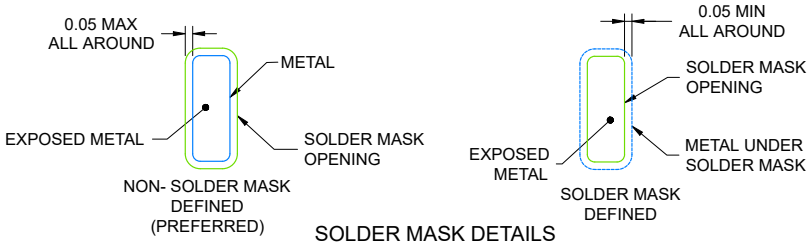
EXAMPLE BOARD LAYOUT

VCD0009A — **QFN-FCMOD - 2.00 mm max height**

PLASTIC QUAD FLAT PACK- NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 25X



SOLDER MASK DETAILS

4230162/A 11/2023

NOTES: (continued)

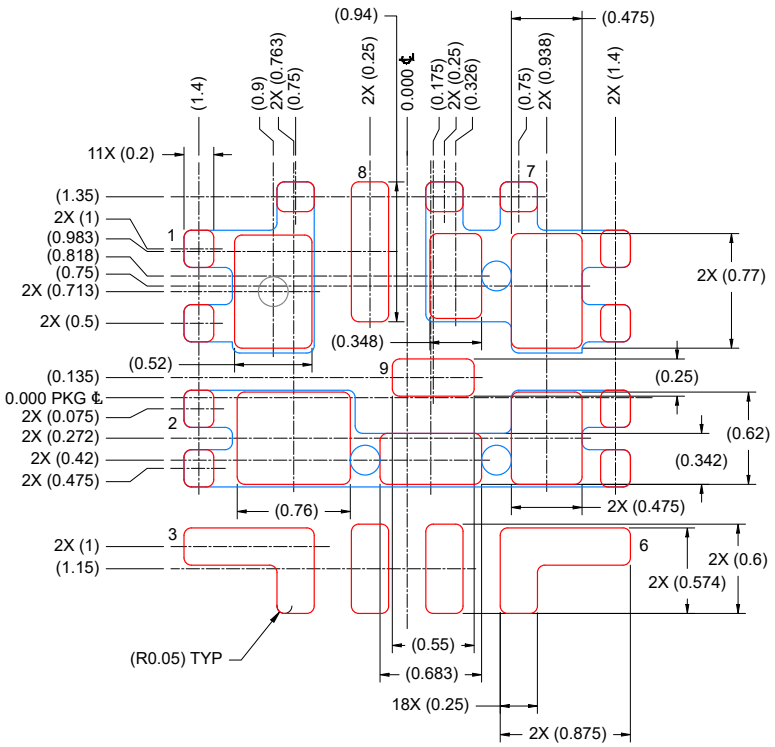
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

Copyright © 2024 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

VCD0009A **QFN-FCMOD - 2.00 mm max height**

PLASTIC QUAD FLAT PACK- NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 25X

4230162/A 11/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPSM81033VCDR	Active	Production	QFN-FCMOD (VCD) | 9	4000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	033M
TPSM81033VCDR.A	Active	Production	QFN-FCMOD (VCD) | 9	4000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	033M

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

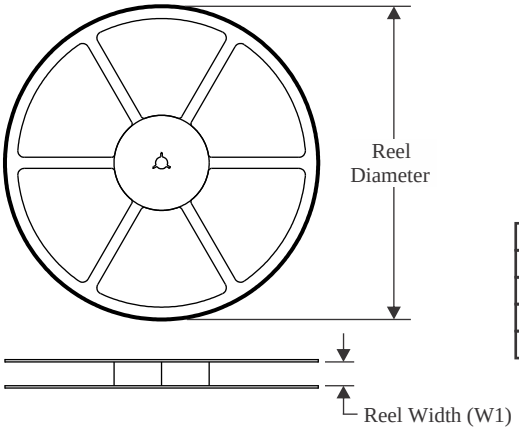
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

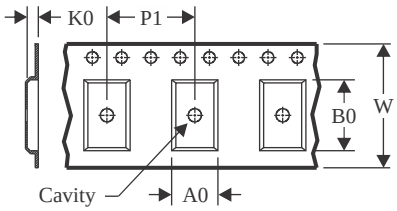
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

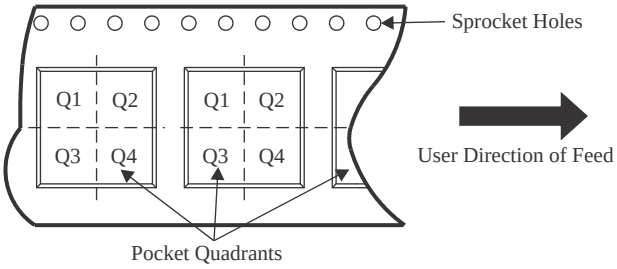


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

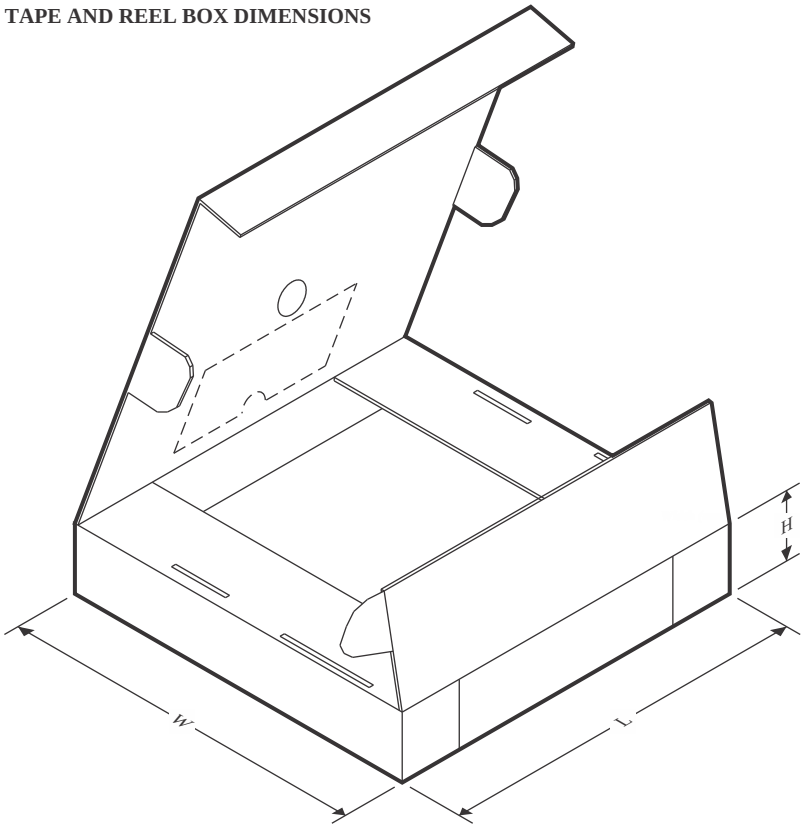
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

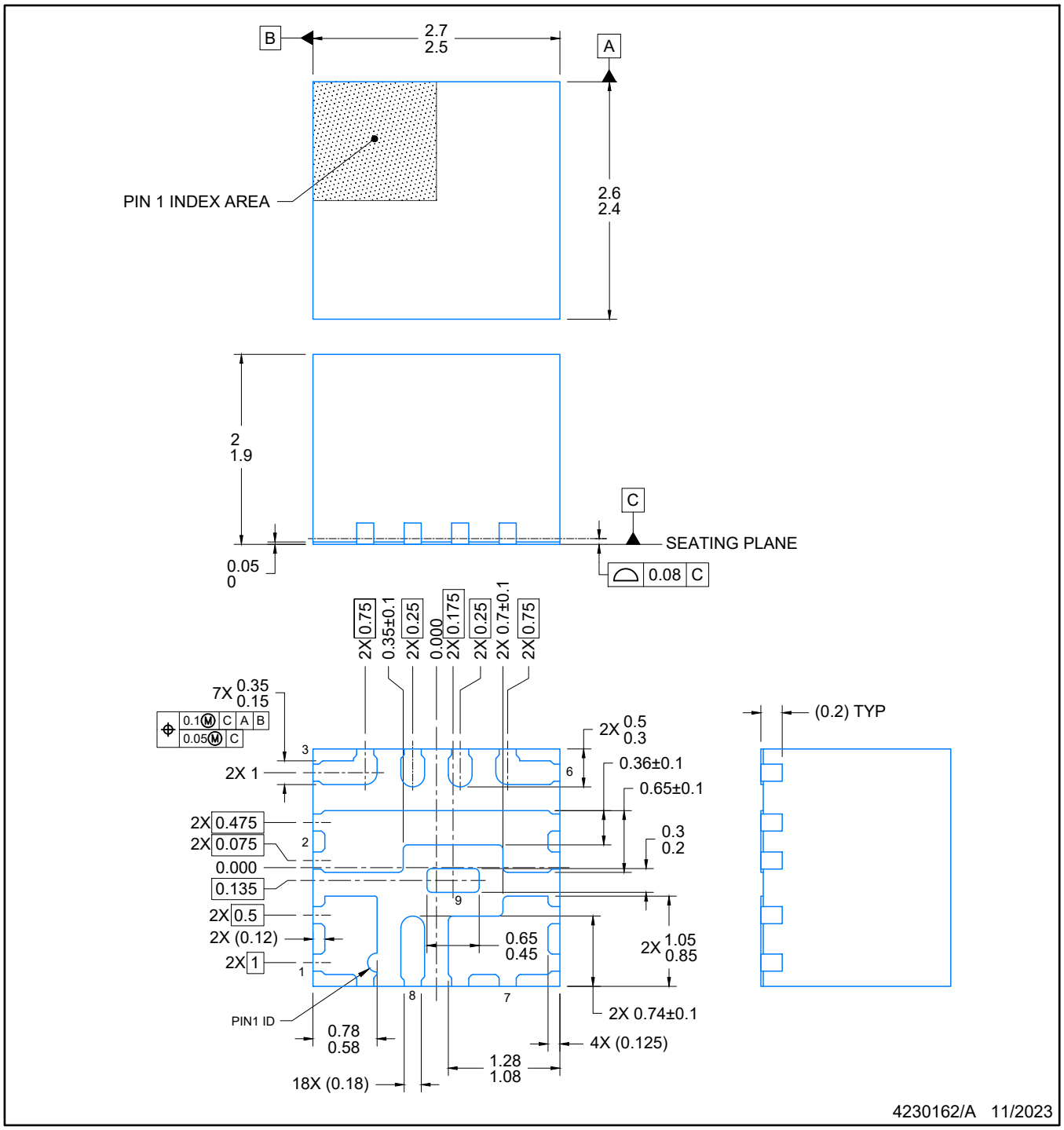
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPSM81033VCDR	QFN-FCMOD	VCD	9	4000	330.0	12.4	2.9	2.8	2.2	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



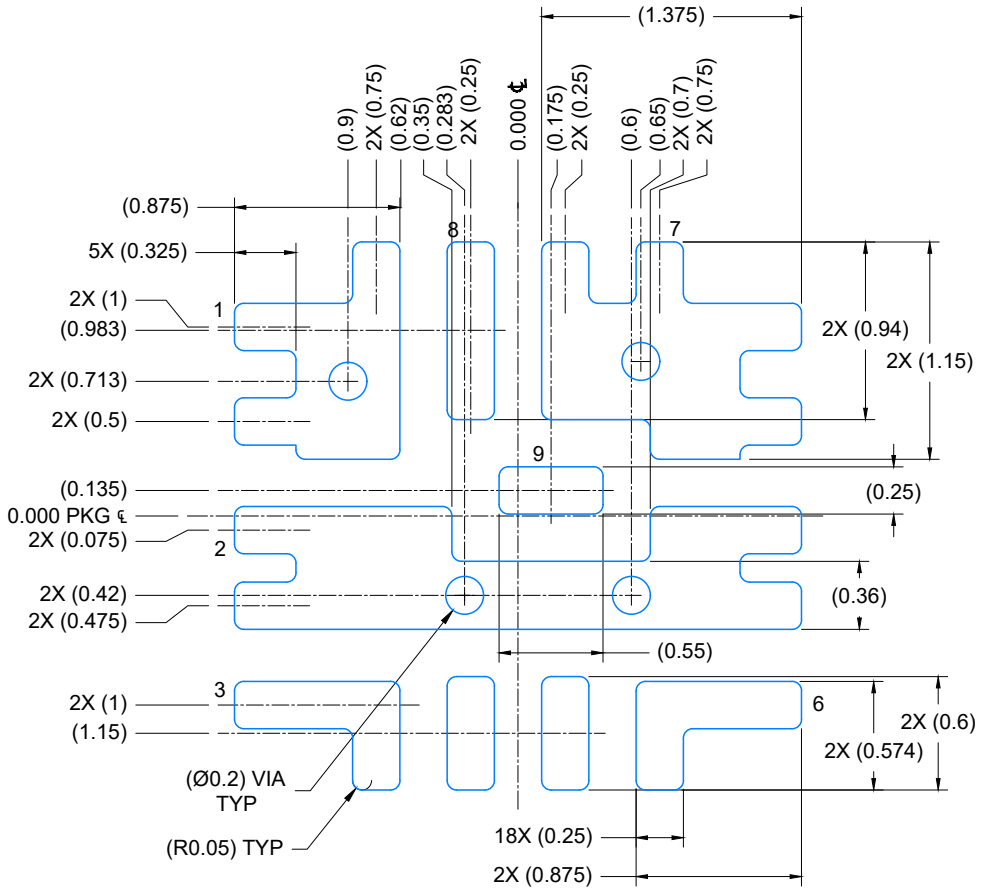
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPSM81033VCDR	QFN-FCMOD	VCD	9	4000	367.0	367.0	35.0

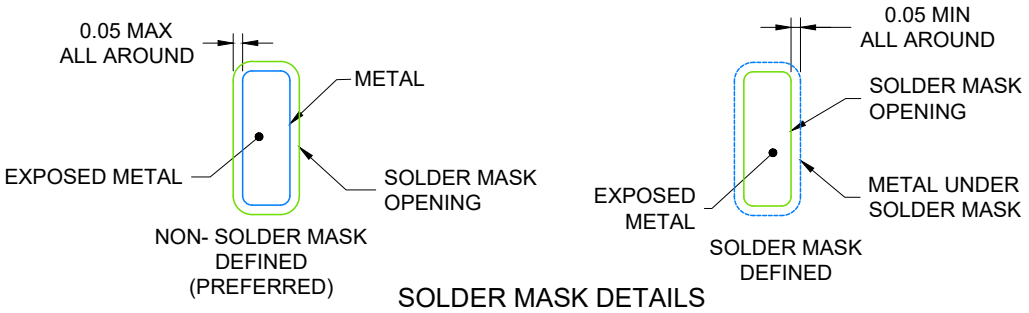


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 25X

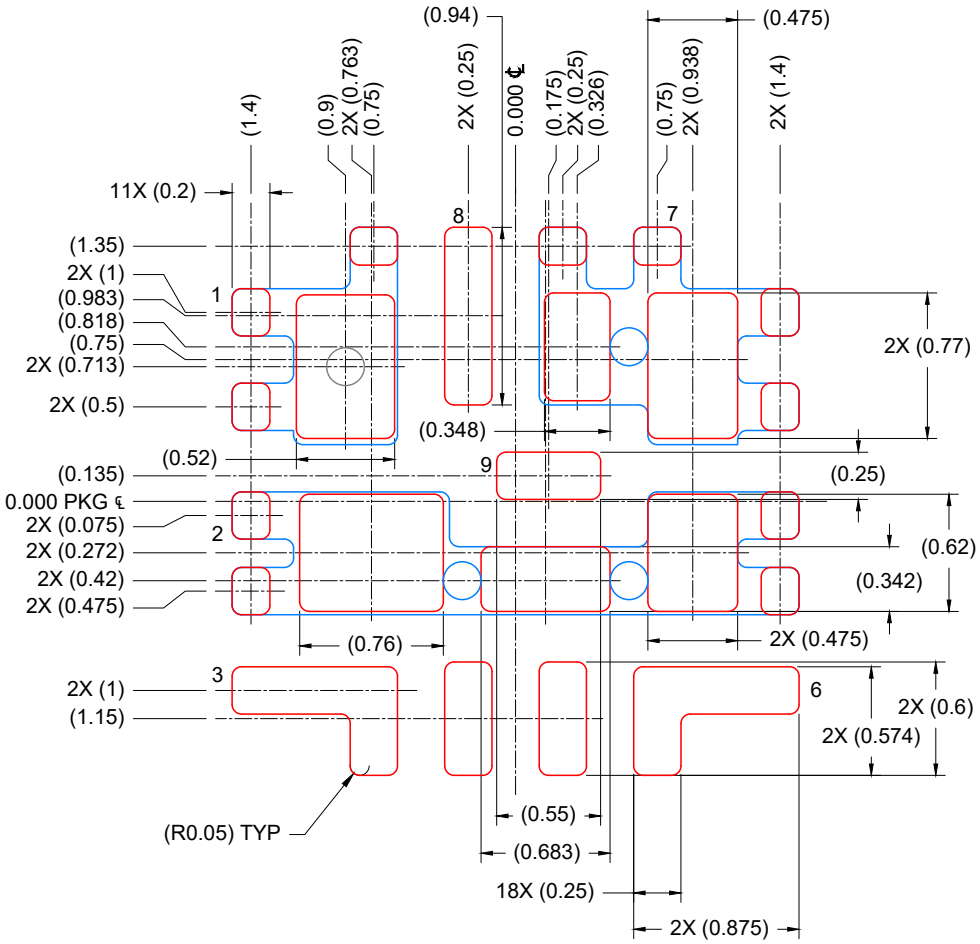


SOLDER MASK DETAILS

4230162/A 11/2023

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 25X

4230162/A 11/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。 严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司