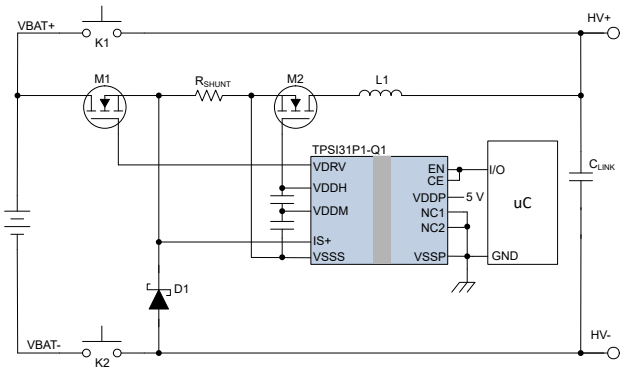
TPSI31P1-Q1 具有 17V 集成栅极驱动器和辅助电源的汽车级有源预充电控制器

1 特性

- 使用开关转换器架构替代大型高功率预充电电阻器
- 与无源预充电解决方案相比，提高了热性能
- 迟滞电流控制用于对下游电容进行线性充电
- 驱动 Si、SiC MOSFET 或 IGBT 等外部功率晶体管
- 适用于栅极偏置的集成隔离式次级电源
- 17V 栅极驱动，1.5A 和 2.5A 峰值拉电流和灌电流
- 符合面向汽车应用的 AEC Q-100 标准：
  - 温度等级 1：–40°C 至 +125°C，T_A
- 功能安全型
  - 可提供用于功能安全系统设计的文档
- 安全相关认证
  - 计划：符合 DIN EN IEC 60747-17 (VDE 0884-17) 的 $7070V_{PK}$ 增强型隔离
  - 计划：符合 UL 1577 标准且长达 1 分钟的 $5kV_{RMS}$ 隔离

2 应用

- 电池管理系统



TPSI31P1-Q1 简化版应用

3 说明

TPSI31P1-Q1 旨在用于汽车级预充电系统，作为传统无源预充电架构的替代方案，该架构通常包含昂贵的机电继电器 (EMR) 以及庞大的大功率电阻器。TPSI31P1-Q1 与外部电源开关、功率电感器和二极管相结合，形成了有源预充电解决方案。TPSI31P1-Q1 在迟滞运行模式下持续监测和控制电感电流，以对下游系统的大电容进行线性充电。TPSI31P1-Q1 是一款隔离式开关驱动器，可通过初级侧接收到的电源自行产生次级辅助电源，因此无需隔离式次级电源。当栅极驱动电压为 17V，峰值拉电流和灌电流为 1.5A 和 2.5A 时，可以使用大量电源开关，包括 SiC FET 和 IGBT。

TPSI31P1-Q1 集成一个通信反向通道，该反向通道可通过开漏输出、PGOOD（电源正常状态）将状态信息从次级侧传输到初级侧，并且指示次级电源何时有效。

TPSI31P1-Q1 增强型隔离非常稳健，与光耦合器相比，其可靠性更高、功耗更低，且温度范围更宽。将 EMR 和功率电阻器替换为固态解决方案可降低成本并减小尺寸，同时提高可靠性。

封装信息

器件型号	封装(1)	封装尺寸(2)
TPSI31P1-Q1 (3)	DVX（SSOP，16）	5.85mm × 10.3mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 产品预发布。

ADVANCE INFORMATION

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

ADVANCE INFORMATION

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....4
5.1 绝对最大额定值.....4
5.2 ESD 等级.....4
5.3 建议运行条件.....4
5.4 热性能信息.....5
5.5 功率等级.....5
5.6 绝缘规格.....5
5.7 安全相关认证.....6
5.8 安全限值.....7
5.9 电气特性.....7
5.10 开关特性.....9
5.11 绝缘特性曲线.....11
6 详细说明.....12
6.1 概述.....12
6.2 功能方框图.....12
6.3 特性说明.....12
6.4 器件功能模式.....15
7 应用和实施.....16
7.1 应用信息.....16
7.2 典型应用.....16
7.3 电源相关建议.....20
7.4 布局.....20
8 器件和文档支持.....24
8.1 文档支持.....24
8.2 接收文档更新通知.....24
8.3 支持资源.....24
8.4 商标.....24
8.5 静电放电警告.....24
8.6 术语表.....24
9 修订历史记录.....24
10 机械、封装和可订购信息.....24
10.1 卷带包装信息.....25

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

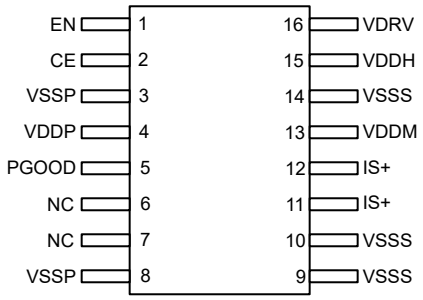


图 4-1. TPSI31P1-Q1 DVX 封装，16 引脚 SSOP（顶视图）

引脚		I/O	类型[(1)]	说明
编号	名称			
1	EN	I	—	高电平有效预充电使能。内部 500kΩ 下拉至 VSSP。
2	CE	I	—	高电平有效芯片使能。当被置为低电平时，禁用器件。不使用时连接至 VDDP 或 EN。内部 500kΩ 下拉至 VSSP。
4	VDDP	—	P	初级侧的电源
5	PGOOD	O	—	电源正常状态指示器。开漏输出。使用时，需要从外部上拉至 VDDP。不使用时悬空或连接至 VSSP。
11、12	IS+	I	—	电阻分流器正极。当分流电阻器上的电压超过内部基准电压 (1.23V) 时，VDRV 被置为低电平并保持低电平，直到分流电阻器上的电压降至内部基准电压 (160mV) 以下。内部 3MΩ 下拉至 VSSS。
13	VDDM	—	P	生成 1/2Vs，标称值为 5V。
15	VDDH	—	P	生成高电源电压，标称值为 17V。
16	VDRV	O	—	高电平有效驱动器输出。
6.7	NC	NC	—	无连接。保持悬空或连接至 VSSP。
3、8	VSSP	—	GND	初级侧的接地电源。所有 VSSP 引脚必须连接至初级侧接地端。
9、10、14	VSSS	—	GND	次级侧的接地电源。所有 VSSS 引脚必须连接至次级侧接地端。

(1) P = 电源，GND = 接地，NC = 无连接

ADVANCE INFORMATION

ADVANCE INFORMATION

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

参数[(1)]		最小值	最大值	单位
初级侧电源[(2)]	VDDP、EN、CE、PGOOD	-0.3	6	V
次级侧电源[(3)]	IS+	-3	6	V
次级侧电源[(3)]	VDRV	-0.3	18	V
	VDDH	-0.3	18	V
	VDDM	-0.3	6	V
	VDDH-VDDM	-0.3	13	V
结温，T_J	结温，T_J	-40	150	°C
贮存温度，T_{stg}		-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 所有电压值均以 VSSP 为基准。
(3) 所有电压值均以 VSSS 为基准。

5.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002[(1)] HBM ESD 分类等级 2		±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 CDM ESD 分类等级 C4B	转角引脚（1、8、9 和 16）	±750	
			其他引脚	±500	

(1) AEC Q100-002 指示必须按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
VDDP	初级侧电源电压[(1)]	4.5		5.5	V
EN	使能预充电 [(1)]	0		5.5	V
CE	芯片使能[(1)]	0		5.5	V
PGOOD	电源正常状态指示器[(4)] [(1)]	0		5.5	V
C_{VDDP}	VDDP 和 VSSP 上的去耦电容[(3)]	1		20	µF
C_{DIV1} [(2)]	VDDH 和 VDDM 之间的去耦电容[(3)]	0.003		15	µF
C_{DIV2} [(2)]	VDDM 和 VSSS 之间的去耦电容[(3)]	0.1		40	µF
T_A	环境工作温度	-40		125	°C
T_J	工作结温	-40		150	°C

(1) 所有电压值均以 VSSP 为基准。
(2) C_{DIV1} 和 C_{DIV2} 应具有相同的类型和容差。C_{DIV2} 电容值应至少为 C_{DIV1} 电容值的三倍，即 $C_{DIV2} \geqslant 3 \times C_{DIV1}$。
(3) 所有电容值都是绝对值。必要时应进行降额。
(4) 开漏失效防护输出。使用时，建议在 VDDP 上连接一个大于 20kΩ 的外部上拉电阻器。不使用时，将引脚悬空或连接至 VSSP。

Copyright © 2025 Texas Instruments Incorporated

5.4 热性能信息

热指标[1]		器件 DVX (SSOP) 16 引脚	单位
$R_{\Theta JA}$	结至环境热阻	82.5	°C/W
$R_{\Theta JC(top)}$	结至外壳（顶部）热阻	39.3	°C/W
$R_{\Theta JB}$	结至电路板热阻	42.3	°C/W
ψ_{JT}	结至顶部特征参数	14.7	°C/W
Ψ_{JB}	结至电路板特征参数	41.3	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

5.5 功率等级

参数		测试条件	最小值	典型值	最大值	单位
P_D	最大功率耗散，VDDP。	T_A = 25℃，V_{VDDP} = 5.0V，f_{EN} = 1kHz 方波，C_{VDRV} = 1nF			250	mW

5.6 绝缘规格

参数		测试条件	值	单位
爬电距离和起痕				
CLR	外部间隙[1]	端子间的最短空间距离	≥ 8	mm
CPG	外部爬电距离[1]	端子间的最短封装表面距离	≥ 8	mm
DTI	绝缘穿透距离	最小内部间隙	> 120	µm
CTI	相对漏电起痕指数	DIN EN 60112 (VDE 0303-11)；IEC 60112	> 600	V
	材料组	符合 IEC 60664-1	I	
	过压类别（符合 IEC 60664-1）	额定市电电压 ≤ 600V_{RMS}	I-IV	
		额定市电电压 ≤ 1000V_{RMS}	I-III	

ADVANCE INFORMATION

ADVANCE INFORMATION

5.6 绝缘规格（续）

参数		测试条件	值	单位
DIN EN IEC 60747-17 (VDE 0884-17)				
V_{IORM}	最大重复峰值隔离电压	交流电压（双极）	1697	V_{PK}
V_{IOWM}	最大隔离工作电压	交流电压（正弦波）	1200	V_{RMS}
		直流电压	1697	V_{DC}
V_{IOTM}	最大瞬态隔离电压	$V_{TEST} = V_{IOTM}$；t = 60s（鉴定测试）	7070	V_{PK}
		$V_{TEST} = 1.2 \times V_{IOTM}$；t = 1s（100% 生产测试）	8484	V_{PK}
V_{IMP}	最大脉冲电压(2)	在空气中测试； 符合 IEC 62638-1 标准的 1.2/50µs 波形	9230	V_{PK}
V_{IOSM}	最大浪涌隔离电压(3)	在油中进行测试（鉴定测试）； 符合 IEC 62638-1 的 1.2/50µs 波形	12000	V_{PK}
q_{pd}	视在电荷(4)	方法 a：输入/输出安全测试子组 2/3 后， $V_{ini} = V_{IOTM}$，t_{ini} = 60s； $V_{pd(m)} = 1.2 \times V_{IORM} = 2036V_{PK}$，$t_m$ = 10s。	≤ 5	pC
		方法 a：环境测试子组 1 后， $V_{ini} = V_{IOTM}$，t_{ini} = 60s； $V_{pd(m)} = 1.6 \times V_{IORM} = 2715V_{PK}$，$t_m$ = 10s。	≤ 5	
		方法 b1：常规测试（100% 生产测试）和预调节（类型测试），$V_{ini} = V_{IOTM}$，t_{ini} = 1s； $V_{pd(m)} = 1.875 \times V_{IORM} = 3139V_{PK}$，$t_m$ = 1s。	≤ 5	
C_{IO}	势垒电容，输入至输出(5)	$V_{IO} = 0.4 \times \sin(2\pi ft)$，f = 1MHz	3	pF
R_{IO}	隔离电阻，输入至输出(5)	V_{IO} = 500V，T_A = 25°C	> 10^{12}	Ω
		V_{IO} = 500V，100°C ≤ T_A ≤ 125°C	> 10^{11}	
		V_{IO} = 500V，T_S = 150°C	> 10^{9}	
	污染等级		2	
	气候类别		40/125/21	
UL 1577				
V_{ISO}	可承受的隔离电压	$V_{TEST} = V_{ISO} = 5000V_{RMS}$，t = 60s（鉴定测试），$V_{TEST} = 1.2 \times V_{ISO} = 6000V_{RMS}$，t = 1s（100% 生产测试）	5000	V_{RMS}

(1) 爬电距离和间隙应满足应用的特定设备隔离标准中的要求。请注意保持电路板设计的爬电距离和间隙，从而确保印刷电路板上隔离器的安装焊盘不会导致此距离缩短。在特定的情况下，印刷电路板上的爬电距离和间隙变得相等。在印刷电路板上插入坡口或肋或同时应用这两项技术可帮助提高这些规格。
(2) 在空气中进行测试，以确定封装的固有浪涌抗扰度。
(3) 在油中进行测试，以确定隔离栅的固有浪涌抗扰度。
(4) 视在电荷是局部放电 (pd) 引起的电气放电。
(5) 将隔离层每一侧的所有引脚都连在一起，构成一个双引脚器件。

5.7 安全相关认证

VDE	UL
计划根据 DIN EN IEC 60747-17 (VDE 0884-17) 进行认证	计划根据 UL 1577 组件认证计划进行认证
增强型绝缘；最大瞬态隔离电压 $7070V_{PK}$；最大重复峰值隔离电压 $1697V_{PK}$；最大浪涌隔离电压 $12000V_{PK}$	单一保护，$5000V_{RMS}$
已计划获得证书	已计划获得证书

Copyright © 2025 Texas Instruments Incorporated

5.8 安全限值

参数(1) (2)		测试条件	最小值	典型值	最大值	单位
I_S	安全输入、输出或电源电流	$R_{\theta JA}$ = 82.5°C/W，V_{VDDP} = 5.5V，T_J = 150°C，T_A = 25°C			275	mA
P_S	安全输入、输出或总功率	$R_{\theta JA}$ = 82.5°C/W，T_J = 150°C，T_A = 25°C			1.52	W
T_S	最高安全温度				150	°C

(1) 安全限制旨在最大限度地减小在发生输入或输出电路故障时对隔离栅的潜在损害。I/O 发生故障时会导致低电阻接地或连接到电源，如果没有限流电路，则会因为功耗过大而导致芯片过热并损坏隔离栅，甚至可能导致辅助系统出现故障。

(2) 安全限值约束是数据表中指定的最高结温。结温取决于应用硬件中所安装器件的功耗和结至空气热阻。假设热性能信息表中的结至空气热阻所属器件安装在含引线的表面贴装封装对应的高 K 测试板上。功耗为建议的最大输入电压与电流之积。因此，结温是环境温度加上功耗与结至空气热阻之积。

5.9 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）。T_A = 25℃ 时的典型值。C_{VDDP} = 1μF，C_{DIV1} = 47nF，C_{DIV2} = 220nF，C_{VDRV} = 1nF，。50kΩ 上拉从 、PGOOD 至 VDDP。

参数		测试条件	最小值	典型值	最大值	单位
COMMON						
CMTI	共模瞬态抗扰度，静态。	$\|V_{CM}\|$ = 1000V， V_{EN} = 0V 或 V_{EN} = 5V。	100			V/ns
TSD	关断温度	V_{VDDP} = 5V		173		℃
TSDH	关断温度迟滞	V_{VDDP} = 5V		32		℃
电源						
I_{VDDP_STBY}	待机模式下的 VDDP 电流	V_{VDDP} = 5V， EN = 0V， CE = 0V。 测量平均电流。		25	45	μA
I_{VDDP}	稳态下的 VDDP 平均电流	V_{VDDP} = 5V，EN = CE = 5V。 稳态下的 V_{VDDH}， 测量 I_{VDDP}。		37		mA
V_{VDDH}	VDDH 输出电压	V_{VDDP} = 5V，EN = CE = 5V。	16	17	18	V
V_{VDDM}	未拉取电流时的平均 VDDM 电压。	V_{VDDP} = 5V，EN = CE = 5V。	4.8	5.0	5.2	V
监控						
$V_{VDDP_UV_R}$	VDDP 欠压阈值上升	VDDP 上升。	3.9	4.1	4.35	V
$V_{VDDP_UV_F}$	VDDP 欠压阈值下降	VDDP 下降	3.8	3.9	4.25	V
$V_{VDDP_UV_HYS}$	VDDP 欠压阈值迟滞			170		mV
$V_{VDDH_UV_R}$	VDDH 欠压阈值上升	VDDH 上升。	12.3	13	13.6	V
$V_{VDDH_UV_F}$	VDDH 欠压阈值下降。	VDDH 下降。	9.9	10.4	11	V
$V_{VDDH_UV_HYS}$	VDDH 欠压阈值迟滞。			2.5		V
$V_{VDDM_UV_R}$	VDDM 欠压阈值上升	VDDM 上升。	3.4	3.7	3.9	V
$V_{VDDM_UV_F}$	VDDM 欠压阈值下降。	VDDM 下降。	3.1	3.4	3.7	V
$V_{VDDM_UV_HYS}$	VDDM 欠压阈值迟滞。			0.3		V
驱动器						

ADVANCE INFORMATION

ADVANCE INFORMATION

5.9 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）。T_A = 25℃ 时的典型值。C_{VDDP} = 1μF，C_{DIV1} = 47nF，C_{DIV2} = 220nF，C_{VDRV} = 1nF，。50kΩ 上拉从、PGOOD 至 VDDP。

参数		测试条件	最小值	典型值	最大值	单位
V_{VDRV_H}	被驱动为高电平的 VDRV 输出电压	V_{VDDP} = 5V，EN = 5V。 稳态下的 V_{VDDH}，。	16	17	18	V
V_{VDRV_L}	被驱动为低电平的 VDRV 输出电压	V_{VDDP} = 5V，EN = 0V， 稳态下的 V_{VDDH}， VDRV 灌入 10mA 的电流。			0.1	V
I_{VDRV_PEAK}	VDRV 在上升期间的峰值输出电流	V_{VDDP} = 5V， EN = 0V → 5V， 稳态下的 V_{VDDH}， 测量峰值电流。		1.5		A
	VDRV 在下降期间的峰值输出电流	V_{VDDP} = 5V， EN = 5V → 0V， 稳态下的 V_{VDDH}， 测量峰值电流。		2.5		A
V_{ACT_CLAMP}	接合时的有源钳位电压。	V_{VDDP} = 0V。 灌电流 I_{VDRV} = 300mA。 测量 VDRV。		1.9	2.5	V
数字输入/输出						
$V_{IT_+(EN)}$	EN 上的输入阈值 电压上升。	V_{VDDP} = 5V	2.3	2.5	2.7	V
$V_{IT_-(EN)}$	EN 上的输入阈值 电压下降。	V_{VDDP} = 5V	1.7	1.9	2.0	V
$V_{IT_HYS(EN)}$	EN 上的输入阈值 电压迟滞。	V_{VDDP} = 5V		0.5		V
$V_{IT_+(CE)}$	CE 上的输入阈值 电压上升。	V_{VDDP} = 5V	2.3	2.5	2.7	V
$V_{IT_-(CE)}$	CE 上的输入阈值 电压下降。	V_{VDDP} = 5V	1.7	1.9	2.0	V
$V_{IT_HYS(CE)}$	CE 上的输入阈值 电压迟滞。	V_{VDDP} = 5V		0.5		V
V_{OL}	低电平输出电压。 PGOOD	V_{VDDP} = 4.5V 至 5.5V， I_{OL} = 2mA。 输出已启用。			0.4	V
I_{OL}	低电平输出电流。 PGOOD	V_{VDDP} = 4.5V 至 5.5V， V_{OL} = 0.4V。 输出已启用。	-2			mA
I_{LKG}	漏电流。 PGOOD	V_{VDDP} = 4.5V 至 5.5V， 输出已禁用。			2	μA
$R_{EN_PULLDOWN}$	EN 上的内部下拉电阻器。	V_{VDDP} = 5V	400	500	640	kΩ
$R_{CE_PULLDOWN}$	CE 上的内部下拉电阻器。	V_{VDDP} = 5V	400	500	640	kΩ

Copyright © 2025 Texas Instruments Incorporated

5.9 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）。T_A = 25℃ 时的典型值。C_{VDDP} = 1μF，C_{DIV1} = 47nF，C_{DIV2} = 220nF，C_{VDRV} = 1nF，。50kΩ 上拉从、PGOOD 至 VDDP。

参数		测试条件	最小值	典型值	最大值	单位
基准						
V_{REF+}	峰值电流基准电压。	T_A = 25°C		1.23		V
V_{REF-}	谷值电流基准电压。	T_A = 25°C		0.16		V
V_{REF_TOL}	内部基准电压容差。		-1.5		1.5	%
比较器						
$R_{CMP_PULLDOWN}$	内部下拉电阻器。 IS+		1.3	2.8	3.8	MΩ

5.10 开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）。T_A = 25℃ 时的典型值。C_{VDDP} = 1μF，C_{DIV1} = 47nF，C_{DIV2} = 220nF，C_{VDRV} = 1nF，。50kΩ 上拉从、PGOOD 至 VDDP。

参数		测试条件	最小值	典型值	最大值	单位
电源和驱动器						
t_{LO_EN}	EN 的低电平时间。	V_{VDDH} = 稳态。	5			μs
t_{HI_EN}	EN 的高电平时间。	V_{VDDH} = 稳态。	5			μs
t_{PER_EN}	EN 周期。	V_{VDDH} = 稳态。	10			μs
t_{LH_VDDH}	从 VDDP 上升到 VDDH（处于 50% 电平）的传播延迟时间。	EN = 0V， 1V/μs 时 V_{VDDP} = 0V → 5V， V_{VDDH} = 7.5V。		145		μs
t_{LH_VDRV}	在 90% 电平从 EN 上升到 VDRV 的传播延迟时间	V_{VDDP} = 5V， V_{VDDH} 稳态， EN = 0V → 5V， V_{VDRV} = 13.5V。		3	4.5	μs
t_{HL_VDRV}	从 EN 下降到 VDRV（电平为 10%）的传播延迟时间	V_{VDDP} = 5V， V_{VDDH} 稳态， EN = 5V → 0V， V_{VDRV} = 1.5V。		2.5	3.0	μs
$t_{HL_VDRV_PD}$	从 VDDP 下降到 VDRV（电平为 10%）的传播延迟时间。由于主电源断电导致的超时机制。	EN = 5V， -1V/μs 时 V_{VDDP} = 5V → 0V， V_{VDRV} = 1.5V。		140	160	μs
$t_{LH_VDRV_CE}$	在 10% 电平从 CE 上升到 VDRV 的传播延迟时间	V_{VDDP} = 5V， VDDH 和 VDDM 完全放电。 EN = CE = 0V → 5V， V_{VDRV} = 1.5V。		185		μs
$t_{HL_VDRV_CE}$	从 CE 下降到 VDRV（电平为 10%）的传播延迟时间	V_{VDDP} = 5V， V_{VDDH} 稳态， EN = 5V， CE= 5V → 0V， V_{VDRV} = 1.5V。		3	4	μs
t_{R_VDRV}	从 EN 上升到 VDRV（电平从 15% 升至 85%）的 VDRV 上升时间	V_{VDDP} = 5V， V_{VDDH} 稳态， EN = 0V → 5V， V_{VDRV} = 2.25V 至 12.75V。		10		ns
t_{F_VDRV}	从 EN 下降到 VDRV（电平从 85% 降至 15%）的 VDRV 下降时间	V_{VDDP} = xV， V_{VDDH} 稳态， EN = xV → 0V， V_{VDRV} = 12.75V 至 2.25V。		10		ns
比较器						

ADVANCE INFORMATION

5.10 开关特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）。T_A = 25℃ 时的典型值。C_{VDDP} = 1μF，C_{DIV1} = 47nF，C_{DIV2} = 220nF，C_{VDRV} = 1nF，。50kΩ 上拉从、PGOOD 至 VDDP。

参数		测试条件	最小值	典型值	最大值	单位
$t_{PD_CMP_VDRV}$	传播延迟时间，比较器输入到 VDRV 被置为低电平或高电平。	EN = CE = VDDP V_{UD} = 100mV V_{OD} = 30mV 测量 V_{IS+} 越过 V_{REF+}、V_{REF-} 到 50% V_{VDRV} 的时间。	320	395	460	ns

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

5.11 绝缘特性曲线

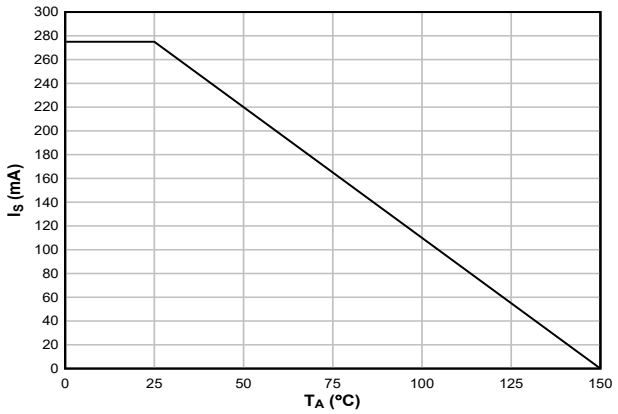


图 5-1. 根据 VDE 和 IEC 标准限制电流的热降额曲线

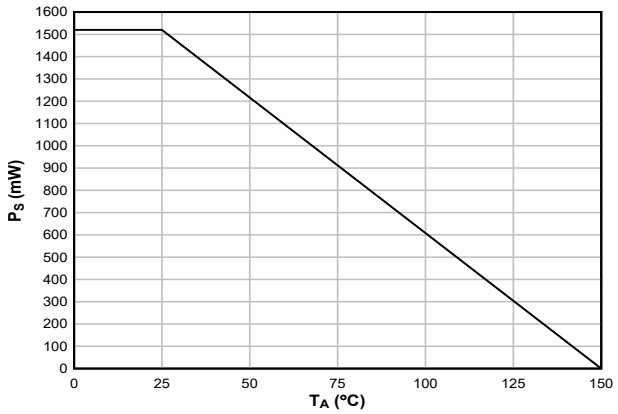


图 5-2. 根据 VDE 和 IEC 标准限制功率的热降额曲线

ADVANCE INFORMATION

ADVANCE INFORMATION

6 详细说明

6.1 概述

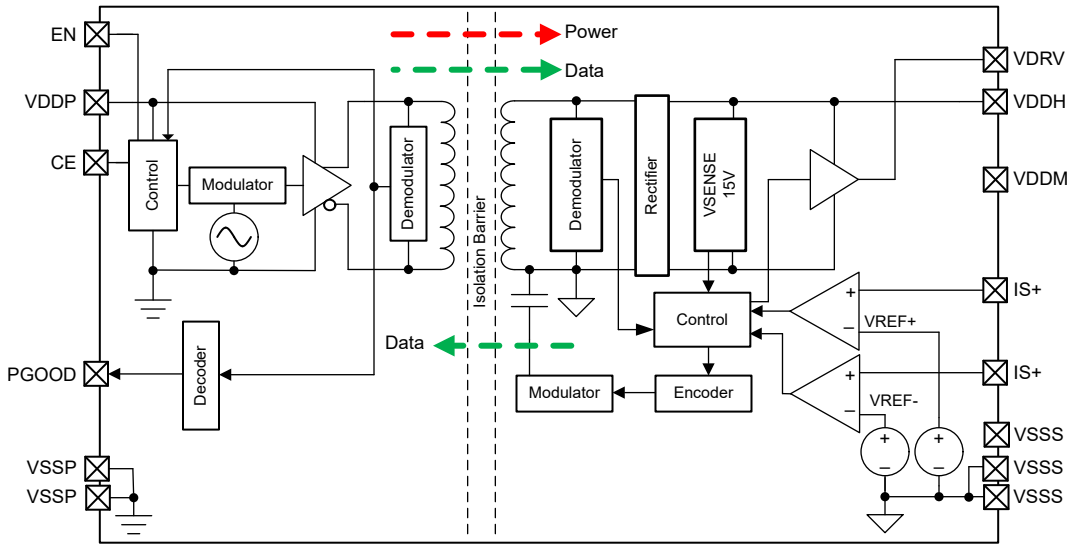
TPSI31P1-Q1 旨在用于汽车级预充电系统，作为传统无源预充电架构的替代方案，该架构通常包含昂贵的机电继电器 (EMR) 以及庞大的大功率电阻器。TPSI31P1-Q1 与外部电源开关、功率电感器和二极管相结合，形成了有源预充电解决方案。TPSI31P1-Q1 在迟滞运行模式下持续监测和控制电感电流，以对下游系统的大电容进行线性充电。TPSI31P1-Q1 是一款隔离式开关驱动器，可通过初级侧接收到的电源自行产生次级辅助电源，因此无需隔离式次级电源。当栅极驱动电压为 17V，峰值拉电流和灌电流为 1.5A 和 2.5A 时，可以使用大量电源开关，包括 SiC FET 和 IGBT。

TPSI31P1-Q1 集成一个通信反向通道，该反向通道可通过开漏输出、PGOOD（电源正常状态）将状态信息从次级侧传输到初级侧，并且指示次级电源何时有效。

功能方框图显示初级侧包含一个发送器，该发送器将交流电驱动到集成变压器的初级绕组中，该变压器将功率从初级侧传输到次级侧。该发送器在高频（80MHz，标称值）下运行，以最佳方式驱动变压器达到其峰值效率。此外，该发送器利用展频技术显著提高 EMI 性能，使许多应用能够达到 CISPR 25 5 类标准。在传输过程中，数据信息与功率一起传输到次级侧。在次级侧，变压器次级绕组上感应的电压经过整流和倍增，并调节至 VDDH 电压电平。最后，解调器对接收到的数据信息进行解码并根据 EN 引脚的逻辑状态将 VDRV 驱动为高电平或低电平。

在每次从初级侧到次级侧的功率传输过程中，反向通道状态信息被自动采样和编码，并从次级侧发送回至初级侧，并在初级侧进行解码。

6.2 功能方框图



6.3 特性说明

6.3.1 使能状态的传输

TPSI31P1-Q1 使用调制方案跨隔离栅传输预充电使能 (EN) 状态信息。发送器使用内部生成的高频载波调制 EN 信号，并以差分方式驱动隔离变压器的初级绕组。次级侧的接收器将接收到的信号解调为高电平或低电平，分别启用或禁用预充电功能。

6.3.2 功率传输

TPSI31P1-Q1 不使用次级侧隔离式辅助电源供电。次级侧功率是通过隔离变压器从 VDDP 传输初级侧输入功率而获得的。调制方案使用展频技术来提高 EMI 性能，从而帮助应用符合 CISPR 25 5 类标准。

Copyright © 2025 Texas Instruments Incorporated

6.3.3 栅极驱动器

TPSI31P1-Q1 具有集成栅极驱动器，可提供 17V 标称电压以及 1.5A 和 2.5A 峰值拉电流和灌电流，足以驱动许多功率晶体管。驱动外部功率晶体管时，TI 建议在 VDDH 和 VDDM 之间以及 VDDM 和 VSSS 之间使用旁路电容器 ($C_{DIV2} \geqslant 3 * C_{DIV1}$)，其等效串联电容至少为等效栅极电容的 30 倍。由于对外部功率晶体管的外部栅极电容充电，这可更大限度减少电源的压降。

6.3.4 芯片使能 (CE)

TPSI31P1-Q1 包含一个高电平有效芯片使能端 CE。当 CE 被置为高电平并且 VDDP 存在时，器件会进入其有效运行模式，从初级侧到次级侧进行功率传输。当 CE 被置为低电平且 VDDP 存在时，器件会进入待机状态，不会发生从初级侧到次级侧的功率传输，并且 VDRV 将被置为低电平。随着时间的推移，VDDH 和 VDDM 会完全放电，具体取决于这些电源轨上的负载大小。

6.3.5 比较器

TPSI31P1-Q1 包含两个相同的隔离式比较器。图 6-1 展示了一个简化版方框图。每个比较器的正输入可监测 IS+ 引脚上以 VSSS 为基准的电压。一个比较器在比较器负输入端子上有集成基准 VREF+。第二个比较器在比较器负输入端子上有集成基准 VREF-。两个基准在电压和温度范围内的总体精度均为 ±1.5%。基准电压外部不可用。

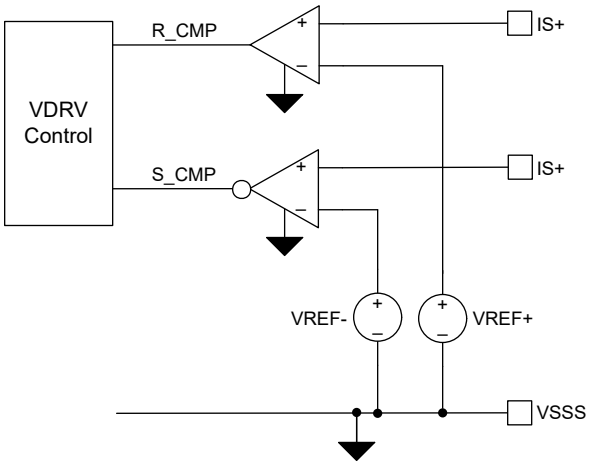


图 6-1. 比较器方框图

比较器的输出 R_CMP 和 S_CMP 连接到根据每个比较器的输出状态来控制 VDRV 状态的逻辑，如 VDRV 控制逻辑 所示

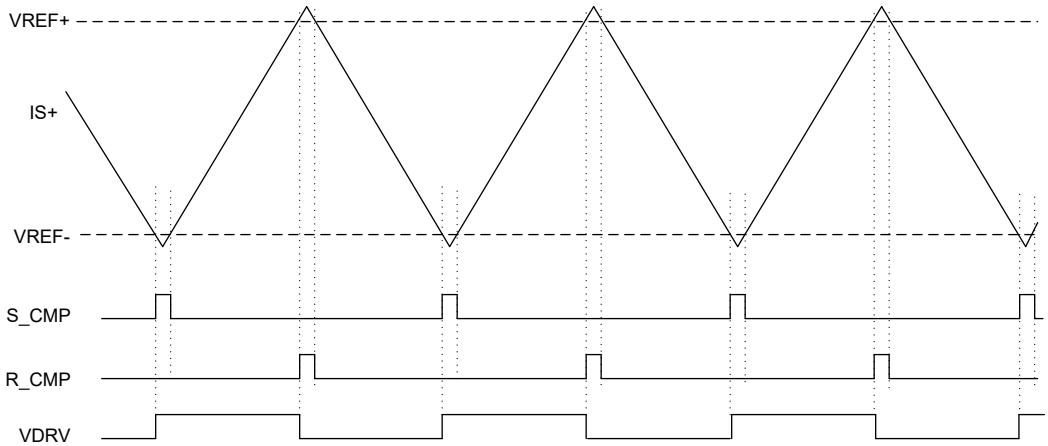


图 6-2. VDRV 控制逻辑

ADVANCE INFORMATION

6.3.6 VDDP、VDDH 和 VDDM 欠压锁定 (UVLO)

TPSI31P1-Q1 为输入 (VDDP) 和输出电源（VDDM 和 VDDH）实现内部 UVLO 保护功能。该器件将保持禁用状态，直到 VDDP 超过其上升 UVLO 阈值。当 VDDP 电源电压降至低于其下降阈值电压时，无论 EN 状态如何，器件都会尝试发送数据信息以快速将 VDRV 置为低电平。这取决于 VDDP 损耗率。如果 VDDP 崩溃太快而无法发送信息，超时机制可确保 VDRV 在 $t_{HL_VDRV_PD}$ 内被置为低电平。VDDP ULVO 事件会使 PGOOD 置为低电平。

VDDH 和 VDDM UVLO 电路分别监测 VDDH 和 VDDM 上的电压。仅当超过 VDDH 和 VDDM UVLO 上升阈值时，VDRV 才会被置为高电平。如果 VDDH 或 VDDM 低于各自的 UVLO 下降阈值，则 VDRV 立即被置为低电平。UVLO 保护块具有迟滞功能，有助于提高电源的抗噪性。在导通和关断期间，驱动器会拉取和灌入峰值瞬态电流，从而使 VDDH 和 VDDM 电源产生压降。UVLO 保护电路会忽略这些正常开关瞬态期间的相关噪声。

6.3.7 禁止电路

TPSI31P1-Q1 包含输出驱动器上的禁止电路。禁止电路的目的是将栅极电压钳位在可接受的电平以下，以防止外部电源开关在次级电源轨未供电时导通。禁止电路可用于替代或大幅降低外部电源开关上外部释放电阻器的要求。

图 6-3 显示了禁止电路的简化原理图。晶体管 MP1 和 MN1 构成了提供栅极电流来驱动外部电源开关 (M1) 的驱动器。当次级侧未供电时，从 MN1 的漏极连接到栅极的 1MΩ 电阻器形成 NMOS 二极管配置。任何通过 M1 寄生栅漏和栅源电容耦合到 VDRV 信号的外部耦合都可能导致 VDRV 信号上升。MN1 的二极管配置会灌入该电流，以防止 VDRV 上升过高，从而将 VDRV 钳位到 V_{ACT_CLAMP}。这足以使大多数电源开关保持关断状态。如果需要，还可以在 M1 的栅源之间放置一个额外的电阻（约为 250kΩ 或更高）。请注意，所施加的任何电阻在正常运行时都需要次级电源供电，总体功率预算中应考虑这一点。

除了 MN1 二极管钳位之外，MP1 的体二极管还有助于吸收任何耦合到 VDRV 的电流。对于大多数应用，等效电容 C_{eq}（C_{DIV1} 和 C_{DIV2} 的串联组合）通常约为数百纳法拉。如果功率传输停止一段时间，该电容会完全放电至 VSSS，并通过连接至 VDDH 的 MP1 的体二极管将 VDRV 二极管钳位至 VSSS 以上。通过 M1 寄生栅漏和栅源电容耦合到 VDRV 信号的任何外部耦合都被 C_{eq} 吸收，从而更大限度减少 VDRV 上的电压上升。

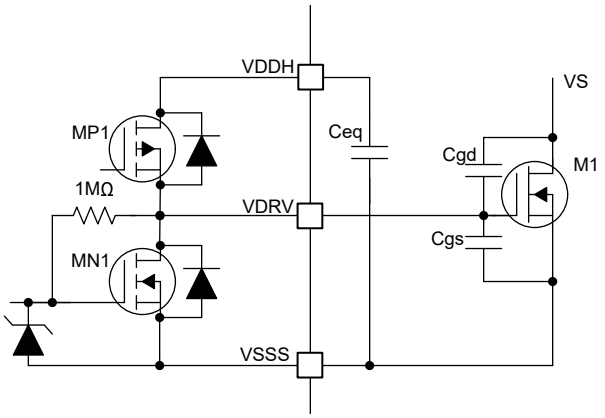


图 6-3. 禁止电路

6.3.8 热关断

TPSI31P1-Q1 具有一个集成温度传感器。该传感器监测其本地温度。当传感器达到其阈值时，会自动禁用从初级侧到次级侧的功率传输，并发送数据信息以禁用驱动器 VDRV。在本地温度降低到足以重新启动之前，功率传输和驱动器被禁用。

Copyright © 2025 Texas Instruments Incorporated

6.4 器件功能模式

表 6-1 总结了 TPSI31P1-Q1 器件的功能模式。

表 6-1. TPSI31P1-Q1 功能模式 (1)

CE	VDDP	VDDH、VDDM	EN	VDRV	PGOOD	注释
X	已断电(3)	已断电(5)	X	L	L	已断电： VDRV 输出被禁用，应用了禁止电路。
L	已上电(2)	已断电(5)	X	L	L	禁用的操作： 当 CE 被置为低电平时，到次级的功率传输停止。VDDH 和 VDDM 电源轨放电，直到加载。VDRV 输出被禁用，应用了禁止电路。
H	已上电(2)	已上电(4)	L	L	H	VDRV 被置为低电平。PGOOD 指示次级电源状态。功率传输到 VDDH 和 VDDM 电源轨。
H	已上电(2)	已上电(4)	H	L 或 H	H	预充电操作：VDRV 输出状态由比较器输出 R_CMP 和 S_CMP 控制。PGOOD 指示次级电源状态。

(1) X：无关。
(2) V_{VDDP} ≥VDDP_UVLO 阈值。
(3) V_{VDDP} < VDDP_UVLO 阈值。
(4) V_{VDDH} ≥ VDDH_UVLO 阈值且 V_{VDDM} ≥ VDDM_UVLO 阈值。
(5) V_{VDDH} <VDDH_UVLO 阈值或 V_{VDDM} < VDDM_UVLO 阈值。

ADVANCE INFORMATION

ADVANCE INFORMATION

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

TPSI31P1-Q1 旨在用于汽车级预充电系统，作为传统无源预充电架构的替代方案，该架构通常包含昂贵的机电继电器 (EMR) 以及庞大的大功率电阻器。TPSI31P1-Q1 与外部电源开关、功率电感器和二极管相结合，形成了有源预充电解决方案。TPSI31P1-Q1 在迟滞运行模式下监测和控制电感电流，以便对下游系统的大电容进行线性充电。TPSI31P1-Q1 是一款隔离式开关驱动器，可通过初级侧接收到的电源自行产生次级辅助电源，因此无需隔离式次级电源。当栅极驱动电压为 17V，峰值拉电流和灌电流为 1.5A 和 2.5A 时，可以使用大量电源开关，包括 SiC 和 IGBT。

7.2 典型应用

图 7-1 中显示的简化电路图是使用 TPSI31P1-Q1 的典型有源预充电应用。TPSI31P1-Q1 与驻留在 TPSI31P1-Q1 初级侧的微控制器相连。外部功率电感器 L1 以及功率二极管 D1 和功率 FET M1 构成降压转换器拓扑。M2 是可选功率 FET，可实现反向阻断。M2 在预充电期间静态启用。分流电阻器 R_{SHUNT} 用于通过在 IS+上形成相对于 VSSS 的电压来监测 L1 中的电流。

向 VDDP 和 CE 施加的电源为高电平时，通过将 EN 置为高电平来开始预充电周期。如果 IS+ 低于 VREF-，则 TPSI31P1-Q1 将 VDRV 置为高电平以启用 M1，M1 开始在 L1 中存储能量。一旦 L1 中的电流达到设置的峰值电平（当 IS+ 达到 VREF+ 时会发生这种情况），VDRV 被置为低电平以禁用 M1。此时，L1 中存储的能量释放到电容 C_{LINK} 中。随着电感器电流减小，IS+ 上的电压降至 VREF-，并再次启用 M1。此过程在整个预充电周期中持续进行。

在 EN 状态为高电平时，TPSI31P1-Q1 会在预充电完成时使 VDRV 保持被置为高电平。

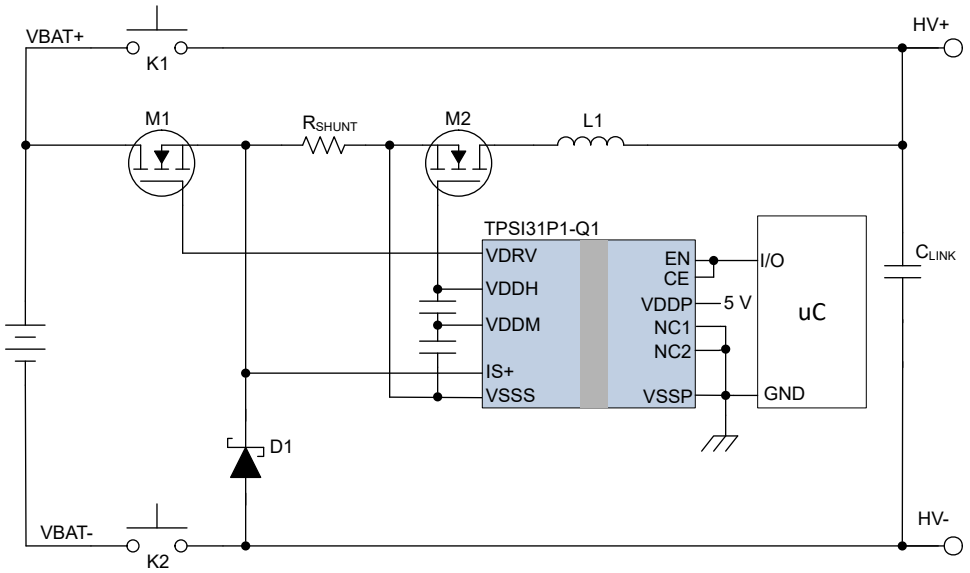


图 7-1. 典型的有源预充电应用

7.2.1 设计要求

表 7-1 列出了有源预充电系统的设计要求。

Copyright © 2025 Texas Instruments Incorporated

表 7-1. TPSI31P1-Q1 设计要求

设计参数	
链路电容	2mF
预充电时间	800ms
电池电压	800V
峰值电感器电流	< 5A

7.2.2 详细设计过程

电池电压 (V_{BAT})、链路电容 (C_{DC_LINK}) 以及目标预充电时间决定了所需的平均充电电流 (I_{AVG})。这可通过如下公式进行计算：

$$I_{AVG} \geq \frac{C_{DC_{LINK}} \times V_{BAT}}{t_{CHARGE}} = \frac{2mF \times 800V}{800ms} = 2A \quad (1)$$

平均电流定义为：

$$I_{AVG} = \frac{I_{PEAK} + I_{MIN}}{2} \quad (2)$$

峰值电流 I_{peak} 表示流经电感器的最大电流，定义为：

$$I_{PEAK} = \frac{V_{REF+}}{R_{SENSE}} \quad (3)$$

同样，最小电流 I_{min} 表示流经电感器的最小电流，定义为：

$$I_{MIN} = \frac{V_{REF-}}{R_{SENSE}} \quad (4)$$

因此，要确定正确设置电感器电流所需的分流电阻器 R_{SENSE}，使用以下公式：

$$R_{SENSE} = \frac{V_{REF+} + V_{REF-}}{2I_{AVG}} = \frac{1.23V + 0.16V}{2 \times 2A} = 348m\Omega \quad (5)$$

在此设计中，所选的 R_{SENSE} 为 300mΩ。

峰值电感器电流的计算公式如下：

$$I_{PEAK} = \frac{1.23V}{300m\Omega} = 4.1A \quad (6)$$

最小电感器电流的计算公式如下：

$$I_{MIN} = \frac{0.16V}{300m\Omega} = 0.53\ A \quad (7)$$

平均电感器电流的计算公式如下：

$$I_{AVG} = \frac{I_{PEAK} + I_{MIN}}{2} = \frac{4.1A + 0.53A}{2} = 2.32A \quad (8)$$

在预充电期间，由于迟滞控制，FET 的开关频率随着链路电容上的电压从完全放电增加到完全预充电而随时间变化。当链路电容上的电压达到其中点值 $V_{BAT}/2$ 时，会出现最大开关频率 $f_{SW_MAX_FET}$。这种情况发生在总预充电时间的一半时。

ADVANCE INFORMATION

TPSI31P1-Q1 在 85°C 时的最小功率传输限值为 42mW。由于 FET 在预充电期间开关，因此在每个开关周期中 FET 的总栅极电荷必须完全充电和放电。此最小功率传输限制了 TPSI31P1-Q1 可开关 FET 的最大频率。所选 FET 的总栅极电荷 Q_{TOTAL} 为 30nC。假设 V_{GS} = 15V，为确保 FET 得到全面增强，最大开关频率为：

$$f_{SW\ MAX\ FET} = \frac{P}{V_{GS} \times Q_{TOTAL}} = \frac{42mW}{15V \times 30nC} = 93.3kHz \tag{9}$$

基于最大开关频率，可计算最小电感 L_{MIN}：

$$L_{MIN} \geq \frac{V_{BAT}}{4 \times F_{SW\ MAX\ FET} \times \Delta I} \tag{10}$$

$$L_{MIN} \geq \frac{800V}{4 \times 93.3kHz \times (4.1A - 0.53A)} \geq 600.5\mu H \tag{11}$$

在此设计中，选择了总值为 940μH 的两个串联电感器，从而将最大开关频率降低到 61.3kHz，完全在 TPSI31P1-Q1 的功率传输能力范围内。务必选择可支持所需平均和峰值电流的电感器。较高的电感器和 ΔI 值会降低开关频率和功率要求。

7.2.2.1 C_{DIV1}、C_{DIV2} 电容

所需的 C_{DIV1} 和 C_{DIV2} 电容器取决于外部负载开关期间 VDDH 轨上可耐受的压降大小。C_{DIV1} 和 C_{DIV2} 电容器上存储的电荷用于在开关期间向负载提供电流。在开关期间会发生电荷共享并且 VDDH 上的电压会下降。TI 建议 C_{DIV1} 和 C_{DIV2} 串联组合形成的总电容大小至少应为要开关的总栅极电容的 30 倍。该大小调整会使用于为 VDRV 信号供电的 VDDH 电源轨出现大约 0.5V 的压降。方程式 12 和方程式 13 可用于计算指定压降所需的电容大小。

C_{DIV1} 和 C_{DIV2} 必须具有相同的类型和容差。

$$C_{DIV1} = \left(\frac{n+1}{n}\right) \times \frac{Q_{LOAD}}{\Delta V},\ n \geq 3.0 \tag{12}$$

$$C_{DIV2} = n \times C_{DIV1},\ n \geq 3.0 \tag{13}$$

其中

- n 是大于或等于 3.0 的实数。
- C_{DIV1} 是连接在 VDDH 和 VDDM 之间的外部电容器。
- C_{DIV2} 是连接在 VDDM 和 VSSS 之间的外部电容器。
- Q_{LOAD} 是从 VDRV 到 VSSS 的负载总电荷。
- ΔV 是切换负载时 VDDH 上的压降。

备注

C_{DIV1} 和 C_{DIV2} 表示绝对电容器，所选的元件必须针对容差和实现所需的电容所需的任何降额进行调节。

可以在应用中使用较大的 ΔV 值，但过大的压降可能导致达到 VDDH 欠压锁定下降阈值 ($V_{VDDH_UVLO_F}$)，并导致 VDRV 被置为低电平。请注意，随着 C_{DIV1} 和 C_{DIV2} 串联组合的电容相对于 Q_{LOAD} 增加，VDDH 电源压降会降低，但上电期间 VDDH 电源电压的初始充电会增大。

在该设计中，开关 FET 的总栅极电荷为 30nC。对于 ΔV = 0.5V，

$$C_{DIV1} = \left(\frac{3+1}{3}\right) \times \frac{30nC}{0.5V} = 80nF \tag{14}$$

$$C_{DIV2} = 3 \times 80nF = 240nF \tag{15}$$

为进一步降低 ΔV，在该设计中选择了以下电容：

Copyright © 2025 Texas Instruments Incorporated

ADVANCE INFORMATION

$$C_{DIV1} = 330nF \tag{16}$$

$$C_{DIV2} = 1\mu F \tag{17}$$

7.2.3 应用曲线

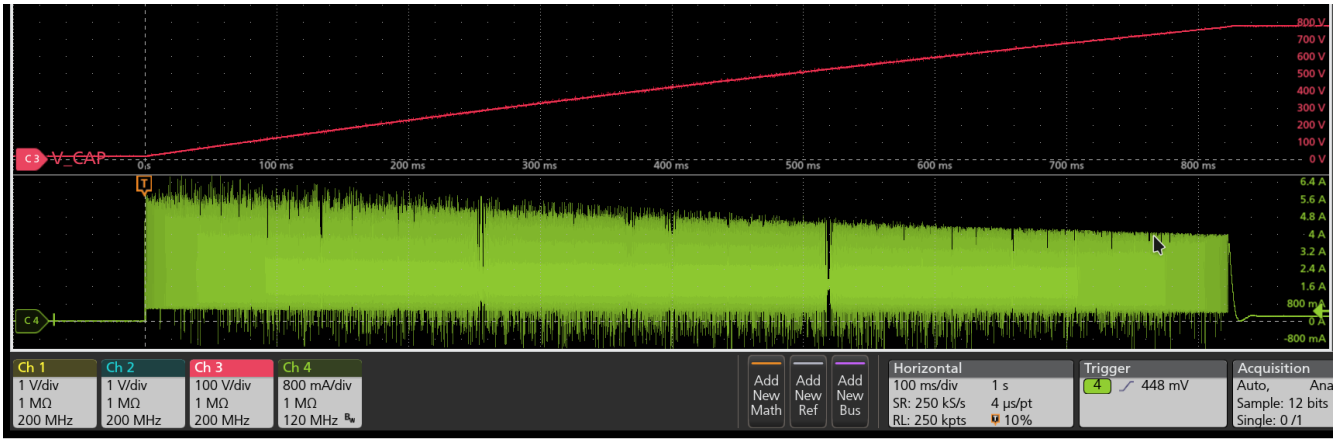


图 7-2. 典型的有源预充电波形

7.2.4 绝缘寿命

绝缘寿命预测数据是使用业界通用的时间依赖性电介质击穿 (TDDB) 测试方法收集的。在该测试中，隔离栅两侧的所有引脚都连在一起，构成了一个双端子器件并在两侧之间施加高电压；对于 TDDB 测试设置，请参阅图 7-3。绝缘击穿数据是在开关频率为 60 Hz 以及各种高电压条件下在整个温度范围内收集的。对于增强型绝缘，VDE 标准要求使用故障率小于 1ppm 的 TDDB 预测线。尽管额定工作隔离电压条件下的预期最短绝缘寿命为 20 年，但是 VDE 增强认证要求工作电压具有额外 20% 的安全裕度，寿命具有额外 87.5% 的安全裕度，也就是说在工作电压高于额定值 20% 的条件下，所需的最短绝缘寿命为 37.5 年。

图 7-4 展示了隔离栅在整个寿命期内承受高压应力的固有能力。根据 TDDB 数据，固有绝缘能力为 $1200V_{RMS}$，寿命为 101 年。

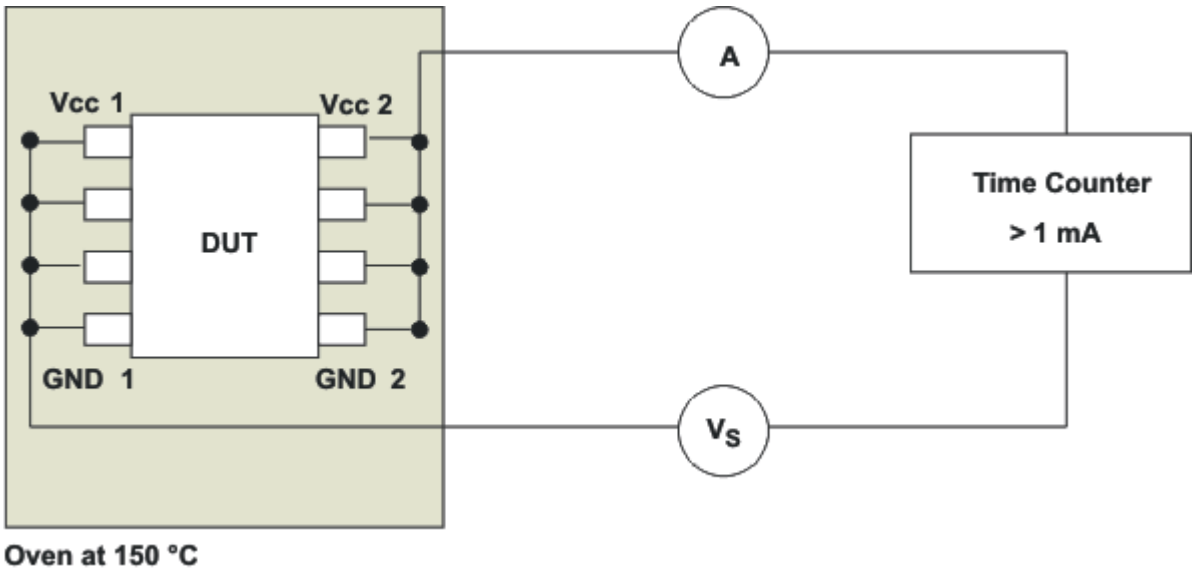


图 7-3. 绝缘寿命测量的测试设置

ADVANCE INFORMATION

ADVANCE INFORMATION

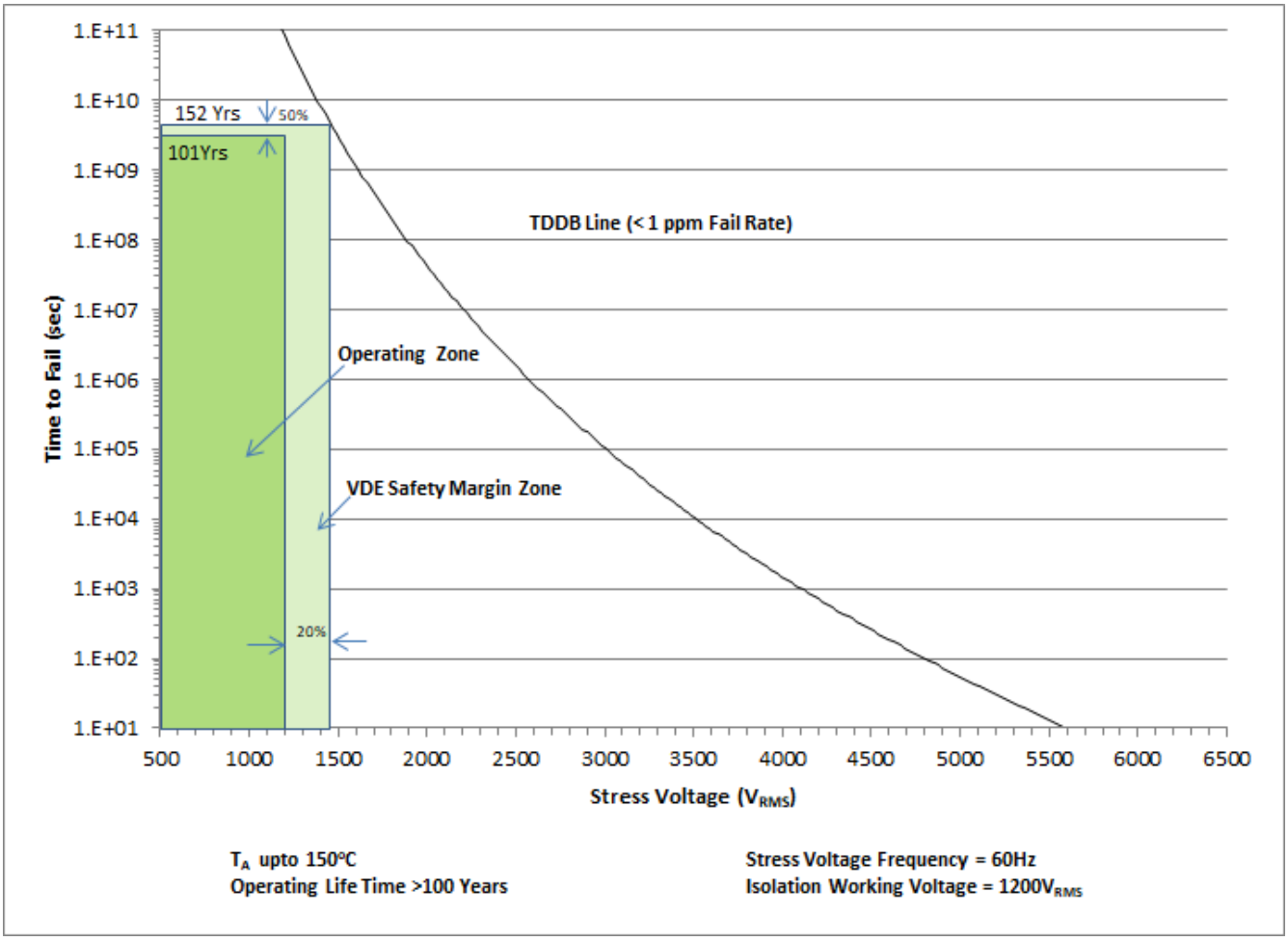


图 7-4. 绝缘寿命预测数据

7.3 电源相关建议

为了帮助确保实现可靠的电源电压，TI 建议 VDDP 和 VSSP 之间的 C_{VDDP} 电容由一个用于高频去耦的 0.1 µF 旁路电容器与一个用于低频去耦的 1 µF 旁路电容器并联组成。必须在 VDDP 和 VSSP 引脚之间靠近器件的位置连接具有低 ESR 和低 ESL 的电容器。

7.4 布局

7.4.1 布局指南

设计人员必须密切关注 PCB 布局，以实现 TPSI31P1-Q1 的最佳性能。以下是一些主要的指导准则：

- 组件放置：
  - 将驱动器放置在尽可能靠近功率半导体的位置，以减小 PCB 引线上栅极环路的寄生电感。
  - 在 VDDH 和 VDDM 引脚与 VDDM 和 VSSS 引脚之间靠近器件的位置连接具有低 ESR 和低 ESL 的电容器，以便在导通外部功率晶体管时旁路噪声并支持高峰值电流。
  - 在 VDDP 和 VSSP 引脚之间靠近器件的位置连接具有低 ESR 和低 ESL 的电容器。
  - 更大限度地减小 RESP 引脚上的寄生电容。
- 接地注意事项：
  - 将对晶体管栅极进行充电和放电的高峰值电流限制在最小的物理区域内。该限制可降低环路电感并最大程度地降低晶体管栅极端子上的噪声。栅极驱动器应尽可能靠近晶体管。

Copyright © 2025 Texas Instruments Incorporated

- 在驱动器 VSSS 与 MOSFET 源极或 IGBT 发射极之间建立开尔文连接。如果功率器件没有分离式开尔文源极或发射极，请将 VSSS 引脚尽可能靠近功率器件封装的源极或发射极端子连接，以将栅极环路与高功率开关环路分开。

- EMI 注意事项：

  TPSI31P1-Q1 采用展频调制 (SSM)，在某些系统中不需要考虑额外的系统设计注意事项即可满足 EMI 性能需求。然而，系统设计人员可以选择根据系统要求和系统设计人员的安全偏好采取其他措施来更大限度地降低 EMI。下面列出的措施通过提供从次级侧到初级侧的电容返回路径或通过初级侧的电感元件增加共模环路阻抗来减少辐射。

  - 电感元件：可以将一对具有大约 TBD kΩ 高频阻抗的铁氧体磁珠或共模扼流圈与 VDDP 电源和 VSSP 接地端串联放置。
  - 电容元件：大多数系统设计已经采用分立式 Y 电容器或者在高压域和低压域之间包含一定量的寄生 Y 电容。如果该 Y 电容与 TPSI31P1-Q1 位于同一电路板上，则这些器件将充当电容返回路径。
- 高电压注意事项：
  - 为确保初级侧和次级侧之间的隔离性能，请避免在驱动器器件下方放置任何 PCB 迹线或铜。TI 建议使用 PCB 切口或坡口来防止可能影响隔离性能的污染。
- 散热注意事项：
  - 适当的 PCB 布局有助于将器件产生的热量散发到 PCB，并最大限度地降低结到电路板的热阻抗 (θ_{JB})。
  - 如果系统有多个层，TI 还建议通过具有足够尺寸的通孔将 VDDH 和 VSSS 引脚连接到内部接地或电源平面。这些通孔必须靠近 IC 引脚，以更大限度地提高热导率。不过，请记住，不要重叠来自不同高电压平面的迹线或铜。

7.4.2 布局示例

图 7-5 展示了一个 PCB 布局示例，其中标记了信号和主要组件。

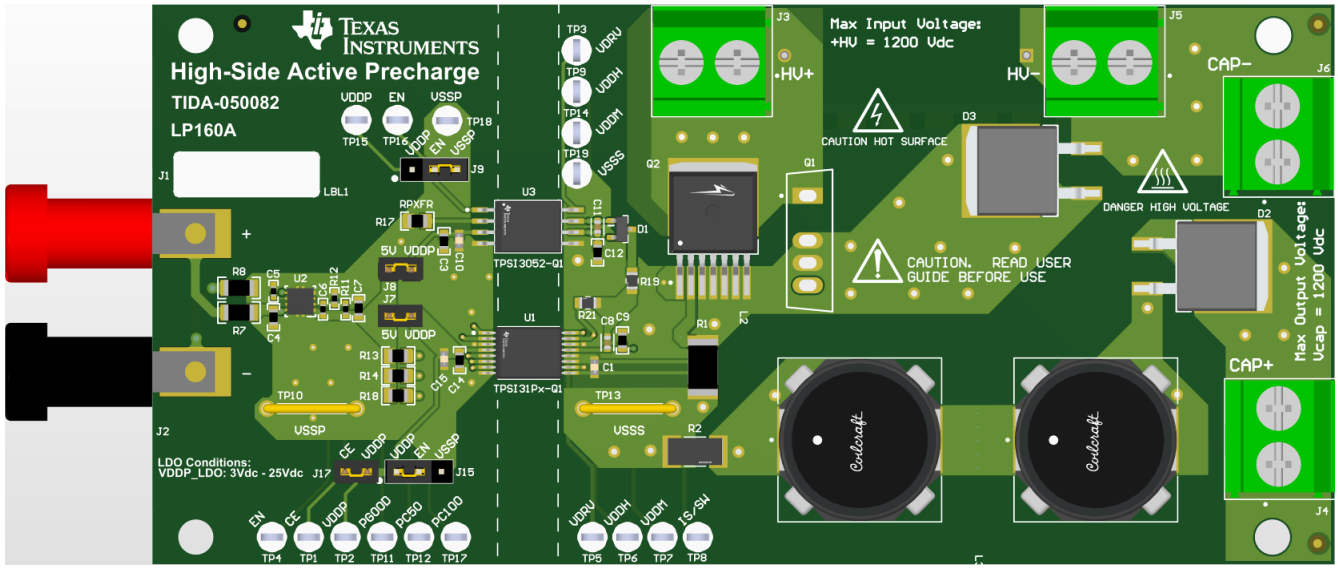


图 7-5. 3D PCB 视图

ADVANCE INFORMATION

ADVANCE INFORMATION

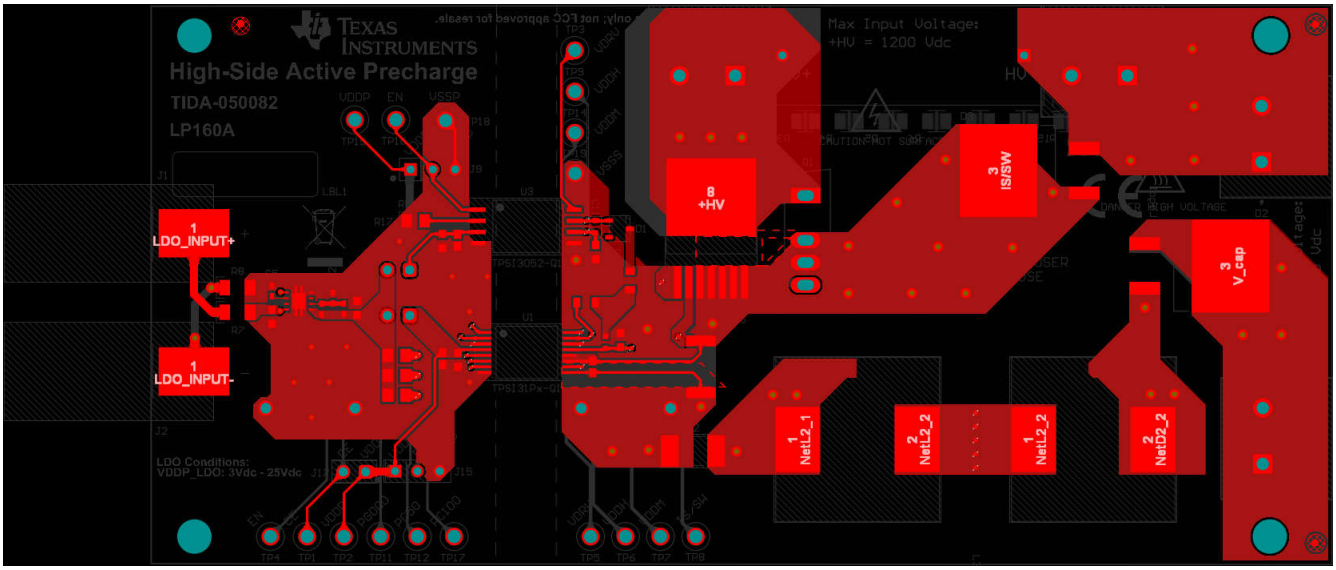


图 7-6. 顶层

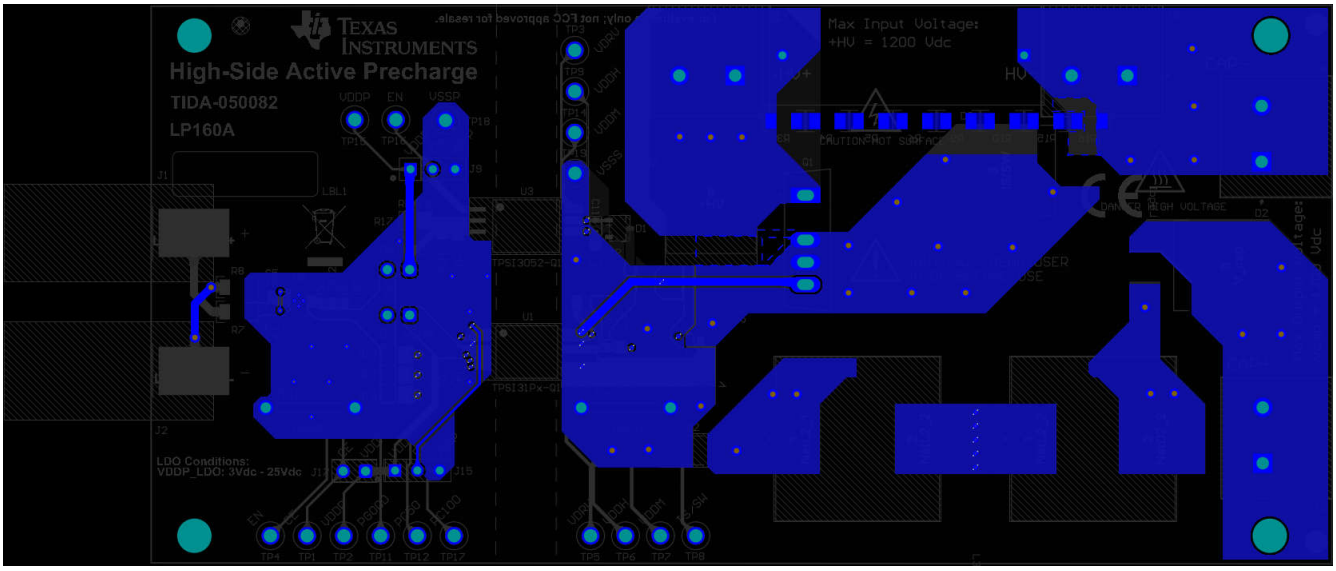


图 7-7. 底层

Copyright © 2025 Texas Instruments Incorporated

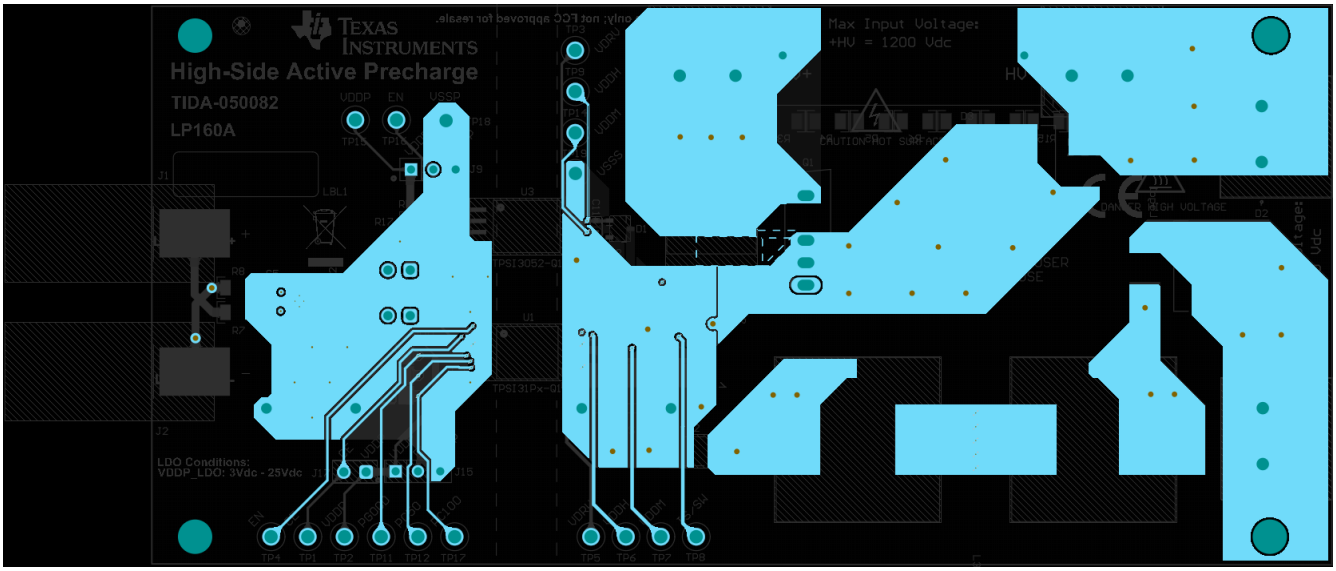


图 7-8. 信号层 1

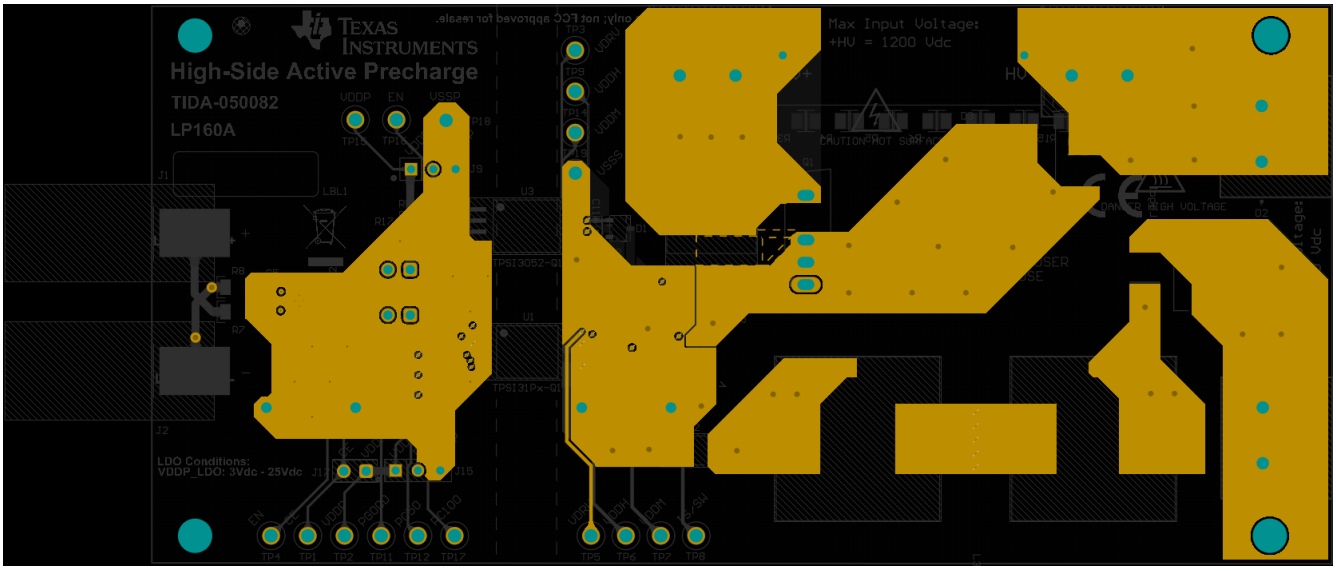


图 7-9. 信号层 2

ADVANCE INFORMATION

ADVANCE INFORMATION

8 器件和文档支持

8.1 文档支持

8.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*隔离相关术语*

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

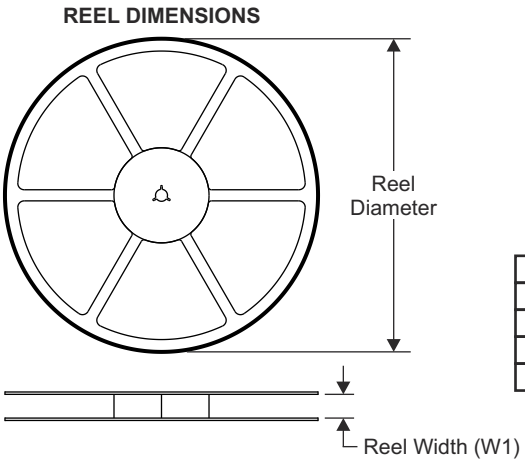
日期	修订版本	注释
October 2024	*	初始发行版

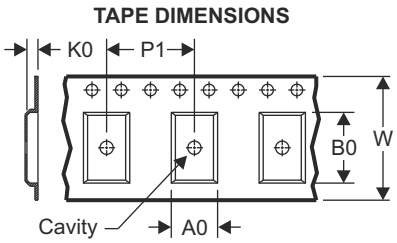
10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

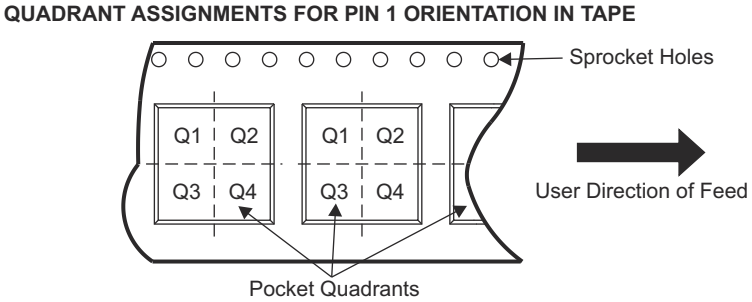
Copyright © 2025 Texas Instruments Incorporated

10.1 卷带包装信息





A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

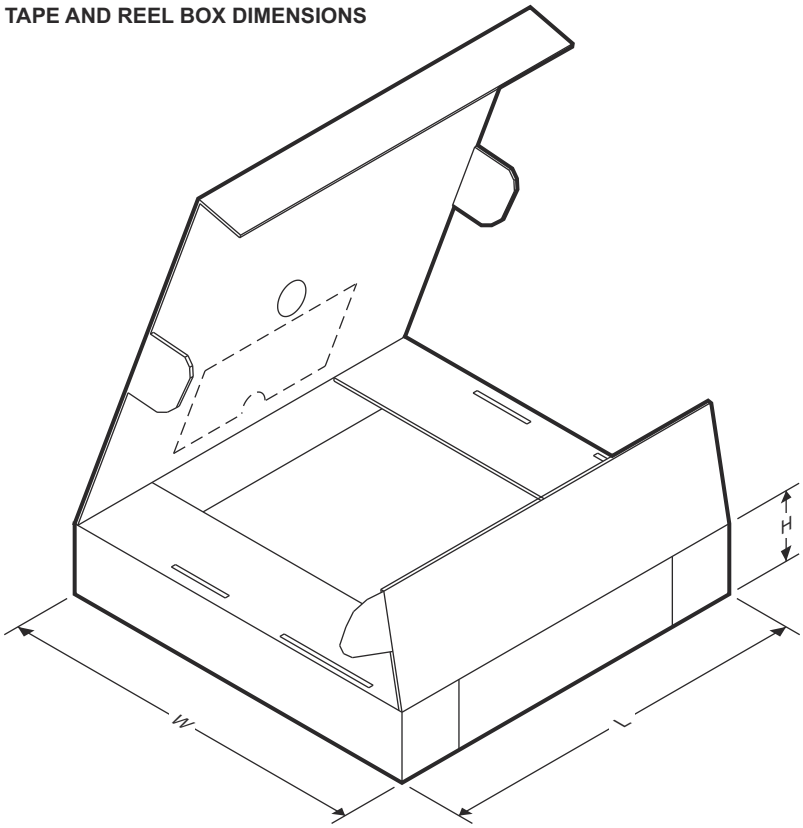


器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1象限
PTPSI31P1QDVXRQ1	SSOP	DVX	16	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1

ADVANCE INFORMATION

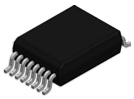
ADVANCE INFORMATION

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
PTPSI31P1QDVXRQ1	SSOP	DVX	16	1000	350.0	350.0	43.0

Copyright © 2025 Texas Instruments Incorporated

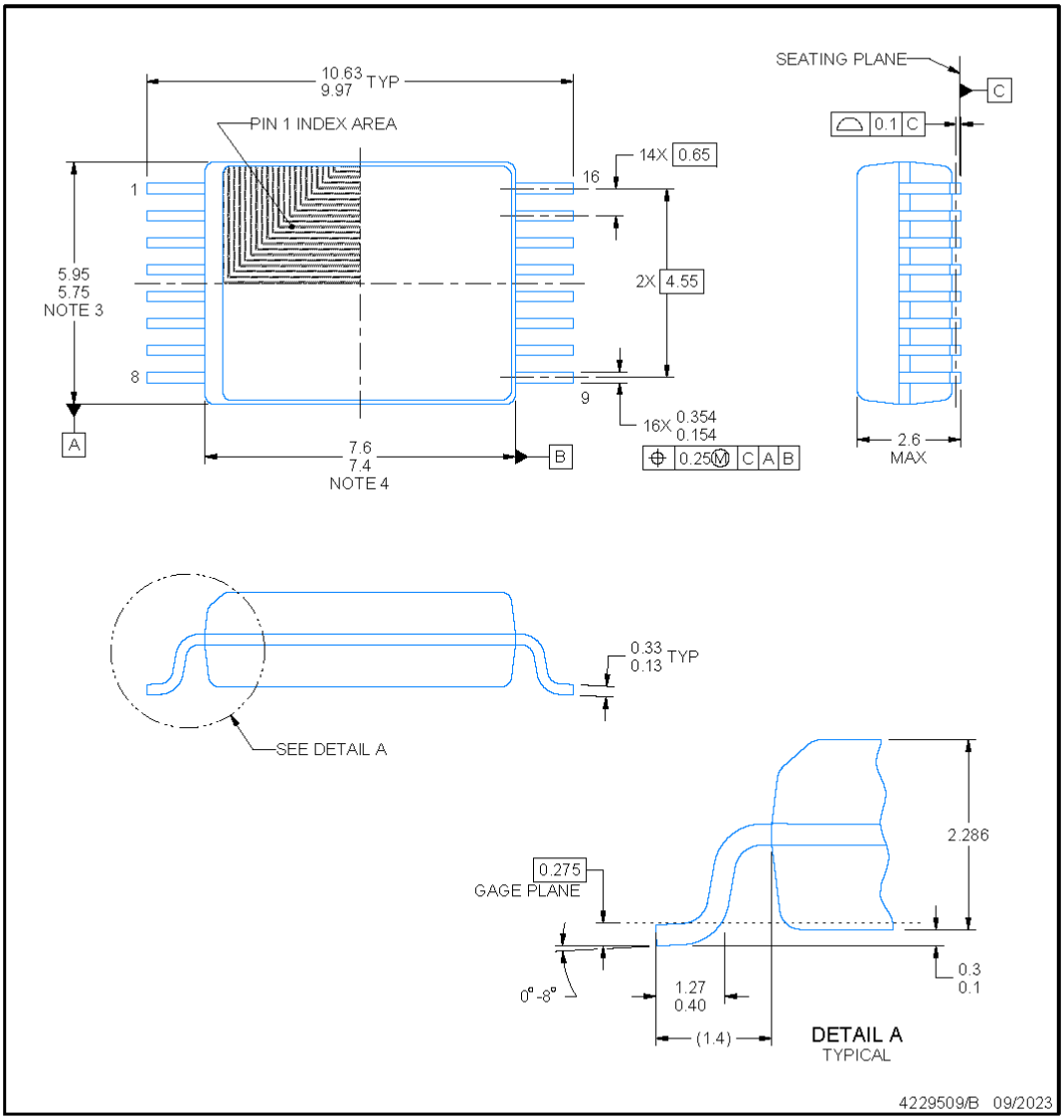


DVX0016A

PACKAGE OUTLINE

SSOP - 2.6 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.

ADVANCE INFORMATION

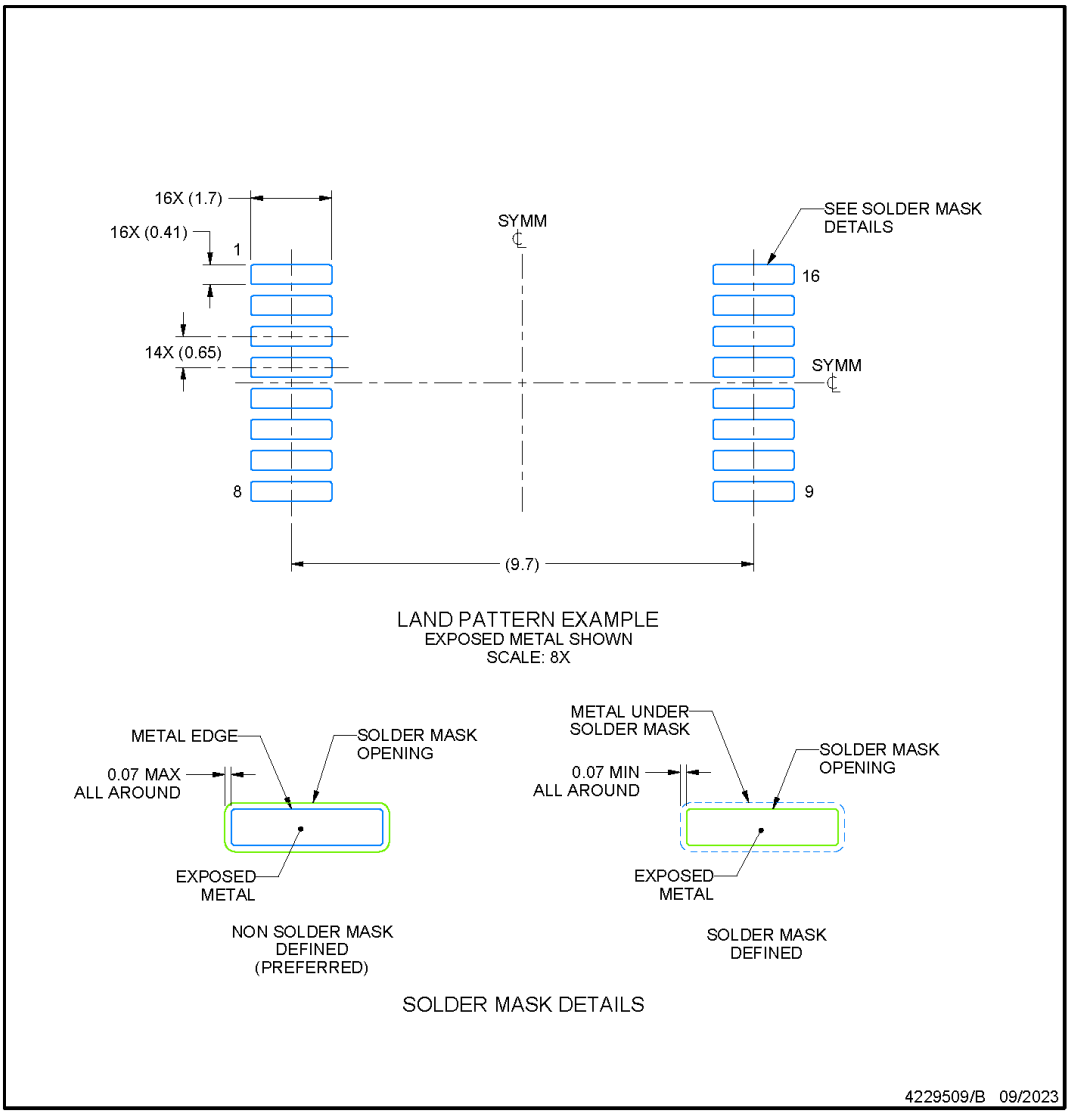
Copyright © 2025 Texas Instruments Incorporated

ADVANCE INFORMATION

EXAMPLE BOARD LAYOUT

DVX0016A **SSOP - 2.6 mm max height**

SMALL OUTLINE PACKAGE



NOTES: (continued)

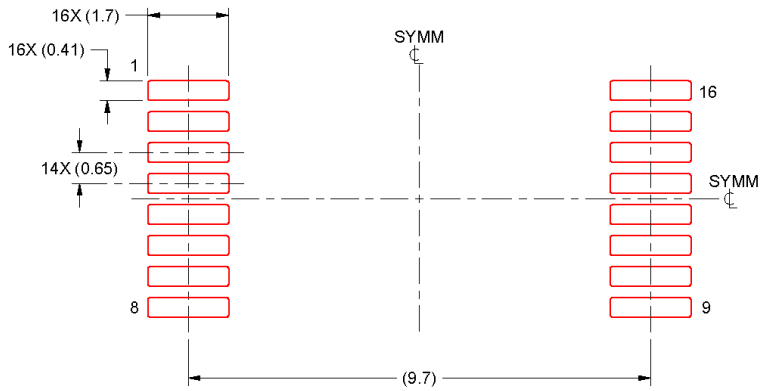
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DVX0016A **SSOP - 2.6 mm max height**

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

DWG_NO:3/REV:3 MM_YYYY:3

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTPSI31P1QDVXRQ1	Active	Preproduction	SO-MOD (DVX) | 16	1000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
PTPSI31P1QDVXRQ1.A	Active	Preproduction	SO-MOD (DVX) | 16	1000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
PTPSI31P1QDVXRQ1.B	Active	Preproduction	SO-MOD (DVX) | 16	1000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

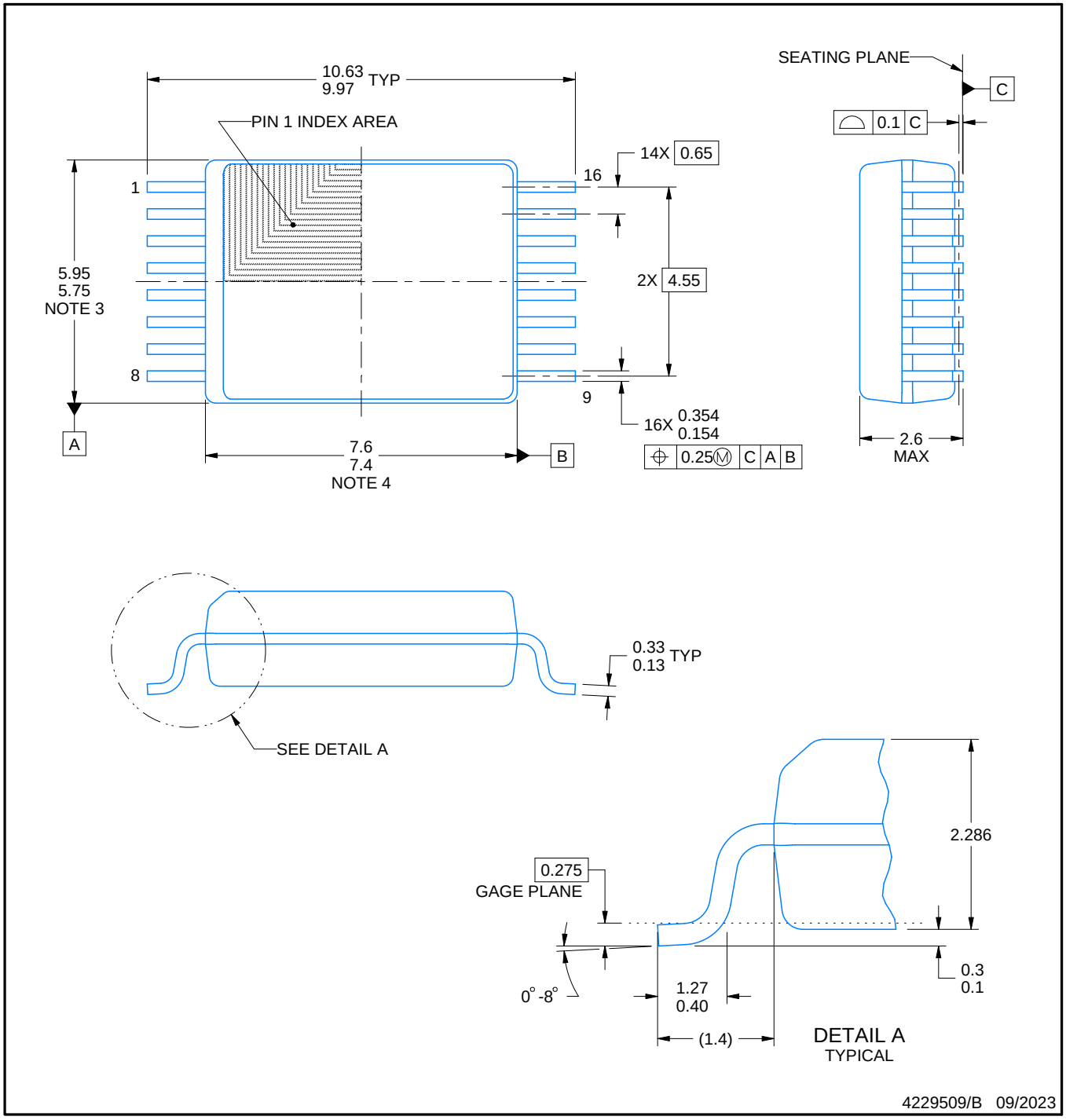
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

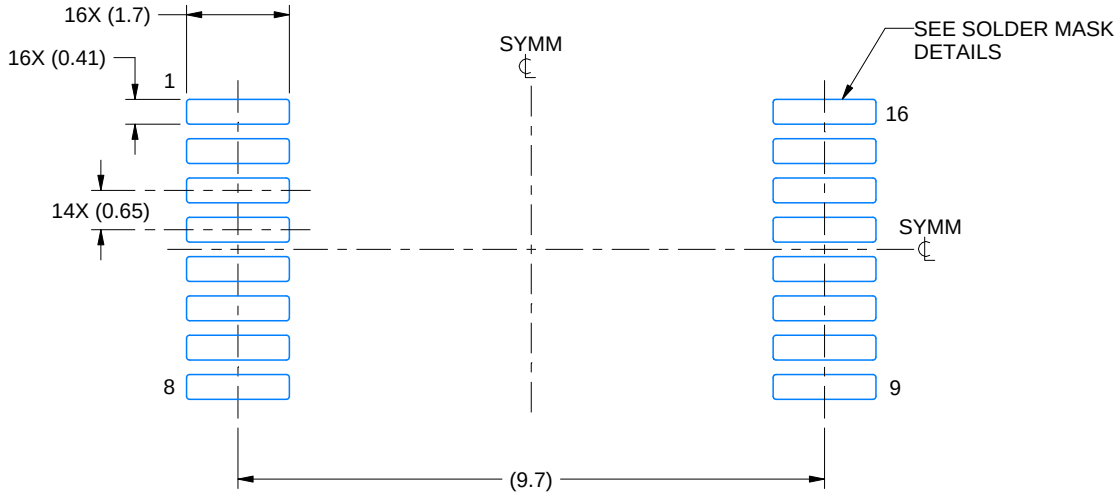
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

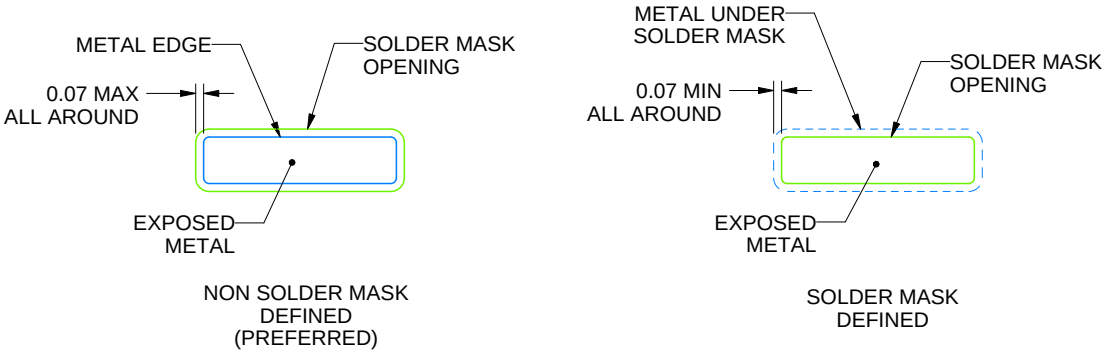


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 8X

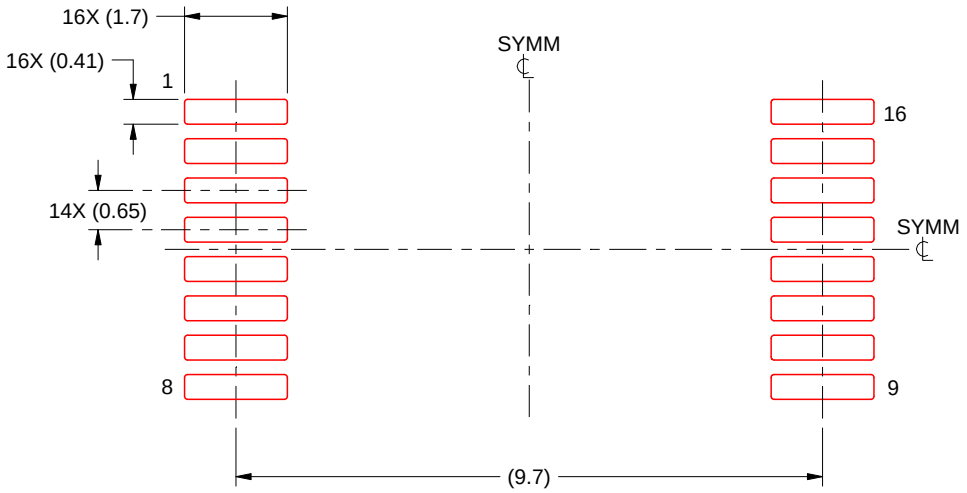


SOLDER MASK DETAILS

4229509/B 09/2023

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

DWG_NO:3/REV:3 MM_YYYY:3

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。 严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司