TPSI3050M 具有 10V 栅极驱动器和集成偏置电源的扩展温度增强型隔离式开关驱动器

1 特性

- 无需隔离式次级电源
- 驱动外部功率晶体管或 SCR
- 5kV$_{RMS}$ 增强型隔离
- 10V 栅极驱动，1.5A/2.5A 峰值拉电流/灌电流
- 适用于外部辅助电路的高达 50mW 电源
- 支持交流或直流开关
- 支持双线或三线模式
- 七电平功率传输，电阻可选
- 功能安全型
  - 可提供用于功能安全系统设计的文档
- 环境温度范围：–55°C 至 125°C
- 安全相关认证
  - 计划：符合 DIN EN IEC 60747-17 (VDE 0884-17) 的 7071V$_{PK}$ 增强型隔离
  - 计划：符合 UL 1577 标准且长达 1 分钟的 5kV$_{RMS}$ 隔离

2 应用

- 固态继电器 (SSR)
- 航电设备
- 电池管理系统
- 混合动力、电动和动力总成系统
- 楼宇自动化
- 工厂自动化和控制

3 说明

TPSI3050M 是一款完全集成的隔离式开关驱动器，与外部电源开关结合使用时，可构成完整的隔离式固态继电器 (SSR)。当标称栅极驱动电压为 10V、峰值拉电流和灌电流为 1.5A 和 3.0A 时，可以选择多种外部电源开关来满足各种应用需求。TPSI3050M 可通过初级侧电源自行产生次级偏置电源，因此无需隔离式次级电源偏置。而且，TPSI3050M 可以有选择性地向外部配套电路供电，以满足不同的应用需求。

TPSI3050M 根据所需的输入引脚数量，支持两种工作模式。在两线模式中（通常用于驱动机械继电器），控制开关仅需要两个引脚，并支持 6.5V 至 48V 的宽工作电压范围。在三线模式下，3V 至 5.5V 的主电源由外部提供，开关通过单独的使能控制。

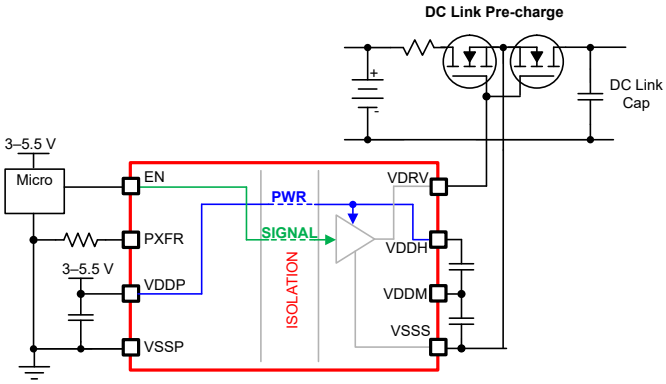
次级侧可为驱动多种电源开关提供 10V 的浮动稳压电源轨，无需次级偏置电源。具体用途包括为直流应用驱动单个电源开关，或为交流应用驱动两个背靠背电源开关，以及各种类型的 SCR。TPSI3050M 集成式隔离保护功能非常稳健，与传统机械继电器和光耦合器相比，其可靠性更高、功耗更低，且温度范围更宽。

使用从 PXFR 引脚到 VSSP 的外部电阻器在七个功率等级设置中选择一个，以调节 TPSI3050M 的功率传输。此操作可根据应用需求权衡功率损耗与次级侧功耗。

封装信息

器件型号	封装(1)	封装尺寸(2)
TPSI3050M	DWZ（SOIC，8）	11.50mm × 5.85mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



TPSI3050M 简化原理图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 引脚配置和功能.... 3
5 规格.... 4
5.1 绝对最大额定值.... 4
5.2 ESD 等级.... 4
5.3 建议运行条件.... 4
5.4 热性能信息.... 5
5.5 功率等级.... 5
5.6 绝缘规格.... 5
5.7 安全相关认证.... 6
5.8 安全限值.... 6
5.9 电气特性.... 7
5.10 开关特性.... 9
5.11 绝缘特性曲线.... 11
5.12 典型特性.... 12
6 参数测量信息.... 15
7 详细说明.... 16
7.1 概述.... 16
7.2 功能方框图.... 16
7.3 特性说明.... 16
7.4 器件功能模式.... 23
8 应用和实施.... 24
8.1 应用信息.... 24
8.2 典型应用.... 24
8.3 电源相关建议.... 32
8.4 布局.... 32
9 器件和文档支持.... 35
9.1 接收文档更新通知.... 35
9.2 支持资源.... 35
9.3 商标.... 35
9.4 静电放电警告.... 35
9.5 术语表.... 35
10 修订历史记录.... 35
11 机械、封装和可订购信息.... 35

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

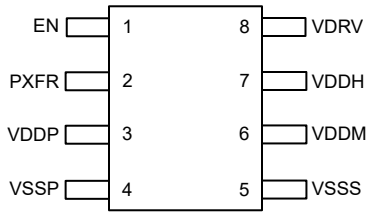


图 4-1. TPSI3050M DWZ 封装，8 引脚 SOIC（顶视图）

表 4-1. 引脚功能

引脚		I/O	类型[(1)]	说明
编号	名称			
1	EN	I	—	高电平有效的驱动器使能端
2	PXFR	I	—	可以使用从 PXFR 引脚到 VSSP 的外部电阻在七个功率等级设置中选择一个，以调节电源传输。在三线模式中，给定的电阻设置可设置电源转换器的占空比（请参阅表 7-1），从而设置传输的功率量。在两线模式下，给定的电阻设置可调节 EN 引脚的电流限制（请参阅表 7-2），从而调节传输的功率。
3	VDDP	—	P	初级侧的电源
4	VSSP	—	GND	初级侧的接地电源
5	VSSS	—	GND	次级侧的接地电源
6	VDDM	—	P	生成的中位电压
7	VDDH	—	P	生成的高位电压
8	VDRV	O	—	高电平有效的驱动器输出端

(1) P = 电源，GND = 接地，NC = 无连接

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

参数[(1)]		最小值	最大值	单位
初级侧电源[(2)]	VDDP	-0.3	6	V
	EN	-0.3	60	V
	PXFR	-0.3	60	V
次级侧电源[(3)]	VDRV	-0.3	12	V
	VDDH	-0.3	12	V
	VDDM	-0.3	6	V
	VDDH – VDDM	-0.3	6	V
结温，T_J		-55	150	°C
贮存温度，T_{stg}		-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 所有电压值均以 VSSP 为基准。
(3) 所有电压值均以 VSSS 为基准。

5.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准[(1)]		±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准[(2)]	转角引脚（1、4、5 和 8）	±750	
			其他引脚	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
如果采取了必要的预防措施，则可以在低于 500V HBM 时进行生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。
如果采取了必要的预防措施，则可以在低于 250V CDM 时进行生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
VDDP	初级侧电源电压三线模式[(1)]	3.0		5.5	V
EN	在两线模式下启用[(1)]	0		48.0	V
	在三线模式下启用[(1)]	0		5.5	V
PXFR	功率传输控制[(1)]	0		5.5	V
C_{VDDP}	VDDP 和 VSSP 上的去耦电容，两线模式[(3)]	220		330	nF
	VDDP 和 VSSP 上的去耦电容，三线模式[(3)]	0.22		20	µF
C_{DIV1} [(2)]	VDDH 和 VDDM 之间的去耦电容[(3)]	0.003		40	µF
C_{DIV2} [(2)]	VDDM 和 VSSS 之间的去耦电容[(3)]	0.003		40	µF
T_A	环境工作温度	-55		125	°C
T_J	工作结温	-55		150	°C
$\|\Delta V_{EN}/\Delta t\|$	EN 上升和下降速率，两线模式。	65			V/ms

(1) 所有电压值均以 VSSP 为基准。
(2) $C_{DIV2} \geqslant C_{DIV1}$。$C_{DIV1}$ 和 C_{DIV2} 应具有相同的类型和容差。

Copyright © 2025 Texas Instruments Incorporated

(3) 所有电容值都是绝对值。必要时应进行降额。

5.4 热性能信息

热指标[1]		TPSI3050M DWZ (SOIC) 8 引脚	单位
$R_{\Theta JA}$	结至环境热阻	89.3	°C/W
$R_{\Theta JC(top)}$	结至外壳（顶部）热阻	40.3	°C/W
$R_{\Theta JB}$	结至电路板热阻	45.2	°C/W
ψ_{JT}	结至顶部特征参数	10.3	°C/W
Ψ_{JB}	结至电路板特征参数	44.4	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

5.5 功率等级

参数		测试条件	最小值	典型值	最大值	单位
P_D	最大功率耗散，VDDP。	V_{VDDP} = 5V， R_{PXFR} = 20kΩ，三线模式， C_{VDRV} = 100pF， C_{DIV1} = C_{DIV2} = 100nF， f_{EN} = 1kHz 方波，V_{EN} = 5V 峰峰值。			250	mW
	最大功率耗散，EN。	R_{PXFR} = 20kΩ，两线模式， C_{VDRV} = 100pF， C_{DIV1} = C_{DIV2} = 100nF， f_{EN} = 1kHz 方波，V_{EN} = 48V 峰峰值。			350	mW

5.6 绝缘规格

参数		测试条件	规格	单位
通用				
CLR	外部间隙[1]	端子间的最短空间距离	≥ 8.5	mm
CPG	外部爬电距离[1]	端子间的最短封装表面距离	≥ 8.5	mm
DTI	绝缘穿透距离	最小内部间隙	≥ 120	μm
CTI	相对漏电起痕指数	DIN EN 60112 (VDE 0303-11)；IEC 60112	≥ 600	V
	材料组	符合 IEC 60664-1	I	
	过压类别（符合 IEC 60664-1）	额定市电电压 ≤ 600V_{RMS}	I-IV	
		额定市电电压 ≤ 1000V_{RMS}	I-III	
DIN EN IEC 60747-17 (VDE 0884-17)				
V_{IORM}	最大重复峰值隔离电压	交流电压（双极）	1414	V_{PK}
V_{IOWM}	最大隔离工作电压	交流电压（正弦波）	1000	V_{RMS}
		直流电压	1414	V_{DC}
V_{IOTM}	最大瞬态隔离电压	V_{TEST} = V_{IOTM}；t = 60s（鉴定测试）	7070	V_{PK}
		V_{TEST} = 1.2 × V_{IOTM}；t = 1s（100% 生产测试）	8484	V_{PK}
V_{IMP}	最大脉冲电压[2]	在空气中测试； 符合 IEC 62638-1 标准的 1.2/50μs 波形	9230	V_{PK}
V_{IOSM}	最大浪涌隔离电压[3]	在油中进行测试（鉴定测试）； 符合 IEC 62638-1 的 1.2/50μs 波形	12000	V_{PK}

5.6 绝缘规格（续）

参数		测试条件	规格	单位
q_{pd}	视在电荷(4)	方法 a：在输入输出安全测试子组 2/3 后，$V_{ini} = V_{IOTM}$，$t_{ini} = 60s$；$V_{pd(m)} = 1.2 \times V_{IORM}$，$t_m = 10s$	≤ 5	pC
		方法 a：环境测试子组 1 后，$V_{ini} = V_{IOTM}$，$t_{ini} = 60s$；$V_{pd(m)} = 1.6 \times V_{IORM}$，$t_m = 10s$	≤ 5	
		方法 b1：常规测试（100% 生产测试）和预处理（类型测试），$V_{ini} = V_{IOTM}$，$t_{ini} = 1s$；$V_{pd(m)} = 1.875 \times V_{IORM}$，$t_m = 1s$	≤ 5	
C_{IO}	势垒电容，输入至输出(5)	$V_{IO} = 0.4 \times \sin(2\pi ft)$，f = 1MHz	3	pF
R_{IO}	隔离电阻，输入至输出(5)	$V_{IO} = 500V$，$T_A = 25°C$	$> 10^{12}$	Ω
		$V_{IO} = 500V$，$100°C \leq T_A \leq 125°C$	$> 10^{11}$	
		$V_{IO} = 500V$，$T_S = 150°C$	$> 10^{9}$	
	污染等级		2	
	气候类别		40/125/21	
UL 1577				
V_{ISO}	可承受的隔离电压	$V_{TEST} = V_{ISO} = 5000V_{RMS}$，t = 60s（鉴定测试），$V_{TEST} = 1.2 \times V_{ISO} = 6000V_{RMS}$，t = 1s（100% 生产测试）	5000	V_{RMS}

(1) 爬电距离和间隙应满足应用的特定设备隔离标准中的要求。请注意保持电路板设计的爬电距离和间隙，从而确保印刷电路板上隔离器的安装焊盘不会导致此距离缩短。在特定的情况下，印刷电路板上的爬电距离和间隙变得相等。在印刷电路板上插入坡口或肋或同时应用这两项技术可帮助提高这些规格。
(2) 在空气中进行测试，以确定封装的固有浪涌抗扰度。
(3) 在油中进行测试，以确定隔离栅的固有浪涌抗扰度。
(4) 视在电荷是局部放电 (pd) 引起的电气放电。
(5) 将隔离层每一侧的所有引脚都连在一起，构成一个双引脚器件。

5.7 安全相关认证

VDE	UL
根据 DIN EN IEC 60747-17 (VDE 0884-17) 进行了认证	在 UL 1577 组件认证计划下进行了认证
增强型绝缘；最大瞬态隔离电压 $7071V_{PK}$；最大重复峰值隔离电压 $1414V_{PK}$；最大浪涌隔离电压 $12000V_{PK}$	单一保护，$5000V_{RMS}$
证书编号：已计划	文件编号：已计划

5.8 安全限值

参数(1) (2)		测试条件	最小值	典型值	最大值	单位
I_S	安全输入、输出或电源电流	$R_{\theta JA} = 89.3°C/W$，$V_{VDDP} = 5.5V$，$T_J = 150°C$，$T_A = 25°C$，三线模式。			254	mA
		$R_{\theta JA} = 89.3°C/W$，$V_{EN} = 24V$，$T_J = 150°C$，$T_A = 25°C$，两线模式。			58	
		$R_{\theta JA} = 89.3°C/W$，$V_{EN} = 48V$，$T_J = 150°C$，$T_A = 25°C$，两线模式。			29	
P_S	安全输入、输出或总功率	$R_{\theta JA} = 89.3°C/W$，$T_J = 150°C$，$T_A = 25°C$。			1.4	W

Copyright © 2025 Texas Instruments Incorporated

5.8 安全限值（续）

参数(1) (2)		测试条件	最小值	典型值	最大值	单位
T_S	最高安全温度				150	°C

(1) 安全限制旨在最大限度地减小在发生输入或输出电路故障时对隔离栅的潜在损害。I/O 发生故障时会导致低电阻接地或连接到电源，如果没有限流电路，则会因为功耗过大而导致芯片过热并损坏隔离栅，甚至可能导致辅助系统出现故障。

(2) 安全限值约束是数据表中指定的最高结温。结温取决于应用硬件中所安装器件的功耗和结至空气热阻。假设热性能信息表中的结至空气热阻所属器件安装在含引线的表面贴装封装对应的高 K 测试板上。功耗为建议的最大输入电压与电流之积。因此，结温是环境温度加上功耗与结至空气热阻之积。

5.9 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）。T_A = 25℃ 时的典型值。C_{VDDP} = 220nF，C_{DIV1} = C_{DIV2} = 3.3nF，C_{VDRV} = 100pF，R_{PXFR} = 7.32kΩ ±1%

参数		测试条件	最小值	典型值	最大值	单位
COMMON						
$V_{VDDP_UV_R}$	VDDP 欠压阈值上升	VDDP 上升	2.50	2.70	2.90	V
$V_{VDDP_UV_F}$	VDDP 欠压阈值下降	VDDP 下降	2.35	2.55	2.75	V
$V_{VDDP_UV_HYS}$	VDDP 欠压阈值迟滞			75		mV
TSD	关断温度			173		℃
TSDH	关断温度迟滞			32		℃
$V_{VDDH_UV_R}$	VDDH 欠压阈值上升	VDDH 上升。	8.3	8.6	9.0	V
$V_{VDDH_UV_F}$	VDDH 欠压阈值下降	VDDH 下降。	6.3	6.6	6.9	V
$V_{VDDH_UV_HYS}$	VDDH 欠压阈值迟滞			2		V
I_{Q_VDDH}	VDDH 电源的内部静态电流。			36		μA
R_{DSON_VDRV}	低电平状态下的驱动器导通电阻	强制 V_{VDDH} = 10V， 灌电流 I_{VDRV} = 50mA。		1.7		Ω
	高电平状态下的驱动器导通电阻	强制 V_{VDDH} = 10V， 拉电流 I_{VDRV} = 50mA。		2.5		Ω
I_{VDRV_PEAK}	VDRV 在上升期间的峰值输出电流	稳态下的 V_{VDDH}， 将 EN 从低电平转换为高电平， 测量峰值电流。		1.5		A
	VDRV 在下降期间的峰值输出电流	稳态下的 V_{VDDH}， EN 从高电平转换为低电平， 测量峰值电流。		3		A
CMTI	共模瞬态抗扰度	$\|V_{CM}\|$ = 1000V	100			V/ns
两线模式						
V_{IH_EN}	EN 上检测为有效逻辑高电平的最小电压		6.5			V
V_{IL_EN}	EN 上被检测为有效逻辑低电平的最大电压				2.0	V
I_{EN_START}	启动时的使能电流	EN = 0V → 6.5V		27		mA
I_{EN}	稳态使能电流	EN = 6.5V， R_{PXFR} = 7.32kΩ， R_{PXFR} ≥100kΩ 或 R_{PXFR} ≤1kΩ， V_{VDDH} 处于稳态。		1.9		mA
		EN = 6.5V， R_{PXFR} = 20kΩ， V_{VDDH} 处于稳态。		6.8		mA
V_{VDDP_RIPPLE}	VDDP 输出电压纹波	EN = 6.5V，V_{VDDH} 处于稳态。		600		mV

Copyright © 2025 Texas Instruments Incorporated

5.9 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）。T_A = 25℃ 时的典型值。C_{VDDP} = 220nF，C_{DIV1} = C_{DIV2} = 3.3nF，C_{VDRV} = 100pF，R_{PXFR} = 7.32kΩ ±1%

参数		测试条件	最小值	典型值	最大值	单位
V_{VDDH}	VDDH 输出电压	EN = 6.5V， V_{VDDH} 处于稳态。	9.4	10.2	11	V
V_{VDRV_H}	被驱动为高电平的 VDRV 输出电压	EN = 6.5V， V_{VDDH} 处于稳态， 无直流负载。	9.4	10.2	11	V
V_{VDRV_L}	被驱动为低电平的 VDRV 输出电压	EN = 6.5V → 0V， V_{VDDH} 处于稳态， 灌电流 10mA 负载。			0.1	V
V_{VDDM_IAUX}	拉取外部电流时的平均 VDDM 电压	EN = 6.5V，稳态. R_{PXFR} = 7.32kΩ， R_{PXFR} ≥ 100kΩ 或 R_{PXFR} ≤ 1kΩ， C_{DIV1} = C_{DIV2} = 220nF， 来自 VDDM 的拉电流 0.4mA， 测量 VDDM 电压。	4.6		5.5	V
		EN = 6.5V，稳态。 R_{PXFR} = 20kΩ， C_{DIV1} = C_{DIV2} = 220nF， 来自 VDDM 的拉电流 1.7mA， 测量 VDDM 电压。	4.6		5.5	V
三线模式						
V_{IH_EN}	EN 上检测为有效逻辑高电平的最小电压。 $V_{IH(min)}$ = 0.7 × V_{VDDP}	V_{VDDP} = 3V	2.1			V
		V_{VDDP} = 5.5V	3.85			V
V_{IL_EN}	EN 上被检测为有效逻辑低电平的最大电压	V_{VDDP} = 3V			0.9	V
		V_{VDDP} = 5.5V			1.65	V
I_{VDDP}	稳态下的 VDDP 平均电流	EN = 3.3V， V_{VDDP} = 3.3V， R_{PXFR} = 7.32kΩ， R_{PXFR} ≥ 100kΩ 或 R_{PXFR} ≤ 1kΩ， V_{VDDH} 处于稳态， 测量 I_{VDDP}。		3.1		mA
		EN = 3.3V， V_{VDDP} = 3.3V， R_{PXFR} = 20kΩ V_{VDDH} 处于稳态， 测量 I_{VDDP}。		26		mA
		EN = 5V， V_{VDDP} = 5V， R_{PXFR} = 7.32kΩ， R_{PXFR} ≥ 100kΩ 或 R_{PXFR} ≤ 1kΩ， V_{VDDH} 处于稳态， 测量 I_{VDDP}。		4.8		mA
		EN = 5V， V_{VDDP} = 5V， R_{PXFR} = 20kΩ， V_{VDDH} 处于稳态， 测量 I_{VDDP}。		37		mA

Copyright © 2025 Texas Instruments Incorporated

5.9 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）。T_A = 25℃ 时的典型值。C_{VDDP} = 220nF，C_{DIV1} = C_{DIV2} = 3.3nF，C_{VDRV} = 100pF，R_{PXFR} = 7.32kΩ ±1%

参数		测试条件	最小值	典型值	最大值	单位
V_{VDDM_IAUX}	拉取外部电流时的平均 VDDM 电压	V_{VDDP} = 3.3V，EN = 0V，稳态，R_{PXFR} = 7.32kΩ，C_{DIV1} = C_{DIV2} = 220nF，来自 VDDM 的拉电流 0.4mA，测量 V_{VDDM}。	4.6		5.5	V
		V_{VDDP} = 5.0V，EN = 0V，稳态，R_{PXFR} = 7.32kΩ，C_{DIV1} = C_{DIV2} = 220nF，来自 VDDM 的拉电流 1.0mA，测量 V_{VDDM}。	4.6		5.5	V
		V_{VDDP} = 3.3V，EN = 0V，稳态，R_{PXFR} =20kΩ，C_{DIV1} = C_{DIV2} = 220nF，来自 VDDM 的拉电流 5.5mA，测量 V_{VDDM}。	4.6		5.5	V
		V_{VDDP} = 5.0V，EN = 0V，稳态，R_{PXFR} = 20kΩ，C_{DIV1} = C_{DIV2} = 220nF，来自 VDDM 的拉电流 10mA，测量 V_{VDDM}。	4.6		5.5	V
V_{VDDH}	VDDH 输出电压	V_{VDDP} = 3.0V，EN = 3.0V，V_{VDDH} 处于稳态。	9.4	10.2	11	V
V_{VDRV_H}	被驱动为高电平的 VDRV 输出电压	V_{VDDP} = 3.0V，EN = 3.0V，V_{VDDH} 处于稳态，无直流负载。	9.4	10.2	11	V
V_{VDRV_L}	被驱动为低电平的 VDRV 输出电压	V_{VDDP} = 3.0V，EN = 0V，V_{VDDH} 处于稳态，VDRV 灌电流 10mA。			0.1	V

5.10 开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）。T_A = 25℃ 时的典型值。C_{VDDP} = 220nF、C_{DIV1} = C_{DIV2} = 3.3nF、C_{VDRV} = 100pF、R_{PXFR} = 7.32kΩ ±1%

参数		测试条件	最小值	典型值	最大值	单位
两线模式						
t_{LO_EN}	EN 的低电平时间		5			μs
t_{LH_VDDH}	在 50% 电平从 EN 上升到 VDDH 的传播延迟时间	EN = 0V → 6.5V，V_{VDDH} = 5.0V.		90		μs
t_{LH_VDRV}	在 90% 电平从 EN 上升到 VDRV 的传播延迟时间	EN = 0V → 6.5V，V_{VDRV} = 9.0V。		260		μs
t_{HL_VDRV}	从 EN 下降到 VDRV（电平为 10%）的传播延迟时间	EN = 6.5V → 0V，V_{VDRV} = 1.0V。		2.4	3	μs
t_{R_VDRV}	从 EN 上升到 VDRV（电平从 15% 升至 85%）的 VDRV 上升时间	EN = 0V → 6.5V，V_{VDRV} = 1.5V 至 8.5V。		6		ns
t_{F_VDRV}	从 EN 下降到 VDRV（电平从 85% 降至 15%）的 VDRV 下降时间	EN = 6.5V → 0V，V_{VDRV} = 8.5V 至 1.5V。		5		ns
三线模式						
t_{LO_EN}	EN 的低电平时间	V_{VDDP} = 3.3V，稳态。	5			μs

5.10 开关特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）。T_A = 25℃ 时的典型值。C_{VDDP} = 220nF、C_{DIV1} = C_{DIV2} = 3.3nF、C_{VDRV} = 100pF、R_{PXFR} = 7.32kΩ ±1%

参数		测试条件	最小值	典型值	最大值	单位
t_{HI_EN}	EN 的高电平时间	V_{VDDP} = 3.3V，稳态。	5			μs
t_{LH_VDDH}	在 50% 电平从 VDDP 上升到 VDDH 的传播延迟时间	EN = 0V， 1V/μs 时 V_{VDDP} = 0V → 3.3V， V_{VDDH} = 5.0V。		74		μs
t_{LH_VDRV}	在 90% 电平从 EN 上升到 VDRV 的传播延迟时间	V_{VDDP} = 3.3V， V_{VDDH} 稳态， EN = 0V → 3.3V， V_{VDRV} = 9.0V。		3	4.5	μs
t_{HL_VDRV}	从 EN 下降到 VDRV（电平为 10%）的传播延迟时间	V_{VDDP} = 3.3V， V_{VDDH} 稳态， EN = 3.3V → 0V， V_{VDRV} = 1.0V。		2.5	3	μs
$t_{HL_VDRV_PD}$	从 VDDP 下降到 VDRV（处于 10% 电平）的传播延迟时间。 由于主电源断电产生的超时机制。	EN = 3.3V， V_{VDDH} 稳态，–1V/μs 时 V_{VDDP} = 3.3V → 0V， V_{VDRV} = 1.0V。		100		μs
t_{R_VDRV}	从 EN 上升到 VDRV（电平从 15% 升至 85%）的 VDRV 上升时间	V_{VDDP} = 3.3V， V_{VDDH} 稳态， EN = 0V → 3.3V， V_{VDRV} = 1.5V 至 8.5V。		6		ns
t_{F_VDRV}	从 EN 下降到 VDRV（电平从 85% 降至 15%）的 VDRV 下降时间	V_{VDDP} = 3.3V， V_{VDDH} 稳态， EN = 3.3V → 0V， V_{VDRV} = 8.5V 至 1.5V。		5		ns

Copyright © 2025 Texas Instruments Incorporated

5.11 绝缘特性曲线

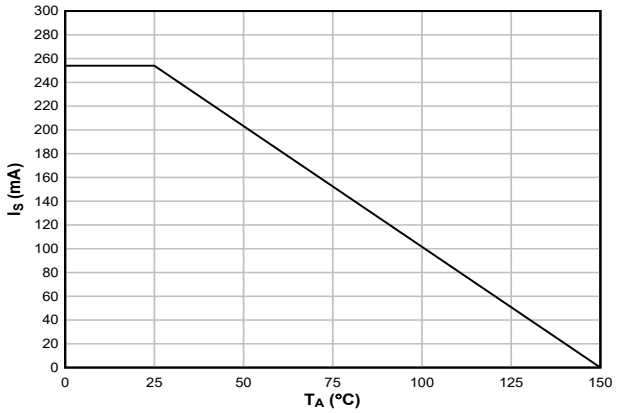


图 5-1. 根据 VDE 和 IEC 标准限制电流的热降额曲线，三线模式

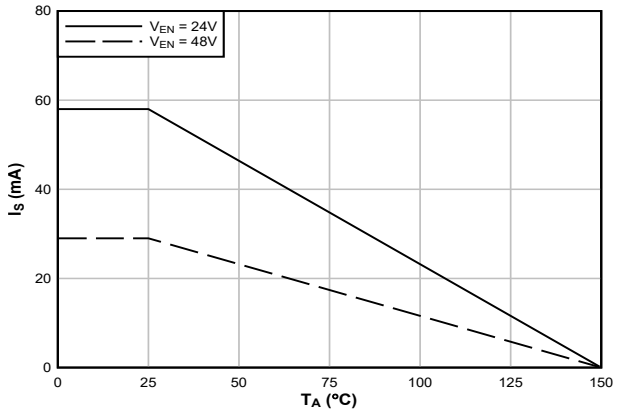


图 5-2. 根据 VDE 和 IEC 标准限制电流的热降额曲线，两线模式

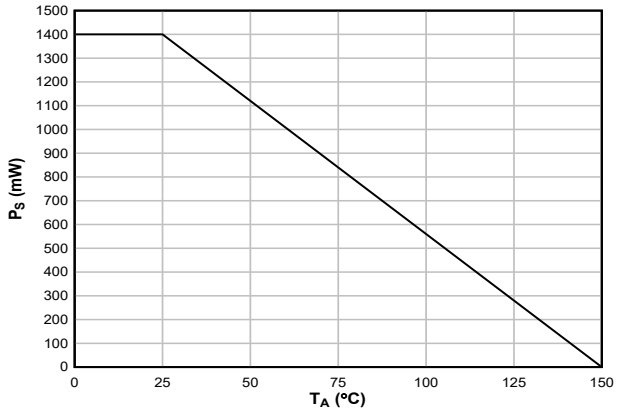
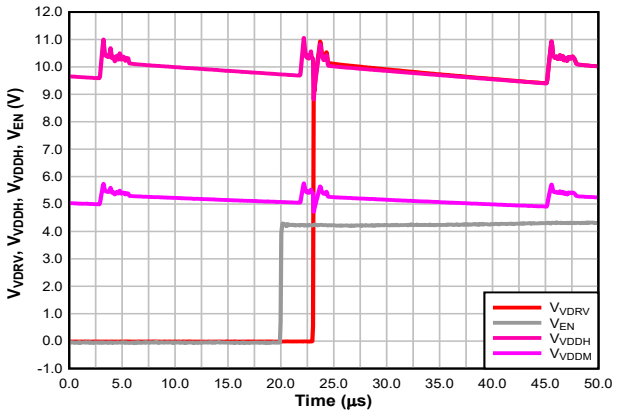


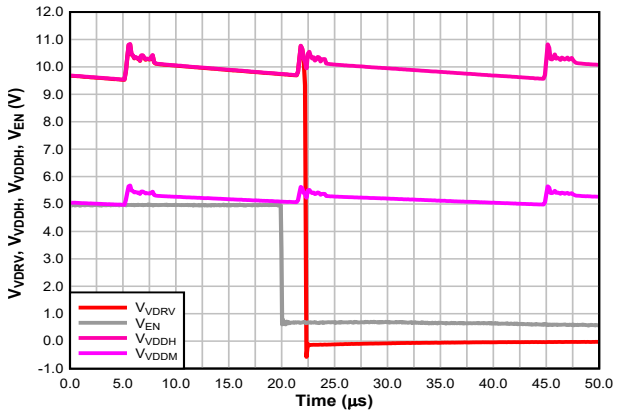
图 5-3. 根据 VDE 和 IEC 标准限制功率的热降额曲线

5.12 典型特性



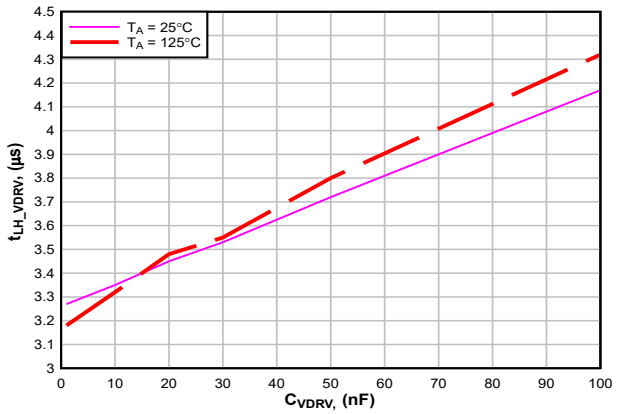
三线模式　VDDP = 5.0V　R_{PXFR} = 7.32kΩ
$C_{DIV1,2}$ = 3.3nF　C_{VDRV} = 100pF　T_A = 25°C

图 5-4. t_{LH_VDRV}，三线模式



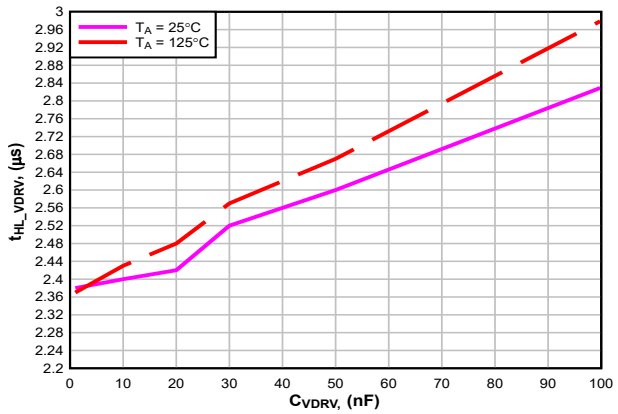
三线模式　VDDP = 5.0V　R_{PXFR} = 7.32kΩ
$C_{DIV1,2}$ = 3.3nF　C_{VDRV} = 100pF　T_A = 25°C

图 5-5. t_{HL_VDRV}，三线模式



三线模式　VDDP = 3.3V　R_{PXFR} = 7.32kΩ
C_{DIV1} = 2.2µF　C_{DIV2} = 2.2µF

图 5-6. t_{LH_VDRV} 与 C_{VDRV}

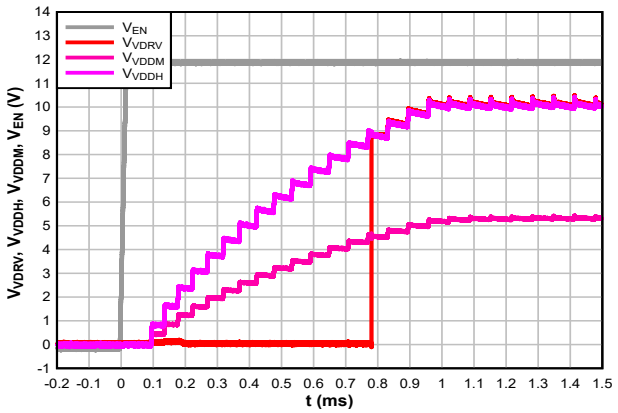


三线模式　VDDP = 3.3V　R_{PXFR} = 7.32kΩ
C_{DIV1} = 2.2µF　C_{DIV2} = 2.2µF

图 5-7. t_{HL_VDRV} 与 C_{VDRV}

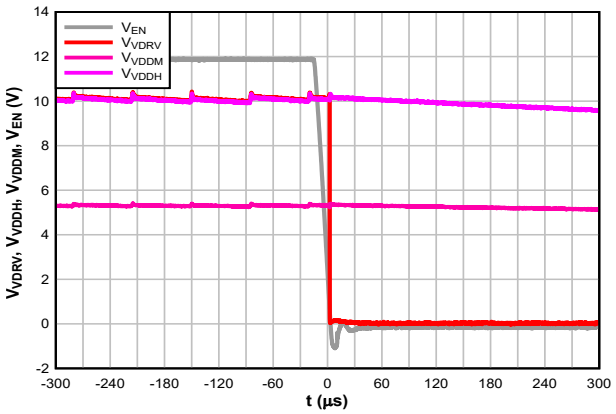
Copyright © 2025 Texas Instruments Incorporated

5.12 典型特性（续）



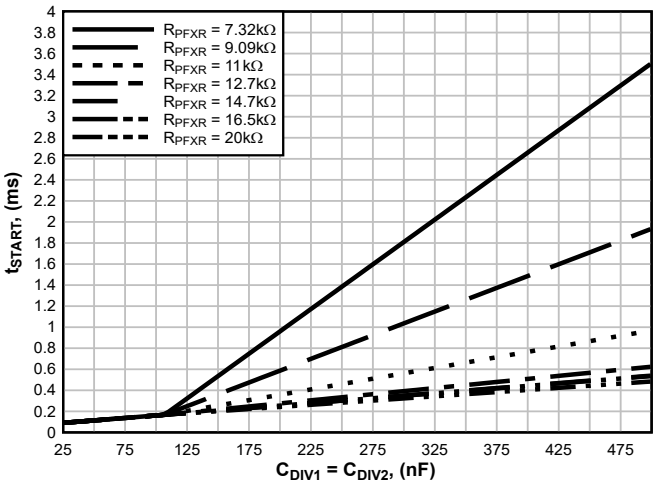
两线模式　EN = 12V　R_{PXFR} = 7.32kΩ
C_{DIV1} = 30nF　C_{VDRV} = 100pF　T_A = 25°C
C_{DIV2} = 100nF

图 5-8. t_{LH_VDRV}，两线模式



两线模式　EN = 12V　R_{PXFR} = 7.32kΩ
C_{DIV1} = 30nF　C_{VDRV} = 100pF　T_A = 25°C
C_{DIV2} = 100nF

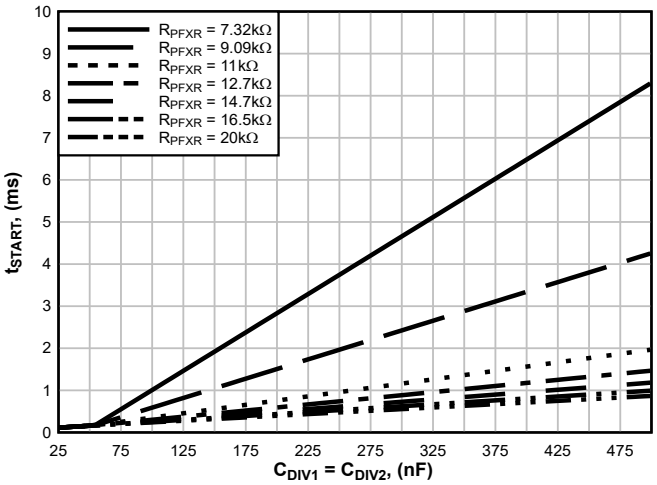
图 5-9. t_{HL_VDRV}，两线模式



T_{START} 表示从 VDDP 上升到 VDDM 以及 VDDH 完全放电的电源轨（达到其最终电平 95% 以上）的时间。

三线模式　VDDP = 5.0V　T_A = 25°C
I_{AUX} = 0mA

图 5-10. t_{START} 与 C_{DIV1}、C_{DIV2}

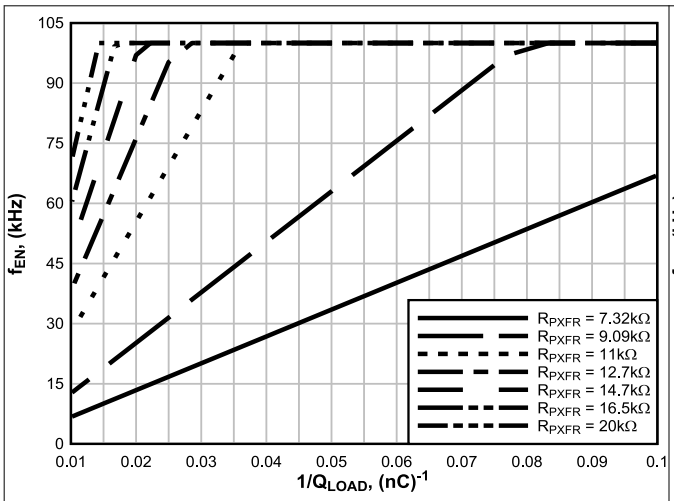


T_{START} 表示从 VDDP 上升到 VDDM 以及 VDDH 完全放电的电源轨（达到其最终电平 95% 以上）的时间。

三线模式　VDDP = 3.3V　T_A = 25°C
I_{AUX} = 0mA

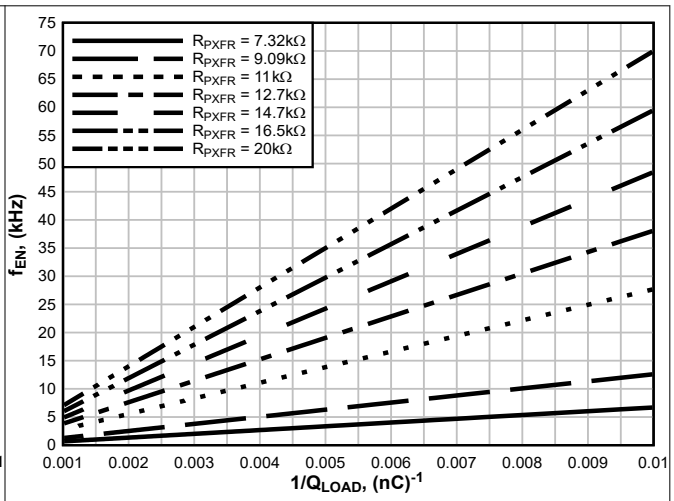
图 5-11. t_{START} 与 C_{DIV1}、C_{DIV2}

5.12 典型特性（续）



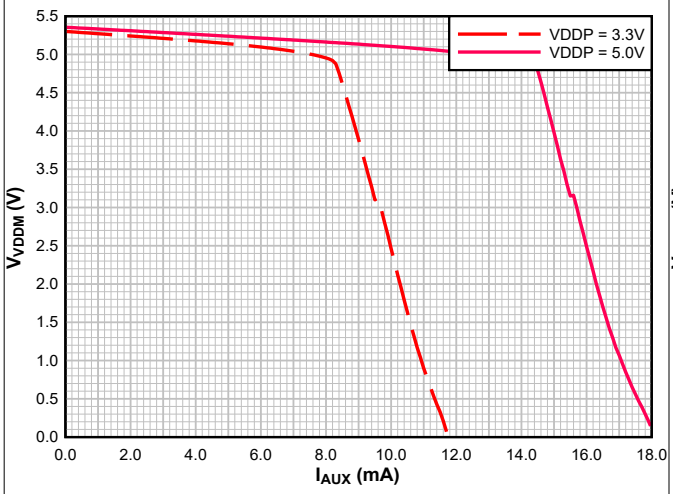
三线模式　VDDP = 5.0V　T_A = 25°C

图 5-12. 最大 f_{EN} 与 Q_{LOAD} = 10nC 至 100nC 间的关系



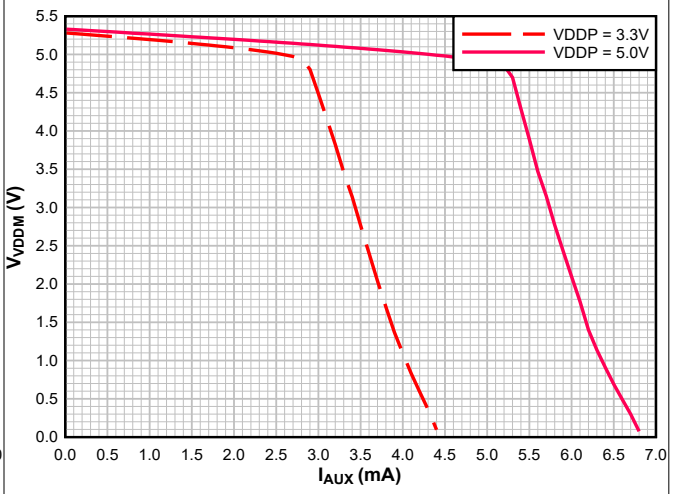
三线模式　VDDP = 5.0V　T_A = 25°C

图 5-13. 最大 f_{EN} 与 Q_{LOAD} = 100nC 至 1000nC 间的关系



三线模式　R_{PXFR} = 20kΩ　T_A = 25°C
C_{DIV1} = 470nF　C_{DIV2} = 470nF　C_{VDDP} = 1μF

图 5-14. V_{VDDM} 与 I_{AUX} 间的关系



三线模式　R_{PXFR} = 11kΩ　T_A = 25°C
C_{DIV1} = 470nF　C_{DIV2} = 470nF　C_{VDDP} = 1μF

图 5-15. V_{VDDM} 与 I_{AUX} 间的关系

Copyright © 2025 Texas Instruments Incorporated

6 参数测量信息

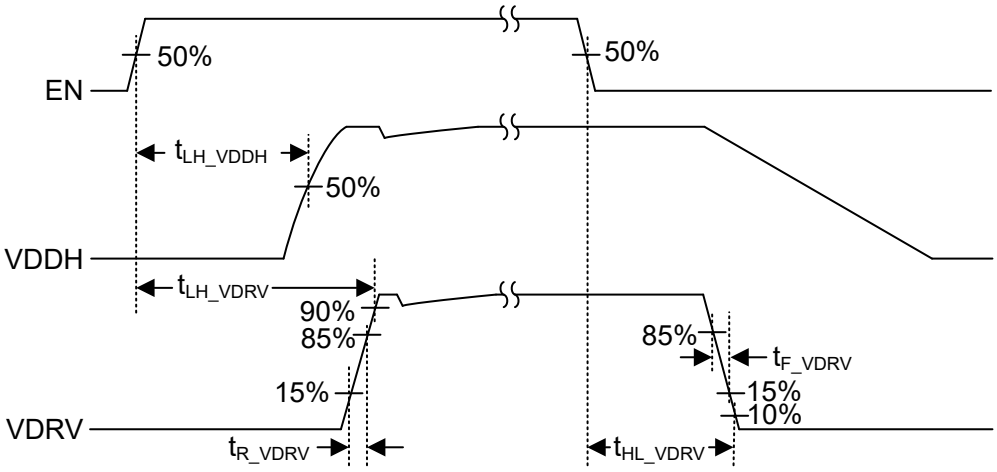


图 6-1. 两线模式时序

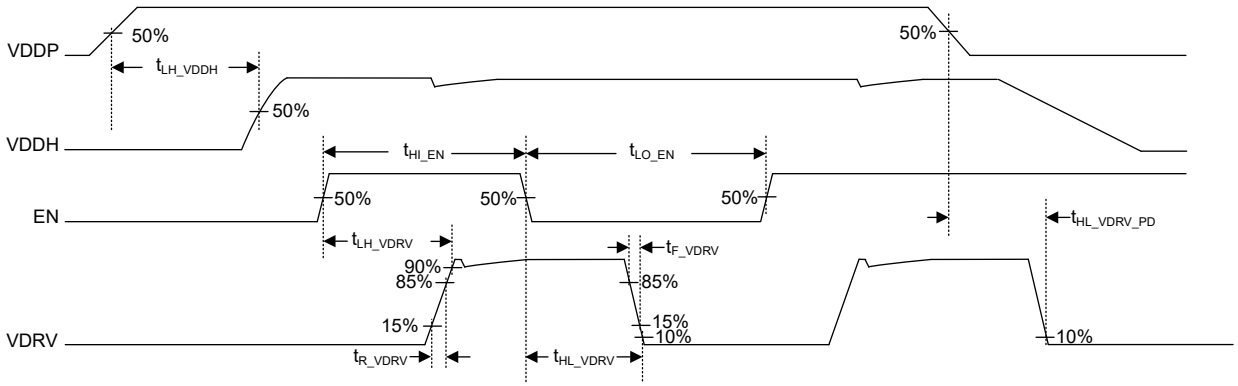


图 6-2. 三线模式时序

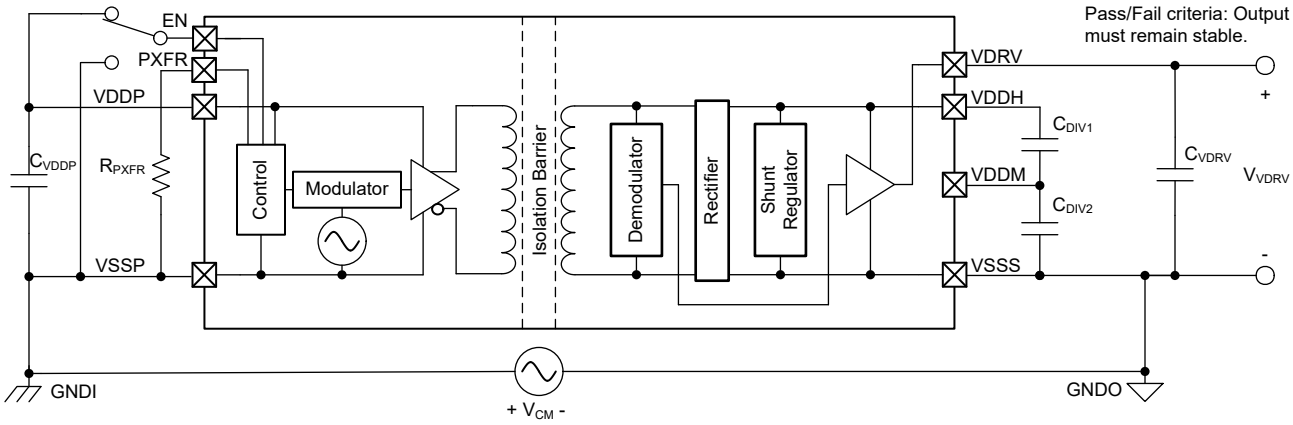


图 6-3. 共模瞬态抗扰度测试电路

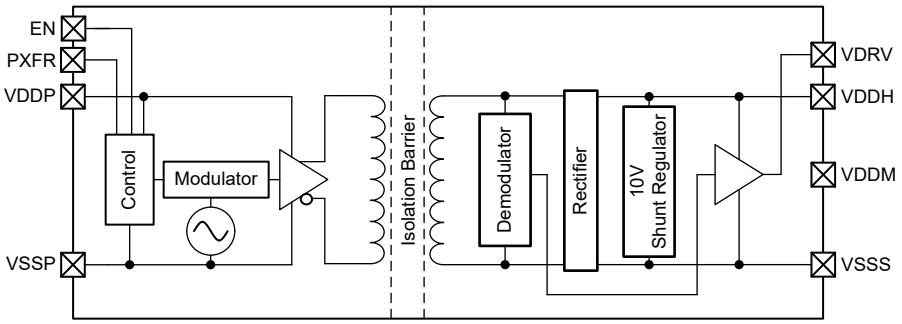
7 详细说明

7.1 概述

TPSI3050M 是一款完全集成的增强型隔离式电源开关驱动器，与外部电源开关结合使用时，可构成完整的隔离式固态继电器 (SSR)。当标称栅极驱动电压为 10V、峰值拉电流和灌电流为 1.5A 和 3.0A 时，可以选择多种外部电源开关来满足各种应用。TPSI3050M 可通过初级侧电源自行产生次级电源，因此无需隔离式次级偏置电源。

*功能方框图*显示初级侧包含一个发送器，该发送器将交流电驱动到集成变压器的初级绕组中，该变压器将功率从初级侧传输到次级侧，其速率由 PXFR 引脚的设置和 EN 引脚的逻辑状态决定。该发送器在高频下运行，以最佳方式驱动变压器达到其峰值效率。此外，该发送器利用展频技术显著提高 EMI 性能，使许多应用能够达到 CISPR 25 5 类标准。在传输过程中，数据信息与功率一起传输到次级侧。在次级侧，变压器次级绕组上感应的电压经过整流，并且并联稳压器调节 VDDH 的输出电压电平。最后，解调器对接收到的数据信息进行解码并依据 EN 引脚的逻辑状态将 VDRV 驱动为高电平或低电平。

7.2 功能方框图



7.3 特性说明

7.3.1 使能状态的传输

TPSI3050M 使用调制方案跨隔离栅传输开关启用状态信息。发送器使用内部生成的高频载波（典型值 89MHz）调制 EN 信号，并以差分方式驱动隔离变压器的初级绕组。次级侧的接收器对接收到的信号进行解调，并根据接收到的数据将 VDRV 设置为高电平或低电平。

7.3.2 功率传输

TPSI3050M 不使用隔离式辅助电源供电。次级侧功率是通过隔离变压器传输初级侧输入功率而获得的。调制方案使用高频载波（典型值 89MHz）的展频来提高 EMI 性能，从而帮助应用符合 CISPR 25 5 类标准。

7.3.3 栅极驱动器

TPSI3050M 具有集成栅极驱动器，可提供 10V 标称栅极电压以及 1.5A 和 3.0A 峰值拉电流和灌电流，足以驱动许多功率晶体管或硅控整流器 (SCR)。驱动外部功率晶体管时，TI 建议在 VDDH 和 VDDM 之间以及 VDDM 和 VSSS 之间，使用等效栅极电容的 20 倍旁路电容器 ($C_{DIV} = C_{DIV1} = C_{DIV2}$)。

栅极驱动器还包括一个有源钳位禁止电路。此功能有助于在次级电源轨上断电时将驱动器输出 VDRV 保持为低电平，例如 VDDP 电源上的功率损耗可防止功率传输。如果断电，有源钳位保持电路将尝试将 VDRV 的电压相对于 VSSS 钳位至低于 2V。

Copyright © 2025 Texas Instruments Incorporated

7.3.4 模式概述

TPSI3050M 具有两种工作模式：两线模式和三线模式。

在两线模式下，初级侧上直接由 EN 引脚提供功率。将 EN 设置为高电平会导致向次级侧传输功率。随着功率传输，次级电源轨 VDDM 和 VDDH 开始上升。在次级侧有足够的可用功率后，VDRV 被置为高电平。将 EN 设置为低电平会导致 VDRV 置为低电平并停止向次级侧传输功率。

在三线模式下，初级侧功率由连接到 VDDP 的专用低输出阻抗电源提供。在这种情况下，功率传输与启用状态无关。如果存在 VDDP 电源，则无论 EN 状态如何，功率都从初级侧传输到次级侧。在稳态下，当次级侧具有足够的功率时，将 EN 设置为高电平会使 VDRV 置为高电平。将 EN 设置为低电平会使 VDRV 置为低电平。

7.3.5 三线模式

三线模式用于需要更高功率传输水平或 TPSI3050M 所能提供的最短传播延迟的应用。VDDP 由可提供所需功率的低阻抗外部电源从 EN 引脚独立供电。在此模式下，无论 EN 引脚的状态如何，始终会产生从初级侧到次级侧的供电。将 EN 引脚设置为逻辑高电平或低电平会将 VDRV 置为有效或置为无效，从而分别启用或禁用外部开关。图 7-1 展示了三线模式运行所需的基本设置，其中需要 EN、VDDP 和 VSSP 信号。EN 最高可被驱动至 5.5V，通常由与 VDDP 位于同一电源轨上的电路驱动。在该示例中，TPSI3050M 用于驱动采用共源极配置的背对背 MOSFET。C_{VDDP} 为器件的 VDDP 电源轨提供所需的去耦电容。C_{DIV1} 和 C_{DIV2} 提供 VDDH 和 VDDM 电源轨所需的去耦电容，这些电源轨提供峰值电流来驱动外部 MOSFET。

图 7-2 展示了从启动到稳态条件的基本操作。图 7-2 展示了使用 TPSI3050M 的操作。在上电之后，TPSI3050M 开始在固定周期（典型值为 25μs）内以 R_{PXFR} 确定的占空比，将功率从 VDDP 传输到次级侧，从而开始对 VDDH 和 VDDM 次级侧电源轨充电。只要 VDDP 存在，功率传输就会继续。VDDH 完全充电所需的时间取决于多个因素，包括 VDDP、C_{DIV1}、C_{DIV2}、R_{PXFR} 的值，以及总体功率传输效率。当应用将 EN 引脚驱动至逻辑高电平时，TPSI3050M 会将信息从初级侧发送到次级侧，以使 VDRV 生效并将其驱动为高电平。同样，将 EN 引脚设置为逻辑低电平会将 VDRV 驱动为低电平。

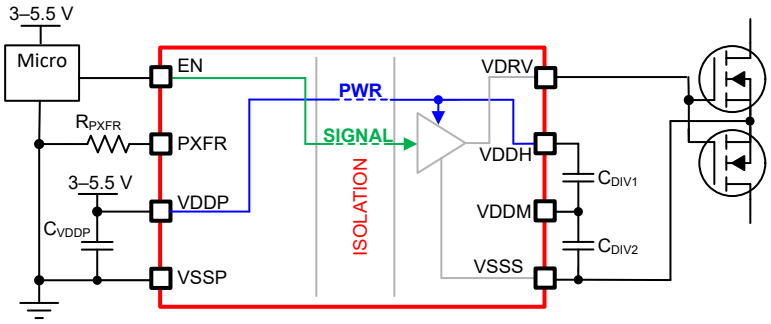


图 7-1. 三线模式简化版原理图

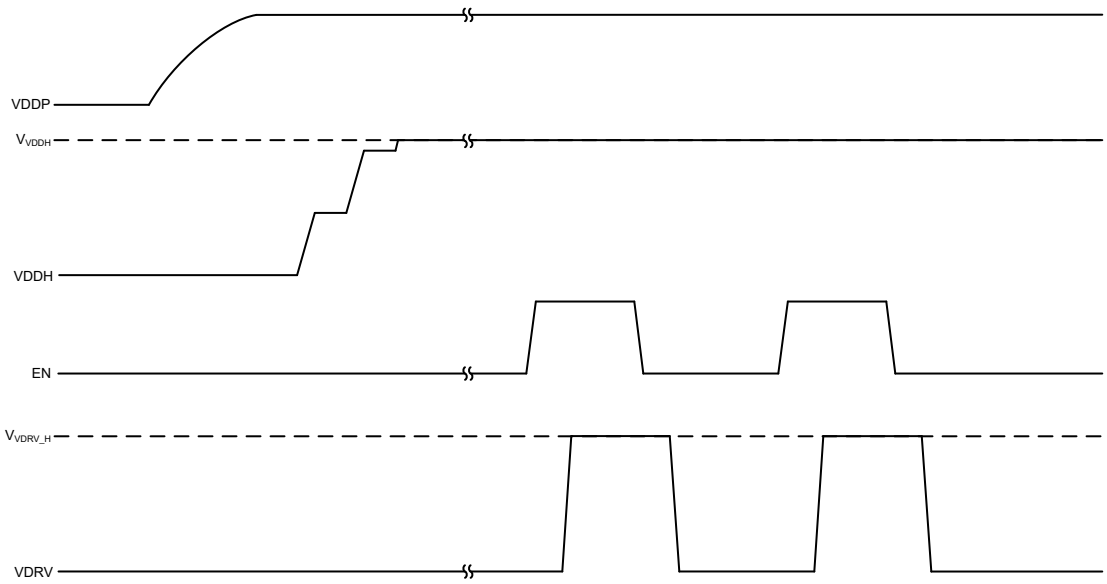


图 7-2. 采用 TPSI3050M 的三线模式

为了降低平均功耗，TPSI3050M 以突发方式将功率从初级侧传输到次级侧。通过从 PXFR 到 VSSP 引脚选择七个合适的电阻值中的一个电阻值 R_{PXFR}，可设定突发开通时间，从而改变电源转换器的占空比，而此期间突发周期是固定的。此操作为应用提供了灵活性，从而可以在消耗的功率与输送的功率之间进行权衡。更高的功率转换器设置会增加突发导通时间，进而增加 VDDP 电源的平均功耗并增加传输到次级侧 VDDH 和 VDDM 电源的功率量。同样，较低功率转换器设置会缩短突发导通时间，进而减少从 VDDP 电源消耗的平均功率并减小传输到次级侧的功率量。

表 7-1 总结了三线模式功率传输选择。

表 7-1. 三线模式功率传输选择

R_{PXFR} (1) (2)	电源转换器占空比（三线模式，标称值）	说明
7.32kΩ	13.3%	该器件通过选择相应的 R_{PXFR} 值支持七种固定功率传输设置。选择给定的功率传输设置会调整电源转换器的占空比，从而调整传输的功率量。更高的功率传输设置会导致电源转换器的占空比增加，从而导致功率传输和功耗增加。在上电期间，功率传输设置被确定并保持固定在该设置，直到 VDDP 下电上电。
9.09kΩ	26.7%	
11kΩ	40.0%	
12.7kΩ	53.3%	
14.7kΩ	66.7%	
16.5kΩ	80.0%	
20kΩ	93.3%	

(1) 标准电阻 (EIA E96)，容差为 1%，标称值。
(2) 如果 $R_{PXFR} \geqslant 100k\Omega$ 或 $R_{PXFR} \leqslant 1k\Omega$，则电源转换器的占空比设置为 13.3%。

7.3.6 两线模式

图 7-3 展示了两线模式运行所需的基本设置，其中需要 EN 信号和 VSSP 接地信号。EN 最高可驱动至 48V。由于 TPSI3050M 根据 R_{PXFR} 电阻器设置的值来限制输入电流，因此 EN 上不需要限流电阻器（请参阅表 7-2）。在该示例中，TPSI3050M 用于驱动采用共源极配置的背对背 MOSFET。C_{VDDP} 为器件的 VDDP 电源轨提供所需的去耦电容。C_{DIV1} 和 C_{DIV2} 提供 VDDH/VDDM 电源轨所需的去耦电容，以提供峰值电流来驱动外部 MOSFET。

图 7-4 显示了两线模式下的典型工作方式。此应用将 EN 驱动至逻辑高电平，并且 TPSI3050M 开始其加电序列。在上电过程中，EN 引脚提供的电流 I_{EN} 开始对外部电容 C_{VDDP} 充电，VDDP 上的电压开始上升，直至达到 V_{VDDP_H}。在 VDDP 达到峰值 V_{VDDP_H} 后，TPSI3050M 将 C_{VDDP} 上存储的能量传输到次级侧并持续固定时间

Copyright © 2025 Texas Instruments Incorporated

（典型值为 3.3 μs），由此开始对 VDDH（和 VDDM）次级侧电源轨充电，从而使 VDDP 上的电压放电。在稳态下，这会产生 VDDP 上的平均电压 V_{VDDP_AVG}。该周期会重复，直到 VDDH（和 VDDM）次级侧电源轨充满电。VDDH 完全充电所需的时间取决于多个因素，包括 C_{VDDP}、C_{DIV1}、C_{DIV2}、R_{PXFR} 的值，以及总体功率传输效率。VDDH 完全充电后，VDRV 被置为高电平并保持高电平，同时 EN 引脚保持逻辑高电平。当应用将 EN 引脚驱动至逻辑低电平时，VDDP 上的电荷开始放电。在 VDDP 达到其 UVLO 下降阈值之前，TPSI3050M 从初级侧到次级侧发送信息，以使 VDRV 无效并将其驱动为低电平。由于不再传输功率，因此所有电源轨开始完全放电。

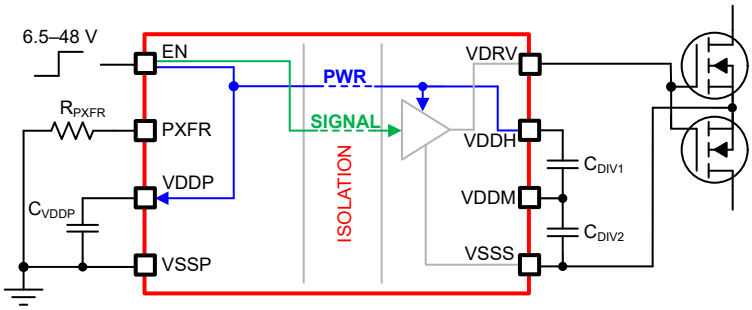


图 7-3. 两线模式简化版原理图

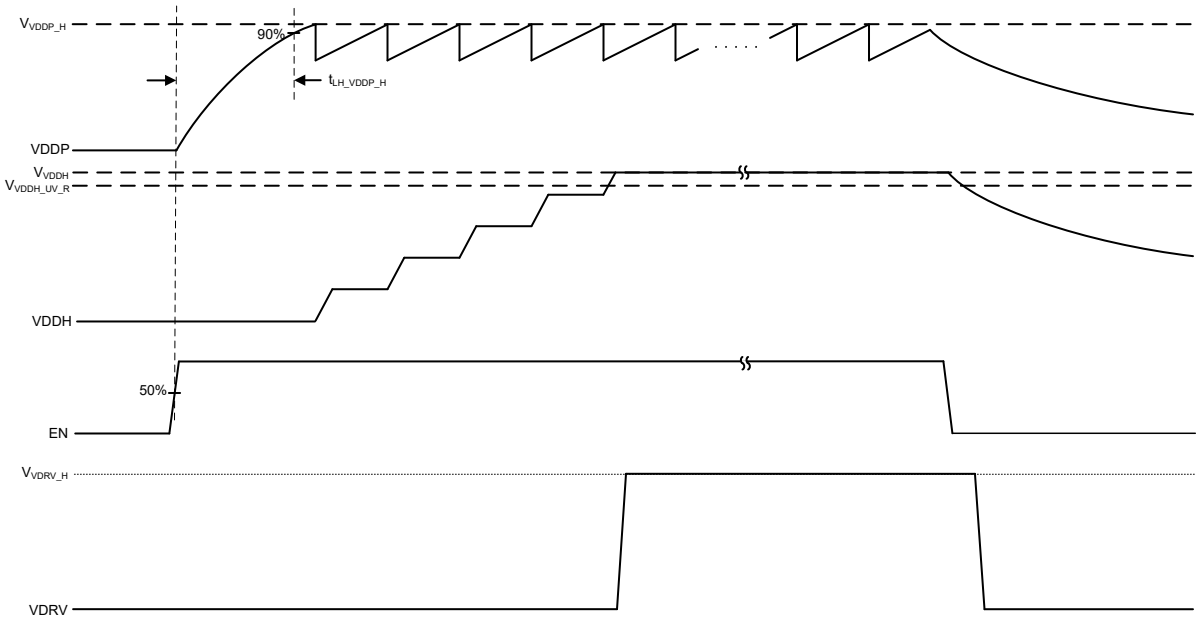


图 7-4. 两线模式

在两线模式下，直接由 EN 引脚供电。当 EN 被置为高电平时，TPSI3050M 在时间周期变化时将功率传输到次级侧并持续固定的时间（标称值 3.3 μs）。由于功率传输的迟滞控制（其可确保通过 EN 引脚提供的平均电流保持不变），因此该周期会变化。从 PXFR 到 VSSP 引脚选择七个合适电阻值中的一个电阻值 R_{PXFR}，可对平均电流的大小以及传输的功率量进行设定。R_{PXFR} 的更高设置会将 I_{EN} 增大，这会增加 EN 引脚的平均功耗并增加传输到次级侧 VDDH 电源的功率。同样，R_{PXFR} 的较低设置会降低 I_{EN}，从而降低 EN 引脚消耗的平均功率，并减少传输到次级侧的功率。

表 7-2 总结了两线模式电源选择。

表 7-2. 两线模式电源选择

R_{PXFR} (1) (2)	I_{EN}（两线模式，标称值）	说明
7.32kΩ	1.9mA	该器件支持七个固定 EN 输入电流限制选项，这些选项可通过相应的 R_{PXFR} 指定值来选择。更高的电流限制选择会导致功率传输和功耗增加。在上电期间，EN 输入电流限制被确定并保持固定在该设置，直到 VDDP 下电上电。
9.09kΩ	2.8mA	
11kΩ	3.7mA	
12.7kΩ	4.5mA	
14.7kΩ	5.2mA	
16.5kΩ	6.0mA	
20kΩ	6.7mA	

(1) 标准电阻 (EIA E96)，容差为 1%，标称值。
(2) 如果 $R_{PXFR} \geqslant 100k\Omega$ 或 $R_{PXFR} \leqslant 1k\Omega$，则 I_{EN} 会设置为 1.9mA。

7.3.7 VDDP、VDDH 和 VDDM 欠压锁定 (UVLO)

TPSI3050M 为输入和输出电源（VDDP、VDDH 和 VDDM）实现内部 UVLO 保护功能。当 VDDP 低于 UVLO 阈值电压时，电源停止传输到 VDDM 和 VDDH 电源轨。随着时间推移，VDDH 和 VDDM 电源轨将开始放电。如果 VDDP 上有足够的电荷，则器件将尝试向 VDRV 发送信号以将其置为低电平。如果 VDDP 上没有足够的电荷，超时机制将确保在达到超时后将 VDRV 置为低电平。当 VDDH 或 VDDM 低于其各自的 UVLO 阈值时，无论 EN 状态如何，VDRV 都将被置为低电平。UVLO 保护块具有迟滞功能，有助于提高电源的抗噪性。在导通和关断期间，驱动器会拉取和灌入峰值瞬态电流，从而使 VDDH、VDDM 电源产生压降。内部 UVLO 保护块会忽略这些正常开关瞬态期间的相关噪声。

7.3.8 禁止电路

TPSI3050M 包含输出驱动器上的禁止电路。禁止电路的目的是将栅极电压钳位在可接受的电平以下，以防止外部电源开关在次级电源轨未供电时导通。禁止电路可用于替代或大幅降低外部电源开关上外部释放电阻器的要求。

图 7-5 显示了禁止电路的简化原理图。晶体管 MP1 和 MN1 构成了提供栅极电流来驱动外部电源开关 (M1) 的驱动器。当次级侧未供电时，从 MN1 的漏极连接到栅极的 1MΩ 电阻器形成 NMOS 二极管配置。任何通过 M1 寄生栅漏和栅源电容耦合到 VDRV 信号的外部耦合都可能导致 VDRV 信号上升。MN1 的二极管配置会灌入该电流，以防止 VDRV 上升过高，从而将 VDRV 钳位到 V_{ACT_CLAMP}。这足以使大多数电源开关保持关断状态。如果需要，还可以在 M1 的栅源之间放置一个额外的电阻（约为 250kΩ 或更高）。请注意，所施加的任何电阻在正常运行时都需要次级电源供电，总体功率预算中应考虑这一点。

除了 MN1 二极管钳位之外，MP1 的体二极管还有助于吸收任何耦合到 VDRV 的电流。对于大多数应用，等效电容 C_{eq}（C_{DIV1} 和 C_{DIV2} 的串联组合）通常约为数百纳法拉。如果功率传输停止一段时间，该电容会完全放电至 VSSS，并通过连接至 VDDH 的 MP1 的体二极管将 VDRV 二极管钳位至 VSSS 以上。通过 M1 寄生栅漏和栅源电容耦合到 VDRV 信号的任何外部耦合都被 C_{eq} 吸收，从而更大限度减少 VDRV 上的电压上升。

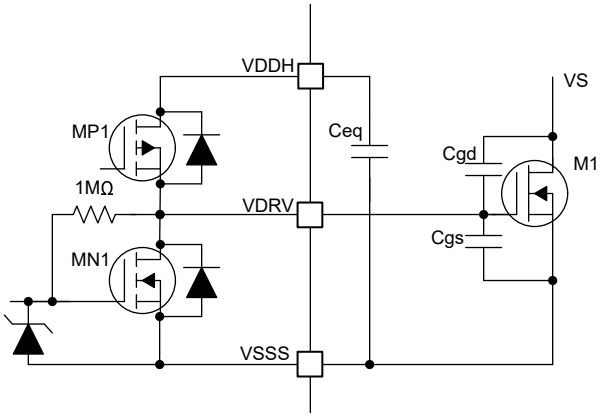


图 7-5. 禁止电路

Copyright © 2025 Texas Instruments Incorporated

7.3.9 电源和 EN 时序

在上电期间，器件将自动确定是否要进入两线或三线模式。一旦确定了两线或三线模式，就会保持该模式，直到执行另一次下电上电。因此，了解可能影响器件运行的不同情况非常重要。

在两线模式下，器件由单个外部电压源通过 EN 供电，该电压源对 VDDP 上的 C_{VDDP} 电容充电。需要电压供应来满足所选 PXFR 设置下的电源需求，以及满足推荐的最短斜升时间 $|\Delta V_{EN}/\Delta t|$。为了确保正确进入两线模式，V_{EN} 必须在 V_{VDDP} 达到 $V_{VDDP_UV_R}$ 之前达到 V_{IH_EN}。图 7-6 对此进行了总结。同样，建议 V_{EN} 满足斜降至 V_{IL_EN} 的最短建议时间。斜降时间过慢可能会导致在 V_{IH_EN} 和 V_{IL_EN} 之间缓慢转换时传输功率不足，从而导致 VDRV 间歇地失效和置为有效。这可能会持续到功率传输充分降低以保持 VDRV 低电平为止。

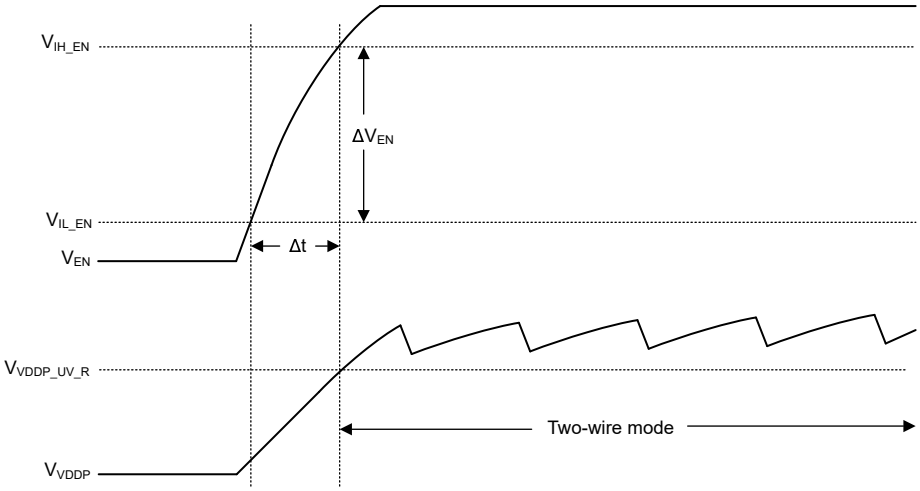


图 7-6. 两线模式进入

在大多数三线模式应用中，EN 和 VDDP 由相同的电压轨和电源供电。建议 V_{EN} 保持低于 V_{IL_EN}，直到 V_{VDDP} 达到 $V_{VDDP_UV_R}$。在某些应用中，也可以将 EN 直接连接到 VDDP 电源。这两种情况如图 7-7 中所示。

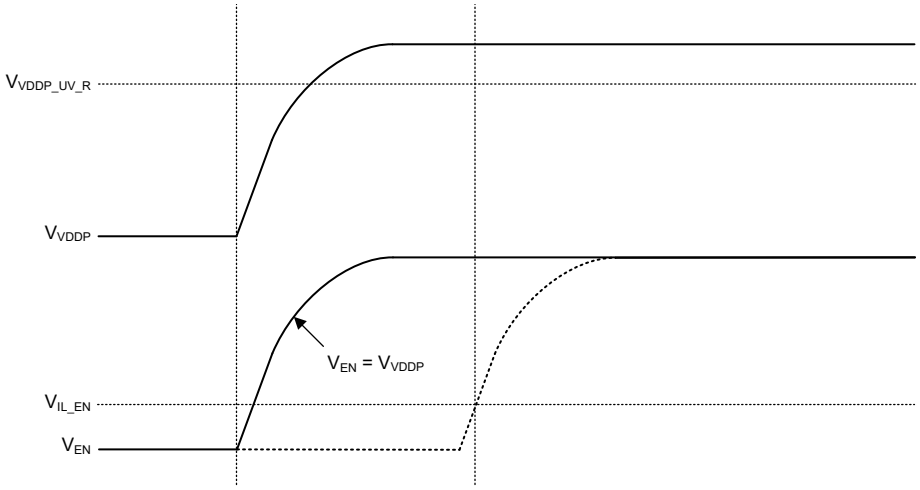


图 7-7. 三线模式电源选择

在具有为 EN 和 VDDP 供电的单独电压源的三线模式应用中，建议 V_{EN} 保持低于 V_{IL_EN}，直到 V_{VDDP} 达到 $V_{VDDP_UV_R}$。如果 V_{EN} 在 V_{VDDP} 达到 $V_{VDDP_UV_R}$ 之前达到 V_{IH_EN}，则来自电源 EN 的电流将尝试为 VDDP 供电。根据另一个电源驻留在 VDDP 上的阻抗和 EN 引脚的可用功率大小，V_{VDDP} 可能会开始上升并最终超过 $V_{VDDP_UV_R}$。此时，器件将开始把功率传输到次级并开始对 VDDM 和 VDDH 电源轨充电。如果 VDDP 保持在

$V_{VDDP_UV_R}$ 以上，器件将继续向次级传输功率，最终为 VDDM 和 VDDH 电源轨充电，而 VDRV 可能置为高电平。

7.3.10 热关断

此器件包含一个用于监测其本地温度的集成型温度传感器。当传感器达到其阈值时，会自动停止从初级侧到次级侧的功率传输。此外，如果 VDDP 上仍然供电，则驱动器自动置为低电平。在本地温度降低到足以重新启动之前，功率传输禁用。

Copyright © 2025 Texas Instruments Incorporated

7.4 器件功能模式

表 7-3 总结了 TPSI3050M 器件的功能模式。

表 7-3. TPSI3050M 器件功能模式

VDDP[6]	VDDH	EN[6]	VDRV	注释
已上电[2]	已上电[4]	L	L	TPSI3050M 正常运行： VDRV 输出状态可假设 EN 逻辑状态。
		H	H	
已断电[3]	已断电[5]	X[1]	L	禁用的操作： VDRV 输出被禁用，应用了禁止电路。
已上电[2]	已断电[5]	X[1]	L	禁用的操作： VDRV 输出被禁用，应用了禁止电路。
已断电[3]	已上电[4]	X[1]	L	禁用的操作： 当 VDDP 断电时，超时后输出驱动器自动禁用，并应用禁止电路。

(1) X：无关。
(2) V_{VDDP}≥VDDP 欠压锁定上升阈值，$V_{VDDP_UV_R}$。
(3) V_{VDDP} < VDDP 欠压锁定下降阈值，$V_{VDDP_UV_F}$。
(4) V_{VDDH} ≥ VDDH 欠压锁定上升阈值，$V_{VDDH_UV_R}$。
(5) V_{VDDH} < VDDH 欠压锁定下降阈值，$V_{VDDH_UV_F}$。
(6) 有关其他信息，请参阅电源和 EN 时序。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

TPSI3050M 是一款具有集成偏置、完全集成的隔离式开关驱动器，与外部电源开关结合使用时，可构成完整的隔离式固态继电器解决方案。当标称栅极驱动电压为 10V，峰值拉电流和灌电流为 1.5A 和 3.0A 时，可以选择多种外部电源开关（例如 MOSFET、IGBT 或 SCR）来满足各种应用需求。TPSI3050M 可通过初级侧电源自行产生次级偏置电源，因此无需隔离式次级电源偏置。

TPSI3050M 根据所需的输入引脚数量，支持两种工作模式。在两线模式中（通常用于驱动机械继电器），控制开关仅需要两个引脚，并支持 6.5V 至 48V 的宽工作电压范围。在三线模式下，3V 至 5.5V 的主电源由外部提供，开关通过单独的使能控制。

次级侧可为驱动多种电源开关提供 10V 的浮动稳压电源轨，无需次级偏置电源。TPSI3050M 可支持为各种交流或直流应用驱动单电源开关和双背对背并联电源开关。TPSI3050M 集成式隔离保护功能极其稳健，与使用传统机械继电器和光耦合器的产品相比，其可靠性更高、功耗更低，且温度范围更宽。

通过从 PXFR 引脚到 VSSP 的外部电阻，可调节 TPSI3050M 的功率损耗。此特性可根据应用需求权衡功率损耗与次级侧功耗。

8.2 典型应用

图 8-1 和图 8-2 中的电路分别显示了以三线模式和两线模式驱动硅基 MOSFET 的典型应用。

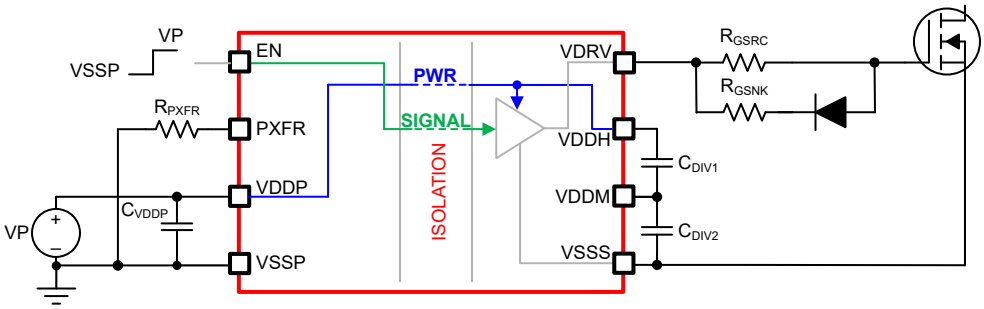


图 8-1. TPSI3050M 驱动 MOSFET 的三线模式

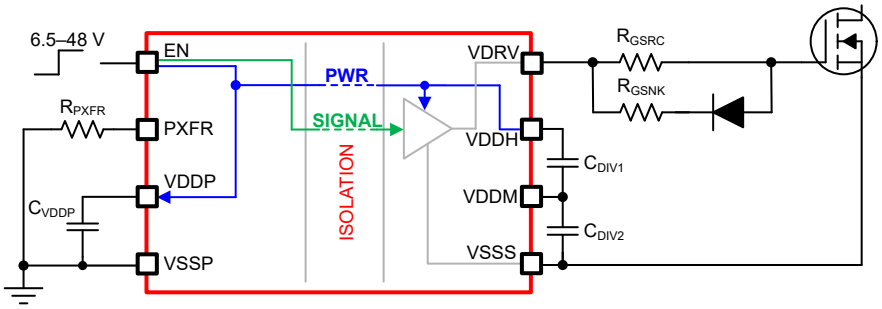


图 8-2. TPSI3050M 驱动 MOSFET 的两线模式

8.2.1 设计要求

表 8-1 列出了 TPSI3050M 栅极驱动器的设计要求。

Copyright © 2025 Texas Instruments Incorporated

表 8-1. TPSI3050M 设计要求

设计参数	
总栅极电容	100nC
FET 导通时间	1μs
传播延迟	< 4μs
开关频率	10kHz
电源电压 (VDDP)	5V ± 5%

8.2.2 详细设计过程

8.2.2.1 两线或三线模式选择

第一个设计决策是确定应用中是否可以使用两线模式或三线模式。对于此设计，请注意总传播延迟小于 4μs，只有三线模式能够满足此要求。在这种情况下，两线模式不适用。由于其有限的功率传输，两线模式通常仅适用于频率小于数 kHz 的超低频应用或启用时间不重要的情况。

8.2.2.2 C_{DIV1}、C_{DIV2} 电容

所需的 C_{DIV1} 和 C_{DIV2} 电容取决于外部负载开关期间 VDDH 轨上可耐受的压降大小。CDIV1 和 CDIV2 电容上存储的电荷用于在开关期间向负载提供电流。在开关期间会发生电荷共享并且 VDDH 上的电压会下降。TI 建议 C_{DIV1} 和 C_{DIV2} 串联组合形成的总电容大小至少应为要开关的总栅极电容的 20 倍。该大小调整会使用于为 VDRV 信号供电的 VDDH 电源轨出现大约 0.5V 的压降。方程式 1 和方程式 2 可用于计算指定压降所需的电容大小。

C_{DIV1} 和 C_{DIV2} 必须具有相同的类型和容差。

$$C_{DIV1} = \left(\frac{n+1}{n}\right) \times \frac{Q_{LOAD}}{\Delta V},\ n \geq 1.0 \tag{1}$$

$$C_{DIV2} = n \times C_{DIV1}, n \geq 1.0 \tag{2}$$

其中

- n 是大于或等于 1.0 的实数。
- C_{DIV1} 是从 VDDH 到 VDDM 的外部电容。
- C_{DIV2} 是从 VDDM 到 VSSS 的外部电容。
- Q_{LOAD} 是从 VDRV 到 VSSS 的负载总电荷。
- ΔV 是切换负载时 VDDH 上的压降。

备注

C_{DIV1} 和 C_{DIV2} 表示绝对电容，所选的元件必须针对容差和实现所需的电容所需的任何降额进行调节。

可在应用中使用较大的 ΔV 值，但过大的压降可能导致达到 VDDH 欠压锁定下降阈值 ($V_{VDDH_UVLO_F}$)，并导致 VDRV 被置为低电平。请注意，随着 C_{DIV1} 和 C_{DIV2} 串联组合的电容相对于 Q_{LOAD} 增加，VDDH 电源压降会降低，但上电期间 VDDH 电源电压的初始充电会增大。

对于该设计，假设 n = 1 且 ΔV ≅ 0.5V，则

$$C_{DIV1} = \left(\frac{1+1}{1}\right) \times \frac{100nC}{0.5V} = 400nF \tag{3}$$

$$C_{DIV2} = 1 \times 400nF = 400nF \tag{4}$$

对于这个设计，选择了标准电容器值 C_{DIV1} = C_{DIV2} = 470nF。

8.2.2.3 R_{PXFR} 选择

通过 R_{PXFR} 的选择可在功耗和输送的功率之间进行权衡，如*三线模式*部分所述。对于此设计，必须选择合适的 R_{PXFR}，以确保传输足够的功率来支持在指定开关频率下驱动的负载量。

在负载开关期间，VDDH 上的 Q_{LOAD} 电荷将转移到负载，VDDH 电源电压将下降。在每个开关周期之后，必须在下一个开关周期发生之前补充该电荷。此操作可确保 VDDH 上的电荷不会由于负载的后续开关周期而随着时间推移耗尽。可以通过以下公式来估算恢复该电荷所需的时间 $t_{RECOVER}$：

$$t_{RECOVER} = \frac{1}{f_{MAX}} \cong \frac{Q_{LOAD}}{I_{OUT}} \tag{5}$$

其中

- Q_{LOAD} 是以库仑为单位的负载电荷。
- I_{OUT} 是 VDDH 电源提供的平均电流，单位为安培 (A)。
- f_{MAX} 是最大开关频率，单位为赫兹 (Hz)。

对于该设计，Q_{LOAD} = 100nC 且 f_{MAX} = 10kHz 为已知，因此可以通过以下公式估算所需的 I_{OUT}：

$$I_{OUT} \cong 100nC \times 10kHz = 1.0mA \tag{6}$$

I_{OUT} 表示满足设计要求所需的最小平均电流。使用 TPSI3050M 计算器工具，通过直接参考 I_{OUT} 或 f_{MAX} 列，可以轻松找到必要的 R_{PXFR}。表 8-2 示出了该工具的结果（假设 VDDP = 4.75V），以考虑设计要求中规定的电源容差。TPSI3050M 计算器工具可在*设计计算器*中找到。

备注

显示的结果在发布时采集，可能与最新版本的计算器工具不同。请参阅设计计算器的最新版本。

表 8-2. 来自 TPSI3050M 计算器工具的结果，T_A = 25°C，三线模式

R_{PXFR}，kΩ	电源转换器占空比，%	I_{VDDP}，mA	P_{IN}，mW	P_{OUT}，mW	I_{OUT}，mA	t_{START}，µs	$t_{RECOVER}$，µs	f_{EN_MAX}，kHz	I_{AUX_MAX}，mA
7.32	13.3	5.7	27.2	7.6	0.46	不适用	不适用	不适用	不适用
9.09	21.1	9.1	43.1	12.7	0.80	不适用	不适用	不适用	不适用
11	40.0	17.2	81.8	30.8	2.00	1828	49.0	20.4	3.08
12.7	53.3	22.9	109.0	41.5	2.71	1397	36.4	27.5	5.18
14.7	66.7	28.7	136.4	52.3	3.42	1141	28.9	34.6	7.29
16.5	80.0	34.4	163.6	66.1	4.34	935	22.8	43.8	10.00
20	93.3	40.2	190.8	77.4	5.08	822	19.5	51.2	10.00

表 8-3 总结了计算器工具的各种输出参数。

表 8-3. TPSI3050M 计算器工具参数说明

参数	说明
R_{PXFR}	外部电阻设置，通过调整占空比来控制传输到负载的功率。较高的 R_{PXFR} 设置会让功率传输和功耗增大。
电源转换器占空比	电源转换器的标称占空比 R_{PXFR} 设置越高，电源转换器的占空比和功率传输就越高。
I_{VDDP}	从 VDDP 电源消耗的平均电流
P_{IN}	从 VDDP 电源消耗的平均功率
P_{OUT}	向 VDDH 电源输送的平均功率
I_{OUT}	向 VDDH 电源输送的平均电流
t_{START}	从 VDDP 上升到 VDDH 电源轨充满电的启动时间。该参数假设 VDDH 和 VDDM 电源轨最初完全放电。
$t_{RECOVER}$	表示开关 VDRV 上的负载开关后 VDDH 轨进行恢复所用的时间

Copyright © 2025 Texas Instruments Incorporated

表 8-3. TPSI3050M 计算器工具参数说明（续）

参数	说明
f_{MAX}	针对所应用负载条件，给定 R_{PXFR} 设置可能采用的最大开关频率
I_{AUX_MAX}	当前用户输入设置下可用的最大辅助电流。f_{MAX} 和 I_{AUX_MAX} 之间存在反比关系。

对于此设计示例，R_{PXFR} 必须配置为 11kΩ 设置或更高，以传输足够的功率来支持在所需的 10kHz 频率下开关指定的负载。

8.2.2.4 C_{VDDP} 电容

对于两线模式，从 VDDP 到 VSSP 的建议电容 C_{VDDP} 为 220nF。

此设计需要使用三线模式来满足设计要求。对于三线模式，增大电容 C_{VDDP} 可改善 VDDP 电源上的纹波。该设计采用 1μF 与 100nF 并联。

8.2.2.5 栅极驱动器输出电阻器

可选的外部栅极驱动器电阻器 R_{GSRC} 和 R_{GSNK} 以及二极管用于：

1. 限制寄生电感和电容引起的振铃。
2. 限制高电压开关 dv/dt、高电流开关 di/dt 和体二极管反向恢复引起的振铃。
3. 针对拉电流和灌电流微调栅极驱动强度
4. 降低电磁干扰 (EMI)

TPSI3050M 具有采用 P 沟道 MOSFET 的上拉结构，峰值拉电流为 1.5A。因此，可以使用以下公式来预测峰值拉电流：

$$I_{O+} \cong min\left(1.5A, \frac{V_{VDDH}}{R_{DSON_VDRV} + R_{GSRC} + R_{GFET_INT}}\right) \tag{7}$$

其中

- R_{GSRC}：外部导通电阻。
- R_{DSON_VDRV}：高电平状态下的 TPSI3050M 驱动器导通电阻。请参阅*电气特性*。
- V_{VDDH}：VDDH 电压。在本例中假设为 10.2V。
- R_{GFET_INT}：外部功率晶体管内部栅极电阻（见于功率晶体管数据表）。在本示例中假设为 0Ω。
- I_{O+}：峰值拉电流 1.5A、栅极驱动器峰值拉电流和基于栅极驱动回路电阻计算出的值之间的最小值。

对于本示例，R_{DSON_VDRV} = 2.5Ω，R_{GSRC} = 8Ω 且 R_{GFET_INT} = 0Ω 时会得到：

$$I_{O+} \cong min\left(1.5A, \frac{10.2V}{2.5\Omega + 8\Omega + 0\Omega}\right) = 0.97A \tag{8}$$

同样，TPSI3050M 具有采用 N 沟道 MOSFET 的下拉结构，其峰值灌电流为 3.0A。因此，假设 R_{GFET_INT} = 0Ω，可以使用以下公式来预测峰值灌电流：

$$I_{O-} \cong min\left[3.0A, (V_{VDDH} \times (R_{GSRC} + R_{GSNK}) - R_{GSRC} \times V_F) \times \frac{1}{R_{GSRC} \times R_{GSNK} + R_{DSON_VDRV} \times (R_{GSRC} + R_{GSNK})}\right] \tag{9}$$

其中

- R_{GSRC}：外部导通电阻。
- R_{GSNK}：外部关断电阻。
- R_{DSON_VDRV}：低电平状态下的 TPSI3050M 驱动器导通电阻。请参阅*电气特性*。
- V_{VDDH}：VDDH 电压。在本例中假设为 10.2V。
- V_F：二极管正向压降。在本例中假设为 0.7V。
- I_{O-}：峰值灌电流。3.0A、栅极驱动器峰值灌电流和基于栅极驱动回路电阻计算出的值之间的最小值。

对于本示例，假设 R_{DSON_VDRV} = 1.7Ω、R_{GSRC} = 8Ω、R_{GSNK} = 4.5Ω 且 R_{GFET_INT} = 0Ω，由此得到：

$$I_{O-} \cong min\left[3.0A, (10.2V \times (8\Omega + 4.5\Omega) - 3.5\Omega \times 0.7V) \times \frac{1}{8\Omega \times 4.5\Omega + 1.7\Omega \times (8\Omega + 4.5\Omega)}\right] = 2.18A \quad (10)$$

重要的是，估算的峰值电流也受到 PCB 布局和负载电容的影响。栅极驱动器环路中的寄生电感可以减慢峰值栅极驱动电流并导致过冲和下冲。因此，TI 强烈建议最大限度地减小栅极驱动器环路。

8.2.2.6 启动时间和恢复时间

如 *C_{DIV1}、C_{DIV2} 电容*部分中所述，完全放电的 VDDH 电源轨的启动时间取决于 VDDH 电源上的电容大小。该电容充电的速率取决于从初级侧传输到次级侧的功率。可通过选择 R_{PXFR} 来调节传输的功率量。增大 R_{PXFR} 的电阻器设置可将更多的功率从主电源 (VDDP) 传输到次级电源 (VDDH)，从而缩短总体启动和恢复时间。

8.2.2.7 从 VDDM 提供辅助电流 I_{AUX}

TPSI3050M 能够通过 VDDM 供电以支持外部辅助电路，如图 8-3 所示。在这种情况下，所需的传输功率必须包括 VDDM 电源轨上辅助电路消耗的额外功率。必须设置 R_{PXFR} 值以满足整体的功率要求。

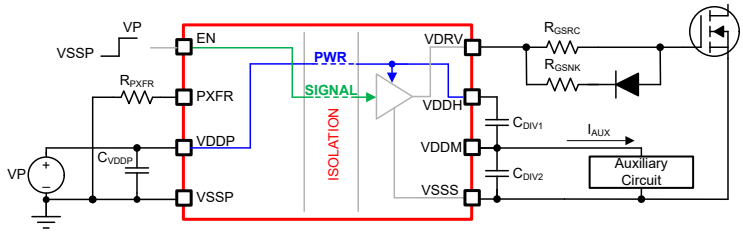


图 8-3. 通过 VDDM 提供辅助电源

作为示例，假设辅助电路需要 4mA 的平均电流。表 8-4 汇总了 TPSI3050M 计算器工具的结果。计算器工具可在*设计计算器*中找到。

备注

显示的结果在发布时采集，可能与最新版本的计算器工具不同。请参阅设计计算器的最新版本。

表 8-4. 来自 TPSI3050M 计算器工具的结果，T_A = 25°C，I_{AUX} = 4mA 的三线模式

R_{PXFR}，kΩ	电源转换器占空比，%	I_{VDDP}，mA	P_{IN}，mW	P_{OUT}，mW	I_{OUT}，mA	t_{START}，µs	$t_{RECOVER}$，µs	f_{EN_MAX}，kHz	I_{AUX_MAX}，mA
7.32	13.3	5.7	27.2	7.6	0.46	不适用	不适用	不适用	不适用
9.09	21.1	9.1	43.1	12.7	0.80	不适用	不适用	不适用	不适用
11	40.0	17.2	81.8	30.8	2.00	不适用	不适用	不适用	不适用
12.7	53.3	22.9	109.0	41.5	2.71	2691	36.4	27.5	5.18
14.7	66.7	28.7	136.4	52.3	3.42	1834	28.9	34.6	7.29
16.5	80.0	34.4	163.6	66.1	4.34	1327	22.8	43.8	10.00
20	93.3	40.2	190.8	77.4	5.08	1096	19.5	51.2	10.00

根据表 8-4 中的结果，可以观察到以下几点：

- 如果 R_{PXFR} = 7.32kΩ、R_{PXFR} = 9.09kΩ 以及 R_{PXFR} = 11kΩ，则没有足够的功率来满足表 8-1 中设计要求中指定的应用功率需求。
- 当 R_{PXFR} = 12.7kΩ 及更高时，会传输足够的功率来满足指定的设计要求。
- 对于给定的 R_{PXFR}，由于将大量的传输功率提供给辅助电路，因此与 I_{AUX} = 0mA 时表 8-4 中显示的结果相比，t_{START} 更长，f_{MAX} 降低。

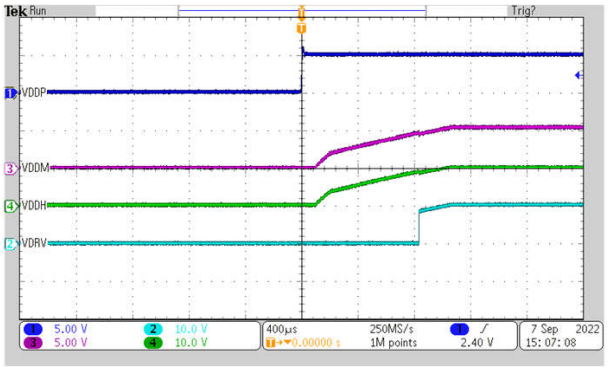
Copyright © 2025 Texas Instruments Incorporated

8.2.2.8 VDDM 纹波电压

请注意，当通过 VDDM 供电时（即当 I_{AUX} > 0mA 时），VDDM 电源轨上存在额外的电压纹波。对于给定的 R_{PXFR} 设置，可以通过在 VDDM 和 VSSS 之间施加额外的电容来减小此纹波。对于该设计示例，在计算器工具中计算出的 VDDM 上的纹波 $VDDM_{ripple}$ 为 190mV。

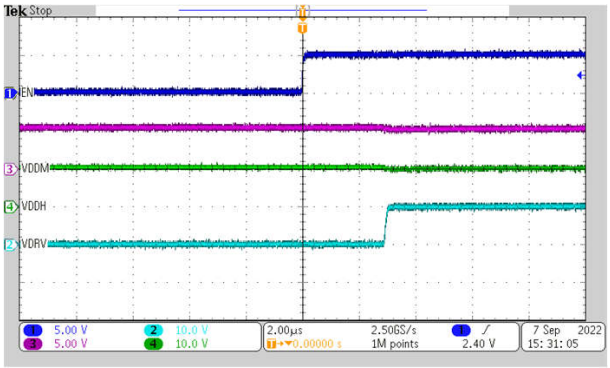
可以通过增大电容来降低 $VDDM_{ripple}$，同时仍保持原始 $VDDH_{droop}$ = 0.5V。例如，在计算器工具中应用 C_{DIV1} = 330nF 和 C_{DIV2} = 680nF，可将 $VDDM_{ripple}$ 降低至 131mV，同时仍保持 $VDDH_{droop}$ < 0.5V。当然，这种额外的电容会导致 t_{START} 时间增加。

8.2.3 应用曲线



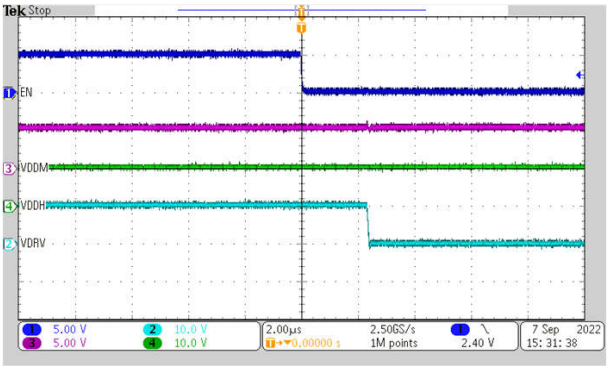
三线模式　VDDP = 5.0V　R_{PXFR} = 9.09kΩ
C_{DIV1} = 470nF　C_{DIV2} = 470nF
I_{AUX} = 0mA　C_{VDRV} = 10nF　T_A = 25°C

图 8-4. 上电，V_{EN} = V_{VDDP}，三线模式，TPSI3050M



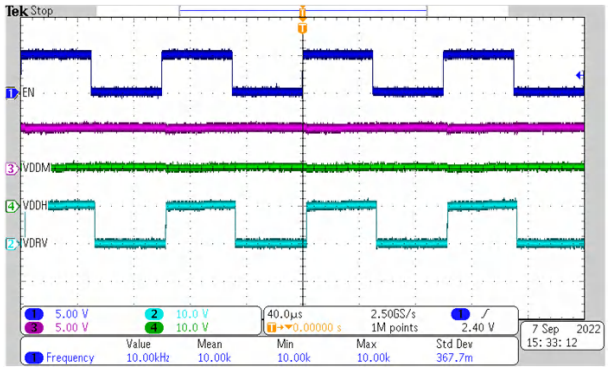
三线模式　VDDP = 5.0V　R_{PXFR} = 9.09kΩ
C_{DIV1} = 470nF　C_{DIV2} = 470nF
I_{AUX} = 0mA　C_{VDRV} = 10nF　T_A = 25°C

图 8-5. t_{LH_VDRV}，三线模式，TPSI3050M



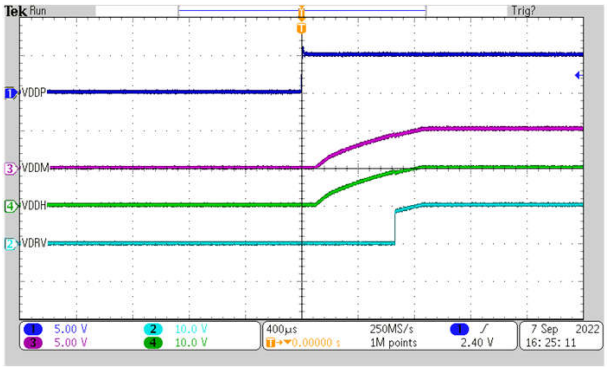
三线模式　VDDP = 5.0V　R_{PXFR} = 9.09kΩ
C_{DIV1} = 470nF　C_{DIV2} = 470nF
I_{AUX} = 0mA　C_{VDRV} = 10nF　T_A = 25°C

图 8-6. t_{HL_VDRV}，三线模式，TPSI3050M



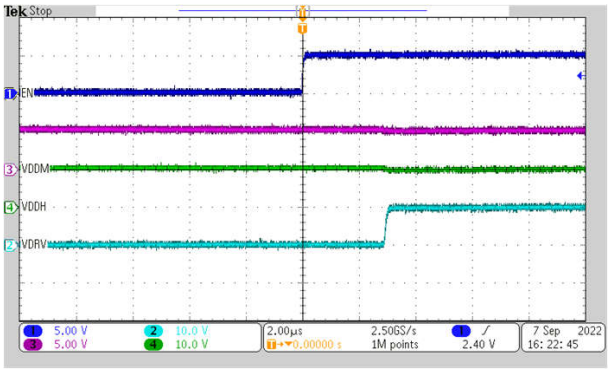
三线模式　VDDP = 5.0V　R_{PXFR} = 9.09kΩ
C_{DIV1} = 470nF　C_{DIV2} = 470nF
I_{AUX} = 0mA　C_{VDRV} = 10nF　T_A = 25°C

图 8-7. 三线模式，f_{EN} = 10kHz，TPSI3050M



三线模式　VDDP = 5.0V　R_{PXFR} = 12.7kΩ
C_{DIV1} = 330nF　C_{DIV2} = 680nF
I_{AUX} = 4mA　C_{VDRV} = 10nF　T_A = 25°C

图 8-8. 上电，V_{EN} = V_{VDDP}，三线模式，TPSI3050M

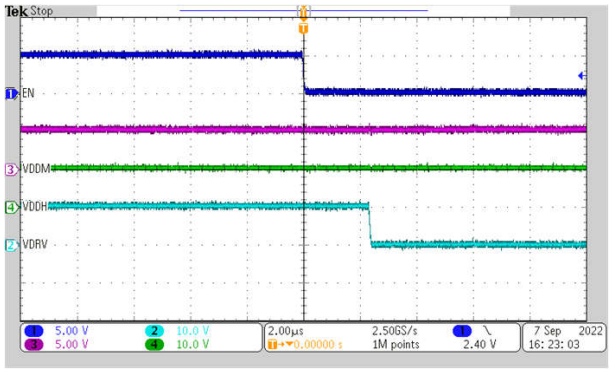


三线模式　VDDP = 5.0V　R_{PXFR} = 12.7kΩ
C_{DIV1} = 330nF　C_{DIV2} = 680nF
I_{AUX} = 4mA　C_{VDRV} = 10nF　T_A = 25°C

图 8-9. t_{LH_VDRV}，三线模式，TPSI3050M

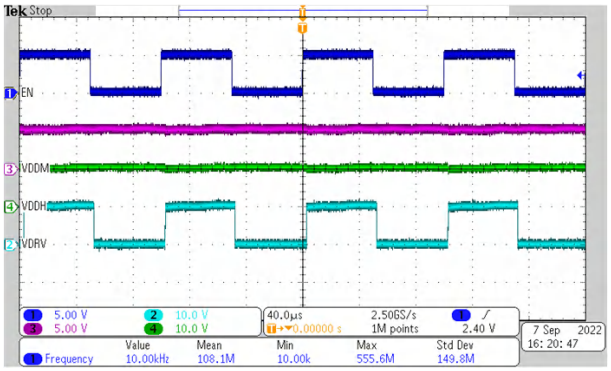
Copyright © 2025 Texas Instruments Incorporated

8.2.3 应用曲线（续）



三线模式　VDDP = 5.0V　R_{PXFR} = 12.7kΩ
C_{DIV1} = 330nF　C_{DIV2} = 680nF
I_{AUX} = 4mA　C_{VDRV} = 10nF　T_A = 25°C

图 8-10. t_{HL_VDRV}，三线模式，TPSI3050M



三线模式　VDDP = 5.0V　R_{PXFR} = 12.7kΩ
C_{DIV1} = 330nF　C_{DIV2} = 680nF
I_{AUX} = 4mA　C_{VDRV} = 10nF　T_A = 25°C

图 8-11. 三线模式，f_{EN} = 10kHz，TPSI3050M

8.2.4 绝缘寿命

绝缘寿命预测数据是使用业界通用的时间依赖性电介质击穿 (TDDB) 测试方法收集的。在该测试中，隔离栅两侧的所有引脚都连在一起，构成了一个双端子器件并在两侧之间施加高电压。绝缘击穿数据是在开关频率为 60Hz 以及各种高电压条件下在整个温度范围内收集的。对于增强型绝缘，VDE 标准要求使用故障率小于 1ppm 的 TDDB 预测线。尽管额定工作隔离电压条件下的预期最短绝缘寿命为 20 年，但是 VDE 增强认证要求工作电压具有额外 20% 的安全裕度，寿命具有额外 50% 的安全裕度，也就是说在工作电压高于额定值 20% 的条件下，所需的最短绝缘寿命为 30 年。

图 8-12 展示了隔离栅在整个寿命期内承受高压应力的固有能力。根据 TDDB 数据，固有绝缘能力为 $1000V_{RMS}$，寿命为 1480 年。

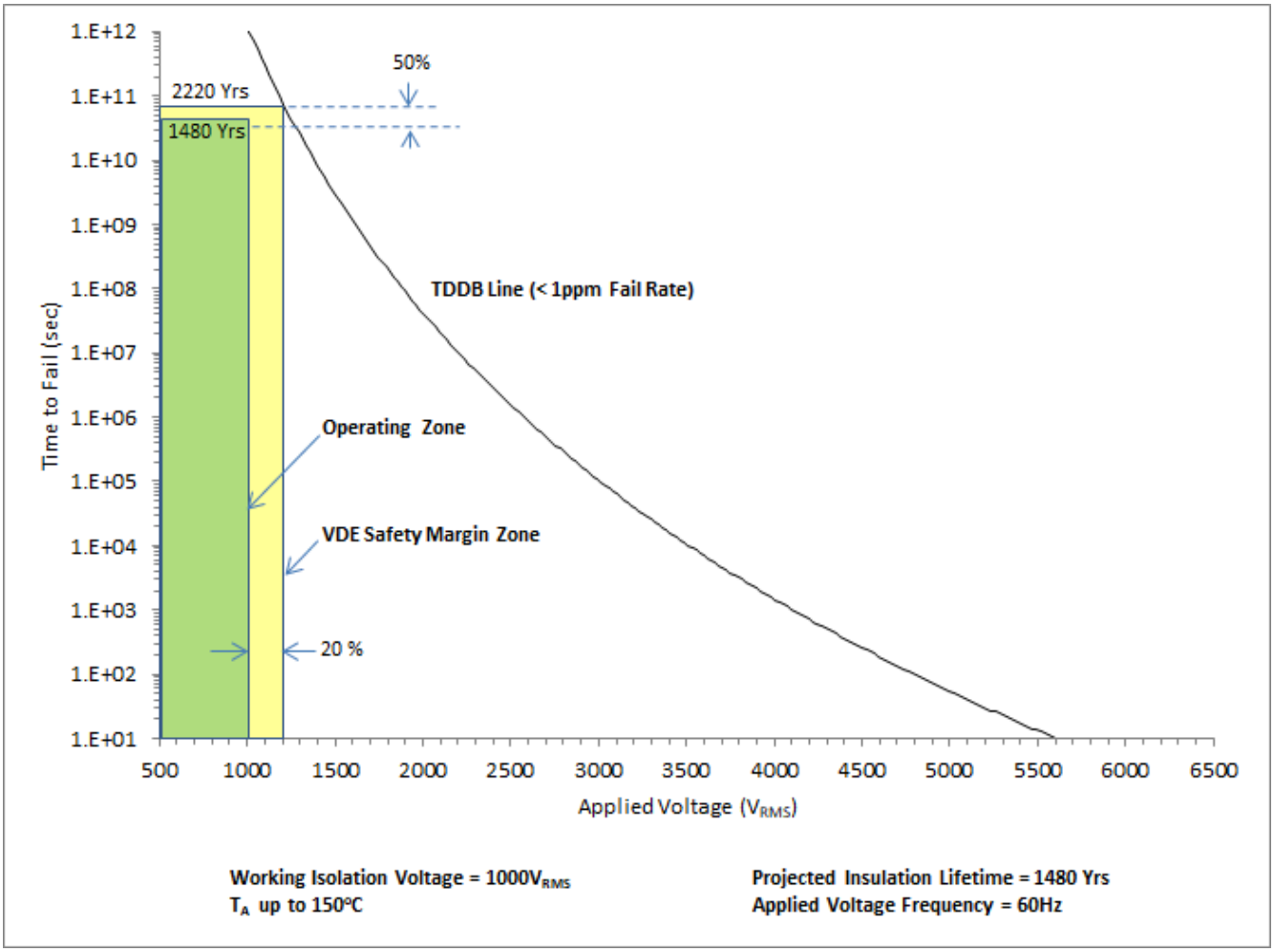


图 8-12. 绝缘寿命预测数据

8.3 电源相关建议

在三线模式下，为了帮助确保实现可靠的电源电压，TI 建议 VDDP 和 VSSP 之间的 C_{VDDP} 电容由一个用于高频去耦的 0.1 µF 旁路电容器与一个用于低频去耦的 10 µF 旁路电容器并联组成。

在两线模式下，TI 建议放置在 VDDP 和 VSSP 之间的 C_{VDDP} 电容包含一个在 VDDP 和 VSSP 引脚之间靠近器件连接的 220nF 电容器。建议的绝对电容必须为 220nF，因此如果需要降额，可能需要更高的分量值。

必须在 VDDP 和 VSSP 引脚之间靠近器件的位置连接具有低 ESR 和低 ESL 的电容器。

8.4 布局

8.4.1 布局指南

设计人员必须密切关注 PCB 布局，以实现 TPSI3050M 的最佳性能。以下是一些主要的指导准则：

- 组件放置：
  - 将驱动器放置在尽可能靠近功率半导体的位置，以减小 PCB 引线上栅极环路的寄生电感。
  - 在 VDDH 和 VDDM 引脚与 VDDM 和 VSSS 引脚之间靠近器件的位置连接具有低 ESR 和低 ESL 的电容器，以便在导通外部功率晶体管时旁路噪声并支持高峰值电流。
  - 在 VDDP 和 VSSP 引脚之间靠近器件的位置连接具有低 ESR 和低 ESL 的电容器。
  - 更大限度地减小 R_{PXFR} 引脚上的寄生电容。
- 接地注意事项：

Copyright © 2025 Texas Instruments Incorporated

  - 将对晶体管栅极进行充电和放电的高峰值电流限制在最小的物理区域内。该限制可降低环路电感并最大程度地降低晶体管栅极端子上的噪声。栅极驱动器应尽可能靠近晶体管。
  - 在驱动器 VSSS 与 MOSFET 源极或 IGBT 发射极之间建立开尔文连接。如果功率器件没有分离式开尔文源极或发射极，请将 VSSS 引脚尽可能靠近功率器件封装的源极或发射极端子连接，以将栅极环路与高功率开关环路分开。
- 高电压注意事项：
  - 为确保初级侧和次级侧之间的隔离性能，请避免在驱动器器件下方放置任何 PCB 迹线或铜。TI 建议使用 PCB 切口或坡口来防止可能影响隔离性能的污染。
- 散热注意事项：
  - 适当的 PCB 布局有助于将器件产生的热量散发到 PCB，并最大限度地降低结到电路板的热阻抗 (θ_{JB})。
  - 如果系统有多个层，TI 还建议通过具有足够尺寸的通孔将 VDDH 和 VSSS 引脚连接到内部接地或电源平面。这些通孔必须靠近 IC 引脚，以更大限度地提高热导率。不过，请记住，不要重叠来自不同高电压平面的迹线或铜。

8.4.2 布局示例

图 8-13 展示了一个 PCB 布局示例，其中标记了信号和主要组件。

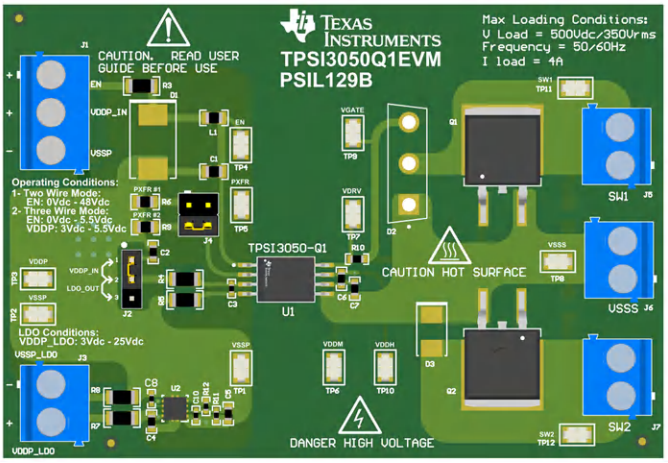


图 8-13. 3D PCB 视图

图 8-14 和图 8-15 展示了顶层和底层布线和覆铜。

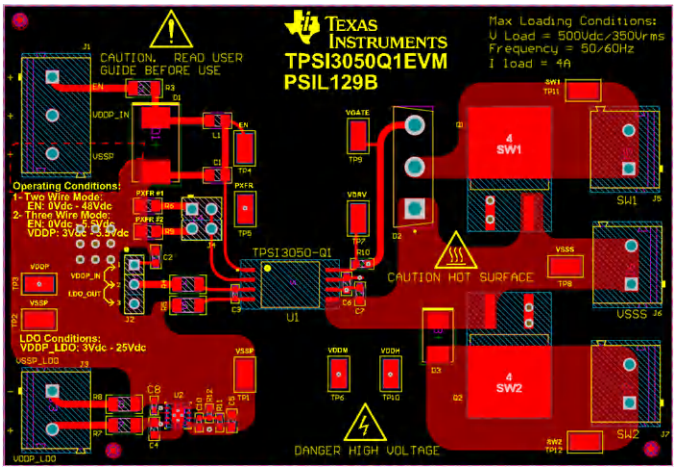


图 8-14. 顶层

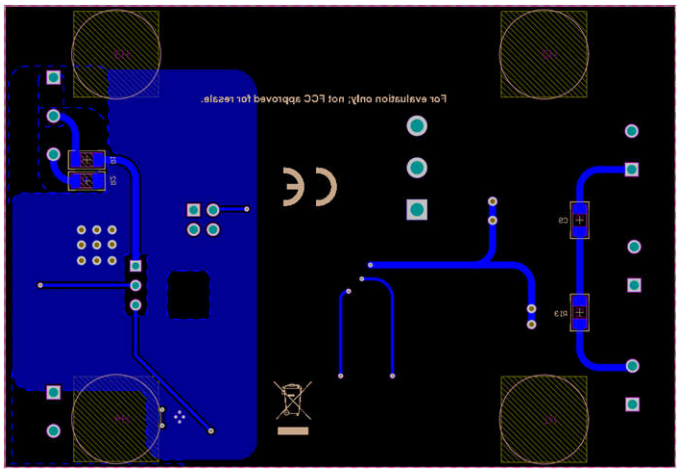


图 8-15. 底层

Copyright © 2025 Texas Instruments Incorporated

9 器件和文档支持

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
March 2025	*	初始发行版

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPSI3050MDWZR	Active	Production	SO-MOD (DWZ) | 8	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	I3050M
TPSI3050MDWZR.A	Active	Production	SO-MOD (DWZ) | 8	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	I3050M
TPSI3050MDWZR.B	Active	Production	SO-MOD (DWZ) | 8	1000 | LARGE T&R	-	Call TI	Call TI	-55 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

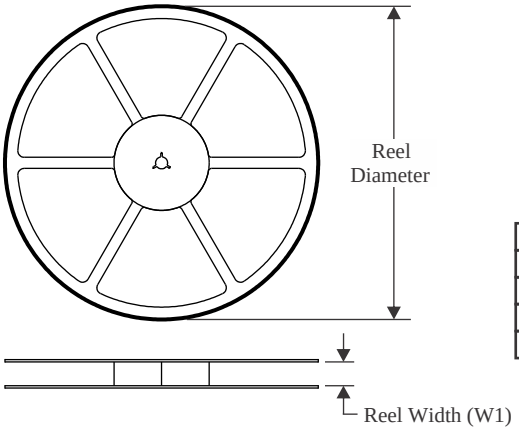
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

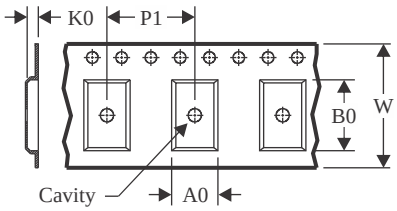
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

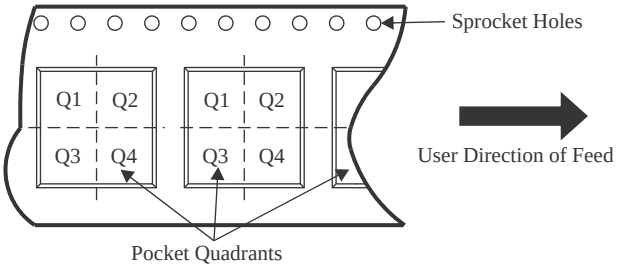


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

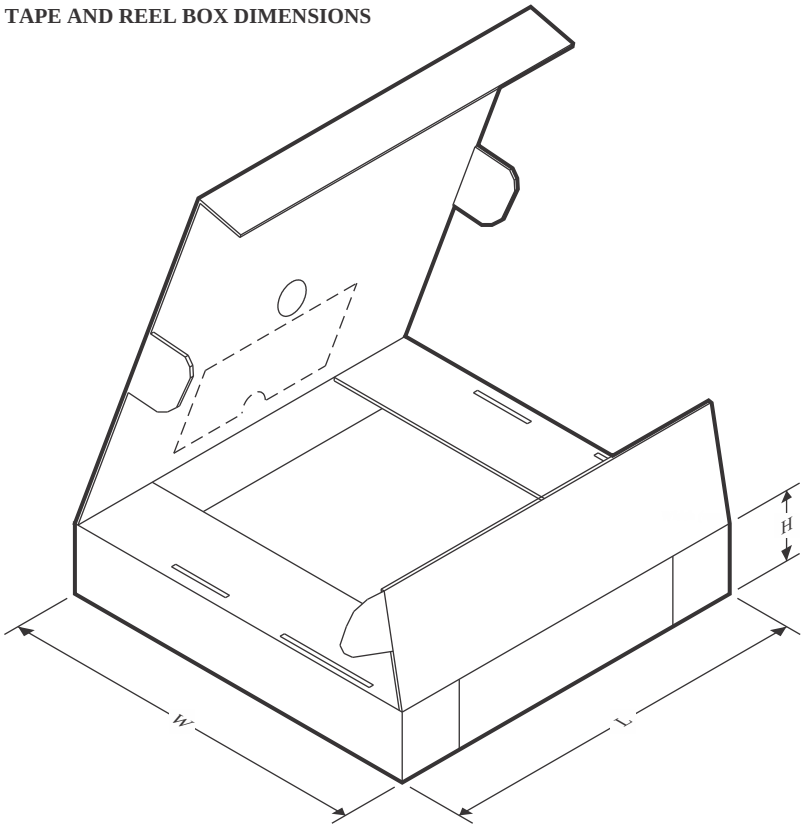
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

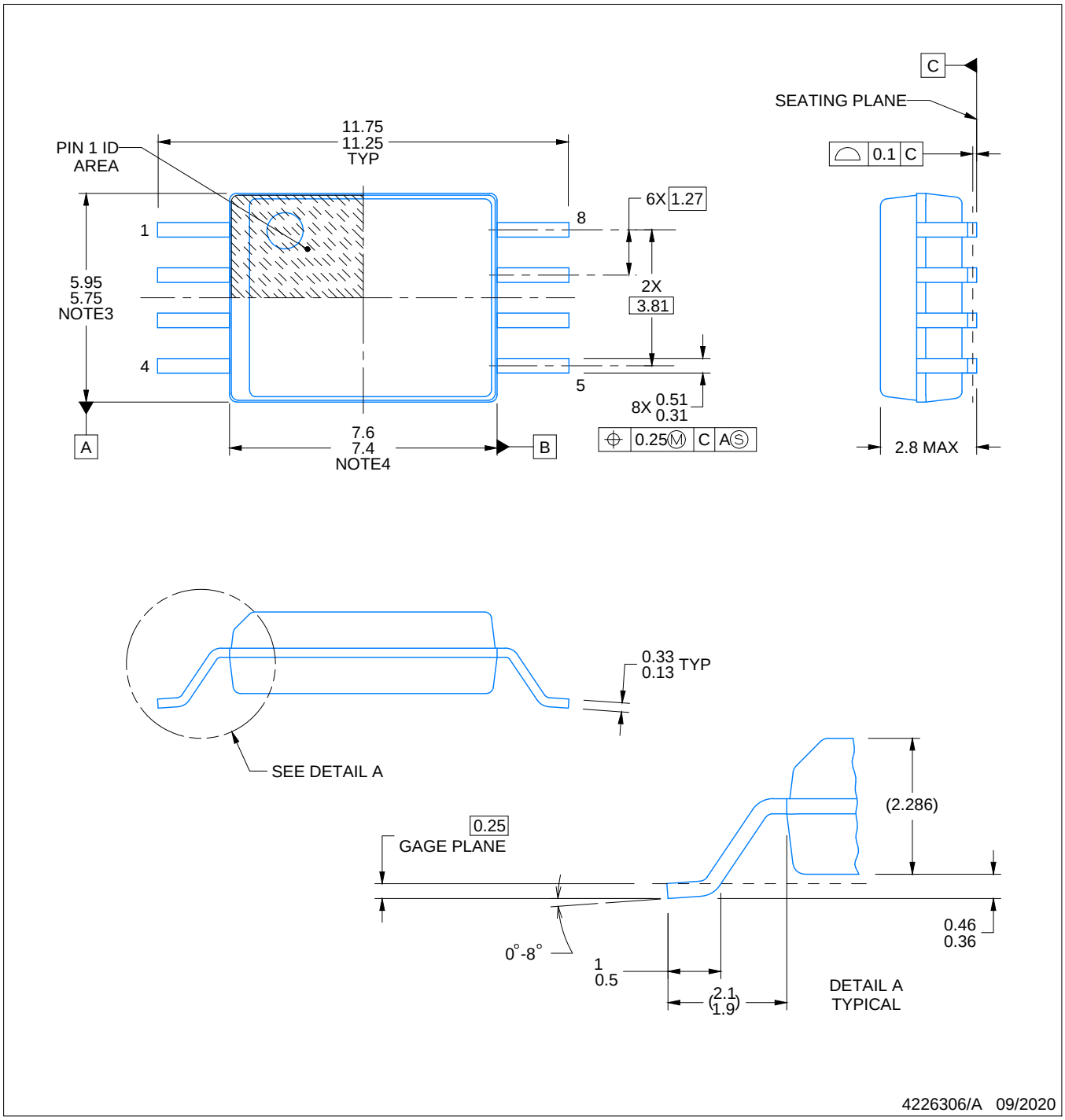
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPSI3050MDWZR	SO-MOD	DWZ	8	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



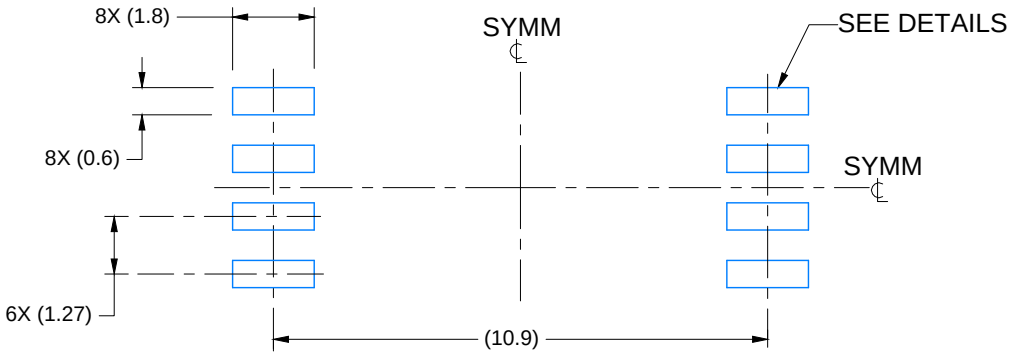
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPSI3050MDWZR	SO-MOD	DWZ	8	1000	350.0	350.0	43.0

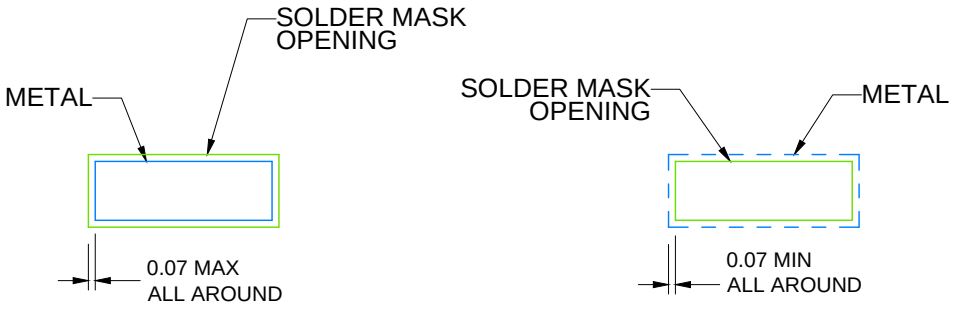


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Ref. JEDEC registration MS-013



LAND PATTERN EXAMPLE
9.1 mm NOMINAL CLEARANCE/CREEPAGE
SCALE: 6X



NON SOLDER MASK
DEFINED

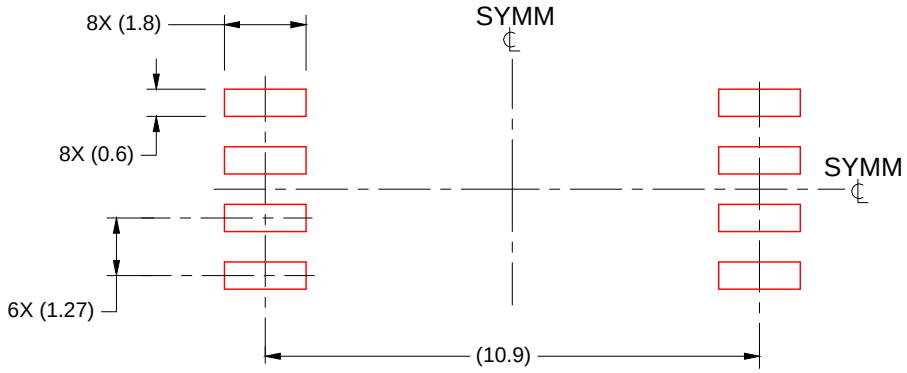
SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4226306/A 09/2020

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 6X

4226306/A 09/2020

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。 严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司